

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6257713号
(P6257713)

(45) 発行日 平成30年1月10日(2018.1.10)

(24) 登録日 平成29年12月15日(2017.12.15)

(51) Int.Cl.		F I			
HO 1 L	21/8242	(2006.01)	HO 1 L	27/108	3 2 1
HO 1 L	27/108	(2006.01)	HO 1 L	27/10	4 8 1
HO 1 L	27/10	(2006.01)	HO 1 L	29/78	6 1 3 B
HO 1 L	29/786	(2006.01)	HO 1 L	29/78	6 1 8 B
G 1 1 C	11/404	(2006.01)	G 1 1 C	11/404	

請求項の数 3 (全 47 頁)

(21) 出願番号	特願2016-156184 (P2016-156184)	(73) 特許権者	000153878
(22) 出願日	平成28年8月9日(2016.8.9)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2011-238450 (P2011-238450) の分割		神奈川県厚木市長谷398番地
原出願日	平成23年10月31日(2011.10.31)	(72) 発明者	加藤 清
(65) 公開番号	特開2017-22383 (P2017-22383A)		神奈川県厚木市長谷398番地 株式会社
(43) 公開日	平成29年1月26日(2017.1.26)	(72) 発明者	半導体エネルギー研究所内
審査請求日	平成28年8月18日(2016.8.18)		塩野入 豊
(31) 優先権主張番号	特願2010-247996 (P2010-247996)		神奈川県厚木市長谷398番地 株式会社
(32) 優先日	平成22年11月5日(2010.11.5)	(72) 発明者	半導体エネルギー研究所内
(33) 優先権主張国	日本国(JP)		長塚 修平
(31) 優先権主張番号	特願2010-247995 (P2010-247995)	(72) 発明者	神奈川県厚木市長谷398番地 株式会社
(32) 優先日	平成22年11月5日(2010.11.5)		半導体エネルギー研究所内
(33) 優先権主張国	日本国(JP)	(72) 発明者	八窪 裕人
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

ゲートとしての機能を有する第1の層と、チャネル形成領域を含む第1の半導体層と、を有する第1のトランジスタと、

ゲートとしての機能を有する第2の層と、チャネル形成領域を含む第2の半導体層と、ゲートとしての機能を有する第3の層と、を有する第2のトランジスタと、を有する半導体装置の作製方法であって、

第1の絶縁層を介して基板の上方に半導体膜を形成する工程と、

前記半導体膜を用いて、前記第1の半導体層及び前記第2の層を形成する工程と、

前記第1の半導体層及び前記第2の層の上方に第2の絶縁層を形成する工程と、

前記第2の絶縁層を介して前記第1の半導体層の上方に前記第1の層を形成する工程と

、
前記第2の絶縁層の上方及び前記第1の層の上方に第3の絶縁層を形成する工程と、

前記第3の絶縁層の一部を除去して、前記第1の層の上面を露出させる工程と、

前記第2の絶縁層及び前記第3の絶縁層を介して前記第2の層の上方に、酸化物半導体材料を用いて前記第2の半導体層を形成する工程と、

前記第1の層及び前記第2の半導体層と電氣的に接続する第4の層、並びに前記第2の半導体層と電氣的に接続する第5の層を形成する工程と、

前記第3の絶縁層、前記第2の半導体層、前記第4の層、及び前記第5の層の上方に、第4の絶縁層を形成する工程と、

前記第4の絶縁層を介して前記第2の半導体層の上方に前記第3の層を形成する工程と、を有し、

前記第4の絶縁層として、酸化アルミニウムを含む絶縁層、酸化ガリウムを含む絶縁層、又はそれらの積層を形成することを特徴とする半導体装置の作製方法。

【請求項2】

請求項1において、

前記第2の半導体層を形成する工程の後に、400以上基板の歪み点未満の温度で加熱処理を行い、且つ、露点が-40以下の雰囲気において前記温度から降温させる工程を有することを特徴とする半導体装置の作製方法。

【請求項3】

請求項1または請求項2において、

前記第4の層は、前記第1の層の上面と、前記第2の半導体層の側面及び上面と接する領域を有し、

前記第5の層は、前記第2の半導体層の側面及び上面と接する領域を有することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置及び半導体記憶装置に関する。

【背景技術】

【0002】

近年、データの書き込み及び消去が可能であり、電源の供給がなくても一定期間データの保持が可能な記憶回路を具備する半導体装置の開発が進められている。

【0003】

上記半導体装置としては、例えば記憶素子であるトランジスタ（メモリトランジスタともいう）を備える記憶回路を具備する半導体装置が挙げられる（例えば特許文献1）。

【0004】

特許文献1に示す半導体装置において、メモリトランジスタは、制御ゲート電極と、チャンネル形成層と、制御ゲート電極及びチャンネル形成層の間に設けられた浮遊ゲート電極と、を含む。上記浮遊ゲート電極にデータとなる電荷が蓄積されることにより、メモリトランジスタにデータが書き込まれる。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開昭57-105889号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、特許文献1に示すような従来の半導体装置は、メモリトランジスタにデータが書き込まれた後に、電荷のリークによりデータが消失してしまうといった問題があった。データの記憶が可能な半導体装置において、データの保持期間は、より長いことが望ましい。

【0007】

また、従来の半導体装置は、動作させるために必要な電圧が高いため、消費電力が大きく、また、印加される電圧により記憶素子が劣化してしまうといった問題があった。

【0008】

また、従来の半導体装置では、データの書き込みの際に、メモリトランジスタにおいてトンネル電流が生じ、記憶素子が劣化するため、繰り返しデータを書き込むと、記憶素子にデータが書き込めなくなるといった問題があった。

【0009】

10

20

30

40

50

本発明の一態様では、半導体装置又は半導体記憶装置におけるデータの保持期間を長くすることを課題の一つとする。また、本発明の一態様では、消費電力を低減することを課題の一つとする。また、本発明の一態様では、記憶素子へのデータの書き込み可能回数を増やすことを課題の一つとする。

【課題を解決するための手段】

【0010】

本発明の一態様は、選択トランジスタ及び出力トランジスタを備える記憶回路を有し、該選択トランジスタは、第1のゲート及び第2のゲートを有するものである。第1のゲート及び第2のゲートの電圧により選択トランジスタの閾値電圧を必要に応じて調整し、選択トランジスタがオフ状態のときに選択トランジスタのソース及びドレインの間に流れる電流を極力少なくし、記憶回路におけるデータの保持時間を長くすることを図る。

10

【0011】

さらに、本発明の一態様において、上記出力トランジスタのチャネル形成層と上記選択トランジスタのゲートとしての機能を有する層は、同じ材料である。これにより、同一工程により上記出力トランジスタのチャネル形成層と上記選択トランジスタのゲートとしての機能を有する層とを形成することを可能にし、製造工程数の増加の抑制を図る。

【0012】

本発明の一態様は、I行（Iは2以上の自然数）J列（Jは自然数）に配列され、第1のゲート及び第2のゲートを有する第1のトランジスタ、並びに第2のトランジスタをそれぞれが備える複数のメモリセルを具備し、メモリセルは、それぞれ導電型を付与する不純物元素を含有する一対の不純物領域を有し、第2のトランジスタのチャネル形成層としての機能を有する第1の層と、第1の層と同時に形成され且つ同じ材料であり、第1の層と離間し、不純物元素を含有し、第1のトランジスタの第2のゲートとしての機能を有する第2の層と、第1の層及び第2の層の上に設けられ、第2のトランジスタのゲート絶縁層としての機能を有する第1の絶縁層と、第1の絶縁層を介して第1の層に重畳し、第2のトランジスタのゲートとしての機能を有する第1の導電層と、第1の絶縁層を介して第2の層に重畳し、第1の層と異なる材料であり、第1のトランジスタのチャネル形成層としての機能を有する半導体層と、半導体層に電氣的に接続され、第1のトランジスタのソース及びドレインの一方としての機能を有する第2の導電層と、第1の導電層及び半導体層に電氣的に接続され、第1のトランジスタのソース及びドレインの他方としての機能を有する第3の導電層と、半導体層、第2の導電層、及び第3の導電層の上に設けられ、第1のトランジスタのゲート絶縁層としての機能を有する第2の絶縁層と、第2の絶縁層を介して半導体層に重畳し、第1のトランジスタの第1のゲートとしての機能を有する第4の導電層と、第2の絶縁層及び第4の導電層の上に設けられた第3の絶縁層と、第1の絶縁層乃至第3の絶縁層を貫通して設けられた第1の開口部を介して第1の層における一対の不純物領域の一方に電氣的に接続され、第2の絶縁層及び第3の絶縁層を貫通して設けられた第2の開口部を介して第3の導電層に電氣的に接続された第5の導電層と、を含む半導体記憶装置である。

20

30

【0013】

本発明の一態様は、I行（Iは2以上の自然数）J列（Jは自然数）に配列され、第1のゲート及び第2のゲートを有する第1のトランジスタ、並びに第2のトランジスタをそれぞれが備える複数のメモリセルを具備し、メモリセルは、導電型を付与する不純物元素を含有する一対の不純物領域を有し、第2のトランジスタのチャネル形成層としての機能を有する第1の層と、第1の層と同時に形成され且つ同じ材料であり、第1の層と離間し、不純物元素を含有し、第1のトランジスタの第2のゲートとしての機能を有する第2の層と、第1の層及び第2の層の上に設けられ、第2のトランジスタのゲート絶縁層としての機能を有する第1の絶縁層と、第1の絶縁層を介して第1の層に重畳し、第2のトランジスタのゲートとしての機能を有する第1の導電層と、第1の絶縁層を介して第2の層に重畳し、第1の層と異なる材料であり、第1のトランジスタのチャネル形成層としての機能を有する半導体層と、半導体層に電氣的に接続され、第1のトランジスタのソース及びド

40

50

レインの一方としての機能を有する第2の導電層と、第1の導電層及び半導体層に電氣的に接続され、第1のトランジスタのソース及びドレインの他方としての機能を有する第3の導電層と、半導体層、第2の導電層、及び第3の導電層の上に設けられ、第1のトランジスタのゲート絶縁層としての機能を有する第2の絶縁層と、第2の絶縁層を介して半導体層に重畳し、第1のトランジスタの第1のゲートとしての機能を有する第4の導電層と、を含み、同じ列に配置されるメモリセルにおいて、第1の層が同じ層の半導体記憶装置である。

【発明の効果】

【0014】

本発明の一態様により、半導体装置又は半導体記憶装置におけるデータ保持期間を長くすることができる。また、本発明の一態様により、製造工程数の増加を抑制することができる。

10

【図面の簡単な説明】

【0015】

【図1】実施の形態1の半導体装置における記憶回路の例を説明するための図。

【図2】実施の形態2の半導体記憶装置におけるメモリセルアレイの例を説明するための図。

【図3】実施の形態2の半導体記憶装置におけるメモリセルの構造例を示す図。

【図4】図3に示すメモリセルの作製方法例を説明するための断面模式図。

【図5】図3に示すメモリセルの作製方法例を説明するための断面模式図。

20

【図6】図3に示すメモリセルの作製方法例を説明するための断面模式図。

【図7】図3に示すメモリセルの作製方法例を説明するための断面模式図。

【図8】実施の形態3の半導体記憶装置におけるメモリセルアレイの例を説明するための図。

【図9】実施の形態3の半導体記憶装置におけるメモリセルの構造例を示す図。

【図10】図9に示すメモリセルの作製方法例を説明するための断面模式図。

【図11】図9に示すメモリセルの作製方法例を説明するための断面模式図。

【図12】図9に示すメモリセルの作製方法例を説明するための断面模式図。

【図13】図9に示すメモリセルの作製方法例を説明するための断面模式図。

【図14】実施の形態4におけるゲート線駆動回路の構成例を示す回路図。

30

【図15】実施の形態5における半導体記憶装置の構成例を示すブロック図。

【図16】実施の形態6における電子機器の例を示す模式図。

【発明を実施するための形態】

【0016】

本発明を説明するための実施の形態の一例について、図面を用いて以下に説明する。なお、本発明の趣旨及びその範囲から逸脱することなく実施の形態の内容を変更することは、当業者であれば容易である。よって、本発明は、以下に示す実施の形態の記載内容に限定されない。

【0017】

なお、各実施の形態の内容を互いに適宜組み合わせることができる。また、各実施の形態の内容を互いに適宜置き換えることができる。

40

【0018】

また、構成要素の混同を避けるために第1、第2などの序数を付しているが、各構成要素の数は、序数の数に限定されない。

【0019】

(実施の形態1)

本実施の形態では、一定期間データを記憶することが可能な記憶回路を具備する半導体装置の例について説明する。

【0020】

なお、記憶回路とは、一定期間データとなる電荷を保持することが可能な回路のことをい

50

う。

【0021】

本実施の形態における半導体装置の一例は、記憶回路を具備する。

【0022】

さらに、記憶回路の例について、図1を用いて説明する。

【0023】

まず、本実施の形態の半導体装置における記憶回路の回路構成例について、図1(A)を用いて説明する。

【0024】

図1(A)に示す記憶回路は、トランジスタ111と、トランジスタ112と、を備える

10

。

【0025】

なお、半導体装置において、トランジスタは、2つの端子と、印加される電圧により該2つの端子の間に流れる電流を制御する電流制御端子と、を有する。なお、トランジスタに限らず、素子において、互いの間に流れる電流が制御される端子を電流端子ともいい、2つの電流端子のそれぞれを第1の電流端子及び第2の電流端子ともいう。

【0026】

また、半導体装置において、トランジスタとしては、例えば電界効果トランジスタを用いることができる。電界効果トランジスタの場合、第1の電流端子は、ソース及びドレインの一方であり、第2の電流端子は、ソース及びドレインの他方であり、電流制御端子は、

20

ゲートである。

【0027】

また、一般的に電圧とは、ある二点間における電位の差（電位差ともいう）のことをいう。しかし、電圧及び電位の値は、回路図などにおいていずれもボルト（V）で表されることがあるため、区別が困難である。そこで、本明細書では、特に指定する場合を除き、ある一点の電位と基準となる電位（基準電位ともいう）との電位差を、該一点の電圧として用いる場合がある。

【0028】

トランジスタ111は、ソース、ドレイン、第1のゲート、及び第2のゲートを有する。第1のゲート又は第2のゲートの電圧により、トランジスタ111の閾値電圧（電圧 V_{th} ともいう）が制御される。例えば、トランジスタ111がN型トランジスタの場合、トランジスタ111の第2のゲートの電圧が低くなるほど、トランジスタ111の閾値電圧が正の方向にシフトする。

30

【0029】

トランジスタ111は、記憶回路にデータを入力するか否かを選択する選択トランジスタとしての機能を有する。

【0030】

トランジスタ111としては、例えばチャンネルが形成される酸化物半導体層を含むトランジスタを用いることができる。上記酸化物半導体層は、シリコンよりバンドギャップが高く、真性（I型ともいう）、又は実質的に真性である半導体層であり、キャリアの数が極めて少なく、キャリア濃度は、 $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満である。

40

【0031】

また、上記酸化物半導体層を含むトランジスタのオフ電流は、チャンネル幅 $1 \mu\text{m}$ あたり 10 aA （ $1 \times 10^{-17} \text{ A}$ ）以下、好ましくはチャンネル幅 $1 \mu\text{m}$ あたり 1 aA （ $1 \times 10^{-18} \text{ A}$ ）以下、さらには好ましくはチャンネル幅 $1 \mu\text{m}$ あたり 10 zA （ $1 \times 10^{-20} \text{ A}$ ）以下、さらに好ましくはチャンネル幅 $1 \mu\text{m}$ あたり 1 zA （ $1 \times 10^{-21} \text{ A}$ ）以下、さらに好ましくはチャンネル幅 $1 \mu\text{m}$ あたり 100 yA （ $1 \times 10^{-22} \text{ A}$ ）以下である。

【0032】

また、上記酸化物半導体層は、キャリア濃度が低いため、該酸化物半導体層を含むトラン

50

ジスタは、温度が変化した場合であっても、オフ電流が低い。例えばトランジスタの温度が150 であっても、オフ電流を、チャンネル幅1 μm あたり100 μA とすることもできる。

【0033】

また、上記酸化物半導体層としては、例えば層表面に垂直に配向（c軸配向ともいう）した結晶を含む酸化物半導体層を用いることもできる。例えば、基板温度を100 以上500 以下にして酸化物半導体膜を成膜し、その後加熱処理を行い、酸化物半導体層を形成することにより、層表面に垂直に配向した結晶を含む酸化物半導体層を形成することができる。また、酸化物半導体層は複数の酸化物半導体層の積層であってもよい。上記層表面に垂直に配向した結晶を含む酸化物半導体層を用いることにより、例えば光によるトランジスタの電気特性の変化を抑制することができる。

10

【0034】

トランジスタ112のゲートは、トランジスタ111のソース又はドレインに接続される。

【0035】

なお、本明細書において、2つ以上の構成要素が電氣的に接続されていれば、該2つ以上の構成要素が接続されているとみなすことができる。

【0036】

トランジスタ112としては、例えばチャンネルが形成され、元素周期表における第14族の半導体（シリコンなど）を含有する半導体層を含むトランジスタを用いることができる。

20

【0037】

次に、図1（A）に示す記憶回路の駆動方法例について説明する。

【0038】

データを記憶回路に書き込む場合、まずトランジスタ111をオン状態にする。例えば、トランジスタ111における第1のゲート電圧及び第2のゲート電圧を所定の値に設定することにより、トランジスタ111をオン状態にすることができる。

【0039】

トランジスタ111がオン状態のとき、トランジスタ111のソース及びドレインを介してトランジスタ112のゲートにデータ信号が入力され、トランジスタ112のゲートの電圧は、入力されるデータ信号の電圧と同等の値になる。

30

【0040】

その後、トランジスタ111をオフ状態にする。このとき、トランジスタ111のソース及びドレインの間に流れる電流は、少ないほど好ましい。そこで、トランジスタ111の第2のゲートの電圧を所定の値にし、トランジスタ111の閾値電圧を調整し、トランジスタ111がオフ状態のときにトランジスタ111のソース及びドレインの間に流れる電流を極力少なくする。

【0041】

上記トランジスタ111の閾値電圧の調整例について、図1（B）を用いて説明する。

【0042】

図1（B）に示すように、例えばトランジスタ111の第2のゲートの電圧が接地電位GNDと同等の値のとき、トランジスタ111の第1のゲート及びソースの間に印加される電圧（電圧 V_{gs} ともいう）と、トランジスタ111のソース及びドレインの間に流れる電流（電流 I_d ともいう）との関係が曲線130で表されるとする。このとき、トランジスタ111の閾値電圧は、 V_{th_A} である。

40

【0043】

一方、トランジスタ111の第2のゲートの電圧を所定の値の電圧 V_A としたとき、電圧 V_{gs} と電流 I_d との関係は、曲線131で表すことができる。このとき、トランジスタ111の閾値電圧は、電圧 V_{th_A} より正に大きい値の電圧 V_{th_B} である。

【0044】

50

以上のように、トランジスタ111の第2のゲートの電圧を調整することにより、トランジスタ111の閾値電圧を調整することができる。

【0045】

さらに、トランジスタ112のソース及びドレインの間の抵抗値は、トランジスタ112のゲートの電圧に応じて決まる。よって、トランジスタ112のソース及びドレインの一方の電圧を所定の値の電圧VBにしたときに、トランジスタ112のソース及びドレインの間に流れる電流に応じて設定されるトランジスタ112のソース及びドレインの他方の電圧をデータとして記憶回路から読み出すこともできる。また、トランジスタ112のソース及びドレインの他方の電圧をデータとして記憶回路から複数回読み出すこともできる。

10

【0046】

さらに、図1(A)に示す記憶回路の構造例について、図1(C)を用いて説明する。図1(C)は、図1(A)に示す記憶回路の構造例を示す模式図である。なお、図1(C)では、出力トランジスタがトップゲート型のトランジスタである場合について説明するが、これに限定されず、出力トランジスタをボトムゲート型のトランジスタとしてもよい。

【0047】

図1(C)に示す記憶回路は、半導体層152aと、半導体層152bと、絶縁層153と、導電層154と、絶縁層155と、導電層157aと、導電層157bと、絶縁層158と、導電層159と、を含む。なお、必ずしも絶縁層155を設けなくてもよい。

【0048】

半導体層152a及び半導体層152bのそれぞれは、絶縁層151を介して基板150の一平面に設けられる。

20

【0049】

基板150としては、例えばガラス基板、石英基板、半導体基板、又はプラスチック基板を用いることができる。

【0050】

絶縁層151としては、例えば酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハフニウム層を用いることができる。また、絶縁層151に適用可能な材料の層の積層により絶縁層151を構成することもできる。

30

【0051】

なお、絶縁層151に基板150からの不純物元素の拡散を防止する機能を付加させることもできる。

【0052】

半導体層152aは、それぞれ不純物元素を含有する一対の不純物領域を有する。半導体層152aは、一対の不純物領域の間にチャンネル形成領域が設けられ、記憶回路における出力トランジスタとしての機能を有するトランジスタのチャンネルが形成される層(チャンネル形成層ともいう)としての機能を有する。不純物元素としては、N型の導電型を付与する不純物元素又はP型の導電型を付与する不純物元素が挙げられる。また、半導体層152aに不純物元素の濃度が異なる複数の不純物領域を設けてもよい。このとき、相対的に不純物元素の濃度の低い領域を低濃度不純物領域という。低濃度不純物領域を設けることにより局所的な電界の集中を抑制することができる。

40

【0053】

半導体層152aとしては、例えば非晶質半導体、微結晶半導体、多結晶半導体、又は単結晶半導体を含む層を用いることができる。半導体層152aとしては、例えば元素周期表における第14族の半導体(シリコンなど)を含有する半導体層を用いることができる。

【0054】

半導体層152bは、不純物元素を含有する。不純物元素としては、N型の導電型を付与する不純物元素又はP型の導電型を付与する不純物元素が挙げられる。半導体層152b

50

は、記憶回路における選択トランジスタとしての機能を有するトランジスタの第2のゲートとしての機能を有する。

【0055】

なお、トランジスタの第2のゲートとしての機能を有する導電層を第2のゲート電極又は第2のゲート配線ともいう。

【0056】

半導体層152bとしては、半導体層152aと同じ材料の層を用いることができる。例えば、絶縁層151の上に半導体層152a及び半導体層152bに適用可能な材料の半導体層を形成する。さらに、上記半導体層の一部をエッチングすることにより、半導体層152aとなる半導体層及び半導体層152bとなる半導体層を形成する。さらに、半導体層152aとなる半導体層の一部、及び半導体層152bとなる半導体層に不純物元素を添加することにより、同一工程で同一の膜から半導体層152a及び半導体層152bを形成することができる。なお、半導体層152bは、導電性を付与する不純物元素を導電層として機能できる程度に含むため、導電層とみなすことができる。

10

【0057】

絶縁層153は、半導体層152a及び半導体層152bの上に設けられる。

【0058】

絶縁層153は、記憶回路における出力トランジスタとしての機能を有するトランジスタのゲート絶縁層としての機能を有する。

【0059】

絶縁層153としては、例えば絶縁層151に適用可能な材料の層、若しくはポリイミド又はアクリルなどの有機絶縁材料などを用いることができる。また、絶縁層153に適用可能な材料の層の積層により絶縁層153を構成してもよい。

20

【0060】

なお、基板150として半導体基板を用いる場合には、絶縁層151、半導体層152a、及び半導体層152bを設けずに、互いに絶縁分離され、半導体層152aに相当する第1の半導体領域及び半導体層152bに相当する第2の半導体領域を含む半導体基板を用い、第1の半導体領域及び第2の半導体領域の上に絶縁層153を形成してもよい。

【0061】

導電層154は、絶縁層153を介して半導体層152a（チャネル形成領域（一对の不純物領域の間の領域）を含む）に重畳する。

30

【0062】

導電層154は、記憶回路における出力トランジスタとしての機能を有するトランジスタのゲートとしての機能を有する。なお、トランジスタのゲートとしての機能を有する導電層をゲート電極又はゲート配線ともいう。

【0063】

導電層154としては、例えばモリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、若しくはスカンジウムなどの金属材料を含む材料の層を用いることができる。また、導電層154に適用可能な材料の層の積層により、導電層154を構成することもできる。

40

【0064】

絶縁層155は、絶縁層153の上に設けられる。絶縁層155を設けることにより、例えば導電層154による段差を平坦化することができ、上部への層の形成が容易になる。

【0065】

絶縁層155としては、例えば絶縁層151に適用可能な材料の層を用いることができる。また、絶縁層155に適用可能な材料の層の積層により絶縁層155を構成してもよい。

【0066】

半導体層156は、絶縁層153及び絶縁層155を介して半導体層152bに重畳する。

50

【0067】

半導体層156は、記憶回路における選択トランジスタとしての機能を有するトランジスタのチャネル形成層としての機能を有する。

【0068】

半導体層156としては、例えばIn系酸化物、Sn系酸化物、又はZn系酸化物などを用いることができる。上記金属酸化物としては、例えば四元系金属酸化物、三元系金属酸化物、又は二元系金属酸化物などを用いることができる。なお、上記酸化物半導体として適用可能な金属酸化物は、特性のばらつきを減らすためのスタビライザーとしてガリウムを含んでいてもよい。また、上記酸化物半導体として適用可能な金属酸化物は、上記スタビライザーとしてズズを含んでいてもよい。また、上記酸化物半導体として適用可能な金属酸化物は、上記スタビライザーとしてハフニウムを含んでいてもよい。また、上記酸化物半導体として適用可能な金属酸化物は、上記スタビライザーとしてアルミニウムを含んでいてもよい。また、上記酸化物半導体として適用可能な金属酸化物は、上記スタビライザーとして、ランタノイドである、ランタン、セリウム、プラセオジウム、ネオジウム、サマリウム、ユウロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、ツリウム、イッテルビウム、及びルテチウムの一つ又は複数を含んでいてもよい。また、上記酸化物半導体として適用可能な金属酸化物は、酸化シリコンを含んでいてもよい。四元系金属酸化物としては、例えばIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、又はIn-Hf-Al-Zn系酸化物などを用いることができる。三元系金属酸化物としては、例えばIn-Ga-Zn系酸化物（IGZOともいう）、In-Sn-Zn系酸化物（ITZOともいう）、In-Al-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、又はIn-Lu-Zn系酸化物などを用いることができる。二元系金属酸化物としては、例えばIn-Zn系酸化物（IZOともいう）、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Sn系酸化物、又はIn-Ga系酸化物などを用いることができる。

【0069】

In-Zn-O系金属酸化物を用いる場合、例えば、In:Zn=50:1乃至In:Zn=1:2（モル数比に換算するとIn₂O₃:ZnO=25:1乃至In₂O₃:ZnO=1:4）、好ましくはIn:Zn=20:1乃至In:Zn=1:1（モル数比に換算するとIn₂O₃:ZnO=10:1乃至In₂O₃:ZnO=1:2）、さらに好ましくはIn:Zn=15:1乃至In:Zn=1.5:1（モル数比に換算するとIn₂O₃:ZnO=15:2乃至In₂O₃:ZnO=3:4）の組成比である酸化物ターゲットを用いてIn-Zn-O系金属酸化物の半導体層を形成することができる。例えば、In-Zn-O系酸化物半導体の形成に用いるターゲットは、原子数比がIn:Zn:O=P:Q:Rのとき、R>1.5P+Qとする。Inの量を多くすることにより、トランジスタの移動度を向上させることができる。

【0070】

また、酸化物半導体としては、InLO₃(ZnO)_m（mは0より大きい数）で表記される材料を用いることもできる。InLO₃(ZnO)_mのLは、Ga、Al、Mn、及びCoから選ばれた一つ又は複数の金属元素を示す。

【0071】

導電層157aは、半導体層156に電氣的に接続される。

【0072】

10

20

30

40

50

導電層 157a は、記憶回路における選択トランジスタとしての機能を有するトランジスタのソース及びドレインの一方としての機能を有する。なお、トランジスタのソースとしての機能を有する導電層をソース電極又はソース配線ともいい、トランジスタのドレインとしての機能を有する導電層をドレイン電極又はドレイン配線ともいう。

【0073】

導電層 157a としては、例えばアルミニウム、クロム、銅、タンタル、チタン、モリブデン、若しくはタングステンなどの金属材料を含む層を用いることができる。

【0074】

また、導電層 157a としては、導電性の金属酸化物を含む層を用いることもできる。導電性の金属酸化物としては、例えば酸化インジウム (In_2O_3)、酸化スズ (SnO_2)、酸化亜鉛 (ZnO)、酸化インジウム酸化スズ合金 (In_2O_3 SnO_2 、ITO と略記する場合がある)、酸化インジウム酸化亜鉛合金 (In_2O_3 ZnO) などの金属酸化物、又はシリコン、酸化シリコン、窒素を含む該金属酸化物を用いることができる。また、導電層 157a に適用可能な材料の層の積層により、導電層 157a を構成することもできる。

【0075】

導電層 157b は、導電層 154 及び半導体層 156 に電氣的に接続される。

【0076】

なお、図 1 (C) では、導電層 157b が導電層 154 に接している。必ずしもこれに限定されないが、導電層 157b が導電層 154 に接する構造にすることにより、開口部を有する絶縁層の開口部を介して導電層 157b が導電層 154 に電氣的に接続される場合と比較してコンタクト面積を大きくすることができるため、コンタクト抵抗を低減することができる。

【0077】

導電層 157b は、記憶回路における選択トランジスタとしての機能を有するトランジスタのソース及びドレインの他方としての機能を有する。

【0078】

導電層 157b としては、例えば導電層 157a と同じ材料の層を用いることができる。また、導電層 157a に適用可能な材料の層の積層により、導電層 157b を構成することもできる。

【0079】

例えば、導電層 154、絶縁層 155、及び半導体層 156 の上に、導電層 157a 及び導電層 157b に適用可能な材料の導電層を形成する。さらに、上記導電層の一部をエッチングすることにより、同一工程で同一の層から導電層 157a 及び導電層 157b を形成することができる。

【0080】

絶縁層 158 は、半導体層 156、導電層 157a、及び導電層 157b の上に設けられる。

【0081】

絶縁層 158 は、記憶回路における選択トランジスタとしての機能を有するトランジスタのゲート絶縁層としての機能を有する。

【0082】

絶縁層 158 としては、絶縁層 151 に適用可能な材料の層を用いることができる。また、絶縁層 151 に適用可能な材料の層の積層により、絶縁層 158 を構成することもできる。

【0083】

また、絶縁層 158 としては、元素周期表における第 13 族元素及び酸素元素を含む材料の絶縁層を用いることもできる。半導体層 156 が第 13 族元素を含む場合に、半導体層 156 に接する絶縁層として第 13 族元素を含む絶縁層を用いることにより、該絶縁層と酸化物半導体層との界面の状態を良好にすることができる。

10

20

30

40

50

【 0 0 8 4 】

第 1 3 族元素及び酸素元素を含む材料としては、例えば酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどが挙げられる。なお、酸化アルミニウムガリウムとは、ガリウムの含有量（原子％）よりアルミニウムの含有量（原子％）が多い物質のことをいい、酸化ガリウムアルミニウムとは、ガリウムの含有量（原子％）がアルミニウムの含有量（原子％）以上の物質のことをいう。例えば、 AlO_x （ $x = 3 +$ 、 x は 0 より大きく 1 より小さい値）、 GaO_x 、又は $Ga_x Al_{2-x} O_3$ （ x は 0 より大きく 2 より小さい値、 x は 0 より大きく 1 より小さい値）で表記される材料を用いることもできる。

【 0 0 8 5 】

例えば、絶縁層 1 5 8 として、酸化ガリウムを含む絶縁層を用いることにより、絶縁層 1 5 8 と、半導体層 1 5 6 との界面における水素又は水素イオンの蓄積を低減することができる。

【 0 0 8 6 】

また、例えば、絶縁層 1 5 8 として、酸化アルミニウムを含む絶縁層を用いることにより、絶縁層 1 5 8 と、半導体層 1 5 6 との界面における水素又は水素イオンの蓄積を低減することができる。また、酸化アルミニウムを含む絶縁層は、水が通りにくいいため、酸化アルミニウムを含む絶縁層を用いることにより、該絶縁層を介して酸化物半導体層への水の侵入を抑制することができる。

【 0 0 8 7 】

また、例えば、複数の GaO_x で表記される酸化ガリウムを含む層の積層により絶縁層 1 5 8 を構成してもよい。また、 GaO_x で表記される酸化ガリウムを含む絶縁層及び AlO_x で表記される酸化アルミニウムを含む絶縁層の積層により絶縁層 1 5 8 を構成してもよい。

【 0 0 8 8 】

導電層 1 5 9 は、絶縁層 1 5 8 を介して半導体層 1 5 6 に重畳する。

【 0 0 8 9 】

導電層 1 5 9 は、記憶回路における選択トランジスタとしての機能を有するトランジスタの第 1 のゲートとしての機能を有する。なお、トランジスタの第 1 のゲートとしての機能を有する導電層を第 1 のゲート電極又は第 1 のゲート配線ともいう。

【 0 0 9 0 】

導電層 1 5 9 としては、導電層 1 5 7 a に適用可能な材料の層を用いることができる。また、導電層 1 5 9 に適用可能な材料の層の積層により、導電層 1 5 9 を構成してもよい。以上が図 1 (A) に示す記憶回路の構造例である。

【 0 0 9 1 】

図 1 を用いて説明したように、本実施の形態における半導体装置の一例は、記憶回路を具備する構成である。

【 0 0 9 2 】

さらに、本実施の形態における半導体装置の一例の上記記憶回路は、電界効果トランジスタである選択トランジスタ及び出力トランジスタを少なくとも備える構成である。

【 0 0 9 3 】

さらに、本実施の形態における半導体装置の一例の上記記憶回路において、選択トランジスタは、第 1 のゲートと、第 2 のゲートと、を有する構成である。

【 0 0 9 4 】

さらに、本実施の形態における半導体装置の一例の上記記憶回路は、選択トランジスタにおける第 2 のゲートとしての機能を有し、出力トランジスタのチャネル形成層としての機能を有する半導体層と離間し、該半導体層と同じ材料である導電層を含む構成である。

【 0 0 9 5 】

上記構成にすることにより、必要に応じて選択トランジスタの閾値電圧を調整し、オフ状態における選択トランジスタのソース及びドレインの間に流れる電流を極力小さくするこ

10

20

30

40

50

とができる。よって、記憶回路におけるデータの保持期間を長くすることができる。

【0096】

また、上記構成にすることにより、データの書き込み及び読み出しに必要な電圧を従来の半導体装置より低くすることができるため、消費電力を低減することができる。

【0097】

また、上記構成にすることにより、出力トランジスタのゲートにデータ信号を入力してデータを書き込むことができるため、データの書き込み可能回数を増やすことができる。

【0098】

また、上記構成にすることにより、同一工程で同一の材料の層を用いて出力トランジスタのチャンネル形成層としての機能を有する半導体層と、選択トランジスタの第2のゲートとしての機能を有する導電層を同時に形成することができるため、作製工程数の増加を抑制することができる、製造コストの増加を抑制することができる。

10

【0099】

(実施の形態2)

本実施の形態では、上記実施の形態における半導体装置の一例として、NOR型の半導体記憶装置の例について説明する。

【0100】

本実施の形態における半導体記憶装置の例は、I行(Iは2以上の自然数)J列(Jは自然数)にマトリクス状に配列された複数のメモリセルを備えたメモリセルアレイを具備する。メモリセルは、上記実施の形態の半導体装置における記憶回路に相当する。

20

【0101】

さらに、本実施の形態の半導体記憶装置におけるメモリセルアレイの例について、図2を用いて説明する。

【0102】

まず、本実施の形態の半導体記憶装置におけるメモリセルアレイの回路構成例について、図2(A)を用いて説明する。

【0103】

図2(A)に示すメモリセルアレイは、i行(iは3以上の自然数)j列(jは3以上の自然数)のマトリクス状に配列された複数のメモリセル200と、i本のワード線WL(ワード線WL₁乃至ワード線WL_i)と、i本の容量線CL(容量線CL₁乃至容量線CL_i)と、i本のゲート線BGL(ゲート線BGL₁乃至ゲート線BGL_i)と、j本のビット線BL(ビット線BL₁乃至ビット線BL_j)と、ソース線SLと、を具備する。

30

【0104】

さらに、M(Mはi以下の自然数)行N(Nはj以下の自然数)列目のメモリセル200(メモリセル200(M,N)ともいう)は、トランジスタ211(M,N)と、容量素子213(M,N)と、トランジスタ212(M,N)と、を備える。

【0105】

なお、半導体記憶装置において、容量素子は、第1の容量電極、第2の容量電極、並びに第1の容量電極及び第2の容量電極に重畳する誘電体層により構成される。容量素子は、第1の容量電極及び第2の容量電極の間に印加される電圧に応じて電荷が蓄積される。

40

【0106】

トランジスタ211(M,N)は、Nチャンネル型トランジスタであり、ソース、ドレイン、第1のゲート、及び第2のゲートを有する。なお、本実施の形態の半導体記憶装置において、必ずしもトランジスタ211をNチャンネル型トランジスタにしなくてもよい。

【0107】

トランジスタ211(M,N)のソース及びドレインの一方は、ビット線BL_Nに接続され、トランジスタ211(M,N)の第1のゲートは、ワード線WL_Mに接続され、トランジスタ211(M,N)の第2のゲートは、ゲート線BGL_Mに接続される。トランジスタ211(M,N)のソース及びドレインの一方がビット線BL_Nに接続され

50

る構成にすることにより、1個以上のメモリセルから選択的にデータを読み出すことができる。

【0108】

トランジスタ211(M, N)は、メモリセル200(M, N)において選択トランジスタとしての機能を有する。

【0109】

トランジスタ211(M, N)としては、例えば上記実施の形態1の半導体装置におけるトランジスタ111に適用可能な酸化物半導体層を含むトランジスタを用いることができる。

【0110】

トランジスタ212(M, N)は、Pチャネル型トランジスタである。なお、本実施の形態の半導体記憶装置において、必ずしもトランジスタ212をPチャネル型トランジスタにしなくてもよい。

【0111】

トランジスタ212(M, N)のソース及びドレインの一方は、ソース線SLに接続され、トランジスタ212(M, N)のソース及びドレインの他方は、ビット線BL_Nに接続され、トランジスタ212(M, N)のゲートは、トランジスタ212(M, N)のソース及びドレインの他方に接続される。

【0112】

トランジスタ212(M, N)は、メモリセル200(M, N)において、出力トランジスタとしての機能を有する。

【0113】

トランジスタ212(M, N)としては、上記実施の形態1の半導体装置におけるトランジスタ112に適用可能な第14族の半導体(シリコンなど)を含有する半導体層を含むトランジスタを用いることができる。

【0114】

容量素子213(M, N)の第1の容量電極は、容量線CL_Mに接続され、容量素子213(M, N)の第2の容量電極は、トランジスタ211(M, N)のソース及びドレインの他方に接続される。

【0115】

容量素子213(M, N)は、保持容量としての機能を有する。

【0116】

ワード線WL₁乃至ワード線WL_iのそれぞれの電圧は、例えばデコーダを用いた駆動回路により制御される。

【0117】

ビット線BL₁乃至ビット線BL_jのそれぞれの電圧は、例えばデコーダを用いた駆動回路により制御される。

【0118】

容量線CL₁乃至容量線CL_iのそれぞれの電圧は、例えばデコーダを用いた駆動回路により制御される。

【0119】

ゲート線BGL₁乃至ゲート線BGL_iのそれぞれの電圧は、例えばゲート線駆動回路を用いて制御される。

【0120】

ゲート線駆動回路は、例えばダイオード及び容量素子を備える回路により構成される。このとき、上記容量素子の第1の容量電極は、上記ダイオードのアノード及びゲート線BGLに電氣的に接続される。

【0121】

さらに、図2(A)に示すメモリセルアレイの駆動方法例について、図2(B)を用いて説明する。図2(B)は、図2(A)に示すメモリセルアレイの駆動方法例を説明するた

10

20

30

40

50

めのタイミングチャートである。ここでは、一例として1行1列目のメモリセル200(1,1)と2行2列目のメモリセル200(2,2)に順次データを書き込み、その後書き込まれたデータを読み出す場合について説明する。なお、図2(B)に示すタイミングチャートの中で、電圧V_hは、トランジスタ211の閾値電圧より大きい電圧であり、また斜線部は、電圧が電圧V_h又は接地電位GNDと同等の値のいずれの場合でもよい部分である。

【0122】

まず、図2(B)における期間t₂₁に示すように、ワード線WL₁の電圧を電圧V_hにする。このとき、容量線CL₁の電圧を接地電位GNDと同等の値にする。また、ワード線WL₁以外のワード線WLの電圧を基準電位である接地電位GNDと同等の値にし、容量線CL₁以外の容量線CLの電圧を電圧V_hにする。また、ソース線SLの電圧を接地電位GNDと同等の値にする。

10

【0123】

このとき、1行目のメモリセル200(メモリセル200(1,1)乃至メモリセル200(1,j))において、トランジスタ211(1,1)乃至トランジスタ211(1,j)がオン状態になる。

【0124】

トランジスタ211(1,1)乃至トランジスタ211(1,j)がオン状態のとき、トランジスタ211(1,1)を介してビット線BL₁からトランジスタ212(1,1)のゲート及び容量素子213(1,1)の第2の容量電極にメモリデータ信号が入力される。このとき、トランジスタ212(1,1)のゲート及び容量素子213(1,1)の第2の容量電極の電圧は、入力されるメモリデータ信号の電圧と同等の値になり、1行1列目のメモリセル200(1,1)は、書き込み状態になる。ここでは、一例としてビット線BL₁の電圧が接地電位GNDと同等の値であるとする。

20

【0125】

1行1列目のメモリセル200(1,1)を含む1行目のメモリセル200にデータが書き込まれた後、ワード線WL₁の電圧を接地電位GNDと同等の値にし、容量線CL₁の電圧を例えば接地電位GNDのままにする。このとき、ワード線WL₁以外のワード線WLの電圧は接地電位GNDと同等の値であり、容量線CL₁以外の容量線CLの電圧を例えば電圧V_hのままにする。また、1行目のゲート線BGL₁の電圧をV₁にする。電圧V₁は、接地電位GND以下の値の電圧である。

30

【0126】

このとき、トランジスタ211(1,1)乃至トランジスタ211(1,j)は、オフ状態になる。さらに、トランジスタ211(1,1)乃至トランジスタ211(1,j)の閾値電圧は、正の値になる。よって、容量素子213(1,1)乃至容量素子213(1,j)の第2の容量電極の電圧及びトランジスタ212(1,1)乃至トランジスタ212(1,j)のゲートの電圧は、一定期間保持される。

【0127】

次に、図2(B)における期間t₂₂に示すように、ワード線WL₂の電圧を電圧V_hにし、容量線CL₂の電圧を接地電位GNDと同等の値にする。このとき、ワード線WL₂以外のワード線WLの電圧を接地電位GNDと同等の値にし、容量線CL₂以外の容量線CLの電圧を電圧V_hにする。また、ソース線SLの電圧を接地電位GNDと同等の値にする。

40

【0128】

このとき、2行目のメモリセル200(メモリセル200(2,1)乃至メモリセル200(2,j))において、トランジスタ211(2,1)乃至トランジスタ211(2,j)がオン状態になる。

【0129】

トランジスタ211(2,1)乃至トランジスタ211(2,j)がオン状態のとき、トランジスタ211(2,2)を介してビット線BL₂からトランジスタ212(2,2)

50

)のゲート及び容量素子213(2,2)の第2の容量電極にメモリデータ信号が入力される。このとき、トランジスタ212(2,2)のゲート及び容量素子213(2,2)の第2の容量電極の電圧は、入力されるメモリデータ信号の電圧と同等の値になり、2行2列目のメモリセル200(2,2)は、書き込み状態になる。ここでは、一例としてビット線BL₂の電圧が接地電位GNDと同等の値であるとする。

【0130】

2行1列目のメモリセル200(2,1)を含む2行目のメモリセル200にデータが書き込まれた後、ワード線WL₂の電圧を接地電位GNDと同等の値にし、容量線CL₂の電圧を例えば接地電位GNDと同等の値にする。このとき、ワード線WL₂以外のワード線WLの電圧は接地電位GNDと同等の値であり、容量線CL₂以外の容量線CLの電圧を例えば電圧V_hにする。また、ゲート線BGL₂の電圧をV_lにする。また、ビット線BL₁及びビットBL₂の電圧は、接地電位GNDと同等の値であるとする。

10

【0131】

このとき、トランジスタ211(2,1)乃至トランジスタ211(2,j)は、オフ状態になる。さらに、トランジスタ211(2,1)乃至トランジスタ211(2,j)の閾値電圧は、正の値になる。よって、容量素子213(2,1)乃至容量素子213(2,j)の第2の容量電極の電圧及びトランジスタ212(2,1)乃至トランジスタ212(2,j)のゲートの電圧は、一定期間保持される。

【0132】

さらに、図2(B)における期間t₂₃に示すように、ソース線SLの電圧を電圧V_rにし、容量線CL₁の電圧を接地電位GNDと同等の値にする。このとき、ワード線WL₁乃至ワード線WL_iの電圧を接地電位GNDと同等の値にし、容量線CL₁以外の容量線CLの電圧を電圧V_hにする。電圧V_rは、接地電位GND以上電圧V_h以下の値の電圧である。

20

【0133】

このとき、1行1列目のメモリセル200(1,1)において、トランジスタ212(1,1)のソース及びドレインの間の抵抗値は、トランジスタ212(1,1)のゲートの電圧に応じた値になる。よって、トランジスタ212(1,1)のゲートの電圧に応じた値の電圧がデータとしてビット線BL₁を介して出力されることにより、メモリセル200(1,1)からデータが読み出される。

30

【0134】

次に、図2(B)における期間t₂₄に示すように、ソース線SLの電圧を電圧V_rにし、容量線CL₂の電圧を接地電位GNDと同等の値にする。このとき、ワード線WL₁乃至ワード線WL_iの電圧を接地電位GNDと同等の値にし、容量線CL₂以外の容量線CLの電圧を電圧V_hにする。

【0135】

このとき、2行2列目のメモリセル200(2,2)において、トランジスタ212(2,2)のソース及びドレインの間の抵抗値は、トランジスタ212(2,2)のゲートの電圧に応じた値になる。よって、トランジスタ212(2,2)のゲートの電圧に応じた値の電圧がデータとしてビット線BL₁を介して出力されることにより、メモリセル200(2,2)からデータが読み出される。以上が図2(A)に示すメモリセルアレイの駆動方法例である。

40

【0136】

次に、図2(A)に示すメモリセルアレイにおけるメモリセル200の構造例について、図3を用いて説明する。図3(A)は、上面図であり、図3(B)は、図3(A)における線分A-Bの断面図である。

【0137】

図3(A)及び図3(B)に示すメモリセルは、半導体層252aと、半導体層252bと、絶縁層253と、導電層254と、絶縁層255と、半導体層256と、導電層25

50

7 aと、導電層257bと、絶縁層258と、導電層259aと、導電層259bと、絶縁層260と、導電層261と、を含む。なお、本実施の形態の半導体記憶装置において、必ずしも絶縁層255を設けなくてもよい。

【0138】

半導体層252a及び半導体層252bは、絶縁層251を介して基板250の一平面に設けられる。

【0139】

基板250としては、上記実施の形態1に示す基板150に適用可能な基板を用いることができる。

【0140】

絶縁層251としては、例えば酸化絶縁層を用いることができ、例えば酸化シリコン層又は酸化窒化シリコン層などを用いることができる。また、上記酸化絶縁層がハロゲンを含んでいてもよい。なお、絶縁層251に適用可能な材料の層を積層することにより絶縁層251を構成することもできる。

【0141】

半導体層252aは、一对の不純物領域を有する。半導体層252aは、一对の不純物領域の間にチャネル形成領域が設けられる。不純物元素としては、P型の導電性を付与する不純物元素が挙げられるが、これに限定されず、N型の導電性を付与する不純物元素を用いてよい。また、半導体層252aに不純物元素の濃度が異なる複数の不純物領域を設けてもよい。このとき、相対的に不純物元素の濃度の低い領域を低濃度不純物領域という。低濃度不純物領域を設けることにより局所的な電界の集中を抑制することができる。

【0142】

半導体層252aは、ソース線及び各メモリセルにおける出力トランジスタとしての機能を有するトランジスタのチャネル形成層としての機能を有する。

【0143】

半導体層252bは、半導体層252aにおける不純物領域と同じ不純物元素を含む。半導体層252bは、半導体層252aと離間する。なお、半導体層252bは、導電性を付与する不純物元素を導電層として機能できる程度に含むため、導電層とみなすことができる。

【0144】

半導体層252bは、ゲート線BGL及び各メモリセルにおける選択トランジスタとしての機能を有するトランジスタの第2のゲートとしての機能を有する。

【0145】

半導体層252a及び半導体層252bとしては、例えば上記実施の形態における半導体層152a及び半導体層152bに適用可能な材料の層を用いることができる。

【0146】

絶縁層253は、半導体層252a及び半導体層252bの上に設けられる。

【0147】

絶縁層253は、各メモリセルにおける出力トランジスタとしての機能を有するトランジスタのゲート絶縁層としての機能を有する。

【0148】

絶縁層253としては、例えば上記実施の形態1における絶縁層151に適用可能な材料の層を用いることができる。また、絶縁層253に適用可能な材料の層の積層により絶縁層253を構成することもできる。

【0149】

導電層254は、絶縁層253を介して半導体層252a(チャネル形成領域を含む)に重畳する。なお、導電層254の側面をテーパにしてもよい。導電層254の側面をテーパにすることにより、上部の層を形成しやすくすることができる。

【0150】

導電層254は、メモリセルにおける出力トランジスタとしての機能を有するトランジスタ

10

20

30

40

50

タのゲートとしての機能を有する。

【0151】

導電層254としては、上記実施の形態1における導電層154に適用可能な材料の層を用いることができる。また、導電層254に適用可能な材料の層の積層により、導電層254を構成することもできる。

【0152】

絶縁層255は、絶縁層253の上に設けられる。絶縁層255を設けることにより、例えば導電層254による段差を平坦化することができ、上部への層の形成が容易になる。

【0153】

絶縁層255としては、例えば上記実施の形態1における絶縁層151に適用可能な材料の層を用いることができる。また、絶縁層255に適用可能な材料の層の積層により絶縁層255を構成してもよい。例えば、酸化窒化シリコン層、窒化酸化シリコン層、及び酸化シリコン層の積層により絶縁層255を構成することができる。

10

【0154】

半導体層256は、絶縁層253及び絶縁層255を介して半導体層252bに重畳する。

【0155】

半導体層256は、メモリセルにおける選択トランジスタとしての機能を有するトランジスタのチャネル形成層としての機能を有する。

【0156】

半導体層256としては、例えば上記実施の形態1における半導体層156に適用可能な材料の層を用いることができる。

20

【0157】

導電層257aは、半導体層256に電氣的に接続される。

【0158】

導電層257aは、メモリセルにおける選択トランジスタとしての機能を有するトランジスタのソース及びドレインの一方としての機能を有する。

【0159】

導電層257bは、導電層254及び半導体層256に電氣的に接続される。また、導電層257bが導電層254に接する構造にすることにより、開口部を有する絶縁層の該開口部を介して導電層257bが導電層254に電氣的に接続される場合と比較してコンタクト面積を大きくすることができるため、コンタクト抵抗を低減することができる。

30

【0160】

導電層257bは、メモリセルにおける選択トランジスタとしての機能を有するトランジスタのソース及びドレインの他方、及びメモリセルにおける保持容量としての機能を有する容量素子の第2の容量電極としての機能を有する。

【0161】

導電層257a及び導電層257bとしては、例えば上記実施の形態1における導電層157a及び導電層157bに適用可能な材料の層を用いることができる。また、導電層157a及び導電層157bに適用可能な材料の層の積層により、導電層257a及び導電層257bを構成することもできる。

40

【0162】

絶縁層258は、半導体層256、導電層257a、及び導電層257bの上に設けられる。

【0163】

絶縁層258は、メモリセルにおける選択トランジスタとしての機能を有するトランジスタのゲート絶縁層、及びメモリセルにおける保持容量としての機能を有する容量素子の誘電体層としての機能を有する。

【0164】

絶縁層258としては、上記実施の形態1における絶縁層158に適用可能な材料の絶縁

50

層を用いることができる。また、絶縁層 2 5 8 に適用可能な材料の層の積層により絶縁層 2 5 8 を構成することもできる。

【 0 1 6 5 】

導電層 2 5 9 a は、絶縁層 2 5 8 を介して導電層 2 5 7 b に重畳する。

【 0 1 6 6 】

導電層 2 5 9 a は、メモリセルにおける保持容量としての機能を有する容量素子の第 1 の容量電極としての機能を有する。

【 0 1 6 7 】

導電層 2 5 9 b は、絶縁層 2 5 8 を介して半導体層 2 5 6 に重畳する。

【 0 1 6 8 】

導電層 2 5 9 b は、ワード線 W L 及びメモリセルにおける選択トランジスタとしての機能を有するトランジスタの第 1 のゲートとしての機能を有する。

【 0 1 6 9 】

導電層 2 5 9 a 及び導電層 2 5 9 b としては、上記実施の形態 1 における導電層 1 5 9 に適用可能な材料の層を用いることができる。また、導電層 2 5 9 a 及び導電層 2 5 9 b に適用可能な材料の層の積層により、導電層 2 5 9 a 及び導電層 2 5 9 b を構成することもできる。

【 0 1 7 0 】

絶縁層 2 6 0 は、絶縁層 2 5 8、導電層 2 5 9 a、及び導電層 2 5 9 b の上に設けられる。

【 0 1 7 1 】

絶縁層 2 6 0 としては、例えば絶縁層 2 5 5 に適用可能な材料の層を用いることができる。また、絶縁層 2 6 0 に適用可能な材料の層の積層により絶縁層 2 6 0 を構成することもできる。

【 0 1 7 2 】

導電層 2 6 1 は、絶縁層 2 5 8、及び絶縁層 2 6 0 に設けられた開口部を介して導電層 2 5 7 a に接し、絶縁層 2 5 3、絶縁層 2 5 5、絶縁層 2 5 8、及び絶縁層 2 6 0 に設けられた開口部を介して半導体層 2 5 2 a における一対の不純物領域の一方に接する。

【 0 1 7 3 】

導電層 2 6 1 は、メモリセルにおけるビット線 B L としての機能を有する。

【 0 1 7 4 】

導電層 2 6 1 としては、例えば導電層 2 5 4 に適用可能な材料の層を用いることができる。また、導電層 2 6 1 に適用可能な材料の層の積層により導電層 2 6 1 を構成することもできる。

【 0 1 7 5 】

また、導電層 2 6 1 の上に絶縁層を設け、該絶縁層の上に、該絶縁層に設けられた開口部を介して導電層 2 6 1 に電氣的に接続された別の導電層を設けてもよい。

【 0 1 7 6 】

なお、本実施の形態の半導体記憶装置におけるメモリセルでは、必要に応じて選択トランジスタとしての機能を有するトランジスタの閾値電圧を所望の値にシフトさせることができるように、第 2 のゲートに印加される電圧の値又は絶縁層 2 5 5 の膜厚が適宜設定される。

【 0 1 7 7 】

次に、図 3 に示すメモリセルの作製方法例について、図 4 乃至図 7 を用いて説明する。図 4 乃至図 7 は、図 3 に示すメモリセルの作製方法例を示す断面図である。

【 0 1 7 8 】

まず、図 4 (A) に示すように、基板 2 5 0 を準備し、基板 2 5 0 の一平面に絶縁層 2 5 1 を形成し、絶縁層 2 5 1 を介して基板 2 5 0 の一平面に半導体層 2 4 2 を形成する。なお、予め基板 2 5 0 の上に酸化絶縁層又は窒化絶縁層を形成してもよい。

【 0 1 7 9 】

10

20

30

40

50

基板 250 の一平面に絶縁層 251 及び半導体層 242 を形成する例について以下に説明する。

【0180】

例えば、基板 250 と、上面に絶縁層 251 を形成した半導体基板を準備する。

【0181】

例えば、熱酸化法、CVD法、又はスパッタリング法などにより、酸化物絶縁膜を形成することにより、酸化物絶縁層を形成することができる。例えば、熱酸化法における熱酸化処理により上記半導体基板の上に酸化シリコン膜を形成することにより酸化物絶縁層を形成することができる。

【0182】

さらに、半導体基板に電界で加速されたイオンでなるイオンビームを注入し、該半導体基板の表面から一定の深さの領域に、脆化領域を形成する。なお、イオンの運動エネルギー、イオンの質量と電荷、イオンの入射角などを調節することにより上記脆化領域の深さを調節する。

【0183】

例えば、イオンドーピング装置又はイオン注入装置を用いて上記半導体基板にイオンを注入することができる。

【0184】

また、注入するイオンとしては、例えば水素又はヘリウムの一つ又は複数をを用いることができる。例えば、イオンドーピング装置を用いて水素イオンを注入する場合、注入するイオンにおいて、 H_3^+ の比率を高くすることにより、イオン注入の効率を高めることができる。具体的には、 H^+ 、 H_2^+ 、 H_3^+ の総量に対して H_3^+ の割合が 50% 以上（より好ましくは 80% 以上）となるようにすることが好ましい。

【0185】

さらに、半導体基板に設けられた絶縁層を介して基板 250 と半導体基板を貼り合わせる。なお、基板 250 にも絶縁層を設けた場合には、半導体基板に設けられた絶縁層及び基板 250 に設けられた絶縁層を介して基板 250 及び半導体基板を貼り合わせる。このとき、基板 250 及び半導体基板の間に設けられた絶縁層が絶縁層 251 となる。

【0186】

さらに、加熱処理を行い、脆化領域を劈開面として半導体基板を分離する。これにより、絶縁層 251 を介して基板 250 の一平面に半導体層 242 を形成することができる。

【0187】

なお、半導体層 242 の表面にレーザー光を照射することにより、半導体層 242 の表面の平坦性を向上させることができる。

【0188】

なお、半導体層 242 を形成後、半導体層 242 に P 型又は N 型の導電型を付与する不純物元素を添加してもよい。P 型又は N 型の導電型を付与する不純物元素を半導体層 242 に添加することにより、半導体層 242 を用いて作製されるトランジスタの閾値電圧の制御が容易になる。

【0189】

また、上記形成方法に限定されず、絶縁層 251 の上に CVD 法を用いて多結晶、微結晶、非晶質の半導体層を形成することにより、半導体層 242 を形成してもよい。

【0190】

次に、図 4 (B) に示すように、半導体層 242 の一部をエッチングすることにより、互いに離間する半導体層 242 a 及び半導体層 242 b を形成する。

【0191】

例えば、フォトリソグラフィ工程により層又は膜の一部の上にレジストマスクを形成し、レジストマスクを用いて層又は膜の一部をエッチングすることができる。なお、この場合、エッチング後にレジストマスクを除去する。

【0192】

10

20

30

40

50

また、インクジェット法を用いてレジストマスクを形成してもよい。インクジェット法を用いることにより、フォトマスクが不要になるため、製造コストを低減することができる。また、透過率の異なる複数の領域を有する露光マスク（多階調マスクともいう）を用いてレジストマスクを形成してもよい。多階調マスクを用いることにより、異なる厚さの領域を有するレジストマスクを形成することができ、半導体記憶装置の作製に使用するレジストマスクの数を低減することができる。

【0193】

次に、図4（C）に示すように、半導体層242a及び半導体層242bの上に絶縁層253を形成する。

【0194】

例えば、スパッタリング法やプラズマCVD法などを用いて絶縁層253に適用可能な材料の膜を形成することにより絶縁層253を形成することができる。また、絶縁層253に適用可能な材料の膜を積層させることにより絶縁層253を形成することもできる。また、高密度プラズマCVD法（例えばμ波（例えば、周波数2.45GHzのμ波）を用いた高密度プラズマCVD法）を用いて絶縁層253を形成することにより、絶縁層253を緻密にすることができ、絶縁層253の絶縁耐圧を向上させることができる。また、熱処理（熱酸化処理や熱窒化処理など）又は高密度プラズマ処理により絶縁層253を形成することができる。例えば、He、Ne、Ar、Kr、又はXeなどの希ガス、若しくは酸素、酸化窒素、アンモニア、窒素、水素などのうちいずれかの混合ガスを用いて高密度プラズマ処理を行うことができる。

【0195】

なお、スパッタリングガスとして、例えば水素、水、水酸基、又は水素化物などの不純物が除去された高純度ガスを用いることにより、形成される膜の上記不純物濃度を低減することができる。

【0196】

なお、スパッタリング法を用いて膜を形成する前に、スパッタリング装置の予備加熱室で予備加熱処理を行ってもよい。上記予備加熱処理を行うことにより、水素、水分などの不純物を脱離することができる。

【0197】

また、スパッタリング法を用いて膜を形成する前に、例えばアルゴン、窒素、ヘリウム、又は酸素雰囲気下で、ターゲット側に電圧を印加せずに、基板側にRF電源を用いて電圧を印加し、プラズマを形成して被形成面を改質する処理（逆スパッタともいう）を行ってもよい。逆スパッタを行うことにより、被形成面に付着している粉状物質（パーティクル、ごみともいう）を除去することができる。

【0198】

また、スパッタリング法を用いて膜を形成する場合、吸着型の真空ポンプなどを用いて、膜を形成する成膜室内の残留水分を除去することができる。吸着型の真空ポンプとしては、例えばクライオポンプ、イオンポンプ、又はチタンサブリーメーションポンプなどを用いることができる。また、コールドトラップを設けたターボ分子ポンプを用いて成膜室内の残留水分を除去することもできる。

【0199】

なお、絶縁層253を形成した後に半導体層242a及び半導体層242bの一部にP型又はN型の導電型を付与する不純物元素を添加してもよい。

【0200】

次に、図4（D）に示すように、絶縁層253を介して少なくとも半導体層242aの一部の上に第1の導電膜を形成し、第1の導電膜の一部をエッチングすることにより導電層254を形成する。

【0201】

例えば、スパッタリング法を用いて導電層254に適用可能な材料の膜を形成することにより第1の導電膜を形成することができる。また、導電層254に適用可能な材料の膜を

10

20

30

40

50

積層させ、第1の導電膜を形成することもできる。

【0202】

次に、図5(A)に示すように、導電層254をマスクとしてP型又はN型の導電型を付与する不純物元素を半導体層242a及び半導体層242bに添加することにより、半導体層242aにおける導電層254と重畳する部分にチャンネル形成領域を形成し、それ以外の部分に不純物領域を形成し、半導体層242bにおいて不純物領域を形成することにより、半導体層252a及び半導体層252bを形成する。

【0203】

次に、図5(B)に示すように、絶縁層253及び導電層254の上に第3の絶縁膜を形成することにより絶縁層255を形成する。

10

【0204】

例えば、絶縁層253及び導電層254の上に酸化窒化シリコン膜を形成し、該酸化窒化シリコン膜の上に窒化酸化シリコン膜を形成し、該窒化酸化シリコン膜の上に酸化シリコン膜を形成することにより、絶縁層255を形成することができる。

【0205】

次に、図5(C)に示すように、絶縁層255の一部を除去して導電層254の上面を露出させる。

【0206】

例えば、CMP(化学的機械研磨)処理やエッチング処理を行うことにより絶縁層255の一部を除去して導電層254の上面を露出させることができる。

20

【0207】

例えば、酸化窒化シリコン膜、窒化酸化シリコン膜、及び酸化シリコン膜を順に形成することにより絶縁層253を形成する場合には、CMP処理により窒化酸化シリコン膜の上面を露出させ、さらに、ドライエッチングにより導電層254の上面を露出させてもよい。

【0208】

次に、図5(D)に示すように、絶縁層255の上に酸化物半導体膜を形成し、該酸化物半導体膜の一部をエッチングすることにより半導体層256を形成する。

【0209】

例えば、スパッタリング法を用いて半導体層256に適用可能な酸化物半導体材料の膜を形成することにより酸化物半導体膜を形成することができる。なお、希ガス雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下で酸化物半導体膜を形成してもよい。例えば、酸素のみの雰囲気下で酸化物半導体膜を形成することにより、結晶性の高い酸化物半導体膜を形成することができる。

30

【0210】

また、スパッタリングターゲットとして、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ [mol数比]の組成比である酸化物ターゲットを用いて酸化物半導体膜を形成することができる。また、例えば、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 2$ [mol数比]の組成比である酸化物ターゲットを用いて酸化物半導体膜を形成してもよい。

【0211】

また、作製される酸化物ターゲットのうち、全体の体積に対して全体の体積から空隙などが占める空間を除いた部分の体積の割合(相対密度ともいう)は、90%以上100%以下、さらには95%以上99.9%であることが好ましい。相対密度の高い金属酸化物ターゲットを用いることにより形成した酸化物半導体膜は、緻密な膜となる。

40

【0212】

また、スパッタリング法を用いて酸化物半導体膜を形成する際に、基板250を減圧状態にし、基板250を100以上600以下、好ましくは200以上400以下に加熱してもよい。基板250を加熱することにより、酸化物半導体膜の不純物濃度を低減することができ、また、スパッタリング法による酸化物半導体膜の損傷を軽減することができる。

50

【0213】

次に、図6(A)に示すように、導電層254、絶縁層255、及び半導体層256の上に第2の導電膜を形成し、第2の導電膜の一部をエッチングすることにより、導電層257a及び導電層257bを形成する。

【0214】

例えば、スパッタリング法などを用いて導電層257a及び導電層257bに適用可能な材料の膜を形成することにより第2の導電膜を形成することができる。また、導電層257a及び導電層257bに適用可能な材料の膜を積層させることにより第2の導電膜を形成することもできる。

【0215】

次に、図6(B)に示すように、半導体層256に接するように絶縁層258を形成する。

【0216】

なお、酸化物半導体膜を形成した後、酸化物半導体膜の一部をエッチングした後、第2の導電膜を形成した後、第2の導電膜の一部をエッチングした後、又は絶縁層258を形成した後に例えば400以上750以下、又は400以上基板の歪み点未満の温度で加熱処理を行ってよい。

【0217】

なお、上記加熱処理を行う加熱処理装置としては、電気炉、又は抵抗発熱体などの発熱体からの熱伝導又は熱輻射により被処理物を加熱する装置を用いることができ、例えばGRTA(Gas Rapid Thermal Annealing)装置又はLRTA(Lamp Rapid Thermal Annealing)装置などのRTA(Rapid Thermal Annealing)装置を用いることができる。LRTA装置は、例えばハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、又は高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。また、GRTA装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスとしては、例えば希ガス、又は加熱処理によって被処理物と反応しない不活性気体(例えば窒素)を用いることができる。

【0218】

また、上記加熱処理を行った後、その加熱温度を維持しながら又はその加熱温度から降温する過程で該加熱処理を行った炉と同じ炉に高純度の酸素ガス、高純度のN₂Oガス、又は超乾燥エア(露点が-40以下、好ましくは-60以下の雰囲気)を導入してもよい。このとき、酸素ガス又はN₂Oガスは、水、水素などを含まないことが好ましい。また、加熱処理装置に導入する酸素ガス又はN₂Oガスの純度を、6N以上、好ましくは7N以上、すなわち、酸素ガス又はN₂Oガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下とすることが好ましい。酸素ガス又はN₂Oガスの作用により、半導体層256に酸素が供給され、半導体層256中の酸素欠乏に起因する欠陥を低減することができる。

【0219】

さらに、上記加熱処理とは別に、絶縁層258を形成した後に、不活性ガス雰囲気下、又は酸素ガス雰囲気下で加熱処理(好ましくは200以上400以下、例えば250以上350以下)を行ってもよい。

【0220】

また、絶縁層258形成後、酸化物半導体膜形成後、選択トランジスタとしての機能を有するトランジスタのソース又はドレインとしての機能を有する導電層形成後、絶縁層形成後、又は加熱処理後に酸素プラズマによる酸素ドーピング処理を行ってもよい。例えば2.45GHzの高密度プラズマにより酸素ドーピング処理を行ってもよい。また、イオン注入法又はイオンドーピングを用いて酸素ドーピング処理を行ってもよい。酸素ドーピング処理を行うことにより、作製されるトランジスタの電気特性のばらつきを低減することができる。例えば、酸素ドーピング処理を行い、絶縁層258を、化学量論的組成比より

10

20

30

40

50

酸素が多い状態にする。これにより、絶縁層中の過剰な酸素が半導体層 256 に供給されやすくなる。よって、半導体層 256 中、又は絶縁層 258 と、半導体層 256 との界面における酸素欠陥を低減することができるため、半導体層 256 のキャリア濃度をより低減することができる。

【0221】

例えば、絶縁層 258 として、酸化ガリウムを含む絶縁層を形成する場合、該絶縁層に酸素を供給し、酸化ガリウムの組成を GaO_x にすることができる。

【0222】

また、絶縁層 258 として、酸化アルミニウムを含む絶縁層を形成する場合、該絶縁層に酸素を供給し、酸化アルミニウムの組成を AlO_x にすることができる。

10

【0223】

また、絶縁層 258 として、酸化ガリウムアルミニウム又は酸化アルミニウムガリウムを含む絶縁層を形成する場合、該絶縁層に酸素を供給し、酸化ガリウムアルミニウム又は酸化アルミニウムガリウムの組成を $Ga_xAl_{2-x}O_3$ とすることができる。

【0224】

以上の工程により、半導体層 256 から、水素、水、水酸基、又は水素化物（水素化合物ともいう）などの不純物を排除し、且つ半導体層 256 に酸素を供給することにより、半導体層 256 を高純度化させることができる。

【0225】

次に、図 6 (C) に示すように、絶縁層 258 の上に第 3 の導電膜を形成し、第 3 の導電膜の一部をエッチングすることにより導電層 259a 及び導電層 259b を形成する。

20

【0226】

例えば、スパッタリング法を用いて導電層 259a 及び導電層 259b に適用可能な材料の膜を形成することにより第 3 の導電膜を形成することができる。また、導電層 259a 及び導電層 259b に適用可能な材料の膜を積層させ、第 3 の導電膜を形成することもできる。

【0227】

次に、図 7 (A) に示すように、絶縁層 258、導電層 259a、及び導電層 259b の上に第 5 の絶縁膜を形成することにより絶縁層 260 を形成する。

【0228】

例えば、スパッタリング法やプラズマ CVD 法などを用いて絶縁層 260 に適用可能な材料の膜を形成することにより第 5 の絶縁膜を形成することができる。

30

【0229】

次に、図 7 (B) に示すように、絶縁層 253、絶縁層 255、絶縁層 258、及び絶縁層 260 の一部をエッチングすることにより、半導体層 252a に達する第 1 の開口部を形成し、絶縁層 258 及び絶縁層 260 の一部をエッチングすることにより、導電層 257a に達する第 2 の開口部を形成する。

【0230】

次に、図 7 (C) に示すように、絶縁層 260 の上に、第 1 の開口部を介して半導体層 252a における不純物領域に接するように、且つ第 2 の開口部を介して導電層 257a に接するように第 4 の導電膜を形成することにより導電層 261 を形成する。

40

【0231】

例えば、スパッタリング法などを用いて導電層 261 に適用可能な材料の膜を形成することにより第 4 の導電膜を形成することができる。また、導電層 261 に適用可能な材料の膜を積層させることにより第 4 の導電膜を形成することもできる。以上が図 3 に示すメモリセルの作製方法例である。

【0232】

図 2 乃至図 7 を用いて説明したように、本実施の形態における半導体記憶装置の一例は、複数のメモリセルを具備するメモリセルアレイを具備する構成である。

【0233】

50

さらに、本実施の形態における半導体記憶装置の一例の上記メモリセルは、電界効果トランジスタである選択トランジスタ及び出力トランジスタと、保持容量と、を少なくとも備える構成である。

【0234】

さらに、選択トランジスタは、チャネルが形成される酸化半導体層を含み、該チャネルが形成される酸化半導体層は、高純度化させることによりI型又は実質的にI型となった酸化半導体層である。酸化半導体層を高純度化させることにより、酸化半導体層のキャリア濃度を $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満にすることができ、温度変化による特性変化を抑制することができる。また、上記構成にすることにより、チャネル幅 $1 \mu\text{m}$ あたりのオフ電流を 10 aA ($1 \times 10^{-17} \text{ A}$)以下にすること、さらには、チャネル幅 $1 \mu\text{m}$ あたりのオフ電流を 1 aA ($1 \times 10^{-18} \text{ A}$)以下、さらにはチャネル幅 $1 \mu\text{m}$ あたりのオフ電流を 10 zA ($1 \times 10^{-20} \text{ A}$)以下、さらにはチャネル幅 $1 \mu\text{m}$ あたりのオフ電流を 1 zA ($1 \times 10^{-21} \text{ A}$)以下、さらにはチャネル幅 $1 \mu\text{m}$ あたりのオフ電流を 100 yA ($1 \times 10^{-22} \text{ A}$)以下にすることができる。トランジスタのオフ電流は、低ければ低いほどよいが、本実施の形態のトランジスタのチャネル幅 $1 \mu\text{m}$ あたりのオフ電流の下限値は、約 $10^{-30} \text{ A} / \mu\text{m}$ であると見積もられる。

10

【0235】

また、チャネルが形成される酸化半導体層に含まれるアルカリ金属の濃度は低いことが好ましい。例えば、チャネルが形成される酸化半導体層にナトリウムが含まれる場合、チャネルが形成される酸化半導体層に含まれるナトリウムの濃度は、 $5 \times 10^{16} / \text{cm}^3$ 以下、さらには、 $1 \times 10^{16} / \text{cm}^3$ 以下、さらには $1 \times 10^{15} / \text{cm}^3$ 以下であることが好ましい。また、例えばチャネルが形成される酸化半導体層にリチウムが含まれる場合、チャネルが形成される酸化半導体層に含まれるリチウムの濃度は、 $5 \times 10^{15} / \text{cm}^3$ 以下、さらには、 $1 \times 10^{15} / \text{cm}^3$ 以下であることが好ましい。また、例えばチャネルが形成される酸化半導体層にカリウムが含まれる場合、チャネルが形成される酸化半導体層に含まれるカリウムの濃度は、 $5 \times 10^{15} / \text{cm}^3$ 以下、さらには、 $1 \times 10^{15} / \text{cm}^3$ 以下であることが好ましい。例えば、ナトリウムは、酸化半導体層に接する絶縁層が酸化物である場合、酸化物絶縁層内に入り、トランジスタの特性の劣化（例えば閾値電圧のシフト、移動度の低下など）が起こる。さらに、複数のトランジスタ間における特性のばらつきの原因にもなる。よって、チャネルが形成される酸化半導体層に含まれるアルカリ金属の濃度を少なくすることにより、アルカリ金属に起因するトランジスタの特性の劣化を抑制することができる。

20

30

【0236】

さらに、本実施の形態における半導体記憶装置の一例の上記メモリセルにおいて、選択トランジスタは、第1のゲートと、第2のゲートと、を有する構成である。

【0237】

さらに、本実施の形態における半導体記憶装置の一例の上記メモリセルは、選択トランジスタにおける第2のゲートとしての機能を有し、出力トランジスタのチャネル形成層としての機能を有する半導体層と離間し、該半導体層と同じ材料である導電層を含む構成である。

40

【0238】

上記構成にすることにより、必要に応じて選択トランジスタの閾値電圧を調整し、オフ状態における選択トランジスタのソース及びドレインの間に流れる電流を極力小さくすることができる。よって、メモリセルにおけるデータの保持期間を長くすることができる。

【0239】

また、上記構成にすることにより、データの書き込み及び読み出しに必要な電圧を従来の半導体記憶装置より低くすることができるため、消費電力を低減することができる。

【0240】

また、上記構成にすることにより、出力トランジスタのゲートにデータ信号を入力するこ

50

とによりデータを書き込むことができるため、データの書き込み可能回数を増やすことができる。

【0241】

また、上記構成にすることにより、同一工程で同一の材料の層を用いて出力トランジスタのチャンネル形成層としての機能を有する半導体層と、選択トランジスタの第2のゲートとしての機能を有する導電層を同時に形成することができるため、作製工程数の増加を抑制することができる、製造コストの増加を抑制することができる。

【0242】

(実施の形態3)

本実施の形態では、上記実施の形態における半導体装置の一例として、NAND型の半導体記憶装置の例について説明する。

10

【0243】

本実施の形態における半導体記憶装置の例は、I行(Iは2以上の自然数)J列(Jは自然数)にマトリクス状に配列された複数のメモリセルを備えたメモリセルアレイを具備する。メモリセルは、上記実施の形態の半導体装置における記憶回路に相当する。

【0244】

さらに、本実施の形態の半導体記憶装置におけるメモリセルアレイの例について、図8を用いて説明する。

【0245】

まず、本実施の形態の半導体記憶装置におけるメモリセルアレイの回路構成例について、図8(A)を用いて説明する。

20

【0246】

図8(A)に示すメモリセルアレイは、i行(iは3以上の自然数)j列(jは3以上の自然数)にマトリクス状に配列された複数のメモリセル300と、i本のワード線WL(ワード線WL_1乃至ワード線WL_i)と、i本の容量線CL(容量線CL_1乃至容量線CL_i)と、j本のゲート線BGL(ゲート線BGL_1乃至ゲート線BGL_j)と、j本のビット線BL(ビット線BL_1乃至ビット線BL_j)と、ソース線SLと、選択線SEL_Aと、選択線SEL_Bと、j個のトランジスタ301(トランジスタ301_1乃至トランジスタ301_j)と、j個のトランジスタ302(トランジスタ302_1乃至トランジスタ302_j)と、を具備する。なお、本実施の形態の半導体記憶装置において、選択線SEL_A、選択線SEL_B、i個のトランジスタ301、及びi個のトランジスタ302を必ずしも設けなくてもよい。

30

【0247】

トランジスタ301_N(Nはj以下の自然数)のソース及びドレインの一方は、ビット線BL_Nに接続され、トランジスタ301_Nのゲートは、選択線SEL_Aに接続される。

【0248】

さらに、M(Mはi以下の自然数)行N列目のメモリセル300(メモリセル300(M, N)ともいう)は、トランジスタ311(M, N)と、容量素子313(M, N)と、トランジスタ312(M, N)と、を備える。

40

【0249】

トランジスタ311(M, N)は、Nチャンネル型トランジスタであり、ソース、ドレイン、第1のゲート、及び第2のゲートを有する。

【0250】

トランジスタ311(M, N)の第1のゲートは、ワード線WL_Mに接続され、トランジスタ311(M, N)の第2のゲートは、ゲート線BGL_Nに接続される。

【0251】

さらに、1行目のメモリセル300(メモリセル300(1, 1)乃至メモリセル300(i, 1))において、トランジスタ311(1, N)のソース及びドレインの一方は、ビット線BL_Nに接続される。

50

【0252】

また、 K 行目 (K は2以上 $i - 1$ 以下の自然数)のメモリセル300 (メモリセル300 ($K, 1$)乃至メモリセル300 (K, j))において、トランジスタ311のソース及びドレインの一方は、 $K - 1$ 行目のメモリセル (メモリセル300 ($K - 1, 1$)乃至メモリセル300 ($K - 1, j$))におけるトランジスタ311のソース及びドレインの他方に接続される。

【0253】

また、 i 行目のメモリセル300 (メモリセル300 ($i, 1$)乃至メモリセル300 (i, j))において、トランジスタ311のソース及びドレインの一方は、 $i - 1$ 行目のメモリセル (メモリセル300 ($i - 1, 1$)乃至メモリセル300 ($i - 1, j$))におけるトランジスタ311のソース及びドレインの他方に接続される。

10

【0254】

トランジスタ311 (M, N)は、メモリセル300 (M, N)において選択トランジスタとしての機能を有する。なお、本実施の形態の半導体記憶装置において、必ずしもトランジスタ311をNチャネル型トランジスタにしなくてもよい。

【0255】

トランジスタ311 (M, N)としては、例えば上記実施の形態1におけるトランジスタ111に適用可能な酸化物半導体層を含むトランジスタを用いることができる。

【0256】

トランジスタ312 (M, N)は、Nチャネル型トランジスタである。なお、本実施の形態の半導体記憶装置において、必ずしもトランジスタ312をNチャネル型トランジスタにしなくてもよい。

20

【0257】

トランジスタ312 (M, N)のゲートは、トランジスタ311 (M, N)のソース及びドレインの他方に接続される。

【0258】

さらに、1行目のメモリセル300 (メモリセル300 ($1, 1$)乃至メモリセル300 ($1, j$))において、トランジスタ312 ($1, N$)のソース及びドレインの一方は、トランジスタ301 __ N のソース及びドレインの他方に電氣的に接続される。

【0259】

また、 K 行目のメモリセル300 (メモリセル300 ($K, 1$)乃至メモリセル300 (K, j))において、トランジスタ312のソース及びドレインの一方は、 $K - 1$ 行目のメモリセル (メモリセル300 ($K - 1, 1$)乃至メモリセル300 ($K - 1, j$))におけるトランジスタ312のソース及びドレインの他方に接続される。

30

【0260】

また、 i 行目のメモリセル300 (メモリセル300 ($i, 1$)乃至メモリセル300 (i, j))において、トランジスタ312のソース及びドレインの一方は、 $i - 1$ 行目のメモリセル (メモリセル300 ($i - 1, 1$)乃至メモリセル300 ($i - 1, j$))におけるトランジスタ312のソース及びドレインの他方に接続される。

【0261】

トランジスタ312 (M, N)は、メモリセル300 (M, N)において、出力トランジスタとしての機能を有する。

40

【0262】

トランジスタ312 (M, N)としては、上記実施の形態1の半導体装置におけるトランジスタ112に適用可能な第14族の半導体 (シリコンなど)を含有する半導体層を含むトランジスタを用いることができる。

【0263】

容量素子313 (M, N)の第1の容量電極は、容量線 CL_M に接続され、容量素子313 (M, N)の第2の容量電極は、トランジスタ311 (M, N)のソース及びドレインの他方に接続される。

50

【 0 2 6 4 】

容量素子 3 1 3 (M , N) は、保持容量としての機能を有する。

【 0 2 6 5 】

トランジスタ 3 0 2 _ N のソース及びドレインの一方は、 i 行目のメモリセル 3 0 0 (メモリセル 3 0 0 (i , 1) 乃至メモリセル 3 0 0 (i , j)) におけるトランジスタ 3 1 2 (i , N) のソース及びドレインの他方に接続され、トランジスタ 3 0 2 _ N のソース及びドレインの他方は、ソース線 S L に接続される。

【 0 2 6 6 】

ワード線 W L _ 1 乃至ワード線 W L _ i のそれぞれの電圧は、例えばデコーダを用いた駆動回路により制御される。

10

【 0 2 6 7 】

ビット線 B L _ 1 乃至ビット線 B L _ j のそれぞれの電圧は、例えばデコーダを用いた駆動回路により制御される。

【 0 2 6 8 】

容量線 C L _ 1 乃至容量線 C L _ i のそれぞれの電圧は、例えばデコーダを用いた駆動回路により制御される。

【 0 2 6 9 】

ゲート線 B G L _ 1 乃至ゲート線 B G L _ j のそれぞれの電圧は、例えばゲート線駆動回路を用いて制御される。

【 0 2 7 0 】

ゲート線駆動回路は、例えばダイオード及び容量素子を備える回路により構成される。このとき、上記容量素子の第 1 の容量電極は、上記ダイオードのアノード及びゲート線 B G L に電氣的に接続される。

20

【 0 2 7 1 】

さらに、図 8 (A) に示すメモリセルアレイの駆動方法例について、図 8 (B) を用いて説明する。図 8 (B) は、図 8 (A) に示すメモリセルアレイの駆動方法例を説明するためのタイミングチャートである。ここでは、一例として 1 行 1 列目のメモリセル 3 0 0 (1 , 1) と 2 行 2 列目のメモリセル 3 0 0 (2 , 2) にデータを書き込み、その後書き込まれたデータを読み出す場合について説明する。なお、図 8 (B) に示すタイミングチャートの中で、電圧 V h は、トランジスタ 3 1 1 の閾値電圧より大きい電圧である。

30

【 0 2 7 2 】

まず、図 8 (B) における期間 t 3 1 に示すように、ワード線 W L _ 1 及びワード線 W L _ 2 の電圧を電圧 V h にし、選択線 S E L _ A の電圧を基準電位である接地電位 G N D と同等の値にし、選択線 S E L _ B の電圧を電圧 V h にする。このとき、ワード線 W L _ 1 及びワード線 W L _ 2 以外のワード線 W L の電圧を接地電位 G N D と同等の値にし、容量線 C L _ 1 乃至容量線 C L _ i の電圧を接地電位 G N D と同等の値にする。また、ソース線 S L の電圧を接地電位 G N D と同等の値にする。

【 0 2 7 3 】

このとき、1 行目のメモリセル 3 0 0 (メモリセル 3 0 0 (1 , 1) 乃至メモリセル 3 0 0 (1 , j)) において、トランジスタ 3 1 1 (1 , 1) 乃至トランジスタ 3 1 1 (1 , j) がオン状態になり、2 行目のメモリセル 3 0 0 (メモリセル 3 0 0 (2 , 1) 乃至メモリセル 3 0 0 (2 , j)) において、トランジスタ 3 1 1 (2 , 1) 乃至トランジスタ 3 1 1 (2 , j) がオン状態になる。

40

【 0 2 7 4 】

トランジスタ 3 1 1 (1 , 1) 乃至トランジスタ 3 1 1 (1 , j) 及びトランジスタ 3 1 1 (2 , 1) 乃至トランジスタ 3 1 1 (2 , j) がオン状態のとき、トランジスタ 3 1 1 (1 , 2) 及びトランジスタ 3 1 1 (2 , 2) を介してビット線 B L _ 2 からトランジスタ 3 1 2 (2 , 2) のゲート及び容量素子 3 1 3 (2 , 2) の第 2 の容量電極にメモリデータ信号が入力される。このとき、トランジスタ 3 1 2 (2 , 2) のゲート及び容量素子 3 1 3 (2 , 2) の第 2 の容量電極の電圧は、入力されるメモリデータ信号の電圧と同等

50

の値になり、2行2列目のメモリセル300(2,2)は、書き込み状態になる。ここでは、一例としてビット線BL₂の電圧が電圧V_hであるとする。

【0275】

2行2列目のメモリセル300(2,2)を含む2行目のメモリセル300にデータが書き込まれた後、ワード線WL₂の電圧を接地電位GNDと同等の値にする。このとき、ワード線WL₃乃至ワード線WL_iの電圧は、接地電位GNDと同等の値であり、容量線CL₁乃至容量線CL_iの電圧は、接地電位GNDと同等の値である。また、2行目のゲート線BGL₂の電圧を電圧V_lにする。

【0276】

このとき、トランジスタ311(2,1)乃至トランジスタ311(2,j)は、オフ状態になる。さらに、トランジスタ311(2,1)乃至トランジスタ311(2,j)の閾値電圧は、正の値になる。よって、容量素子313(2,1)乃至容量素子313(2,j)の第2の容量電極の電圧及びトランジスタ312(2,1)乃至トランジスタ312(2,j)のゲートの電圧は、一定期間保持される。

10

【0277】

次に、図8(B)における期間t₃₂に示すように、ワード線WL₁の電圧を電圧V_hにする。このとき、ワード線WL₁以外のワード線WLの電圧を接地電位GNDと同等の値にし、容量線CL₁乃至容量線CL_iの電圧を接地電位GNDと同等の値にする。

【0278】

このとき、1行目のメモリセル300(メモリセル300(1,1)乃至メモリセル300(1,j))において、トランジスタ311(1,1)乃至トランジスタ311(1,j)がオン状態になる。

20

【0279】

トランジスタ311(1,1)乃至トランジスタ311(1,j)がオン状態のとき、トランジスタ311(1,1)を介してビット線BL₁からトランジスタ312(1,1)のゲート及び容量素子313(1,1)の第2の容量電極にメモリデータ信号が入力される。このとき、トランジスタ312(1,1)のゲート及び容量素子313(1,1)の第2の容量電極の電圧は、入力されるメモリデータ信号の電圧と同等の値になり、1行1列目のメモリセル300(1,1)は、書き込み状態になる。ここでは、一例として1

30

【0280】

1行1列目のメモリセル300(1,1)を含む1行目のメモリセル300にデータが書き込まれた後、ワード線WL₁の電圧を接地電位GNDと同等の値にする。このとき、ワード線WL₁以外のワード線WLの電圧は、接地電位GNDと同等の値であり、容量線CL₁乃至容量線CL_iの電圧は、接地電位GNDと同等の値である。また、1行目のゲート線BGL₁の電圧を電圧V_lにする。

【0281】

このとき、トランジスタ311(1,1)乃至トランジスタ311(1,j)は、オフ状態になる。さらに、トランジスタ311(1,1)乃至トランジスタ311(1,j)の閾値電圧は、正の値になる。よって、容量素子313(1,1)乃至容量素子313(1,j)の第2の容量電極の電圧及びトランジスタ312(1,1)乃至トランジスタ312(1,j)のゲートの電圧は、一定期間保持される。

40

【0282】

さらに、図8(B)における期間t₃₃に示すように、容量線CL₁の電圧を接地電位GNDと同等の値にし、選択線SEL_Aの電圧を電圧V_hにし、選択線SEL_Bの電圧を電圧V_hにする。このとき、ワード線WL₁乃至ワード線WL_iの電圧を接地電位GNDと同等の値にし、容量線CL₁以外の容量線CLの電圧を電圧V_hにする。また、ソース線SLの電圧は、接地電位GNDと同等の値である。なお、期間t₃₃の前にビット線BL₁の電圧を電圧V_hにしておく。

50

【0283】

このとき、メモリセル300(1,1)乃至メモリセル300(i,1)において、トランジスタ312のソース及びドレインの間の抵抗値は、トランジスタ312のゲートの電圧に応じた値になる。さらに、メモリセル300(1,1)乃至メモリセル300(i,1)において、トランジスタ312がオン状態になると、ビット線BL₁の電圧が接地電位GNDと同等の値になり、ビット線BL₁の電圧がデータとして出力され、データが読み出される。

【0284】

次に、図8(B)における期間t₃₄に示すように、容量線CL₂の電圧を接地電位GNDと同等の値にし、選択線SEL_Aの電圧を電圧V_hにし、選択線SEL_Bの電圧を電圧V_hにする。このとき、ワード線WL₁乃至ワード線WL_iの電圧を接地電位GNDと同等の値にし、容量線CL₂以外の容量線CLの電圧を電圧V_hにする。また、ソース線SLの電圧は、接地電位GNDと同等の値である。なお、期間t₃₄の前にビット線BL₂の電圧を電圧V_hにしておく。

10

【0285】

このとき、メモリセル300(1,2)乃至メモリセル300(i,2)において、トランジスタ312のソース及びドレインの間の抵抗値は、トランジスタ312のゲートの電圧に応じた値になる。さらに、メモリセル300(1,2)乃至メモリセル300(i,2)において、トランジスタ312がオン状態になると、ビット線BL₂の電圧が接地電位GNDと同等の値になり、ビット線BL₂の電圧がデータとして出力され、データが読み出される。以上が図8(A)に示すメモリセルアレイの駆動方法例である。

20

【0286】

次に、図8(A)に示すメモリセルアレイにおけるメモリセル300の構造例について、図9を用いて説明する。図9は、本実施の形態の半導体記憶装置におけるメモリセルの構造例を示す図であり、図9(A)は、上面図であり、図9(B)は、図9(A)における線分C-Dの断面図である。なお、図9では、2つのメモリセルの構造例を示している。

【0287】

図9(A)及び図9(B)に示すメモリセルは、半導体層352aと、半導体層352bと、絶縁層353と、導電層354と、絶縁層355と、半導体層356と、導電層357aと、導電層357bと、絶縁層358と、導電層359aと、導電層359bと、絶縁層360と、導電層361と、を含む。なお、本実施の形態の半導体記憶装置において、必ずしも絶縁層355を設けなくてもよい。

30

【0288】

半導体層352a及び半導体層352bは、絶縁層351を介して基板350の一平面上に設けられる。

【0289】

基板350としては、上記実施の形態1に示す基板150に適用可能な基板を用いることができる。

【0290】

絶縁層351としては、上記実施の形態2に示す絶縁層251に適用可能な材料の層を用いることができる。なお、絶縁層351に適用可能な材料の層を積層することにより絶縁層351を構成することもできる。

40

【0291】

半導体層352aは、一对の不純物領域を有する。半導体層352aは、一对の不純物領域の間にチャネル形成領域が設けられる。また、半導体層352aに不純物元素の濃度が異なる複数の不純物領域を設けてもよい。

【0292】

さらに、同じ行に配置されるメモリセルにおいて、半導体層352aは、同じ層である。

【0293】

半導体層352aは、ソース線及び各メモリセルにおける出力トランジスタとしての機能

50

を有するトランジスタのチャネル形成層としての機能を有する。

【0294】

半導体層352bは、半導体層352aにおける不純物領域と同じ不純物元素を含む。半導体層352bは、半導体層352aと離間する。なお、半導体層352bは、導電型を付与する不純物元素を導電層として機能できる程度に含むため、導電層とみなすことができる。

【0295】

半導体層352bは、ゲート線BGL及び各メモリセルにおける選択トランジスタとしての機能を有するトランジスタの第2のゲートとしての機能を有する。

【0296】

半導体層352a及び半導体層352bとしては、例えば上記実施の形態1における半導体層152a及び半導体層152bに適用可能な材料の層を用いることができる。

【0297】

絶縁層353は、半導体層352a及び半導体層352bの上に設けられる。

【0298】

絶縁層353は、各メモリセルにおける出力トランジスタとしての機能を有するトランジスタのゲート絶縁層としての機能を有する。

【0299】

絶縁層353としては、例えば上記実施の形態1における絶縁層151に適用可能な材料の層を用いることができる。また、絶縁層151に適用可能な材料の層の積層により絶縁層353を構成することもできる。

【0300】

導電層354は、絶縁層353を介して半導体層352a(チャネル形成領域を含む)に重畳する。なお、導電層354の側面をテーパにしてもよい。導電層354の側面をテーパにすることにより、上部の層を形成しやすくすることができる。

【0301】

導電層354は、メモリセルにおける出力トランジスタとしての機能を有するトランジスタのゲートとしての機能を有する。

【0302】

導電層354としては、上記実施の形態1における導電層154に適用可能な材料の層を用いることができる。また、導電層354に適用可能な材料の層の積層により、導電層354を構成することもできる。

【0303】

絶縁層355は、絶縁層353の上に設けられる。絶縁層355を設けることにより、例えば導電層354による段差を平坦化することができ、上部への層の形成が容易になる。

【0304】

絶縁層355としては、例えば上記実施の形態1における絶縁層151に適用可能な材料の層を用いることができる。また、絶縁層355に適用可能な材料の層の積層により絶縁層355を構成してもよい。例えば、酸化窒化シリコン層、窒化酸化シリコン層、及び酸化シリコン層の積層により絶縁層355を構成することができる。

【0305】

半導体層356は、絶縁層353及び絶縁層355を介して半導体層352bに重畳する。

【0306】

半導体層356は、メモリセルにおける選択トランジスタとしての機能を有するトランジスタのチャネル形成層としての機能を有する。

【0307】

半導体層356としては、例えば上記実施の形態1における半導体層156に適用可能な材料の層を用いることができる。

【0308】

10

20

30

40

50

導電層 357a は、半導体層 356 に電氣的に接続される。

【0309】

さらに、同じ列に配置されるメモリセルにおいて、k 行目 (k は 2 以上 I 以下の自然数) のメモリセルの導電層 357a は、k - 1 行目のメモリセルの半導体層 356 に電氣的に接続される。これにより、配線数を少なくすることができるため、半導体記憶装置の面積を小さくすることができる。なお、本実施の形態の半導体記憶装置において、必ずしもこれに限定されない。

【0310】

導電層 357a は、メモリセルにおける選択トランジスタとしての機能を有するトランジスタのソース及びドレインの一方としての機能を有する。

10

【0311】

導電層 357b は、導電層 354 及び半導体層 356 に電氣的に接続される。また、導電層 357b が導電層 354 に接する構造にすることにより、開口部を有する絶縁層の開口部を介して導電層 357b が導電層 354 に電氣的に接続される場合と比較してコンタクト面積を大きくすることができるため、コンタクト抵抗を低減することができる。

【0312】

導電層 357b は、メモリセルにおける選択トランジスタとしての機能を有するトランジスタのソース及びドレインの他方、及びメモリセルにおける保持容量としての機能を有する容量素子の第 2 の容量電極としての機能を有する。

20

【0313】

導電層 357a 及び導電層 357b としては、例えば上記実施の形態 1 における導電層 157a 及び導電層 157b に適用可能な材料の層を用いることができる。また、導電層 357a 及び導電層 357b に適用可能な材料の層の積層により、導電層 357a 及び導電層 357b を構成することもできる。

【0314】

絶縁層 358 は、半導体層 356、導電層 357a、及び導電層 357b の上に設けられる。

【0315】

絶縁層 358 は、メモリセルにおける選択トランジスタとしての機能を有するトランジスタのゲート絶縁層、及びメモリセルにおける保持容量としての機能を有する容量素子の誘電体層としての機能を有する。

30

【0316】

絶縁層 358 としては、上記実施の形態 1 における絶縁層 158 に適用可能な材料の絶縁層を用いることができる。また、絶縁層 158 に適用可能な材料の層の積層により絶縁層 358 を構成することもできる。

【0317】

導電層 359a は、絶縁層 358 を介して導電層 357a に重畳する。

【0318】

導電層 359a は、メモリセルにおける保持容量としての機能を有する容量素子の第 1 の容量電極としての機能を有する。

40

【0319】

導電層 359b は、絶縁層 358 を介して半導体層 356 に重畳する。

【0320】

導電層 359b は、ワード線 WL 及びメモリセルにおける選択トランジスタとしての機能を有するトランジスタの第 1 のゲートとしての機能を有する。

【0321】

導電層 359a 及び導電層 359b としては、上記実施の形態 1 における導電層 159 に適用可能な材料の層を用いることができる。また、導電層 359a 及び導電層 359b に適用可能な材料の層の積層により、導電層 359a 及び導電層 359b を構成することもできる。

50

【0322】

絶縁層360は、絶縁層358、導電層359a、及び導電層359bの上に設けられる。

【0323】

絶縁層360としては、例えば絶縁層355に適用可能な材料の層を用いることができる。また、絶縁層360に適用可能な材料の層の積層により絶縁層360を構成することもできる。

【0324】

導電層361は、絶縁層358、及び絶縁層360に設けられた開口部を介して導電層357bに接し、絶縁層353、絶縁層355、絶縁層358、及び絶縁層360に設けられた開口部を介して半導体層352aにおける不純物領域に接する。

10

【0325】

導電層361は、メモリセルにおけるビット線としての機能を有する。

【0326】

導電層361としては、例えば導電層354に適用可能な材料の層を用いることができる。また、導電層361に適用可能な材料の層の積層により導電層361を構成することもできる。

【0327】

また、導電層361の上に絶縁層を設け、該絶縁層の上に、該絶縁層に設けられた開口部を介して導電層361に電氣的に接続された別の導電層を設けてもよい。

20

【0328】

なお、本実施の形態の半導体記憶装置におけるメモリセルでは、必要に応じて選択トランジスタとしての機能を有するトランジスタの閾値電圧を所望の値にシフトさせることができるように、第2のゲートに印加される電圧の値又は絶縁層355の膜厚が適宜設定される。

【0329】

次に、図9に示すメモリセルの作製方法例について、図10乃至図13を用いて説明する。図10乃至図13は、図9に示すメモリセルの作製方法例を示す断面図である。

【0330】

まず、図10(A)に示すように、基板350を準備し、基板350の一平面に絶縁層351を形成し、絶縁層351を介して基板350の一平面に半導体層342を形成する。なお、予め基板350の上に酸化絶縁層又は窒化絶縁層を形成してもよい。

30

【0331】

例えば、上記実施の形態2における基板250の一平面に絶縁層251及び半導体層242を形成する例と同じ方法で基板350の上に絶縁層351及び半導体層342を形成することができる。

【0332】

なお、半導体層342を形成後、半導体層342にP型又はN型の導電型を付与する不純物元素を添加してもよい。P型又はN型の導電型を付与する不純物元素を半導体層342に添加することにより、半導体層342を用いて作製されるトランジスタの閾値電圧の制御が容易になる。

40

【0333】

また、上記形成方法に限定されず、絶縁層351の上にCVD法を用いて多結晶、微結晶、非晶質の半導体層を形成することにより、半導体層342を形成してもよい。

【0334】

次に、図10(B)に示すように、半導体層342の一部をエッチングすることにより、互いに離間する半導体層342a及び半導体層342bを形成する。

【0335】

次に、図10(C)に示すように、半導体層342a及び半導体層342bの上に絶縁層353を形成する。

50

【0336】

例えば、絶縁層253に適用可能な膜と同じ方法で絶縁層353に適用可能な材料の膜を形成することにより絶縁層353を形成することができる。また、絶縁層353に適用可能な材料の膜を積層させることにより絶縁層353を形成することもできる。

【0337】

なお、絶縁層353を形成した後に半導体層342a及び半導体層342bの一部にP型又はN型の導電性を付与する不純物元素を添加してもよい。

【0338】

次に、図10(D)に示すように、絶縁層353を介して少なくとも半導体層342aの一部の上に第1の導電膜を形成し、第1の導電膜の一部をエッチングすることにより導電層354を形成する。

10

【0339】

例えば、スパッタリング法を用いて導電層354に適用可能な材料の膜を形成することにより第1の導電膜を形成することができる。また、第1の導電膜に適用可能な材料の膜を積層させ、第1の導電膜を形成することもできる。

【0340】

次に、図11(A)に示すように、導電層354をマスクとしてP型又はN型の導電性を付与する不純物元素を半導体層342a及び半導体層342bに添加することにより、半導体層342aにおける導電層354と重畳する部分にチャネル形成領域を形成し、それ以外の部分に不純物領域を形成し、半導体層342bにおいて不純物領域を形成することにより、半導体層352a及び半導体層352bを形成する。

20

【0341】

次に、図11(B)に示すように、絶縁層353及び導電層354の上に第3の絶縁膜を形成することにより絶縁層355を形成する。

【0342】

例えば、絶縁層353及び導電層354の上に酸化窒化シリコン膜を形成し、該酸化窒化シリコン膜の上に窒化酸化シリコン膜を形成し、該窒化酸化シリコン膜の上に酸化シリコン膜を形成することにより、絶縁層355を形成することができる。

【0343】

次に、図11(C)に示すように、絶縁層355の一部を除去して導電層354の上面を露出させる。

30

【0344】

例えば、CMP(化学的機械研磨)処理やエッチング処理を行うことにより絶縁層355の一部を除去して導電層354の上面を露出させることができる。

【0345】

例えば、酸化窒化シリコン膜、窒化酸化シリコン膜、及び酸化シリコン膜を順に形成することにより絶縁層353を形成する場合には、CMP処理により窒化酸化シリコン膜の上面を露出させ、さらに、ドライエッチングにより導電層354の上面を露出させてもよい。

【0346】

次に、図12(A)に示すように、絶縁層355の上に酸化物半導体膜を形成し、該酸化物半導体膜の一部をエッチングすることにより半導体層356を形成する。

40

【0347】

例えば、スパッタリング法を用いて半導体層356に適用可能な酸化物半導体材料の膜を形成することにより酸化物半導体膜を形成することができる。なお、希ガス雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下で酸化物半導体膜を形成してもよい。例えば、酸素のみの雰囲気下で酸化物半導体膜を形成することにより、結晶性の高い酸化物半導体膜を形成することができる。

【0348】

また、スパッタリングターゲットとして、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$

50

〔mol数比〕の組成比である酸化物ターゲットを用いて酸化物半導体膜を形成することができる。また、例えば、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ 〔mol数比〕の組成比である酸化物ターゲットを用いて酸化物半導体膜を形成してもよい。

【0349】

また、作製される酸化物ターゲットのうち、全体の体積に対して全体の体積から空隙などが占める空間を除いた部分の体積の割合（相対密度ともいう）は、90%以上100%以下、さらには95%以上99.9%であることが好ましい。

【0350】

また、スパッタリング法を用いて酸化物半導体膜を形成する際に、基板350を減圧状態にし、基板350を100以上600以下、好ましくは300以上400以下に加熱してもよい。基板350を加熱することにより、酸化物半導体膜の不純物濃度を低減することができる。また、スパッタリング法による酸化物半導体膜の損傷を軽減することができる。

10

【0351】

次に、図12(B)に示すように、導電層354、絶縁層355、及び半導体層356の上に第2の導電膜を形成し、第2の導電膜の一部をエッチングすることにより、導電層357a及び導電層357bを形成する。

【0352】

例えば、スパッタリング法などを用いて導電層357a及び導電層357bに適用可能な材料の膜を形成することにより第2の導電膜を形成することができる。また、導電層357a及び導電層357bに適用可能な材料の膜を積層させることにより第2の導電膜を形成することもできる。

20

【0353】

次に、図12(C)に示すように、半導体層356に接するように絶縁層358を形成する。

【0354】

なお、酸化物半導体膜を形成した後、酸化物半導体膜の一部をエッチングした後、第2の導電膜を形成した後、第2の導電膜の一部をエッチングした後、又は絶縁層358を形成した後に例えば400以上750以下、又は400以上基板の歪み点未満の温度で加熱処理を行ってよい。

30

【0355】

なお、上記加熱処理を行う加熱処理装置としては、上記実施の形態2における作製方法に適用可能な加熱処理装置を用いることができる。

【0356】

また、上記加熱処理を行った後、その加熱温度を維持しながら又はその加熱温度から降温する過程で該加熱処理を行った炉と同じ炉に高純度の酸素ガス、高純度の N_2O ガス、又は超乾燥エア（露点が-40以下、好ましくは-60以下の雰囲気）を導入してもよい。このとき、酸素ガス又は N_2O ガスは、水、水素などを含まないことが好ましい。また、加熱処理装置に導入する酸素ガス又は N_2O ガスの純度を、6N以上、好ましくは7N以上、すなわち、酸素ガス又は N_2O ガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下とすることが好ましい。酸素ガス又は N_2O ガスの作用により、半導体層356に酸素が供給され、半導体層356中の酸素欠乏に起因する欠陥を低減することができる。

40

【0357】

さらに、上記加熱処理とは別に、絶縁層358を形成した後に、不活性ガス雰囲気下、又は酸素ガス雰囲気下で加熱処理（好ましくは300以上400以下、例えば300以上350以下）を行ってもよい。

【0358】

また、絶縁層358形成後、酸化物半導体膜形成後、選択トランジスタとしての機能を有するトランジスタのソース又はドレインとしての機能を有する導電層形成後、絶縁層形成

50

後、又は加熱処理後に酸素プラズマによる酸素ドーピング処理を行ってもよい。例えば2.45 GHzの高密度プラズマにより酸素ドーピング処理を行ってもよい。また、イオン注入法又はイオンドーピングを用いて酸素ドーピング処理を行ってもよい。

【0359】

例えば、絶縁層358として、酸化ガリウムを含む絶縁層を形成する場合、該絶縁層に酸素を供給し、酸化ガリウムの組成を GaO_x にすることができる。

【0360】

また、絶縁層358として、酸化アルミニウムを含む絶縁層を形成する場合、該絶縁層に酸素を供給し、酸化アルミニウムの組成を AlO_x にすることができる。

【0361】

また、絶縁層358として、酸化ガリウムアルミニウム又は酸化アルミニウムガリウムを含む絶縁層を形成する場合、該絶縁層に酸素を供給し、酸化ガリウムアルミニウム又は酸化アルミニウムガリウムの組成を $Ga_xAl_{2-x}O_3$ とすることができる。

【0362】

以上の工程により、半導体層356から、水素、水、水酸基、又は水素化物（水素化合物ともいう）などの不純物を排除し、且つ半導体層356に酸素を供給することにより、半導体層356を高純度化させることができる。

【0363】

次に、図13(A)に示すように、絶縁層358の上に第3の導電膜を形成し、第3の導電膜の一部をエッチングすることにより導電層359a及び導電層359bを形成する。

【0364】

例えば、スパッタリング法を用いて導電層359a及び導電層359bに適用可能な材料の膜を形成することにより第3の導電膜を形成することができる。また、導電層359a及び導電層359bに適用可能な材料の膜を積層させ、第3の導電膜を形成することもできる。

【0365】

次に、図13(B)に示すように、絶縁層358、導電層359a、及び導電層359bの上に第5の絶縁膜を形成することにより絶縁層360を形成する。

【0366】

例えば、スパッタリング法やプラズマCVD法などを用いて絶縁層360に適用可能な材料の膜を形成することにより第5の絶縁膜を形成することができる。

【0367】

次に、図13(C)に示すように、絶縁層360の上に導電層361を形成する。このとき、導電層361と、同じ列の1行目のメモリセルの半導体層352aにおける不純物領域に接するように、開口部を設けておく。

【0368】

例えば、スパッタリング法などを用いて導電層361に適用可能な材料の膜を形成することにより第4の導電膜を形成することができる。また、導電層361に適用可能な材料の膜を積層させることにより第4の導電膜を形成することもできる。以上が図9に示すメモリセルの作製方法例である。

【0369】

図8乃至図13を用いて説明したように、本実施の形態における半導体記憶装置の一例は、複数のメモリセルを具備するメモリセルアレイを具備する構成である。

【0370】

さらに、本実施の形態における半導体記憶装置の一例の上記メモリセルは、電界効果トランジスタである選択トランジスタ及び出力トランジスタと、保持容量と、を少なくとも備える構成である。

【0371】

さらに、選択トランジスタは、チャネルが形成される酸化物半導体層を含み、該チャネルが形成される酸化物半導体層は、高純度化させることによりI型又は実質的にI型となっ

10

20

30

40

50

た酸化物半導体層である。酸化物半導体層を高純度化させることにより、酸化物半導体層のキャリア濃度を $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満にすることができ、温度変化による特性変化を抑制することができる。また、上記構成にすることにより、チャネル幅 $1 \mu\text{m}$ あたりのオフ電流を 10 aA ($1 \times 10^{-17} \text{ A}$) 以下にすること、さらには、チャネル幅 $1 \mu\text{m}$ あたりのオフ電流を 1 aA ($1 \times 10^{-18} \text{ A}$) 以下、さらにはチャネル幅 $1 \mu\text{m}$ あたりのオフ電流を 10 zA ($1 \times 10^{-30} \text{ A}$) 以下、さらにはチャネル幅 $1 \mu\text{m}$ あたりのオフ電流を 1 zA ($1 \times 10^{-31} \text{ A}$) 以下、さらにはチャネル幅 $1 \mu\text{m}$ あたりのオフ電流を 100 yA ($1 \times 10^{-22} \text{ A}$) 以下にすることができる。トランジスタのオフ電流は、低ければ低いほどよいが、本実施の形態のトランジスタのチャネル幅 $1 \mu\text{m}$ あたりのオフ電流の下限値は、約 $10^{-30} \text{ A} / \mu\text{m}$ であると見積もられる。

10

【0372】

また、チャネルが形成される酸化物半導体層に含まれるアルカリ金属の濃度は低いことが好ましい。例えばチャネルが形成される酸化物半導体層にナトリウムが含まれる場合、チャネルが形成される酸化物半導体層に含まれるナトリウムの濃度は、 $5 \times 10^{16} / \text{cm}^3$ 以下、さらには、 $1 \times 10^{16} / \text{cm}^3$ 以下、さらには $1 \times 10^{15} / \text{cm}^3$ 以下であることが好ましい。また、例えばチャネルが形成される酸化物半導体層にリチウムが含まれる場合、チャネルが形成される酸化物半導体層に含まれるリチウムの濃度は、 $5 \times 10^{15} / \text{cm}^3$ 以下、さらには、 $1 \times 10^{15} / \text{cm}^3$ 以下であることが好ましい。また、例えばチャネルが形成される酸化物半導体層にカリウムが含まれる場合、チャネルが形成される酸化物半導体層に含まれるカリウムの濃度は、 $5 \times 10^{15} / \text{cm}^3$ 以下、さらには、 $1 \times 10^{15} / \text{cm}^3$ 以下であることが好ましい。例えば、酸化物半導体層に接する絶縁層が酸化物である場合、ナトリウムは、酸化物絶縁層内に入り、トランジスタの特性の劣化（例えば閾値電圧のシフト、移動度の低下など）が起こる。さらに、複数のトランジスタ間における特性のばらつきの原因にもなる。よって、チャネルが形成される酸化物半導体層に含まれるアルカリ金属の濃度を少なくすることにより、アルカリ金属に起因するトランジスタの特性の劣化を抑制することができる。

20

【0373】

さらに、本実施の形態における半導体記憶装置の一例の上記メモリセルにおいて、選択トランジスタは、第1のゲートと、第2のゲートと、を有する構成である。

30

【0374】

さらに、本実施の形態における半導体記憶装置の一例の上記メモリセルは、選択トランジスタにおける第2のゲートとしての機能を有し、出力トランジスタのチャネル形成層としての機能を有する半導体層と離間し、該半導体層と同じ材料である導電層を含む構成である。

【0375】

上記構成にすることにより、必要に応じて選択トランジスタの閾値電圧を調整し、オフ状態における選択トランジスタのソース及びドレインの間に流れる電流を極力小さくすることができる。よって、メモリセルにおけるデータの保持期間を長くすることができる。

【0376】

また、上記構成にすることにより、データの書き込み及び読み出しに必要な電圧を従来の半導体記憶装置より低くすることができるため、消費電力を低減することができる。

40

【0377】

また、上記構成にすることにより、出力トランジスタのゲートにデータ信号を入力することによりデータを書き込むことができるため、データの書き込み可能回数を増やすことができる。

【0378】

また、上記構成にすることにより、同一工程で同一の材料の層を用いて出力トランジスタのチャネル形成層としての機能を有する半導体層と、選択トランジスタの第2のゲートとしての機能を有する導電層を同時に形成することができるため、作製工程数の増加を抑制

50

することができ、製造コストの増加を抑制することができる。

【0379】

(実施の形態4)

本実施の形態では、上記実施の形態の半導体記憶装置におけるゲート線駆動回路の構成例について説明する。

【0380】

本実施の形態におけるゲート線駆動回路の回路構成例について、図14を用いて説明する。

【0381】

図14に示すゲート線駆動回路は、 s 段(s は2以上 i 以下の自然数)の単位ゲート線駆動回路を有する。

10

【0382】

z 段目(z は2以上 s 以下の自然数)の単位ゲート線駆動回路は、トランジスタ511 $_z$ と、容量素子512 $_z$ と、を備える。

【0383】

トランジスタ511 $_z$ のソース及びドレインの一方には、電圧 V_C が選択的に入力され、トランジスタ511 $_z$ のソース及びドレインの他方は、トランジスタ511 $_z$ のゲートに接続される。

【0384】

トランジスタ511 $_z$ は、ダイオードとしての機能を有する。このとき、トランジスタ511 $_z$ のソース及びドレインの一方がカソードであり、ソース及びドレインの他方がアノードである。

20

【0385】

なお、トランジスタ511 $_z$ として、第1のゲート及び第2のゲートを有するトランジスタを用いることもできる。この場合、トランジスタ511 $_z$ のソース及びドレインの他方は、トランジスタ511 $_z$ の第1のゲート及び第2のゲートに接続される。

【0386】

容量素子512 $_z$ の第1の容量電極は、トランジスタ511 $_z$ のソース及びドレインの他方に接続され、容量素子512 $_z$ の第2の容量電極には、接地電位 GND が入力される。

30

【0387】

さらに、単位ゲート線駆動回路において、トランジスタ511 $_z$ のソース及びドレインの他方は、 I 本のゲート線 BGL のうち、互いに異なるゲート線 BGL に電氣的に接続される。例えば、1段目の単位ゲート線駆動回路において、トランジスタ511 $_1$ のソース及びドレインの他方は、1行目のゲート線 BGL_1 乃至 p 行目(p は3以上 $i-2$ 以下の自然数)のゲート線 BGL_p に接続され、 s 段目の単位ゲート線駆動回路において、トランジスタ511 $_s$ のソース及びドレインの他方は、 $p(s-1)+1$ 行目のゲート線 $BGL_{p(s-1)+1}$ 乃至 i 行目のゲート線 BGL_i に接続される。

【0388】

接続されるゲート線 BGL の電圧が電圧 V_C より一定以上高い場合、該ゲート線 BGL からトランジスタ511 $_z$ のソース及びドレインを介して電流が流れる。そのため、上記ゲート線 BGL の電圧は、電圧 V_C よりトランジスタ511 $_z$ の閾値電圧分だけ高い電圧に設定される。ゲート線 BGL の電圧を、メモリセルの選択トランジスタのソースの電圧より十分低くなるように設定できれば、選択トランジスタの閾値電圧は高い方にシフトする。従って、メモリセルの保持特性を向上させることができる。

40

【0389】

なお、ゲート線駆動回路への電圧 V_C の供給を停止し、ゲート線 BGL の電圧が電圧 V_C より低くなった場合は、トランジスタ511 $_z$ には逆方向バイアスの電圧がかかるため、トランジスタ511 $_z$ に流れる電流はオフ電流のみになる。このオフ電流によって容量素子512 $_z$ は充電され、時間の経過と共にゲート線 BGL の電圧が上昇する。その

50

後、メモリセルにおける選択トランジスタの電圧 V_{gs} が小さくなるため、トランジスタの閾値電圧をシフトさせることができなくなる。しかし、容量素子512_zは、セルアレイの外部に配置することができるので、メモリセル内の保持容量に比べて容量値を大きくすることができる。よって、一定期間、トランジスタ511₁のソース及びドレインの一方に電圧 V_C の供給を停止しても各メモリセルに書き込んだデータを保持することができる。

【0390】

図14を用いて説明したように、本実施の形態におけるゲート線駆動回路の一例は、複数段の単位ゲート線駆動回路を備え、複数段の単位ゲート線駆動回路のそれぞれは、ダイオード接続されたトランジスタと、容量素子と、を備える構成である。上記構成にすることにより、ゲート線駆動回路への電圧の供給を一時停止させた場合であっても、ゲート線BGLの電圧を一定期間保持することができる。

10

【0391】

(実施の形態5)

本実施の形態では、半導体記憶装置の構成例について説明する。

【0392】

本実施の形態における半導体記憶装置の構成例について、図15を用いて説明する。図15は、本実施の形態における半導体記憶装置の構成例を示すブロック図である。

【0393】

図15に示す半導体記憶装置は、複数のメモリセル(MCともいう)811を具備するメモリセルアレイ(MCAともいう)812と、第1の駆動回路(IDRVともいう)813₁と、第2の駆動回路(JDRVともいう)813₂と、駆動制御回路(DCTLともいう)813₃と、を具備する。

20

【0394】

メモリセルアレイの構成としては、上記実施の形態2に示すメモリセルアレイの構成を適用することができる。

【0395】

第1の駆動回路813₁には、行アドレス信号が入力される。第1の駆動回路813₁は、入力された行アドレス信号に従ってワード線WLを選択し、選択したワード線WLの電圧を設定する機能を有する。第1の駆動回路813₁は、例えばデコーダを用いて構成される。デコーダは、入力された行アドレス信号に従ってワード線WLを選択する機能を有する。なお、本実施の形態の半導体記憶装置を、複数の第1の駆動回路813₁を具備する構成にしてもよい。

30

【0396】

第2の駆動回路813₂には、メモリデータ信号及び列アドレス信号が入力される。第2の駆動回路813₂は、ビット線BLの電圧を設定する機能を有する。また、第2の駆動回路813₂は、読み出し信号に従って、容量線CLの電圧を設定し、メモリセル811に記憶されたデータを選択的に読み出す機能を有する。第2の駆動回路813₂は、例えばデコーダ、複数のアナログスイッチ、読み出し信号出力回路、及び読み出し回路を用いて構成される。デコーダは、ビット線BLを選択する機能を有し、複数のアナログスイッチは、デコーダから入力される信号に応じてメモリデータ信号を出力するか否かを制御する機能を有し、読み出し信号出力回路は、読み出し信号を生成して出力する機能を有し、読み出し回路は、読み出し信号により選択したメモリセル811に記憶されたデータを読み出す機能を有する。

40

【0397】

駆動制御回路813₃には、書き込み制御信号、読み出し制御信号、及びアドレス信号が入力される。駆動制御回路813₃は、入力される書き込み制御信号、読み出し制御信号、及びアドレス信号に応じて、第1の駆動回路813₁及び第2の駆動回路813₂の動作を制御する信号を生成して出力する機能を有する。例えば、駆動制御回路813₃は、アドレス信号に応じて複数の行アドレス信号を第1の駆動回路813₁に出

50

かし、複数の列アドレス信号を第2の駆動回路813__2に出力する機能を有する。

【0398】

図15を用いて説明したように、本実施の形態における記憶装置の一例は、複数のメモリセルを具備するメモリセルアレイと、第1の駆動回路と、第2の駆動回路と、駆動制御回路と、を具備する構成である。

【0399】

上記構成にすることにより、所定のメモリセルへのデータの書き込み及び読み出しを行うことができる。

【0400】

(実施の形態6)

本実施の形態では、上記実施の形態における半導体記憶装置を備えた電子機器の例について説明する。

【0401】

本実施の形態における電子機器の構成例について、図16(A)乃至図16(D)を用いて説明する。

【0402】

図16(A)に示す電子機器は、携帯型情報端末の例である。図16(A)に示す情報端末は、筐体1001aと、筐体1001aに設けられた表示部1002aと、を具備する。

【0403】

なお、筐体1001aの側面1003aに外部機器に接続させるための接続端子、及び図16(A)に示す携帯型情報端末を操作するためのボタンの一つ又は複数も設けてもよい。

【0404】

図16(A)に示す携帯型情報端末は、筐体1001aの中に、CPUと、記憶回路と、外部機器とCPU及び記憶回路との信号の送受信を行うインターフェースと、外部機器との信号の送受信を行うアンテナと、を備える。

【0405】

図16(A)に示す携帯型情報端末は、例えば電話機、電子書籍、パーソナルコンピュータ、及び遊技機の一つ又は複数としての機能を有する。

【0406】

図16(B)に示す電子機器は、折り畳み式の携帯型情報端末の例である。図16(B)に示す携帯型情報端末は、筐体1001bと、筐体1001bに設けられた表示部1002bと、筐体1004と、筐体1004に設けられた表示部1005と、筐体1001b及び筐体1004を接続する軸部1006と、を具備する。

【0407】

また、図16(B)に示す携帯型情報端末では、軸部1006により筐体1001b又は筐体1004を動かすことにより、筐体1001bを筐体1004に重畳させることができる。

【0408】

なお、筐体1001bの側面1003b又は筐体1004の側面1007に外部機器に接続させるための接続端子、及び図16(B)に示す携帯型情報端末を操作するためのボタンの一つ又は複数も設けてもよい。

【0409】

また、表示部1002b及び表示部1005に、互いに異なる画像又は一続きの画像を表示させてもよい。なお、表示部1005を必ずしも設けなくてもよく、表示部1005の代わりに、入力装置であるキーボードを設けてもよい。

【0410】

図16(B)に示す携帯型情報端末は、筐体1001b又は筐体1004の中に、CPUと、記憶回路と、外部機器とCPU及び記憶回路との信号の送受信を行うインターフェー

10

20

30

40

50

スト、を備える。なお、図16(B)に示す携帯型情報端末に、外部との信号の送受信を行うアンテナを設けてもよい。

【0411】

図16(B)に示す携帯型情報端末は、例えば電話機、電子書籍、パーソナルコンピュータ、及び遊技機の一つ又は複数としての機能を有する。

【0412】

図16(C)に示す電子機器は、設置型情報端末の例である。図16(C)に示す設置型情報端末は、筐体1001cと、筐体1001cに設けられた表示部1002cと、を具備する。

【0413】

なお、表示部1002cを、筐体1001cにおける甲板部1008に設けることもできる。

【0414】

また、図16(C)に示す設置型情報端末は、筐体1001cの中に、CPUと、記憶回路と、外部機器とCPU及び記憶回路との信号の送受信を行うインターフェースと、を備える。なお、図16(C)に示す設置型情報端末に、外部との信号の送受信を行うアンテナを設けてもよい。

【0415】

さらに、図16(C)に示す設置型情報端末における筐体1001cの側面1003cに券などを出力する券出力部、硬貨投入部、及び紙幣挿入部の一つ又は複数を設けてもよい。

【0416】

図16(C)に示す設置型情報端末は、例えば現金自動預け払い機、券などの注文をするための情報通信端末(マルチメディアステーションともいう)、又は遊技機としての機能を有する。

【0417】

図16(D)は、設置型情報端末の例である。図16(D)に示す設置型情報端末は、筐体1001dと、筐体1001dに設けられた表示部1002dと、を具備する。なお、筐体1001dを支持する支持台を設けてもよい。

【0418】

なお、筐体1001dの側面1003dに外部機器に接続させるための接続端子、及び図16(D)に示す設置型情報端末を操作するためのボタンの一つ又は複数を設けてもよい。

【0419】

また、図16(D)に示す設置型情報端末は、筐体1001dの中に、CPUと、記憶回路と、外部機器とCPU及び記憶回路との信号の送受信を行うインターフェースと、を備えてもよい。なお、図16(D)に示す設置型情報端末に、外部との信号の送受信を行うアンテナを設けてもよい。

【0420】

図16(D)に示す設置型情報端末は、例えばデジタルフォトフレーム、モニタ、又はテレビジョン装置としての機能を有する。

【0421】

上記実施の形態の半導体記憶装置は、例えば電子機器の記憶回路の一つとして用いられ、例えば図16(A)乃至図16(D)に示す電子機器の記憶回路の一つとして用いられる。

【0422】

図16を用いて説明したように、本実施の形態における電子機器の一例は、上記実施の形態における半導体記憶装置が用いられた記憶回路を具備する構成である。

【0423】

上記構成にすることにより、電源を供給しない場合であっても電子機器内の情報を一定期

10

20

30

40

50

間保持することができるため、信頼性が向上し、消費電力を低減することができる。

【0424】

また、図16に示す構成に限定されず、上記実施の形態の半導体記憶装置を用いて、コネクタが設けられた携帯型の半導体記憶装置などを構成することもできる。

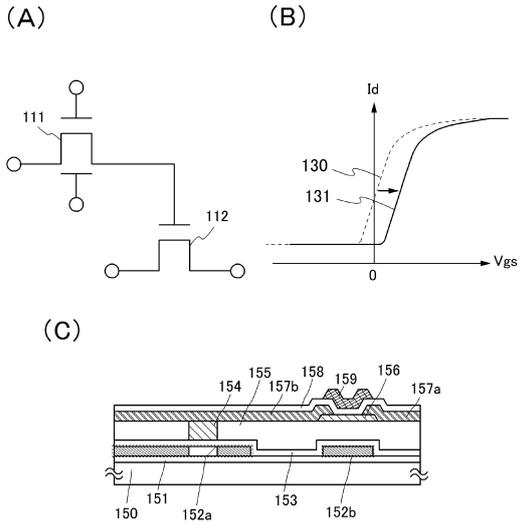
【符号の説明】

【0425】

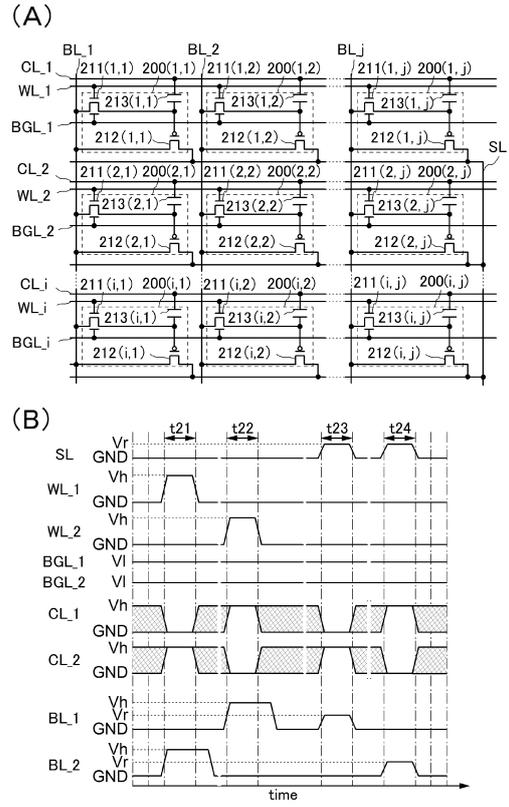
111	トランジスタ	
112	トランジスタ	
130	曲線	
131	曲線	10
150	基板	
151	絶縁層	
152 a	半導体層	
152 b	半導体層	
153	絶縁層	
154	導電層	
155	絶縁層	
156	半導体層	
157 a	導電層	
157 b	導電層	20
158	絶縁層	
159	導電層	
200	メモリセル	
211	トランジスタ	
212	トランジスタ	
213	容量素子	
242	半導体層	
242 a	半導体層	
242 b	半導体層	
250	基板	30
251	絶縁層	
252 a	半導体層	
252 b	半導体層	
253	絶縁層	
254	導電層	
255	絶縁層	
256	半導体層	
257 a	導電層	
257 b	導電層	
258	絶縁層	40
259 a	導電層	
259 b	導電層	
260	絶縁層	
261	導電層	
300	メモリセル	
301	トランジスタ	
302	トランジスタ	
311	トランジスタ	
312	トランジスタ	
313	容量素子	50

3 4 2	半導体層	
3 4 2 a	半導体層	
3 4 2 b	半導体層	
3 5 0	基板	
3 5 1	絶縁層	
3 5 2 a	半導体層	
3 5 2 b	半導体層	
3 5 3	絶縁層	
3 5 4	導電層	
3 5 5	絶縁層	10
3 5 6	半導体層	
3 5 7 a	導電層	
3 5 7 b	導電層	
3 5 8	絶縁層	
3 5 9 a	導電層	
3 5 9 b	導電層	
3 6 0	絶縁層	
3 6 1	導電層	
5 1 1	トランジスタ	
5 1 2	容量素子	20
8 1 1	メモリセル	
8 1 2	メモリセルアレイ	
8 1 3	回路	
1 0 0 1 a	筐体	
1 0 0 1 b	筐体	
1 0 0 1 c	筐体	
1 0 0 1 d	筐体	
1 0 0 2 a	表示部	
1 0 0 2 b	表示部	
1 0 0 2 c	表示部	30
1 0 0 2 d	表示部	
1 0 0 3 a	側面	
1 0 0 3 b	側面	
1 0 0 3 c	側面	
1 0 0 3 d	側面	
1 0 0 4	筐体	
1 0 0 5	表示部	
1 0 0 6	軸部	
1 0 0 7	側面	
1 0 0 8	甲板部	40

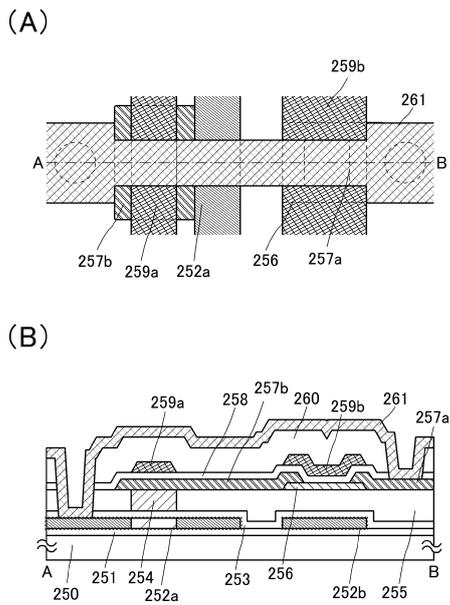
【図1】



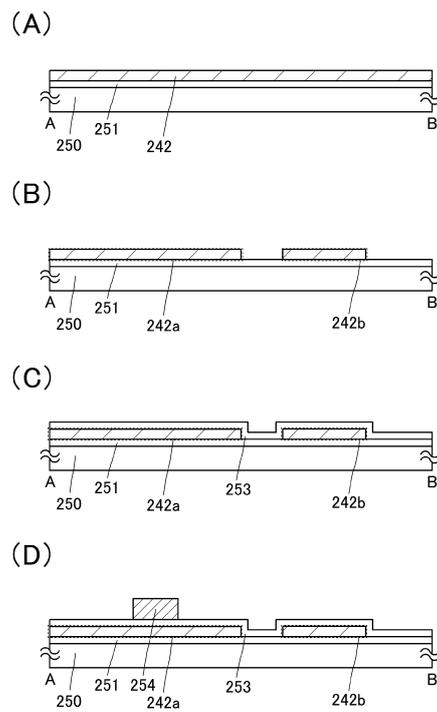
【図2】



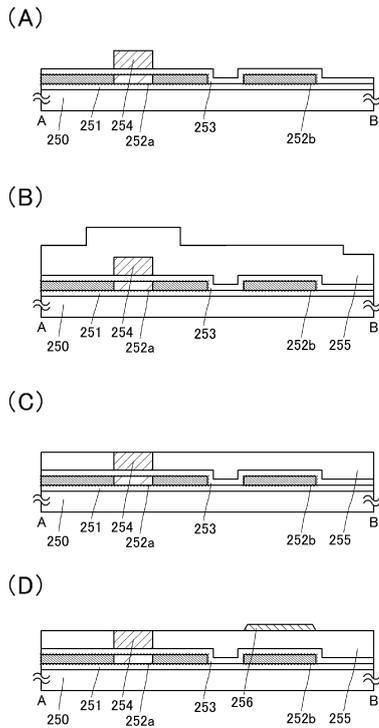
【図3】



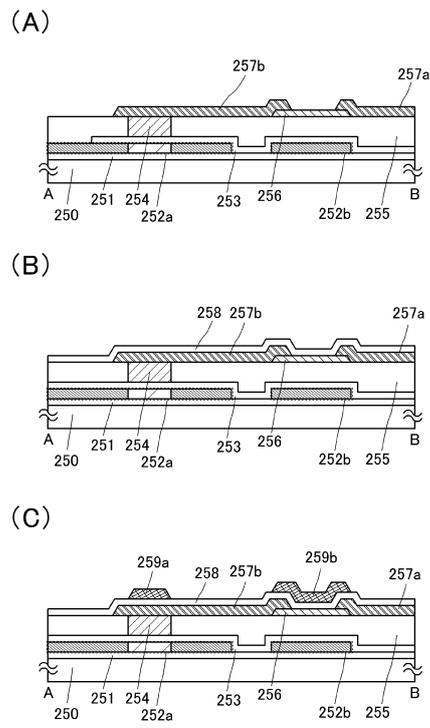
【図4】



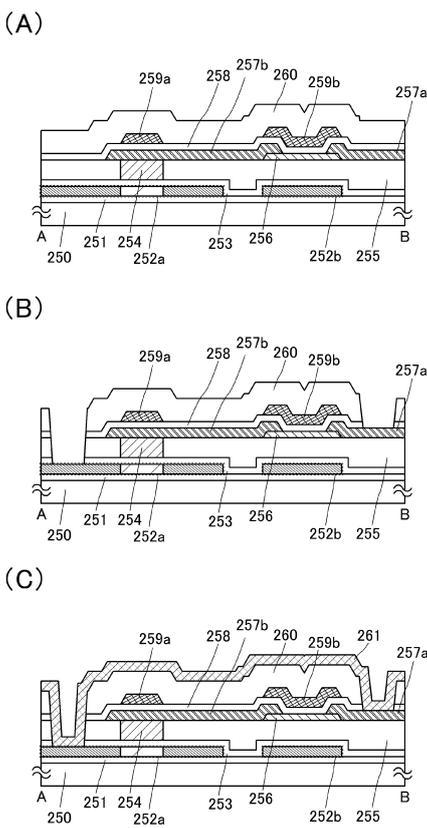
【図5】



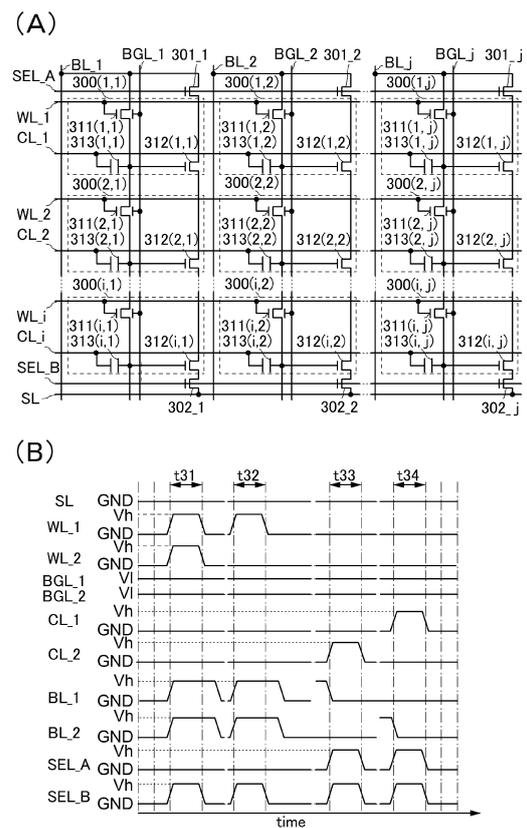
【図6】



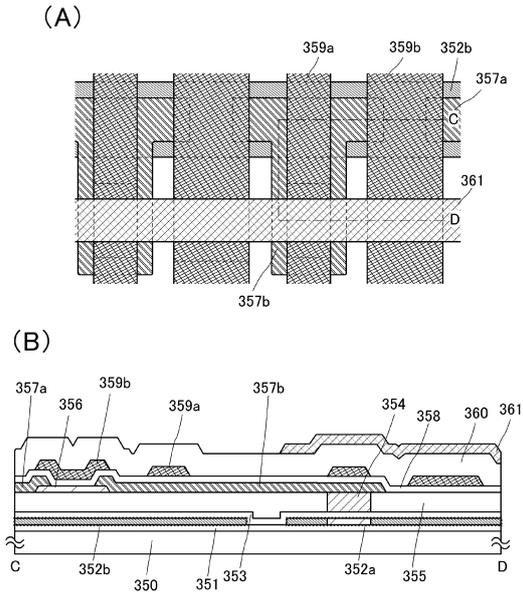
【図7】



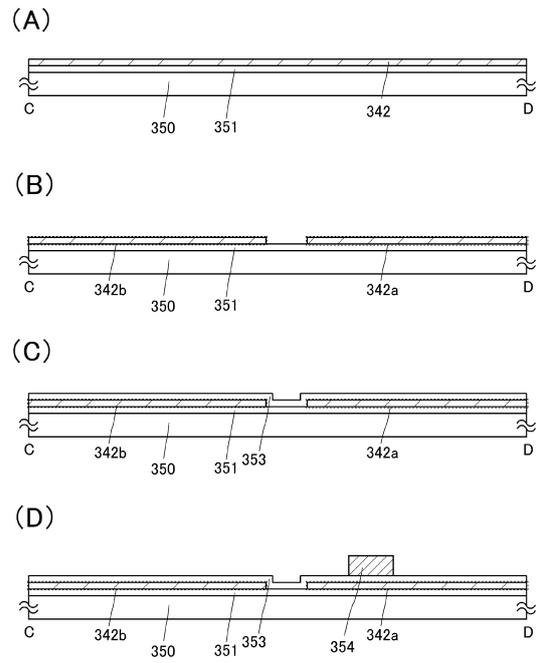
【図8】



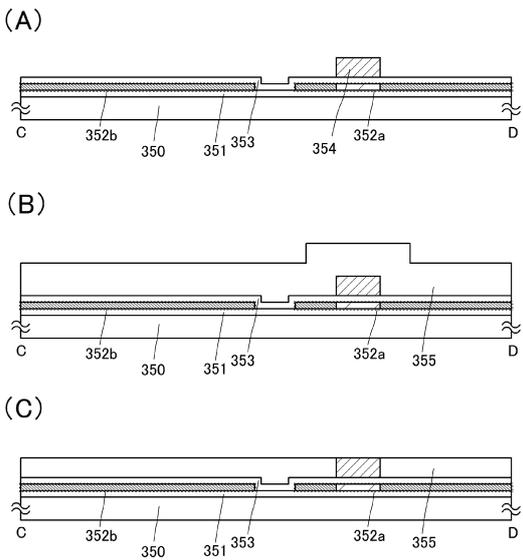
【図 9】



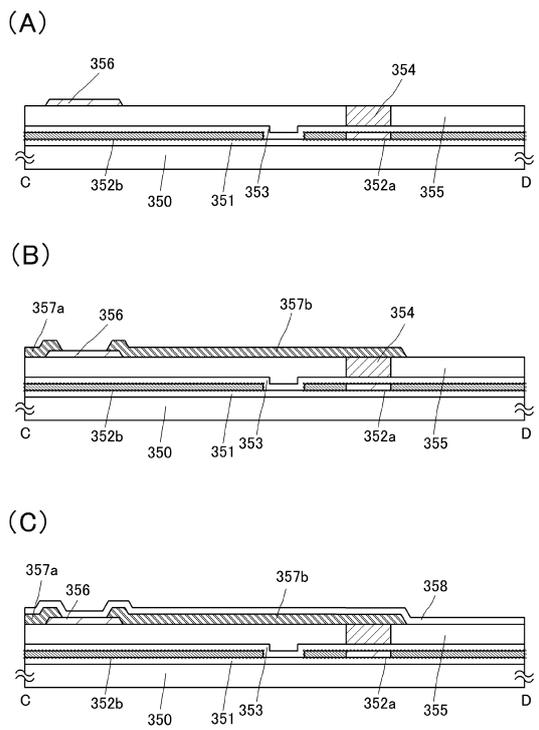
【図 10】



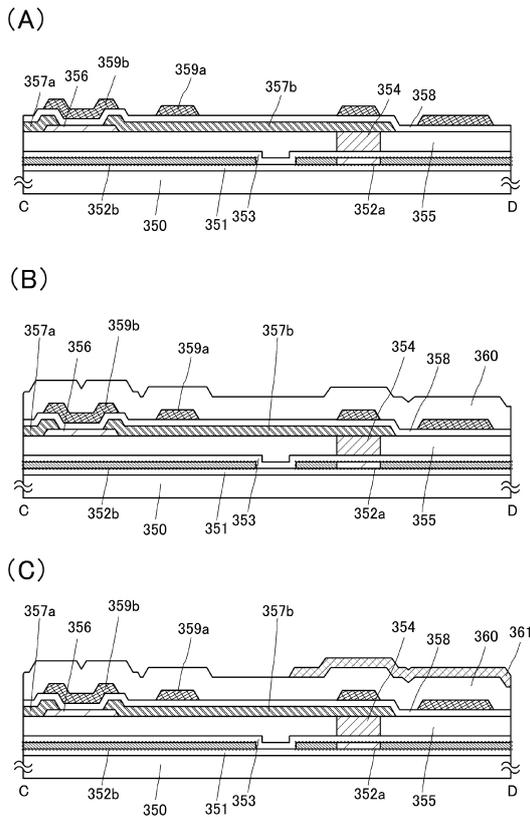
【図 11】



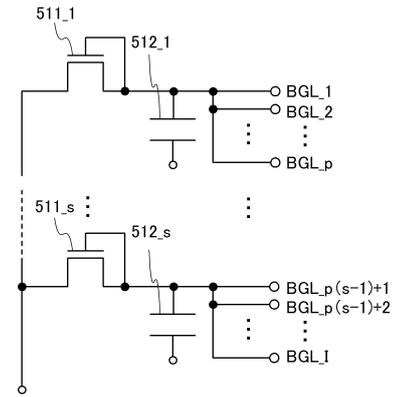
【図 12】



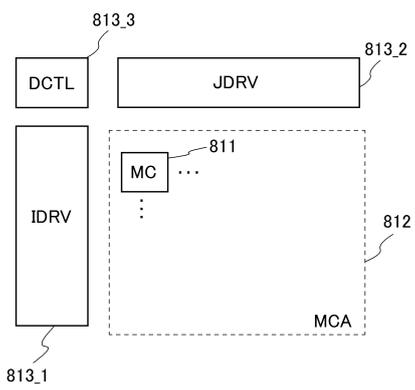
【図13】



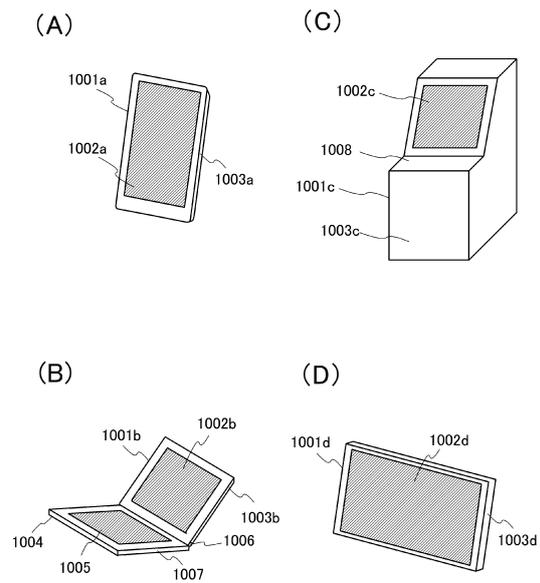
【図14】



【図15】



【図16】



フロントページの続き

(72)発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

審査官 加藤 俊哉

(56)参考文献 特開2000-269457(JP,A)

特開2010-141230(JP,A)

特開2002-094029(JP,A)

特開平07-099251(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8242

G11C 11/404

H01L 27/10

H01L 27/108

H01L 29/786