



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0056565
(43) 공개일자 2014년05월12일

(51) 국제특허분류(Int. Cl.)

H01L 51/50 (2006.01) H01L 29/786 (2006.01)

H05B 33/10 (2006.01)

(21) 출원번호 10-2012-0120717

(22) 출원일자 2012년10월29일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

안기완

서울 양천구 목동 102동 1809호

(74) 대리인

팬코리아특허법인

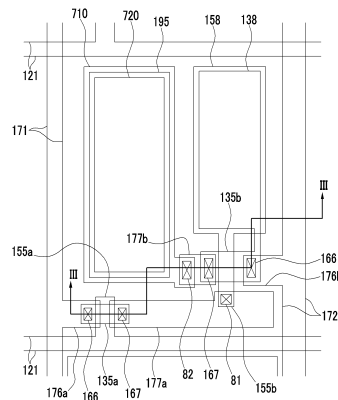
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 유기 발광 표시 장치, 박막 트랜지스터 표시판 및 그 제조 방법

(57) 요약

본 발명의 한 실시예에 따른 박막 트랜지스터 표시판은 기판, 기판 위에 위치하며 소스 영역, 드레인 영역 및 채널 영역을 가지는 반도체, 반도체 위에 위치하는 게이트 절연막, 게이트 절연막 위에 위치하며 상기 채널 영역과 중첩하는 게이트 전극, 게이트 전극 위에 위치하며 상기 소스 영역 및 드레인 영역을 각각 노출하는 접촉 구멍을 가지는 제1 층간 절연막, 제1 층간 절연막 위에 위치하며 상기 소스 영역 및 드레인 영역과 접촉 구멍을 통해서 각각 연결되어 있는 소스 전극 및 드레인 전극을 포함하고, 소스 영역 및 드레인 영역의 평면 패턴은 상기 접촉 구멍의 평면 패턴과 동일하다.

대표도 - 도2



특허청구의 범위

청구항 1

기판,

상기 기판 위에 위치하며 소스 영역, 드레인 영역 및 채널 영역을 가지는 반도체,

상기 반도체 위에 위치하는 게이트 절연막,

상기 게이트 절연막 위에 위치하며 상기 채널 영역과 중첩하는 게이트 전극,

상기 게이트 전극 위에 위치하며 상기 소스 영역 및 드레인 영역을 각각 노출하는 접촉 구멍을 가지는 제1 층간 절연막,

상기 제1 층간 절연막 위에 위치하며 상기 소스 영역 및 드레인 영역과 접촉 구멍을 통해서 각각 연결되어 있는 소스 전극 및 드레인 전극

을 포함하고,

상기 소스 영역 및 드레인 영역의 평면 패턴은 상기 접촉 구멍의 평면 패턴과 동일한 박막 트랜지스터 표시판.

청구항 2

제1항에서,

상기 소스 영역과 상기 채널 영역 사이 및 상기 드레인 영역과 상기 채널 영역 사이 각각에 위치하는 오프셋 영역을 더 포함하는 박막 트랜지스터 표시판.

청구항 3

제1항에서,

상기 게이트 절연막은 상기 반도체와 동일한 평면 패턴을 가지는 박막 트랜지스터 표시판.

청구항 4

제1항에서,

상기 소스 전극 및 드레인 전극 위에 위치하며 상기 드레인 전극을 노출하는 접촉 구멍을 가지는 제2 층간 절연막,

상기 제2 층간 절연막 위에 위치하며 상기 제2 층간 절연막의 접촉 구멍을 통해서 상기 드레인 전극과 연결되는 제1 전극

을 더 포함하는 박막 트랜지스터 표시판.

청구항 5

기판,

상기 기판 위에 위치하는 제1 신호선,

상기 제1 신호선과 연결되어 있는 제1 박막 트랜지스터,

상기 제1 박막 트랜지스터와 연결되어 있는 제2 박막 트랜지스터,

상기 제1 박막 트랜지스터 및 제2 박막 트랜지스터 위에 위치하는 층간 절연막,

상기 층간 절연막 위에 위치하며 상기 제1 박막 트랜지스터의 제1 소스 영역과 연결되어 있는 제2 신호선, 상기 제2 박막 트랜지스터의 게이트 전극과 연결되어 있는 제1 드레인 전극, 상기 제2 박막 트랜지스터의 제2 소스 영역과 연결되어 있는 제3 신호선 및 상기 제2 박막 트랜지스터의 드레인 영역과 연결되어 있는 제2 드레인 전극,

상기 제2 드레인 전극과 전기적으로 연결되어 있는 제1 전극,

상기 제1 전극 위에 위치하는 유기 발광층,

상기 유기 발광층 위에 위치하는 제2 전극

을 포함하고,

상기 제1 소스 영역과 상기 제2 신호선, 상기 제2 소스 영역과 제3 신호선, 상기 제1 드레인 영역과 상기 제1 드레인 전극, 상기 제2 드레인 영역과 상기 제2 드레인 전극은 상기 층간 절연막에 형성된 접촉 구멍을 통해서 연결되고, 상기 접촉 구멍의 평면 패턴은 상기 제1 소스 영역 및 제2 소스 영역과 동일한 평면 패턴을 가지는 유기 발광 표시 장치.

청구항 6

제5항에서,

상기 게이트 절연막은 상기 반도체와 동일한 평면 패턴을 가지는 유기 발광 표시 장치.

청구항 7

제5항에서,

상기 소스 영역과 상기 채널 영역 사이 및 상기 드레인 영역과 상기 채널 영역 사이 각각에 위치하는 오프셋 영역을 더 포함하는 유기 발광 표시 장치.

청구항 8

기판 위에 다결정 규소막, 절연막, 금속막을 적층하는 단계,

상기 금속막 위에 제1 부분, 상기 제1 부분보다 두께가 얇은 제2 부분을 가지는 감광막 패턴을 형성하는 단계,

상기 감광막 패턴을 마스크로 상기 금속막, 절연막 및 다결정 규소막을 식각하여 금속 패턴, 게이트 절연막 및 반도체를 형성하는 단계,

상기 감광막 패턴의 제2 부분을 제거하고 상기 제1 부분을 마스크로 상기 금속 패턴을 식각하여 게이트 전극을 형성하는 단계,

상기 감광막 패턴의 제1 부분을 제거하는 단계,

상기 게이트 전극 위에 층간 절연막을 형성하는 단계,

상기 층간 절연막에 상기 반도체를 노출하는 접촉 구멍을 형성하는 단계,

상기 접촉 구멍을 통해서 상기 반도체 도전형 불순물을 도핑하여 소스 영역 및 드레인 영역을 형성하는 단계,

상기 층간 절연막 위에 상기 소스 영역 및 드레인 영역과 연결되는 소스 전극 및 드레인 전극을 형성하는 단계를 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 9

제8항에서,

상기 금속 패턴, 게이트 절연막 및 반도체를 형성하는 단계에서,

상기 금속막은 습식 식각하고,

상기 절연막 및 다결정 규소막은 건식 식각하는 박막 트랜지스터 표시판의 제조 방법.

청구항 10

제9항에서,

상기 금속막은 Ti/Al/Ti의 삼중막으로 이루어지고,

상기 저금속 패턴, 게이트 절연막 및 반도체를 형성하는 단계에서,

상기 금속막, 절연막 및 다결정 규소막은 건식 식각하는 박막 트랜지스터 표시판의 제조 방법.

청구항 11

기판 위에 다결정 규소막, 절연막, 금속막을 적층하는 단계,

상기 금속막 위에 제1 부분, 상기 제1 부분보다 두께가 얇은 제2 부분을 가지는 감광막 패턴을 형성하는 단계,

상기 감광막 패턴을 마스크로 상기 금속막, 절연막 및 다결정 규소막을 식각하여 금속 패턴, 게이트 절연막 및 반도체를 형성하는 단계,

상기 감광막 패턴의 제2 부분을 제거하고 상기 감광막 패턴의 제1 부분을 마스크로 상기 금속 패턴을 식각하여 게이트 전극을 형성하는 단계,

상기 감광막 패턴의 제1 부분을 제거하는 단계,

상기 게이트 전극 위에 층간 절연막을 형성하는 단계,

상기 층간 절연막에 상기 반도체를 노출하는 접촉 구멍을 형성하는 단계,

상기 층간 절연막 위에 상기 소스 영역 및 드레인 영역과 연결되는 소스 전극 및 드레인 전극을 형성하는 단계를 포함하고,

상기 감광막 패턴의 제1 부분을 제거하는 단계 전 또는 후에 상기 반도체에 도전형 불순물을 도핑하는 단계를 더 포함하는 박막 트랜지스터 표시판의 제조 방법.

청구항 12

제11항에서,

상기 금속 패턴, 게이트 절연막 및 반도체를 형성하는 단계에서,

상기 금속막은 습식 식각하고,

상기 절연막 및 다결정 규소막은 건식 식각하는 박막 트랜지스터 표시판의 제조 방법.

청구항 13

제11항에서,

상기 금속막은 Ti/Al/Ti의 삼중막으로 이루어지고,

상기 금속 패턴, 게이트 절연막 및 반도체를 형성하는 단계에서,

상기 금속막, 절연막 및 다결정 규소막은 건식 식각하는 박막 트랜지스터 표시판의 제조 방법.

명세서

기술분야

[0001] 본 발명은 유기 발광 표시 장치, 박막 트랜지스터 표시판 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 유기 발광 표시 장치(organic light emitting diode display)는 빛을 방출하는 유기 발광 소자(organic light emitting diode)를 가지고 화상을 표시하는 자발광형 표시 장치이다. 유기 발광 표시 장치는 액정 표시 장치(liquid crystal display)와 달리 별도의 광원을 필요로 하지 않으므로 상대적으로 두께와 무게를 줄일 수 있다. 또한 유기 발광 표시 장치는 낮은 소비 전력, 높은 휘도 및 높은 반응 속도 등의 고품위 특성을 나타내므로 휴대용 전자 기기의 차세대 표시 장치로 주목받고 있다.

- [0003] 유기 발광 표시 장치는 구동 방식에 따라 수동 구동형(passive matrix type)과 능동 구동형(active matrix type)으로 구분된다. 능동 구동형 유기 발광 표시 장치는 각 화소마다 형성된 유기 발광 소자, 박막 트랜지스터(thin film transistor, TFT) 및 축전기(capacitor)를 가지고 화소를 독립적으로 제어한다.
- [0004] 이러한 유기 발광 표시 장치는 구조에 따라서 다수의 마스크를 이용한 사진 식각 공정을 필요로 한다.
- [0005] 그러나 마스크 공정의 횟수가 증가할수록 공정 시간 및 공정 생산비가 증가하는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0006] 따라서 본 발명이 이루고자 하는 기술적 과제는 마스크 공정을 감소시켜 유기 발광 표시 장치의 공정 시간 및 공정 생산비를 감소시킬 수 있는 박막 트랜지스터 표시판 및 그 제조 방법, 그를 포함하는 유기 발광 표시 장치를 제공하는 것이다.

과제의 해결 수단

- [0007] 상기한 과제를 달성하기 위한 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판은 기판, 기판 위에 위치하며 소스 영역, 드레인 영역 및 채널 영역을 가지는 반도체, 반도체 위에 위치하는 게이트 절연막, 게이트 절연막 위에 위치하며 상기 채널 영역과 중첩하는 게이트 전극, 게이트 전극 위에 위치하며 상기 소스 영역 및 드레인 영역을 각각 노출하는 접촉 구멍을 가지는 제1 층간 절연막, 제1 층간 절연막 위에 위치하며 상기 소스 영역 및 드레인 영역과 접촉 구멍을 통해서 각각 연결되어 있는 소스 전극 및 드레인 전극을 포함하고, 소스 영역 및 드레인 영역의 평면 패턴은 상기 접촉 구멍의 평면 패턴과 동일하다.
- [0008] 상기 소스 영역과 상기 채널 영역 사이 및 상기 드레인 영역과 상기 채널 영역 사이 각각에 위치하는 오프셋 영역을 더 포함할 수 있다.
- [0009] 상기 게이트 절연막은 상기 반도체와 동일한 평면 패턴을 가질 수 있다.
- [0010] 상기 소스 전극 및 드레인 전극 위에 위치하며 상기 드레인 전극을 노출하는 접촉 구멍을 가지는 제2 층간 절연막, 제2 층간 절연막 위에 위치하며 상기 제2 층간 절연막의 접촉 구멍을 통해서 상기 드레인 전극과 연결되는 제1 전극을 더 포함할 수 있다.
- [0011] 상기한 다른 과제를 달성하기 위한 한 실시예에 따른 유기 발광 표시 장치는 기판, 기판 위에 위치하는 제1 신호선, 제1 신호선과 연결되어 있는 제1 박막 트랜지스터, 제1 박막 트랜지스터와 연결되어 있는 제2 박막 트랜지스터, 제1 박막 트랜지스터 및 제2 박막 트랜지스터 위에 위치하는 층간 절연막, 층간 절연막 위에 위치하며 상기 제1 박막 트랜지스터의 제1 소스 영역과 연결되어 있는 제2 신호선, 상기 제2 박막 트랜지스터의 게이트 전극과 연결되어 있는 제1 드레인 전극, 상기 제2 박막 트랜지스터의 제2 소스 영역과 연결되어 있는 제3 신호선 및 상기 제2 박막 트랜지스터의 드레인 영역과 연결되어 있는 제2 드레인 전극, 제2 드레인 전극과 전기적으로 연결되어 있는 제1 전극, 제1 전극 위에 위치하는 유기 발광층, 유기 발광층 위에 위치하는 제2 전극을 포함하고, 제1 소스 영역과 상기 제2 신호선, 상기 제2 소스 영역과 제3 신호선, 상기 제1 드레인 영역과 상기 제1 드레인 전극, 상기 제2 드레인 영역과 상기 제2 드레인 전극은 상기 층간 절연막에 형성된 접촉 구멍을 통해서 연결되고, 상기 접촉 구멍의 평면 패턴은 상기 제1 소스 영역 및 제2 소스 영역과 동일한 평면 패턴을 가진다.
- [0012] 상기 게이트 절연막은 상기 반도체와 동일한 평면 패턴을 가질 수 있다.
- [0013] 상기 소스 영역과 상기 채널 영역 사이 및 상기 드레인 영역과 상기 채널 영역 사이 각각에 위치하는 오프셋 영역을 더 포함할 수 있다.
- [0014] 상기한 다른 과제를 달성하기 위한 본 발명의 한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법은 기판 위에 다결정 규소막, 절연막, 금속막을 적층하는 단계, 금속막 위에 제1 부분, 상기 제1 부분보다 두께가 얇은 제2 부분을 가지는 감광막 패턴을 형성하는 단계, 감광막 패턴을 마스크로 상기 금속막, 절연막 및 다결정 규소막을 식각하여 금속 패턴, 게이트 절연막 및 반도체를 형성하는 단계, 감광막 패턴의 제2 부분을 제거하고 상기 제1 부분을 마스크로 상기 금속 패턴을 식각하여 게이트 전극을 형성하는 단계, 감광막 패턴의 제1 부분을 제거하는 단계, 게이트 전극 위에 층간 절연막을 형성하는 단계, 층간 절연막에 상기 반도체를 노출하는 접촉 구멍을 형성하는 단계, 접촉 구멍을 통해서 상기 반도체 도전형 불순물을 도핑하여 소스 영역 및 드레인 영역을 형성하는 단계, 층간 절연막 위에 상기 소스 영역 및 드레인 영역과 연결되는 소스 전극 및 드레인 전극을 형성하

는 단계를 포함한다.

[0015] 상기한 다른 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 박막 트랜지스터 표시판의 제조 방법은 기판 위에 다결정 규소막, 절연막, 금속막을 적층하는 단계, 금속막 위에 제1 부분, 상기 제1 부분보다 두께가 얇은 제2 부분을 가지는 감광막 패턴을 형성하는 단계, 감광막 패턴을 마스크로 상기 금속막, 절연막 및 다결정 규소막을 식각하여 금속 패턴, 게이트 절연막 및 반도체를 형성하는 단계, 감광막 패턴의 제2 부분을 제거하고 상기 감광막 패턴의 제1 부분을 마스크로 상기 금속 패턴을 식각하여 게이트 전극을 형성하는 단계, 감광막 패턴의 제1 부분을 제거하는 단계, 게이트 전극 위에 층간 절연막을 형성하는 단계, 층간 절연막에 상기 반도체를 노출하는 접촉 구멍을 형성하는 단계, 층간 절연막 위에 상기 소스 영역 및 드레인 영역과 연결되는 소스 전극 및 드레인 전극을 형성하는 단계를 포함하고, 감광막 패턴의 제1 부분을 제거하는 단계 전 또는 후에 상기 반도체에 도전형 불순물을 도핑하는 단계를 더 포함한다.

[0016] 상기 금속 패턴, 게이트 절연막 및 반도체를 형성하는 단계에서, 금속막은 습식 식각하고, 절연막 및 다결정 규소막은 건식 식각할 수 있다.

[0017] 상기 금속막은 Ti/Al/Ti의 삼중막으로 이루어지고, 금속 패턴, 게이트 절연막 및 반도체를 형성하는 단계에서, 금속막, 절연막 및 다결정 규소막은 건식 식각할 수 있다.

발명의 효과

[0018] 본 발명에서와 같은 방법으로 박막 트랜지스터 표시판을 제조하면 공정 횟수를 감소시켜 공정 생산비 및 시간을 단축할 수 있다.

도면의 간단한 설명

[0019] 도 1은 본 발명의 한 실시예에 따른 유기 발광 표시 장치가 갖는 화소 회로를 나타낸 회로도이다.
 도 2는 도 1의 유기 발광 표시 장치의 한 화소에 대한 배치도이다.
 도 3은 도 2의 III-III선을 따라 잘라 도시한 단면도이다.
 도 4 내지 도 8은 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 제조 방법을 공정 순서대로 도시한 도면이다.
 도 9의 유기 발광 표시 장치의 제조 방법은 도 10 및 도 11을 참조하여 구체적으로 설명한다.
 도 10 및 도 11은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제조 방법 중 중간 단계에서의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0020] 그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

[0021] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우 뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

[0022] 이하 도면을 참고하여 본 발명의 한 실시예에 따른 유기 발광 표시 장치에 대해서 구체적으로 설명한다.

[0023] 도 1은 본 발명의 한 실시예에 따른 유기 발광 표시 장치가 갖는 화소 회로를 나타낸 회로도이다.

[0024] 도 1에 도시한 바와 같이, 본 실시예의 일 실시예에 따른 유기 발광 표시 장치는 복수의 신호선(121, 171, 70)과 이들에 연결되어 있으며 대략 행렬(matrix)의 형태로 배열된 복수개의 화소(PX)를 포함한다.

[0025] 신호선은 게이트 신호(또는 주사 신호)를 전달하는 복수의 게이트선(121), 데이터 신호를 전달하는 복수의 데이터선(171) 및 구동 전압(Vdd)을 전달하는 복수의 구동 전압선(172)을 포함한다. 게이트선(121)은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고 데이터선(171)과 구동 전압선(172)의 수직 방향 부분은 대략 열 방향으로

로 뻗어 있으며 서로가 거의 평행하다.

- [0026] 각 화소(PX)는 스위칭 박막 트랜지스터(switching thin film transistor)(Qs), 구동 박막 트랜지스터(driving thin film transistor)(Qd), 유지 축전기(storage capacitor)(Cst) 및 유기 발광 다이오드(organic light emitting diode, OLED)(LD)를 포함한다.
- [0027] 스위칭 박막 트랜지스터(Qs)는 제어 단자, 입력 단자 및 출력 단자를 가지는데, 제어 단자는 게이트선(121)에 연결되어 있고, 입력 단자는 데이터선(171)에 연결되어 있으며, 출력 단자는 구동 박막 트랜지스터(Qd)에 연결되어 있다. 스위칭 박막 트랜지스터(Qs)는 게이트선(121)에 인가되는 주사 신호에 응답하여 데이터선(171)에 인가되는 데이터 신호를 구동 박막 트랜지스터(Qd)에 전달한다.
- [0028] 구동 박막 트랜지스터(Qd) 또한 제어 단자, 입력 단자 및 출력 단자를 가지는데, 제어 단자는 스위칭 박막 트랜지스터(Qs)에 연결되어 있고, 입력 단자는 구동 전압선(172)에 연결되어 있으며, 출력 단자는 유기 발광 다이오드(LD)에 연결되어 있다. 구동 박막 트랜지스터(Qd)는 제어 단자와 출력 단자 사이에 걸리는 전압에 따라 그 크기가 달라지는 출력 전류(ILD)를 흘린다.
- [0029] 축전기(Cst)는 구동 박막 트랜지스터(Qd)의 제어 단자와 입력 단자 사이에 연결되어 있다. 이 축전기(Cst)는 구동 박막 트랜지스터(Qd)의 제어 단자에 인가되는 데이터 신호를 충전하고 스위칭 박막 트랜지스터(Qs)가 턴 오프(turn-off)된 뒤에도 이를 유지한다.
- [0030] 유기 발광 다이오드(LD)는 구동 박막 트랜지스터(Qd)의 출력 단자에 연결되어 있는 애노드(anode), 공통 전압(Vss)에 연결되어 있는 캐소드(cathode)를 가진다. 유기 발광 다이오드(LD)는 구동 박막 트랜지스터(Qd)의 출력 전류(ILD)에 따라 세기를 달리하여 발광함으로써 영상을 표시한다.
- [0031] 스위칭 박막 트랜지스터(Qs) 및 구동 박막 트랜지스터(Qd)는 n-채널 전계 효과 트랜지스터(field effect transistor, FET)이다. 그러나 스위칭 박막 트랜지스터(Qs)와 구동 박막 트랜지스터(Qd) 중 적어도 하나는 p-채널 전계 효과 트랜지스터일 수 있다. 또한, 박막 트랜지스터(Qs, Qd), 축전기(Cst) 및 유기 발광 다이오드(LD)의 연결 관계가 바뀔 수 있다.
- [0032] 이하, 도 2 및 도 3을 참조하여 본 발명의 한 실시예에 따른 유기 발광 표시 장치를 구체적으로 설명한다.
- [0033] 도 2는 도 1의 유기 발광 표시 장치의 한 화소에 대한 배치도이고, 도 3은 도 2의 III-III선을 따라 잘라 도시한 단면도이다.
- [0034] 도 2 및 도 3에 도시한 바와 같이, 기판(111) 위에는 버퍼층(120)이 형성되어 있다. 기판(111)은 유리, 석영, 세라믹 또는 플라스틱 등으로 이루어진 절연성 기판 일 수 있으며, 기판(111)은 스테인리스 강 등으로 이루어진 금속성 기판일 수 있다.
- [0035] 버퍼층(120)은 질화 규소(SiNx)의 단일막 또는 질화 규소(SiNx)와 산화 규소(SiO₂)가 적층된 이중막 구조로 형성될 수 있다. 버퍼층(120)은 불순물 또는 수분과 같이 불필요한 성분의 침투를 방지하면서 동시에 표면을 평탄화하는 역할을 한다.
- [0036] 버퍼층(120) 위에는 다결정 규소로 이루어진 제1 반도체(135a) 및 제2 반도체(135b)와 제1 축전기 전극(138)이 형성되어 있다.
- [0037] 제1 반도체(135a) 및 제2 반도체(135b)는 채널 영역(1355a, 1355b)과 채널 영역(1355a, 1355b)의 양측에 각각 형성된 소스 영역(1356a, 1356b) 및 드레인 영역(1357a, 1357b)으로 구분된다. 제1 반도체(135a) 및 제2 반도체(135b)의 채널 영역(1355a, 1355b)은 불순물이 도핑되지 않은 다결정 규소, 즉 진성 반도체(intrinsic semiconductor)이다. 제1 반도체(135a) 및 제2 반도체(135b)의 소스 영역(1356a, 1356b) 및 드레인 영역(1357a, 1357b)은 도전성 불순물이 도핑된 다결정 규소, 즉 불순물 반도체(impurity semiconductor)이다.
- [0038] 소스 영역(1356a, 1356b), 드레인 영역(1357a, 1357b)과 제1 축전기 전극(138)에 도핑되는 불순물은 p형 불순물 및 n형 불순물 중 어느 하나 일 수 있다.
- [0039] 제1 반도체(135a), 제2 반도체(135b)와 제1 축전기 전극(138) 위에는 게이트 절연막(140)이 형성되어 있다. 게이트 절연막(140)은 테트라에톡시실란(tetra ethyl ortho silicate, TEOS), 질화 규소 및 산화 규소 중 적어도 하나를 포함한 단층 또는 복수층일 수 있다.
- [0040] 게이트 절연막(140)은 제1 반도체(135a), 제2 반도체(135b) 및 제1 축전기 전극(138)의 평면 패턴과 동일한 모

양으로 형성되어 있다. 게이트 절연막(140) 위에는 게이트선(121), 제2 게이트 전극(155b) 및 제2 축전기 전극(158)이 형성되어 있다.

- [0041] 게이트선(121)은 가로 방향으로 길게 뻗어 게이트 신호를 전달하며, 게이트선(121)로부터 제1 반도체(135a)로 돌출한 제1 게이트 전극(155a)을 포함한다.
- [0042] 제1 게이트 전극(155a) 및 제2 게이트 전극(155b)은 각각 채널 영역(1355a, 1355b)과 중첩하고, 제2 축전기 전극(158)은 제1 축전기 전극(138)과 중첩한다.
- [0043] 제2 축전기 전극(158), 게이트선(121) 및 제2 게이트 전극(155b)은 Mo, W, Cu, Al 또는 이들의 합금으로 단층 또는 복수층으로 이루어질 수 있다.
- [0044] 제1 축전기 전극(138)과 제2 축전기 전극(158)은 게이트 절연막(140)을 유전체로 하여 축전기(80)를 이룬다. 한편, 축전기(80)는 제1 축전기 전극(138) 대신 제2 축전기 전극(158)과 절연막을 사이에 두고 중첩하는 별도의 금속 패턴으로 MIM 형태의 축전기를 형성할 수 있다. 예를 들어, 제2 축전기 전극(158)과 후술하는 제1 층간 절연막 또는 제2 층간 절연막을 유전체로 하고, 드레인 전극 또는 제1 전극과 동일한 층에 형성되는 금속 패턴을 중첩하여 형성할 수 있다.
- [0045] 게이트선(121), 제2 게이트 전극(155b) 및 제2 축전기 전극(158) 위에는 제1 층간 절연막(160)이 형성된다. 제1 층간 절연막(160)은 게이트 절연막(140)과 마찬가지로 테트라에톡시실란(tetra ethyl ortho silicate, TEOS), 질화 규소 또는 산화 규소 등으로 단층 또는 복수층으로 형성될 수 있다.
- [0046] 제1 층간 절연막(160)과 게이트 절연막(140)에는 소스 영역(1356a, 1356b)과 드레인 영역(1357a, 1357b)을 각각 노출하는 소스 접촉 구멍(166)과 드레인 접촉 구멍(167)을 갖는다.
- [0047] 소스 영역(1356a, 1356b)과 드레인 영역(1357a, 1357b)의 평면 패턴은 소스 접촉 구멍(166) 및 드레인 접촉 구멍(167)의 평면 패턴과 동일하다. 그리고 소스 영역(1356a) 및 드레인 영역(1357a, 1357b)의 경계선은 소스 접촉 구멍(166) 및 드레인 접촉 구멍(167)의 경계선과 일치하거나 소스 접촉 구멍(166) 및 드레인 접촉 구멍(167)의 경계선 내에 위치한다.
- [0048] 제1 층간 절연막(160) 위에는 제1 소스 전극(176a)을 가지는 데이터선(171), 제2 소스 전극(176b)을 가지는 구동 전압선(172) 및 제1 드레인 전극(177a) 및 제2 드레인 전극(177b)이 형성되어 있다.
- [0049] 데이터선(171)은 데이터 신호를 전달하며 게이트선(121)과 교차하는 방향으로 뻗어 있고, 구동 전압선(172)은 일정 전압을 전달하며 데이터선(171)과 분리되어 데이터선(171)과 같은 방향으로 뻗어 있다.
- [0050] 제1 소스 전극(176a)은 데이터선(171)으로부터 제1 반도체(135a)를 향해서 돌출되어 있으며, 제2 소스 전극(176b)은 구동 전압선(172)으로부터 제2 반도체(135b)를 향해서 돌출되어 있다. 제1 소스 전극(176a)과 제2 소스 전극(176b)은 각각 소스 접촉 구멍(166)을 통해서 소스 영역(1356a, 1356b)과 연결되어 있다.
- [0051] 제1 드레인 전극(177a)은 제1 소스 전극(176a)과 마주하며 접촉 구멍(167)을 통해서 드레인 영역(1357a)과 연결되어 있다. 그리고 제2 드레인 전극(177b)은 제1 소스 전극(176b)과 마주하며 접촉 구멍(167)을 통해서 드레인 영역(1357b)과 연결되어 있다.
- [0052] 제1 드레인 전극(177a)은 게이트선을 따라 연장되어 있으며, 접촉 구멍(81)을 통해서 제2 게이트 전극(158b)과 전기적으로 연결되어 있다.
- [0053] 데이터선(171), 구동 전압선(172), 제1 드레인 전극(177a) 및 제2 드레인 전극(177b)은 Al, Ti, Mo, Cu, Ni 또는 이들의 합금과 같이 저저항 물질 또는 부식이 강한 물질을 단층 또는 복수층으로 형성할 수 있다. 예를 들어, Ti/Cu/Ti, Ti/Ag/Ti, Mo/Al/Mo의 삼중층일 수 있다.
- [0054] 제1 게이트 전극(155a), 제1 소스 전극(176a) 및 제1 드레인 전극(177a)은 제1 반도체(135a)와 함께 각각 제1 박막 트랜지스터(thin film transistor, TFT)(Qa)를 이루며, 제2 게이트 전극(155b), 제2 소스 전극(176b) 및 제2 드레인 전극(177b)은 제2 반도체(135b)와 함께 각각 제2 박막 트랜지스터(Qb)를 이룬다.
- [0055] 제1 박막 트랜지스터(Qa) 및 제2 박막 트랜지스터(Qb)의 채널(channel)은 각각 제1 소스 전극(176a)과 제1 드레인 전극(176a) 사이의 제1 반도체(135a)와 제2 소스 전극(176b)과 제2 드레인 전극(177b) 사이의 제2 반도체(135b)에 형성된다.
- [0056] 한편, 제1 반도체(135a)와 제2 반도체(135b)는 오프셋 영역을 가질 수 있다. 오프셋 영역은 소스 영역과 채널

영역 사이, 드레인 영역과 채널 영역 사이에 위치할 수 있다. 오프셋 영역은 박막 트랜지스터가 오프 상태인 경우 반도체의 전자 이동 경로를 차단하여 누설 전류를 방지한다.

- [0057] 오프셋 영역의 폭이 너무 좁을 경우 누설 전류 방지 효과가 없고, 너무 넓은 경우 채널이 형성되지 않을 수 있으므로 오프셋 영역의 폭은 $2\mu\text{m}$ 이하일 수 있다.
- [0058] 데이터선(171), 구동 전압선(172), 제1 드레인 전극(177a) 및 제2 드레인 전극(177b) 위에는 제2 층간 절연막(180)이 형성되어 있다.
- [0059] 제2 층간 절연막(180)은 제1 층간 절연막과 마찬가지로 테트라에톡시실란(tetra ethyl ortho silicate, TEOS), 질화 규소 또는 산화 규소 등으로 단층 또는 복수층으로 형성할 수 있으며, 저유전율 유기 무질로 이루어질 수 있다.
- [0060] 제2 층간 절연막(180)은 제2 드레인 전극(177b)을 노출하는 접촉 구멍(82)이 형성되어 있다.
- [0061] 제2 층간 절연막(180) 위에는 제1 전극(710)이 형성되어 있다. 제1 전극(710)은 도 1의 유기 발광 소자의 애노드 전극일 수 있다. 본 발명의 한 실시예에서는 제1 전극(710)과 제2 드레인 전극(177b) 사이에 층간 절연막을 형성하였으나, 제1 전극(710)은 제2 드레인 전극(177b)과 동일한 층에 형성할 수 있으며, 제2 드레인 전극(177b)과 일체형일 수 있다.
- [0062] 제1 전극(710) 위에는 화소 정의막(190)이 형성되어 있다.
- [0063] 화소 정의막(190)은 제1 전극(710)을 노출하는 개구부(195)를 가진다. 화소 정의막(190)은 폴리아크릴계(polyacrylates) 또는 폴리이미드계(polyimides) 등의 수지와 실리카 계열의 무기물 등을 포함하여 이루어질 수 있다.
- [0064] 화소 정의막(190)의 개구부(195)에는 유기 발광층(720)이 형성되어 있다.
- [0065] 유기 발광층(720)은 발광층, 정공 수송층(hole-injection layer, HIL), 정공 수송층(hole-transporting layer, HTL), 전자 수송층(electron-transporting layer, ETL) 및 전자 주입층(electron-injection layer, EIL) 중 하나 이상을 포함하는 복수층으로 형성된다.
- [0066] 유기 발광층(720)이 이들 모두를 포함할 경우 정공 주입층이 애노드 전극인 화소 전극(710) 위에 위치하고 그 위로 정공 수송층, 발광층, 전자 수송층, 전자 주입층이 차례로 적층될 수 있다.
- [0067] 화소 정의막(190) 및 유기 발광층(720) 위에는 공통 전극(730)이 형성된다.
- [0068] 공통 전극(730)은 유기 발광 소자의 캐소드 전극이 된다. 따라서 화소 전극(710), 유기 발광층(720) 및 공통 전극(730)은 유기 발광 소자(70)를 이룬다.
- [0069] 유기 발광 소자(70)가 빛을 방출하는 방향에 따라서 유기 발광 표시 장치는 전면 표시형, 배면 표시형 및 양면 표시형 중 어느 한 구조를 가질 수 있다.
- [0070] 전면 표시형일 경우 제1 전극(710)은 반사막으로 형성하고 공통 전극(730)은 반투과막 또는 투과막으로 형성한다. 반면, 배면 표시형일 경우 화소 전극(710)은 반투과막으로 형성하고 공통 전극(730)은 반사막으로 형성한다. 그리고 양면 표시형일 경우 화소 전극(710) 및 공통 전극(730)은 투명막 또는 반투과막으로 형성한다.
- [0071] 반사막 및 반투과막은 마그네슘(Mg), 은(Ag), 금(Au), 칼슘(Ca), 리튬(Li), 크롬(Cr) 및 알루미늄(Al) 중 하나 이상의 금속 또는 이들의 합금을 사용하여 만들어진다. 반사막과 반투과막은 두께로 결정되며, 반투과막은 200nm 이하의 두께로 형성될 수 있다. 두께가 얇아질수록 빛의 투과율이 높아지나, 너무 얇으면 저항이 증가한다.
- [0072] 투명막은 ITO(indium tin oxide), IZO(indium zinc oxide), ZnO(산화 아연) 또는 In_2O_3 (indium oxide) 등의 물질로 이루어진다.
- [0073] 그림 이상의 유기 발광 표시 장치를 제조하는 방법에 대해서 도 4 내지 8과 기 설명한 도 2 및 3을 참조하여 구체적으로 설명한다.
- [0074] 도 4 내지 도 8은 본 발명의 한 실시예에 따른 유기 발광 표시 장치의 제조 방법을 공정 순서대로 도시한 도면이다.
- [0075] 먼저, 도 4에 도시한 바와 같이, 기판(111) 위에 버퍼층(120)을 형성한다. 버퍼층(120)은 질화 규소 또는 산화

규소로 형성할 수 있다.

- [0076] 그리고 버퍼층(120) 위에 비정질 규소막을 형성한 후 결정화하여 다결정 규소막(30)을 형성하고, 다결정 규소막(30) 위에 절연막(40) 및 금속막(50)을 적층한다.
- [0077] 절연막(40)은 질화 규소 또는 산화 규소로 이루어질 수 있다.
- [0078] 금속막(50)은 W, Cu, Al 또는 이들의 합금을 단층 또는 복수층으로 적층하여 형성한다. 이후, 금속막(50) 위에 감광 물질을 도포한 후 노광 및 현상하여 두께가 다른 감광막 패턴(PR)을 형성한다. 감광막 패턴은 게이트 전극이 형성될 전극 영역(A)의 금속막, 절연막 및 다결정 규소막과 대응하는 전극 부분과 전극 부분을 제외한 나머지 영역(B)과 대응하는 나머지 부분을 포함한다.
- [0079] 감광막 패턴(PR) 중에서 전극 영역(A)에 위치한 감광막 패턴(PR)은 나머지 영역(B)에 위치한 감광막 패턴보다 두껍게 형성한다.
- [0080] 이와 같이, 위치에 따라 감광막 패턴의 두께를 다르게 형성하는 방법에는 여러 가지가 있을 수 있는데, 노광 마스크에 투명 영역(transparent area)과 차광 영역(light blocking area) 뿐 아니라 반투명 영역(semi-transparent area)을 두는 것이 그 예이다. 반투명 영역에는 슬릿(slit) 패턴, 격자 패턴(lattice pattern) 또는 투과율이 중간이거나 두께가 중간인 박막이 구비된다. 슬릿 패턴을 사용할 때에는, 슬릿의 폭이나 슬릿 사이의 간격이 사진 공정에 사용하는 노광기의 분해능(resolution)이 보다 작은 것이 바람직하다. 다른 예로는 리플로우(reflow)가 가능한 감광막을 사용하는 것이다. 즉, 투명 영역과 차광 영역만을 지닌 통상의 마스크로 리플로우 가능한 감광막 패턴을 형성한 다음 리플로우시켜 감광막이 잔류하지 않은 영역으로 흘러내리도록 함으로써 얇은 부분을 형성한다.
- [0081] 다음, 도 5에 도시한 바와 같이 감광막 패턴(PR)을 마스크로 금속막, 절연막 및 다결정 규소막을 식각하여 금속 패턴(302), 게이트 절연막(140), 제1 반도체(135a), 제2 반도체(135b) 및 제1 축전기 전극(138)을 형성한다.
- [0082] 금속막은 습식 식각으로 진행하고 절연막 및 다결정 규소는 건식 식각으로 식각한다. 이때, 금속막이 건식 식각이 가능한 Ti 또는 Al을 포함하는 단층 또는 복수층을 형성하면 금속막, 절연막 및 다결정 규소막을 건식 식각으로 한 번에 식각할 수 있다.
- [0083] 다음, 도 6에 도시한 바와 같이 에치백(etch back) 등의 방법으로 감광막 패턴의 나머지 부분(B)을 제거한다. 이때, 전극 부분(A)도 일부 제거되어 감광막 패턴(PR)의 두께 및 폭이 줄어든다.
- [0084] 이후, 전극 부분(A)을 마스크로 금속 패턴을 식각하여 제1 게이트 전극(155a), 제2 게이트 전극(155b) 및 제2 축전기 전극(158)을 형성한다.
- [0085] 다음, 도 7에 도시한 바와 같이 제1 게이트 전극(155a), 제2 게이트 전극(155b) 및 제2 축전기 전극(158) 위에 제1 층간 절연막(160)을 형성한다.
- [0086] 이후 제1 층간 절연막(160), 게이트 절연막(140)을 식각하여 제1 반도체(135a) 및 제2 반도체(135b)를 노출하는 접촉 구멍(166, 167)을 형성하고, 제1 층간 절연막(160)을 식각하여 제2 게이트 전극을 노출하는 접촉 구멍(도시하지 않음)을 형성한다.
- [0087] 그런 다음 접촉 구멍(166, 167)을 통해서 노출된 제1 반도체(135a) 및 제2 반도체(135b)에 불순물을 도핑하여 소스 영역(1356a, 1356b) 및 드레인 영역(1357a, 1357b)을 형성한다. 이때, 접촉 구멍(166, 167)을 형성하기 위한 감광막 패턴을 마스크로 제1 반도체(135a) 및 제2 반도체(135b)에 도핑을 실시하거나 감광막 패턴을 제거한 후 도핑을 실시할 수 있다.
- [0088] 이처럼 접촉 구멍(166, 167)을 통해서 도핑을 실시하므로, 소스 영역(1356a, 1356b) 및 드레인 영역(1357a, 1357b)의 평면 패턴은 접촉 구멍(166, 167)의 평면 패턴과 동일하다. 그리고 소스 영역(1356a, 1356b) 및 드레인 영역(1357a, 1357b)의 경계선은 접촉 구멍(166, 167)의 경계선과 일치하거나 접촉 구멍(166, 167)의 경계선 내에 위치할 수 있다.
- [0089] 한편, 접촉 구멍(166, 167)은 제1 게이트 전극(155a) 및 제2 게이트 전극(155b)과 절연을 위해서 일정거리 떨어져 위치하므로, 소스 영역(1356a, 1356b)과 채널 영역(1355a, 1355b) 사이에 오프셋 영역(1354a, 1354b)이 형성될 수 있다.
- [0090] 소스 영역(1356a, 1356b) 및 드레인 영역(1357a, 1357b)의 불순물을 활성화하기 위한 열처리 공정이 추가될 수

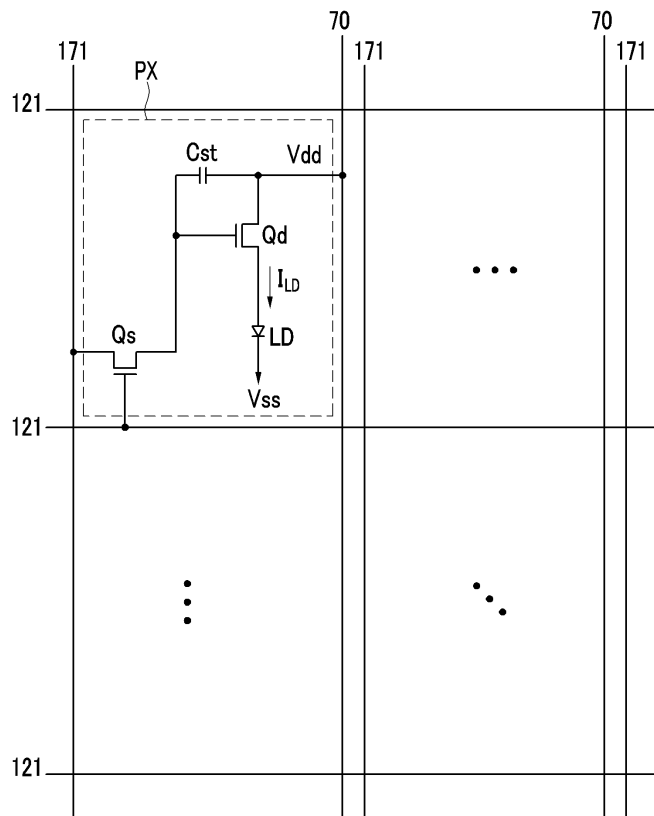
있으며, 이때 소스 영역(1356a, 1356b) 및 드레인 영역(1357a, 1357b)의 도전형 불순물이 오프셋 영역으로 일부 확산되어 오프셋 영역이 도전형 불순물을 포함할 수 있다.

- [0091] 다음, 도 8에 도시한 바와 같이, 제1 층간 절연막(160) 위에 금속막을 형성한 후 패터닝하여 접촉 구멍(166, 167)을 통해서 소스 영역(1356a, 1356b) 및 드레인 영역(1357a, 1357b)과 각각 연결되는 제1 소스 전극(176a)을 가지는 데이터선(171), 제2 소스 전극(176b)을 가지는 구동 전압선(172), 제1 드레인 전극(177a) 및 제2 드레인 전극(177b)을 형성한다.
- [0092] 그리고 제1 소스 전극(176a)을 가지는 데이터선(171), 제2 소스 전극(176b)을 가지는 구동 전압선(172), 제1 드레인 전극(177a) 및 제2 드레인 전극(177b) 위에 제2 층간 절연막(180)을 형성한다.
- [0093] 이후, 제2 층간 절연막(180)을 식각하여 제2 드레인 전극(177b)을 노출하는 접촉 구멍(82)을 형성한다.
- [0094] 다음, 도 3에 도시한 바와 같이 제2 층간 절연막(180) 위에 금속막을 형성한 후 패터닝하여 제1 전극(710)을 형성한다.
- [0095] 그리고 제1 전극(710) 위에 개구부(195)를 가지는 화소 정의막(190)을 형성하고, 화소 정의막(190)의 개구부(195) 내에 유기 발광층(720)을 형성하고 유기 발광층(720) 위에 공통 전극(730)을 형성한다.
- [0096] 이상의 실시예에서는 접촉 구멍을 통해서 불순물 이온을 도핑하여 소스 영역 및 드레인 영역을 형성하였다.
- [0097] 따라서, 소스 영역 및 드레인 영역의 평면 패턴은 접촉 구멍의 평면 패턴과 동일하다. 그리고 소스 영역 및 드레인 영역의 경계선은 접촉 구멍의 경계선과 일치하거나 접촉 구멍의 경계선 내에 위치할 수 있다.
- [0098] 그러나 도 9에서와 같이 소스 영역과 드레인 영역의 평면 패턴은 접촉 구멍과 다른 평면 패턴을 가질 수 있다.
- [0099] 도 9의 유기 발광 표시 장치의 소스 영역과 드레인 영역은 제1 게이트 전극과 제2 게이트 전극과 중첩하지 않은 전체 영역에 형성될 수 있다.
- [0100] 도 9의 유기 발광 표시 장치의 제조 방법은 도 10 및 도 11을 참조하여 구체적으로 설명한다.
- [0101] 도 10 및 도 11은 본 발명의 다른 실시예에 따른 유기 발광 표시 장치의 제조 방법 중 중간 단계에서의 단면도이다.
- [0102] 먼저, 도 4에 도시한 바와 같이, 기판(111) 위에 버퍼층(120)을 형성한다. 버퍼층(120)은 질화 규소 또는 산화 규소로 형성할 수 있다.
- [0103] 그리고 버퍼층(120) 위에 비정질 규소막을 형성한 후 결정화하여 다결정 규소막(30)을 형성하고, 다결정 규소막(30) 위에 절연막(40) 및 금속막(50)을 적층한다.
- [0104] 절연막(40)은 질화 규소 또는 산화 규소로 이루어질 수 있다.
- [0105] 금속막(50)은 W, Cu, Al 또는 이들의 합금을 단층 또는 복수층으로 적층하여 형성한다. 이후, 금속막(50) 위에 감광 물질을 도포한 후 노광 및 현상하여 두께가 다른 감광막 패턴(PR)을 형성한다. 감광막 패턴은 게이트 전극이 형성될 전극 영역(A)의 금속막, 절연막 및 다결정 규소막과 대응하는 전극 부분과 전극 부분을 제외한 나머지 영역(B)과 대응하는 나머지 부분을 포함한다.
- [0106] 감광막 패턴(PR) 중에서 전극 영역(A)에 위치한 감광막 패턴(PR)은 나머지 영역(B)에 위치한 감광막 패턴보다 두껍게 형성한다.
- [0107] 이와 같이, 위치에 따라 감광막 패턴의 두께를 다르게 형성하는 방법에는 여러 가지가 있을 수 있는데, 노광 마스크에 투명 영역(transparent area)과 차광 영역(light blocking area) 뿐 아니라 반투명 영역(semi-transparent area)을 두는 것이 그 예이다. 반투명 영역에는 슬릿(slit) 패턴, 격자 패턴(lattice pattern) 또는 투과율이 중간이거나 두께가 중간인 박막이 구비된다. 슬릿 패턴을 사용할 때에는, 슬릿의 폭이나 슬릿 사이의 간격이 사진 공정에 사용하는 노광기의 분해능(resolution)이 보다 작은 것이 바람직하다. 다른 예로는 리플로우(reflow)가 가능한 감광막을 사용하는 것이다. 즉, 투명 영역과 차광 영역만을 지닌 통상의 마스크로 리플로우 가능한 감광막 패턴을 형성한 다음 리플로우시켜 감광막이 잔류하지 않은 영역으로 흘러내리도록 함으로써 얇은 부분을 형성한다.
- [0108] 다음, 도 5에 도시한 바와 같이 감광막 패턴(PR)을 마스크로 금속막, 절연막 및 다결정 규소막을 식각하여 금속 패턴(302), 게이트 절연막(140), 제1 반도체(135a), 제2 반도체(135b) 및 제1 축전기 전극(138)을 형성한다.

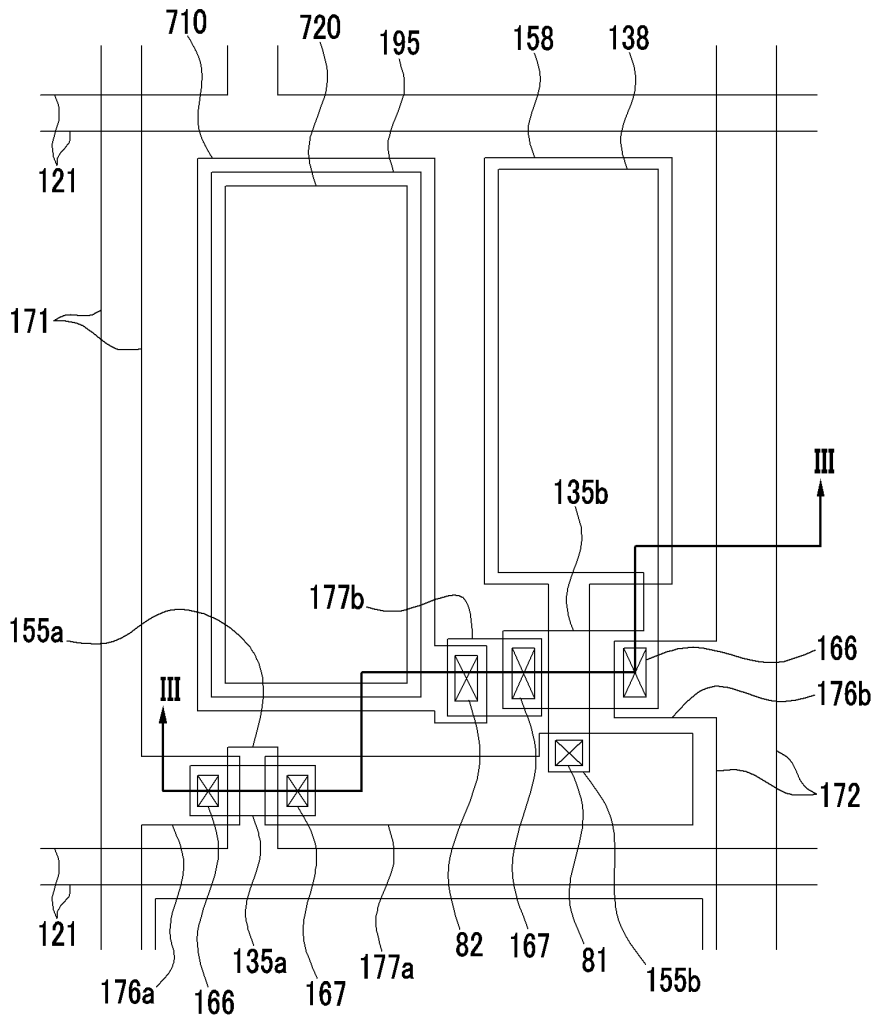
- [0109] 금속막은 습식 식각으로 진행하고 절연막 및 다결정 규소는 건식 식각으로 식각한다. 이때, 금속막이 건식 식각이 가능한 Ti 또는 Al을 포함하는 단층 또는 복수층을 형성하면 금속막, 절연막 및 다결정 규소막을 건식 식각으로 한 번에 식각할 수 있다.
- [0110] 다음, 도 6에 도시한 바와 같이 에치백(etch back) 등의 방법으로 감광막 패턴의 나머지 부분(B)을 제거한다. 이때, 전극 부분(A)도 일부 제거되어 감광막 패턴(PR)의 두께 및 폭이 줄어든다.
- [0111] 이후, 전극 부분(A)을 마스크로 금속 패턴을 식각하여 제1 게이트 전극(155a), 제2 게이트 전극(155b) 및 제2 축전기 전극(158)을 형성한다.
- [0112] 다음, 도 10에 도시한 바와 같이, 전극 부분을 마스크로 노출된 제1 반도체(135a) 및 제2 반도체(135b)에 도전형 불순물을 도핑하여 소스 영역(1356a, 1356b) 및 드레인 영역(1357a, 1357b)을 형성한다.
- [0113] 전극 영역(A)에 위치하는 감광막 패턴(PR)은 나머지 부분을 제거할 때 폭이 줄어들므로 감광막 패턴이 줄어드는 만큼 형성하고자 하는 제1 게이트 전극 및 제2 게이트 전극의 폭보다 전극 부분의 폭을 넓게 형성하는 것이 바람직하다. 폭을 넓게 형성하지 않을 경우에는 제1 게이트 전극 및 제2 게이트 전극의 폭이 좁아 소스 영역 및 드레인 영역의 불순물 이온으로 인해서 도통될 수 있으므로 약한 에너지로 도핑할 수 있다.
- [0114] 다음, 도 11에 도시한 바와 같이 전극 부분을 제거한 후 제1 게이트 전극, 제2 게이트 전극 및 제2 축전기 전극 위에 접촉 구멍(166, 167)을 가지는 제1 층간 절연막(160)을 형성한다.
- [0115] 그런 다음 도 8에 도시한 바와 같이 제1 층간 절연막 위에 금속막을 형성한 후 제1 층간 절연막 위에 금속막을 형성한 후 패터닝하여 접촉 구멍을 통해서 소스 영역 및 드레인 영역과 각각 연결되는 제1 소스 전극(176a)을 가지는 데이터선(171), 제2 소스 전극(176b)을 가지는 구동 전압선(172), 제1 드레인 전극(177a) 및 제2 드레인 전극(177b)을 형성한다.
- [0116] 그리고 제1 소스 전극(176a)을 가지는 데이터선(171), 제2 소스 전극(176b)을 가지는 구동 전압선(172), 제1 드레인 전극(177a) 및 제2 드레인 전극(177b) 위에 제2 층간 절연막(180)을 형성한다.
- [0117] 이후, 제2 층간 절연막(180)을 식각하여 제2 드레인 전극(177b)을 노출하는 접촉 구멍(82)을 형성한다.
- [0118] 다음, 도 9에 도시한 바와 같이 제2 층간 절연막(180) 위에 금속막을 형성한 후 패터닝하여 제1 전극(710)을 형성한다.
- [0119] 그리고 제1 전극(710) 위에 개구부(195)를 가지는 화소 정의막(190)을 형성하고, 화소 정의막(190)의 개구부(195) 내에 유기 발광층(720)을 형성하고 유기 발광층(720) 위에 공통 전극(730)을 형성한다.
- [0120] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면

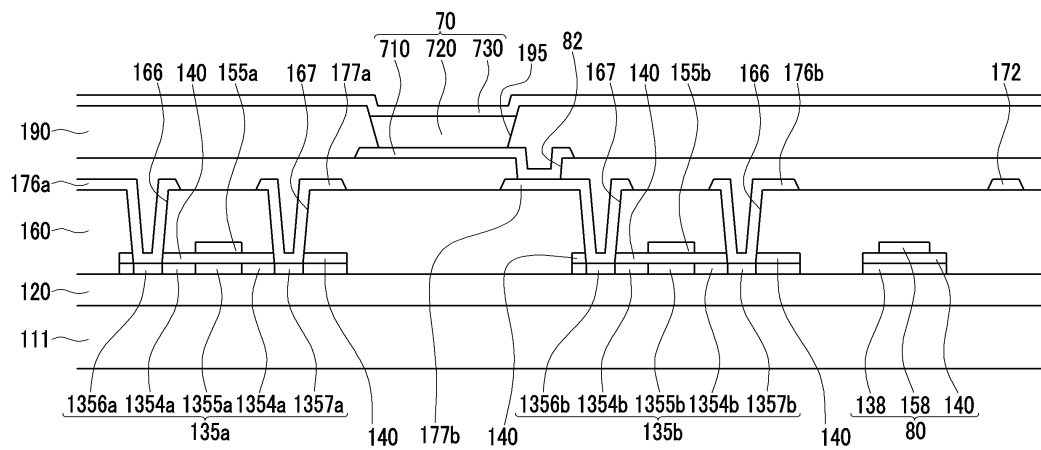
도면1



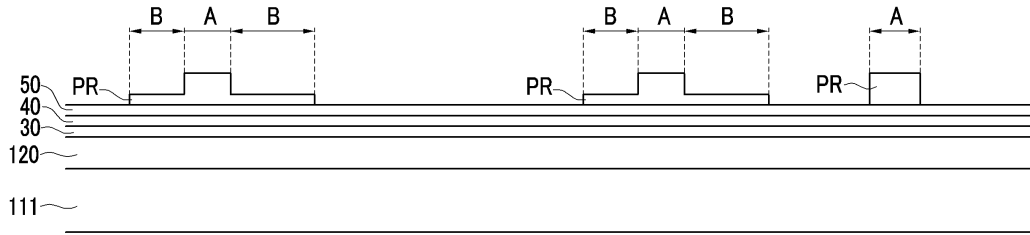
도면2



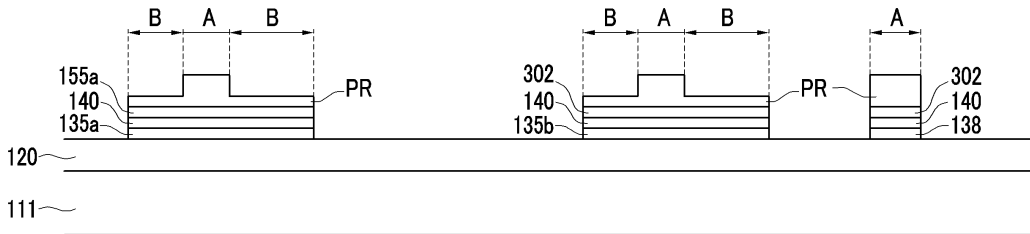
도면3



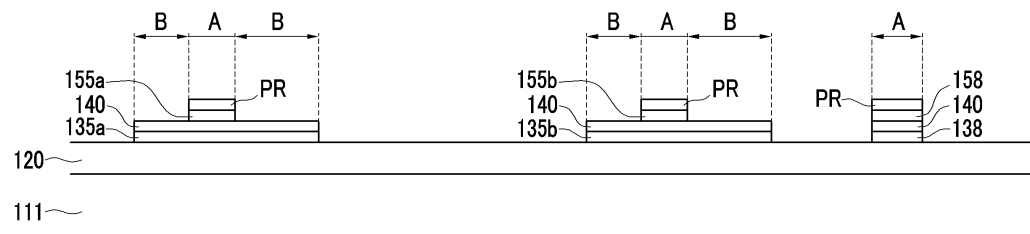
도면4



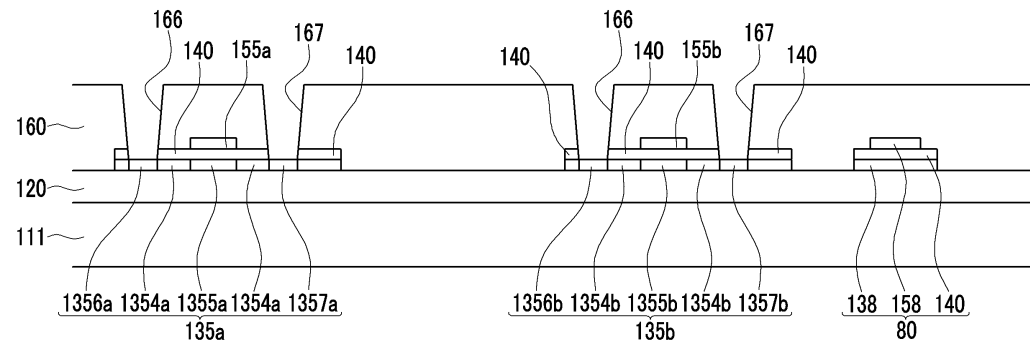
도면5



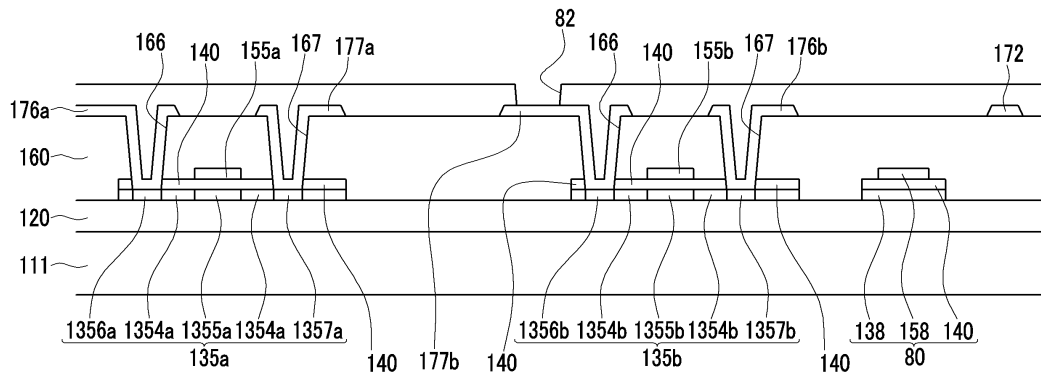
도면6



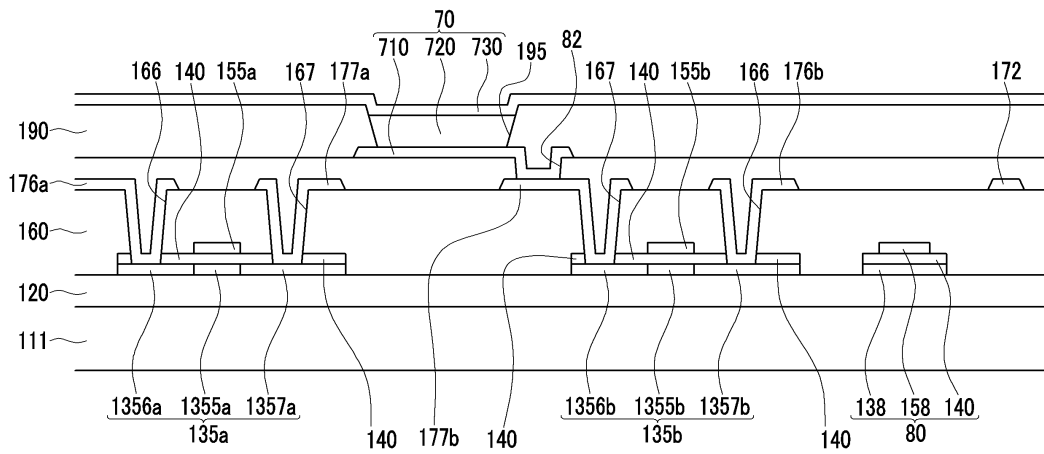
도면7



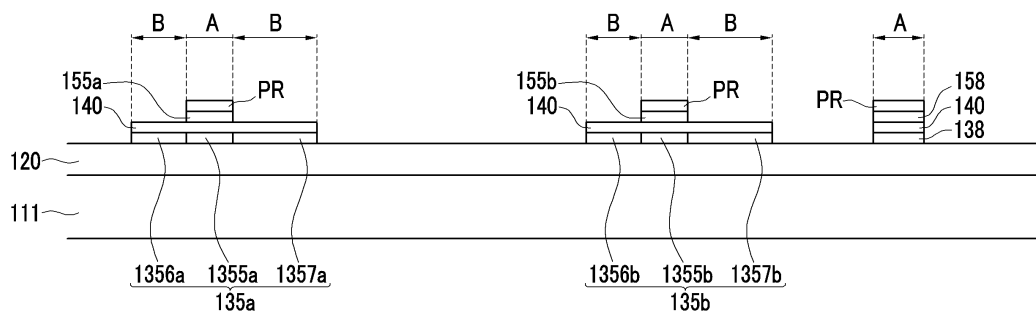
도면8



도면9



도면10



도면11

