

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3962455号

(P3962455)

(45) 発行日 平成19年8月22日(2007.8.22)

(24) 登録日 平成19年5月25日(2007.5.25)

(51) Int. Cl.		F I	
G06F 1/04 (2006.01)		G06F 1/04	C
H03K 21/02 (2006.01)		H03K 21/02	Z

請求項の数 10 (全 8 頁)

(21) 出願番号	特願平9-246916	(73) 特許権者	591024111
(22) 出願日	平成9年9月11日(1997.9.11)		株式会社ハイニックスセミコンダクター
(65) 公開番号	特開平10-214131		HYNIX SEMICONDUCTOR
(43) 公開日	平成10年8月11日(1998.8.11)		INC.
審査請求日	平成16年4月30日(2004.4.30)		大韓民国京畿道利川市夫鉢邑牙美里山13
(31) 優先権主張番号	60/025984		6-1
(32) 優先日	平成8年9月12日(1996.9.12)		San 136-1, Ami-Ri, Bu
(33) 優先権主張国	米国(US)		bal-Eup, Ichon-Shi, K
(31) 優先権主張番号	08/901594		youngki-Do, Korea
(32) 優先日	平成9年7月28日(1997.7.28)	(74) 代理人	100059959
(33) 優先権主張国	米国(US)		弁理士 中村 稔
		(74) 代理人	100067013
			弁理士 大塚 文昭
		(74) 代理人	100065189
			弁理士 穴戸 嘉一

最終頁に続く

(54) 【発明の名称】 クロック機構

(57) 【特許請求の範囲】

【請求項 1】

クロック駆動される複数のサブ回路を有する集積回路内においてクロック信号を発生するための方法において、

周波数 F の外部クロック信号を受け取り；

上記外部クロック信号から、F より低い周波数の内部マスタークロック信号を発生し；

上記内部マスタークロック信号又はそこから導出された信号を、上記集積回路内の上記クロック駆動される複数のサブ回路の各々へ送り；

上記内部マスタークロック信号又はそこから導出された信号から、周波数 F のローカルクロック信号を発生し；そして

上記ローカルクロック信号を上記クロック駆動される複数のサブ回路の各々に付与する；

という段階を備えたことを特徴とする方法。

【請求項 2】

上記外部クロック信号から内部マスタークロック信号を発生する上記段階は、 $1/2 F$ に等しい周波数の内部クロック信号を発生する請求項 1 に記載の方法。

【請求項 3】

上記クロック駆動される複数のサブ回路の各々の位置においてローカルクロック信号を発生する上記段階は、上記内部マスタークロック信号の立上り縁及び立下り縁に対応する複数の巾狭のパルスを発生する段階を備え、これら複数の巾狭のパルスは、周波数 F を有

する請求項 2 に記載の方法。

【請求項 4】

上記集積回路にパイプライン形態で第 1 データ及び第 2 データを伝播し；

上記マスタークロック信号の第 1 の縁に応答して上記第 1 データを出力へ操向し；そして

上記マスタークロック信号の上記第 1 の縁とは逆の第 2 の縁に応答して上記第 2 データを上記出力へ操向する；

という段階を更に備えた請求項 2 に記載の方法。

【請求項 5】

周波数 F の外部クロック信号を受け取るよう接続された入力を有し、そして F より低い 10
周波数の内部マスタークロックを出力に発生する分周器と；

上記分周器の出力に接続され、上記内部マスタークロックを回路にわたって分配する回路ネットワークと；

クロック入力を各々有するクロック駆動される複数のサブ回路と；

上記回路ネットワークに接続されて、上記内部マスタークロック又はそこから導出されたクロック信号を受け取る入力と、上記クロック駆動される複数のサブ回路の各々のクロック入力に接続された出力とを各々有する複数のクロック回路とを備え；

上記複数のクロック回路は、それらの各出力に、F に等しい周波数のクロック信号を発生することを特徴とするクロック駆動される回路。

【請求項 6】

上記内部マスタークロックは、F の半分に等しい周波数を有する請求項 5 に記載のクロック駆動される回路。 20

【請求項 7】

上記複数のクロック回路の各々は、

上記内部マスタークロックに接続された入力を有し、そして上記内部マスタークロック信号の各立上り縁にパルスを発生する第 1 のパルス発生回路と；

上記内部マスタークロックに接続された入力を有し、そして上記内部マスタークロック信号の各立下り縁にパルスを発生する第 2 のパルス発生回路と；

上記第 1 パルス発生回路の出力を上記第 2 パルス発生回路の出力と合成するための合成回路であって、F に等しい周波数の信号を出力に発生する合成回路とを備えた請求項 6 に記載のクロック駆動される回路。 30

【請求項 8】

上記クロック駆動される回路は、同期メモリ回路を含む請求項 7 に記載のクロック駆動される回路。

【請求項 9】

データをパイプライン形態で伝播するパイプライン式データ経路と；

上記データ経路に接続された操向回路と；

上記操向回路に接続された第 1 及び第 2 のデータ記憶ユニットと；

上記第 1 及び第 2 データ記憶ユニットに接続されたデータ選択回路であって、上記内部マスタークロックの立上り縁及び立下り縁に応答して、上記第 1 及び第 2 の記憶ユニット 40
に記憶されたデータを各々接続するデータ選択回路とを更に備えた請求項 8 に記載のクロック駆動される回路。

【請求項 10】

上記データ選択回路は、

上記第 1 のデータ記憶ユニットの出力を回路出力に接続する第 1 の送信ゲートと、

上記第 2 のデータ記憶ユニットの出力を回路出力に接続する第 2 の送信ゲートとを備え、

上記第 1 の送信ゲートは、上記内部マスタークロックの第 1 の縁に応答して導通し、そして上記第 2 の送信ゲートは、上記内部マスタークロック信号の上記第 1 の縁とは逆の第 2 の縁に応答して導通する請求項 9 に記載のクロック駆動される回路。 50

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタル回路に係り、より詳細には、デジタル回路のクロック機構に係る。

【0002】

【従来の技術】

電子産業の主たる争点として低電力の問題が持ち上がっている。従来、マイクロ電子装置の主たる問題は、性能、面積、コスト及び信頼性であり、一般的に、電力は、ある冷却限界を越えるか、又は装置がバッテリー作動式のものである場合のみ重要であった。チップ密度及びクロック速度が高くなり、そして更に多くの装置がポータブル化されそしてバッテ

10

【0003】

CMOSロジック回路における電力消費の主たる成分は、能動的な電力消費である。能動的な電力消費（短絡電流のようなDC及び非容量性電流による作用は無視する）は、電力をPとし、負荷キャパシタンスをCとし、電源電圧を V_{dd} とし、そして回路を動作するスイッチング周波数をfとすれば、 $P = C * V_{dd}^2 * f$ で計算される。

【0004】

【発明が解決しようとする課題】

能動的な電力消費は、電源電圧 V_{dd} の大きさによってほとんど直接的に影響される。従って、デジタルの設計者の間の傾向は、供給電圧を下げることである。しかしながら、供給電圧を下げられる量には限度があるので、この方策に沿ってそれ以上の利益を得ることは困難である。

20

【0005】

スイッチング周波数の低下も、能動的電力消費を減少するが、このような減少は、中途半端なもので、装置の動作速度を高める必要を伴う。この問題は、同期式ダイナミック又はスタティックメモリデバイス（SDRAM又はSRAM）のような同期式デバイスの使用が増加することにより生じる。これらの同期式デバイスは、デバイスの全ての機能を制御するマスタークロックを使用している。例えば、同期式SRAMにおいては、マスタークロックが、データの入力、メモリへの記憶及びメモリからの出力を制御する。周波数の高いマスタークロック信号をデバイス全体にルート指定する必要により能動的電力消費が増加する。しかしながら、この電力消費は、高い動作周波数を得るのに必要な犠牲として一般に受け入れられている。

30

【0006】

従って、このようなデバイスでは、高い周波数の動作を許しながら能動的電力消費を減少することが望まれる。

【0007】

【課題を解決するための手段】

本発明によれば、周波数Fの外部クロック信号を使用し、そしてFより低い周波数（例えば、 $1/2$ ）の内部マスタークロック信号を発生するクロック機構が提供される。例えば、外部クロックの速度の半分で動作する内部マスタークロック信号が、デバイス全体にわたって、クロック信号を必要とするデバイスの部品（例えば、同期メモリ製品の入力又は出力バッファ）へ送られる。マスタークロック信号の立上り縁及び立下り縁に対応する狭いパルスの流れが、クロック信号を必要とする部品に対して局部的に発生される。この狭いパルスの流れは、周波数Fを有する。このように、マスタークロック信号の発生に関連した能動的電力消費は、ほぼ半分に減少され、しかも集積回路は、依然として高い周波数で動作することができる。

40

【0008】

本発明の実施形態では、全電力消費の著しい減少を達成しながら、高い周波数で動作を続けることができる。電力消費のこの減少は、外部クロック信号の半分の周波数に等しい低い周波数のマスタークロック信号を発生することにより達成される。この低い周波数のマ

50

スタークロック信号が、デバイス全体にわたって送られて、クロックを必要とする回路素子を制御する。これは、内部マスタークロックを駆動する際の電力消費を $1/2$ に減少する。マスタークロックは、チップ内の多数の回路にしばしば送られ、従って、クロック信号の配線に関連したキャパシタンスが顕著なものとなる。この高いキャパシタンスのクロック信号の周波数を $1/2$ にカットすることによりその部分の全電力消費が著しく減少する。

【0009】

【発明の実施の形態】

本発明の特徴及び効果を十分に理解するために、添付図面を参照して本発明の好ましい実施形態を以下に詳細に説明する。本発明の実施形態は、多数の異なる装置に関連して使用される。1つの特定の実施形態において、本発明の特徴は、参考としてここに取り上げる1995年2月10日出願の「集積回路のデータをパイプライン処理する方法及び装置(Method and Apparatus for Pipelining Data in an Integrated Circuit)」と題する米国特許出願第08/386,581号に開示された同期メモリのような同期メモリデバイスに関連して使用される。図1にはクロック駆動されるデバイス100が示されている。このクロック駆動されるデバイス100は、同期メモリデバイスのようなクロック駆動される回路である。

【0010】

入力クロック信号 Φ は、デバイスによって受け取られる。例えば、デバイスが200MHzの同期メモリデバイスである場合には、入力クロック信号 Φ は、200MHzのクロック信号である。入力クロック信号 Φ は、分周器90に入力され、 $1/2\Phi$ 、即ち入力クロック信号の半分の周波数に等しい減少周波数のクロック信号が発生される。入力クロック信号 Φ をバッファしそしてルート指定するのではなく、この減少周波数のクロック信号 $1/2\Phi$ がデバイス全体にわたって送られることにより、内部クロックバッファ回路の電力消費が減少される。

【0011】

しかしながら、クロック周波数を単に半分にすると、デバイスの動作が低速になる。本発明の実施形態によれば、マスタークロック信号 Φ の立上り縁及び立下り縁に対応するクロックパルスが必要に応じて形成される。更に、図1を参照すると、複数のクロック回路104a-nがクロック駆動されるデバイス100に設けられる。これらのクロック回路104は、パルス流を発生するのに使用される。パルス流は、減少周波数のクロック信号 $1/2\Phi$ から発生され、マスタークロック信号 Φ の立上り縁及び立下り縁に対応する。従って、パルス流は、回路素子(即ちサブ回路)150a-nを制御するのに使用される。回路素子150a-nは、クロック制御を必要とする素子、例えば、データ入力又は出力バッファである。

【0012】

1つの特定の実施形態において、各クロック回路104は、減少周波数のマスタークロック信号 $1/2\Phi$ を受け取る。減少周波数のクロック信号の立上り縁は、ナンドゲート124から狭い負のパルス(例えば、その巾がインバータ118、120、122の合成遅延にほぼ等しい)を発生させる。この狭い負のパルスはノードYにおいてPMOSトランジスタ126をターンオンし、ノードZに正の遷移を形成し、インバータ138及び140で形成されたラッチの弱い(即ち、小さなデバイスサイズの)インバータ140を過剰付勢する。ノードZの正の遷移は、インバータ128の出力に負の遷移を、インバータ130の出力に正の遷移を、インバータ132の出力に負の遷移をそしてインバータ134の出力及びトランジスタ136のゲートに正の遷移を生じさせる。NMOSトランジスタ136のゲートの正の遷移は、ノードZを低レベルへと引っ張り、弱いインバータ140を再び過剰付勢する。これは、3つのインバータ分の遅延中のみであったノードY(又はノードX)の負のパルスによりノードZが高レベルに引っ張られた4つのインバータ分の遅延の後に生じることに注意されたい。それ故、PMOSトランジスタ126(又は116)は、ノードZが接地へと引っ張られる前にオフになる。ノードZが接地へと引っ張られた

10

20

30

40

50

4つのインバータ分の遅延の後、トランジスタ136がオフになり、ノードZを再び高レベルに引っ張ることができる。ノードZの正のパルスは、インバータ138及び142にバッファされ、回路素子150に正のパルスを駆動する。同様に、減少周波数のクロック信号1/2 Φの立下り縁は、ナンドゲート114からノードXに負のパルスを発生させ、これは、短時間でPMOSトランジスタ116をターンオンし、ノードZに正の遷移を発生させ、これも、NMOSトランジスタ136により終端される。この事象シーケンスが図2のタイミング図に示されている。

【0013】

従って、高い周波数のマスタークロック信号Φをクロック駆動されるデバイス100の全体に分配する必要性を回避することにより電力消費が減少される。むしろ、減少周波数のクロック信号1/2 Φがデバイス全体に分配される。次いで、減少周波数のクロック信号1/2 Φは、このマスタークロック信号1/2 Φの立上り縁及び立下り縁に対応するパルス流であって、ひいては、入力クロック信号Φの立上り縁に対応するパルス流を発生するのに使用される。このパルス流は、マスタークロック制御を必要とするクロック駆動されるデバイスの部品を制御する。その結果、クロック駆動されるデバイスを高い周波数において減少レベルの能動的電力消費で動作して、内部バッファされるクロック信号を発生することができる。

10

【0014】

当業者に明らかなように、本発明は、その精神又は本質的な特徴から逸脱せずに他の特定の形態でも実施することができる。例えば、更に別の特定の形態では、本発明の特徴を用いて、同期メモリデバイスを通るデータの流れを制御することができる。減少周波数のクロック信号1/2 Φの遅延形態を使用し、参考としてここに取り上げる上記米国特許出願第08/386,581号に開示されたデバイスのような同期メモリデバイスにおいてパイプライン処理の目的でデータを異なるラッチへ操向することができる。本発明の技術は、データの第1の断片が全データ経路に非同期で伝播する前に、データの第2の断片が同じデータ経路に伝播し始めるような2深度のパイプラインに特に適している。データの各断片は、次いで、記憶ユニット（又はラッチ）へ操向され、そして出力として適当に選択される。

20

【0015】

図3は、本発明のクロック技術の効果を取り入れた2深度パイプラインを有するシステムのためのデータ操向の簡単な例を示す。このシステムは、第1のデータを記憶ユニットD1(302)へそして第2のデータを第2の記憶ユニットD2(304)へ操向するデータ操向回路300を備えている。第3のデータも、記憶ユニットD1(302)へ操向される。操向のタイミングは、遅延ブロック316で遅延された内部マスタークロック信号1/2 Φによって制御される。タイミング及び遅延要件の詳細は、参考としてここに取り上げる上記米国特許出願第08/386,581号に開示されている。例えば、送信ゲート306及び308で形成された選択素子は、D1(302)からのデータ又はD2(304)からのデータを各々出力バッファ310に選択的に接続する。送信ゲート306及び308は、1/2 Φマスタークロック及びその逆信号（インバータ314で発生された）により制御される。この例では、1/2 Φマスタークロックの正の遷移は第1のデータを出力バッファ310へ操向し、そして負の遷移は第2のデータを出力バッファ310へ操向する。これは、メモリデバイスを制御するのに必要な回路を減少し、ひいては、電力消費を更に減少する。

30

40

【0016】

結論として、本発明は、周波数Fの外部クロック信号を内部で半分に分割し、1/2 Fに等しい内部マスタークロック信号を発生するクロック機構を提供する。外部クロックの速度の半分で作用する内部マスタークロック信号は、デバイス全体にわたって、クロック信号を必要とするデバイスの部品（例えば、同期メモリ製品の入力又は出力バッファ）ヘルート指定される。このマスタークロック信号の立上り縁及び立下り縁に対応する狭いパルスの流れが、その全周波数のクロック信号を必要とする部品に対して局部的に発生される。

50

本発明の特定の実施形態を以上に完全に説明したが、種々の変形、修正及び置き換えが可能である。例えば、内部マスタークロックはバッファされてもよいし、又は種々のローカルのクロック駆動されるサブ回路に到達する前に他の回路に通されてもよい。即ち、図1を参照して述べた特定の実施形態は、各ローカルクロック回路を駆動する同じマスタークロック信号を示すが、全く同じ内部マスタークロック信号以外のものであって、内部マスタークロック信号と同じ周波数を有するようなクロック信号を、集積回路内の種々の位置へルート指定することができる。それ故、本発明の範囲は、上記の実施形態に限定されるものではなく、特許請求の範囲のみにより限定されるものとする。

【図面の簡単な説明】

【図1】 本発明の1つの実施形態によりクロックパルスを発生する回路を示す回路図である。 10

【図2】 図1に基づいて発生されたクロックパルスの作用を示すタイミング図である。

【図3】 本発明のクロック機構を用いたパイプライン回路を示す図である。

【符号の説明】

90 分周器

100 クロック駆動されるデバイス

104 クロック回路

114、124 ナンドゲート

116、126 PMOSトランジスタ

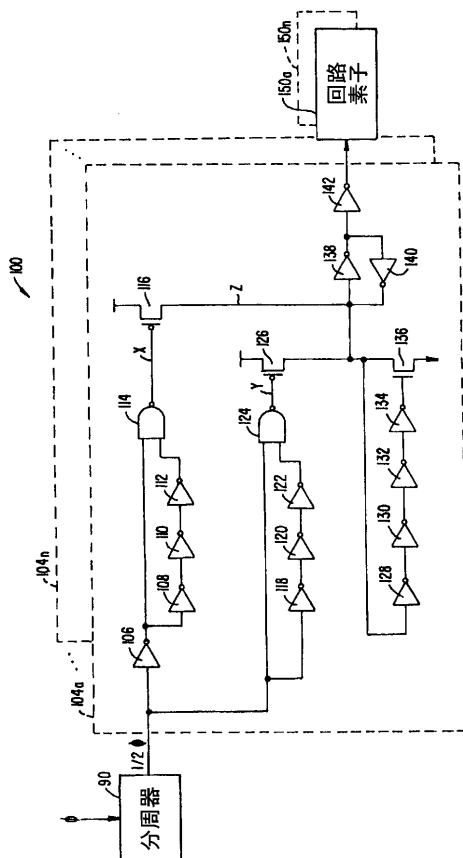
136 NMOSトランジスタ

138、140、142 インバータ

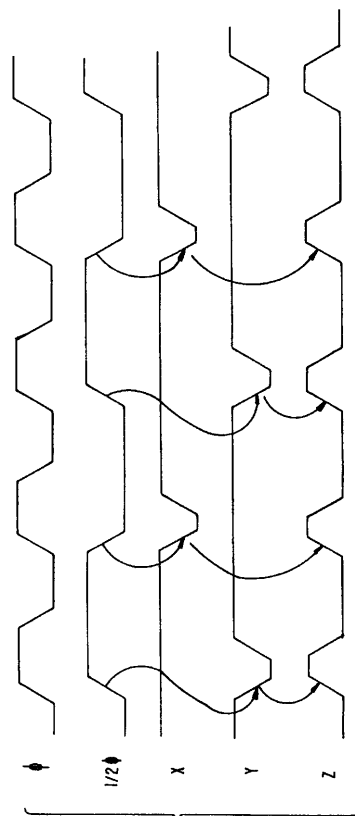
150 回路素子

20

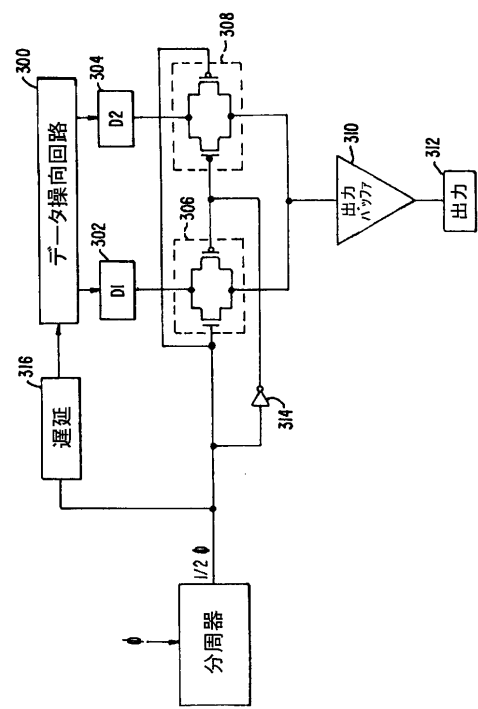
【図1】



【図2】



【図 3】



フロントページの続き

(74)代理人 100084009

弁理士 小川 信夫

(74)代理人 100086771

弁理士 西島 孝喜

(74)代理人 100090066

弁理士 中川 博司

(72)発明者 ロバート ジェイ プロエブスティング

アメリカ合衆国 カリフォルニア州 94022 ロス アルトス ヒルズ エドガートン ロード 27800

審査官 近藤 聡

(56)参考文献 特開平02-194721 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G06F 1/00

H03K 21/00