



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년02월01일
 (11) 등록번호 10-1012029
 (24) 등록일자 2011년01월25일

(51) Int. Cl.

H05K 1/16 (2006.01)

- (21) 출원번호 10-2003-0005786
- (22) 출원일자 2003년01월29일
심사청구일자 2007년10월30일
- (65) 공개번호 10-2003-0066360
- (43) 공개일자 2003년08월09일
- (30) 우선권주장
JP-P-2002-00028236 2002년02월05일 일본(JP)
JP-P-2002-00362558 2002년12월13일 일본(JP)
- (56) 선행기술조사문헌
JP12277875 A
JP13004641 A
JP13015933 A
JP13230515 A

(73) 특허권자

미쓰비시 지시 가부시끼가이샤

일본 도쿄도 주오구 니혼바시-혼고쿠쵸 1-2-2

소니 주식회사

일본국 도쿄도 미나토쿠 코난 1-7-1

(72) 발명자

오가와미노루

일본도쿄도시나가와쿠히가시고탄다2-17-1소니이엠 씨에스가부시끼가이샤나이

이즈미마사히로

일본도쿄도시나가와쿠히가시고탄다2-17-1소니이엠 씨에스가부시끼가이샤나이

(뒷면에 계속)

(74) 대리인

신정건

전체 청구항 수 : 총 14 항

심사관 : 장완호

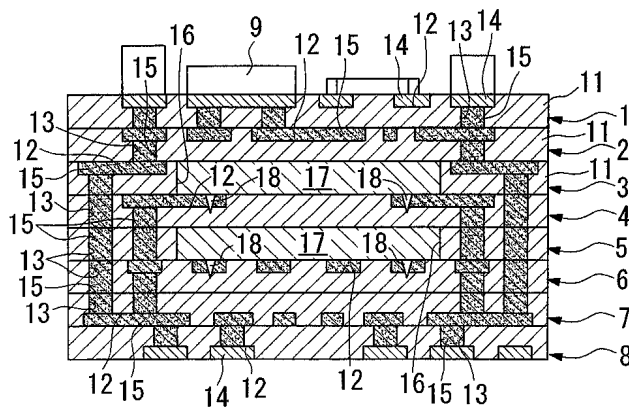
(54) 반도체 장치 내장 다층 배선 기판 및 그 제조 방법

(57) 요약

본 발명은 고내열성, 수지 유동을 일으키지 않고 저온 용착이 가능하며, 고정밀도 고선명의 도체 배선이 가능하고, 고밀도 초소형의 3차원 실장 모듈 등이 실현 가능하며, 또한 소량 다품종이라는 제조 형태에 적합하게 적용되고 환경면에서도 부하가 적은 반도체 장치 내장 다층 배선 기판 및 그 제조 방법을 제공하는 것을 목적으로 한다.

반도체 장치 내장 다층 배선 기판은 결정 용해 피크 온도가 260℃ 이상인 폴리아릴케톤 수지와 비정질 폴리에테르이미드 수지를 주성분으로 하는 열가소성 수지 조성물로 이루어지는 절연 기재(11)에 도체 배선(14, 15)이 표면이 표출된 상태로 매설된 배선 기재(1~8)가 적층되고, 배선 기재(4, 6)에는 IC 칩(17)이 탑재되고, 이들 배선 기재(1~8)의 절연 기재끼리가 열융착에 의해 접착되는 동시에, 각 배선 기재(1~8)의 도체 배선 및 배선 기재끼리의 층간 배선은 도전성 페이스트(23)를 경화하여 이루어지는 도전재(15)에 의해 구성되어 있다.

대표도 - 도1



(72) 발명자

이토시게야스

일본도쿄도시나가와구히가시고탄다2-17-1소니이엠
씨에스가부시끼가이샤나이

야마다신게츠

일본시가켄나가하마시미치야초5-8미쓰비시쥬시가부
시끼가이샤나가하마코조나이

스즈키슈지

일본시가켄나가하마시미치야초5-8미쓰비시쥬시가부
시끼가이샤나가하마코조나이

구로사키히로오

일본시가켄나가하마시미치야초5-8미쓰비시쥬시가부
시끼가이샤나가하마코조나이

특허청구의 범위

청구항 1

결정 용해 피크 온도가 260℃ 이상인 폴리아릴케톤 수지와 비정질 폴리에테르이미드 수지를 포함하는 열가소성 수지 조성물로 이루어지는 절연 기재(11)에 도체 배선이 표면이 표출된 상태로 매설되어 배선 회로가 형성되고, 이 도체 배선을 포함하는 절연 기재(11)의 표면이 평탄화되어 이루어지는 배선 기재(1 내지 8)가 복수 적층되어, 배선 기재(1 내지 8) 사이를 전기적으로 접속하는 층간 배선이 형성되고,

이들 복수의 배선 기재(1 내지 8) 중 하나 또는 2개 이상의 배선 기재(4, 6)에 반도체 장치(17)가 탑재되며,

상기 반도체 장치(17)가 탑재된 배선 기재(4, 6)에 인접하여 배치된 배선 기재(3, 5)에는, 상기 반도체 장치(17)를 수납하는 오목부 또는 개구(16)가 형성되어 있고,

이들 배선 기재(1 내지 8)의 절연 기재(11) 사이가 열융착에 의해 접착 일체화되고 또한 결정화되며, 각 배선 기재(1 내지 8)의 도체 배선 및 배선 기재(1 내지 8) 사이를 전기적으로 접속하는 층간 배선은, 도전성 페이스트(23)를 경화하여 이루어지는 도전재(15)에 의해 구성되어 있는 것을 특징으로 하는 반도체 장치 내장 다층 배선 기판.

청구항 2

제1항에 있어서, 상기 절연 기재(11)는 결정 용해 피크 온도가 260℃ 이상인 폴리아릴케톤 수지와 비정질 폴리에테르이미드 수지를 포함하는 열가소성 수지 조성물을 용융 반죽하고 급냉 제막하여 얻어진 비정질 필름으로 이루어지고,

상기 비정질 필름의 글라스 전이 온도와 결정화 개시 온도의 차가 30℃ 이상 60℃ 미만인 것을 특징으로 하는 반도체 장치 내장 다층 배선 기판.

청구항 3

삭제

청구항 4

제1항에 있어서, 상기 반도체 장치(17, 107)의, 상기 배선 기재(4, 6)에 전기적으로 접속되는 쪽과는 반대쪽에는, 절연막(113)이 형성되어 있는 것을 특징으로 하는 반도체 장치 내장 다층 배선 기판.

청구항 5

제1항에 있어서, 상기 반도체 장치(17)가 탑재된 상기 배선 기재(4, 6)의 상기 반도체 장치의 각 단자(18)에 대응하는 위치에는 관통 구멍(111)이 형성되고, 상기 관통 구멍(111)에는 도전재(15)가 충전되며, 상기 반도체 장치의 각 단자(18)는 상기 관통 구멍(111)에 충전된 상기 도전재(15)에 전기적으로 접속되어 있는 것을 특징으로 하는 반도체 장치 내장 다층 배선 기판.

청구항 6

제1항에 있어서, 상기 도체 배선은, 도전성 페이스트(23)를 경화하여 이루어지는 도전재(15)와 금속박(14)으로 이루어지며, 상기 금속박(14)의 표면이 표출되어 있는 것을 특징으로 하는 반도체 장치 내장 다층 배선 기판.

청구항 7

결정 용해 피크 온도가 260℃ 이상인 폴리아릴케톤 수지와 비정질 폴리에테르이미드 수지를 포함하는 열가소성 수지 조성물로 이루어지는 절연 기재(21)에 회로 형성용 홈부(12, 43) 및 관통 구멍(13, 22, 44)을 형성하고, 이어서, 상기 회로 형성용 홈부(12, 43) 및 관통 구멍(13, 22, 44)에 도전성 페이스트(23)를 충전하여 배선 기재(1 내지 8, 24, 34, 35, 49, 50, 55, 56, 62, 63, 81, 101 내지 104, 121, 122, 124, 131, 132)로 하고,

계속해서, 복수의 상기 배선 기재 중 하나 또는 2개 이상의 배선 기재(4, 6, 62, 63, 102, 124, 132)에 반도체 장치(17, 107)를 탑재하고,

상기 반도체 장치(17, 107)가 탑재된 배선 기재(4, 6, 62, 63, 102, 124, 132)에 인접하여 배치된 배선 기재

(3, 5, 55, 56, 103, 121)에는, 상기 반도체 장치(17, 107)를 수납하는 오목부 또는 개구(16, 54)가 형성되어 있고,

이들 배선 기재를 적층하여 일체화하는 것을 특징으로 하는 반도체 장치 내장 다층 배선 기판의 제조 방법.

청구항 8

제7항에 있어서, 상기 회로 형성용 흙부(12, 43)를, 요철 전사 지그(32)를 이용하여, 상기 열가소성 수지 조성물의 글라스 전이 온도 이상 결정화 개시 온도 미만의 온도에서 열성형하는 것을 특징으로 하는 반도체 장치 내장 다층 배선 기판의 제조 방법.

청구항 9

제7항에 있어서, 상기 절연 기재(21)에, 상기 반도체 장치(17, 107)를, 상기 열가소성 수지 조성물의 글라스 전이 온도 이상 결정화 개시 온도 미만의 온도로 열압착하는 것을 특징으로 하는 반도체 장치 내장 다층 배선 기판의 제조 방법.

청구항 10

제7항에 있어서, 상기 절연 기재(21)의, 탑재되는 상기 반도체 장치(17, 107)의 각 단자(18)에 대응하는 위치에 관통 구멍(111)을 형성하며, 이 관통 구멍(111)에 상기 도전성 페이스트(23)를 충전하여 배선 기재로 하고, 이 관통 구멍(111)에 충전된 상기 도전성 페이스트(23)에 상기 반도체 장치(17, 107)의 각 단자(18)를 매립하는 것을 특징으로 하는 반도체 장치 내장 다층 배선 기판의 제조 방법.

청구항 11

제7항에 있어서, 상기 도전성 페이스트(23)를 상기 회로 형성용 흙부(12, 43) 및 상기 관통 구멍(13, 22, 44)에 충전한 후에 가열·경화하여 도전재(15)로 하고, 상기 도전재(15)에 상기 반도체 장치(17, 107)의 각 단자(18)를 매립하는 것을 특징으로 하는 반도체 장치 내장 다층 배선 기판의 제조 방법.

청구항 12

복수의 배선 기재(1 내지 8, 24, 34, 35, 49, 50, 55, 56, 62, 63, 81, 101 내지 104, 121, 122, 124, 131, 132) 중 하나 또는 2개 이상의 배선 기재(4, 6, 62, 63, 102, 124, 132)에 반도체 장치(17, 107)를 탑재하고, 상기 복수의 배선 기재를 적층하여 일체화되어 이루어지는 반도체 장치 내장 다층 배선 기판의 제조 방법으로서,

결정 용해 피크 온도가 260℃ 이상인 폴리아릴케톤 수지와 비정질 폴리에테르이미드 수지를 포함하는 열가소성 수지 조성물로 이루어지는 절연 기재(21)에 관통 구멍(13)을 형성하고, 이어서, 상기 관통 구멍(13)에 도전성 페이스트(23)를 충전하고, 계속해서 상기 절연 기재(21)의 한쪽 면에 금속박(31)을 맞대어 열 압착에 의해 상기 금속박(31)을 상기 절연 기재(21) 상의 일부 영역 또는 상기 관통 구멍(13)이 형성된 영역 또는 상기 관통 구멍(13)이 형성된 영역을 포함하는 일부 영역에 선택적으로 접착하며, 계속해서, 상기 접착한 금속박(31a) 이외의 금속박(31b)을 박리하고, 상기 금속박(31a)을 포함하는 배선 기재를, 최상층 및 최하층의 배선 기재(1, 8, 34, 35) 중 적어도 1층에 적층하는 것을 특징으로 하는 반도체 장치 내장 다층 배선 기판의 제조 방법.

청구항 13

제12항에 있어서, 상기 금속박(31)을, 상기 열가소성 수지 조성물의 글라스 전이 온도 이상 결정화 개시 온도 (Tcs) 미만의 온도 A(℃)에서 열압착한 후, 상기 온도 A(℃)와 다른 온도 B(℃)에서 열처리하고, 이들 온도 A(℃) 및 온도 B(℃)는,

$$A < B < T_{cs}, \text{ 및, } B - A < 10^{\circ}\text{C}$$

의 관계를 만족하는 것을 특징으로 하는 반도체 장치 내장 다층 배선 기판의 제조 방법.

청구항 14

제7항에 있어서, 상기 복수의 배선 기재(1 내지 8, 24, 34, 35, 49, 50, 55, 56, 62, 63, 81, 101 내지 104, 121, 122, 124, 131, 132)를 적층하여 일체화할 때의 적층 온도는, 상기 열가소성 수지 조성물의 글라스 전이

온도 이상 결정 용해 온도 미만인 것을 특징으로 하는 반도체 장치 내장 다층 배선 기판의 제조 방법.

청구항 15

제12항에 있어서, 상기 복수의 배선 기재(1 내지 8, 24, 34, 35, 49, 50, 55, 56, 62, 63, 81, 101 내지 104, 121, 122, 124, 131, 132)를 적층하여 일체화할 때의 적층 온도는, 상기 열가소성 수지 조성물의 글라스 전이 온도 이상 결정 용해 온도 미만인 것을 특징으로 하는 반도체 장치 내장 다층 배선 기판의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0064] 본 발명은 반도체 장치 내장 다층 배선 기판 및 그 제조 방법에 관한 것으로, 특히, 반도체 장치를 탑재한 배선 기재를 포함하는 복수의 배선 기재를 적층하여 이루어지는 고밀도이며 또 초소형인 3차원 실장 모듈에 적합하게 이용하는 반도체 장치 내장 다층 배선 기판 및 그 제조 방법에 관한 것이다.
- [0065] 최근, 프린트 적층판이나 세라믹 적층판 등의 기판 상에, 저항, 커패시터 등의 수동 부품 외에, 소형 반도체 패키지, 반도체 베어칩, FBGA(fine pitch ball grid array) 등의 소형 능동 부품을 실장함으로써, 기판에 있어서의 부품의 설치 밀도를 향상시켜, 전자 장치의 소형화, 경량화, 박형화를 도모한 표면 실장법이 실용화되어 있다. 이 표면 실장법은 각 부품의 크기를 소형화하고자 하는 것이다.
- [0066] 또, 부품의 설치 밀도를 더욱 향상시키기 위해서, 반도체 장치를 3차원적으로 쌓아 올리는 3차원 실장 기술을 이용한 3차원 실장 모듈도 개발되어 있다. 이 3차원 실장 모듈은 상술한 표면 실장법에 의해서도 배치할 수 없는 부품, 특히, 부품 사이즈가 큰 반도체 장치를 입체적으로 배치하거나, 혹은, 기판 내부에 집어넣어, 설치 밀도를 높이고자 하는 것이다.
- [0067] 상기한 3차원 실장 기술은 기기의 소형화뿐만 아니라, 컴퓨터나 통신 기기 등의 고속화에도 기여하는 기술로서, 최근 특히 주목을 받고 있는 기술이다.
- [0068] 예컨대, 통신 기기에서는, 금후, 활상 소자를 이용한 동화상 통신 기능, Bluetooth의 인터페이스 기능, GPS 기능 등이 탑재될 것이 예상되고 있으며, 부품 갯수의 증가를 수반하는 다기능화가 적극적으로 추진되어, 실장 기술의 고밀도화를 견인해 나갈 것이다. 특히, 소형 반도체 장치인 반도체 칩을 3차원적으로 적층하여 배선하면, 배선 길이를 짧게 할 수 있어, 고속 신호를 전송할 수 있게 되기 때문에, 3차원 실장 기술의 채용은 불가결하다.
- [0069] 3차원 실장 기술에는, 크게 나눠 2가지의 기술이 있다. 하나는 프린트 배선 기판 상이나 내부에 부품을 적층하는 3차원 실장 모듈 등에 관한 기술이며, 또 하나는 패키지 내에서 반도체 칩을 적층하는 3차원 실장 패키지에 관한 기술이다.
- [0070] 전자의 기술은 3차원 실장 모듈 등을 채용하는 기기 메이커가 전용 실장기의 연구 개발을 진보시킬 필요가 있으므로, 거의 보급되지 않고 있다. 한편, 후자의 기술은 3차원 실장 패키지 등을 제조하는 전기 메이커에게 있어서는, 반도체 칩의 종류나 갯수, 적층하는 배선 기판의 매수가 타사와의 차별화 요인이 된다는 것과, 동일한 형상이라도, 다종 다양한 기능을 발휘할 수 있다는 것 때문에, LSI 메이커가 개발에 몰두하기 시작하고 있다.
- [0071] 복수의 반도체 칩을 종류나 형상에 관계없이 패키지 내에서 적층할 수 있는 3차원 실장 패키지의 일례로서, 도시마가 개발한 System Block Module(SBM)이 있다[예컨대, 이케미즈 모리히코(池水守彦), 「3차원 모듈의 전망」, 일렉트로닉스 실장 기술, 기술 조사회, 2000년 4월, 제16권, 제4호, 32-34 페이지 참조]. 이 SBM은 두께를 50 μm까지 얇게 한 반도체 칩을 유리 에폭시 등으로 이루어지는 내열성 수지 배선 기판 상에 실장하여, 이 기판을 여러장 적층한 구조를 채용하고 있다. 이 SBM에서는 각 층의 두께는 140 μm 정도이므로, 1 mm 두께의 패키지에 7장의 칩을 적층할 수 있다는 계산이 나온다. 또, 단자 사이의 배선 패턴은 반도체 칩을 실장하고 있지 않은 기판의 주변 부분에 형성하고, 칩 단자와 기판의 사이는 Au 범프로 직접 전기적으로 접속하며, 반도체 칩 사이는 각 층 사이에 끼워진 기판에 형성된 구멍에 도전체를 매립한 배선에 의해 전기적으로 접속되어 있다.
- [0072] 그런데, 종래의 3차원 실장 패키지에서는, 반도체 칩을 유리 에폭시 등으로 이루어지는 내열성 수지 배선 기판

상에 실장하고 있기 때문에, 그 형상이나 설치 밀도가 기존의 기관 재료 및 기관 프로세스에 의해 제한되어 버리게 되어, 이 이상의 고밀도화 및 초소형화가 어렵다고 하는 문제점이 있었다.

[0073] 예컨대, 유리 에폭시 등의 내열성 수지에 있어서는, 고내열성의 기관 재료로서 유리한 만큼, 이 내열성 수지를 적층하여 일체화할 때는 미리 이 내열성 수지를 반(半)경화 상태로 해 두고, 이 반경화 상태의 내열성 수지를 가열하여 열융착할 필요가 있지만, 이 가열·열융착시에, 탄성율의 대폭적인 저하에 의한 레진 플로우가 배선 회로를 구성하는 도체에 왜곡을 일으킨다고 하는 문제점이 있었다.

[0074] 또, 종래의 3차원 실장 패키지의 제조 라인은 다량 소품종에 알맞은 제조 라인이므로, 생산 설비가 커지는 경향이 있다. 또한, 유리 에폭시 등의 내열성 수지 기관 상에 배선 회로를 형성할 때에는, 일반적으로 케미컬 에칭(습식 에칭)이나 도금법 등의 습식 프로세스가 이용되고 있는데, 환경 부하라는 점에서도 바람직하지 못하다.

[0075] 이 습식 프로세스를 대신하는 방법으로서, 도전성 페이스트를 이용한 스크린인쇄법이나 디스펜스법 등의 건식 프로세스를 들 수 있지만, 어느 방법에서도, 해마다 진보되는 고밀도 실장의 요구에서 오는 고선명 또 고정밀도의 도체 배선을 실현하는 데는 한계가 있다.

[0076] 또, 도전성 페이스트를 이용한 3차원 실장 패키지에서는 내열성 수지를 용착하여 일체화하고자 하면, 내열성 수지의 용점 근방까지 가열하여 가압할 필요가 있어, 배선이 파인피치화됨에 따라, 적층시의 수지 유동에 의한 배선 왜곡이 기관 설계상 무시할 수 없는 것으로 되고 있다.

발명이 이루고자 하는 기술적 과제

[0077] 본 발명은 상기한 과제를 해결하기 위해서 이루어진 것으로, 높은 내열성을 지니고, 또한 수지 유동이 발생하지 않으며 저온 용착이 가능하고, 더구나, 고정밀도 고선명의 도체 배선이 가능하게 됨으로써, 고밀도 초소형의 3차원 실장 모듈 등을 실현할 수 있게 되고, 또한, 소량 다품종이라는 제조 형태에 적합하게 적용되며 환경면에서도 부하가 적은 반도체 장치 내장 다층 배선 기관 및 그 제조 방법을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

[0078] 본 발명자들은 예의 검토를 거듭한 결과, 열가소성 수지로 이루어지는 기관과 도전성 페이스트에 의한 배선 패턴을 조합하여 반도체 칩 탑재용의 배선 기관을 제작할 수 있으면, 고성능이며 환경에도 순응적인 반도체 장치 내장 다층 배선 기관을 실현할 수 있다고 생각하여, 본 발명에 이르렀다.

[0079] 즉, 본 발명의 반도체 장치 내장 다층 배선 기관은 결정 용해 피크 온도가 260℃ 이상인 폴리아릴케톤 수지와 비정질 폴리에테르이미드 수지를 주성분으로 하는 열가소성 수지 조성물로 이루어지는 절연 기체에 도체 배선이 표면이 표출된 상태로 매설되어 배선 회로가 형성되고, 이 도체 배선을 포함하는 절연 기체의 표면이 평탄화되어 이루어지는 배선 기체가 복수 적층되어, 배선 기체끼리를 전기적으로 접속하는 층간 배선이 설치되며, 이들 복수의 배선 기체 중, 하나 또는 2개 이상의 배선 기체에 반도체 장치가 탑재되어, 이들 배선 기체의 절연 기체끼리가 열융착에 의해 접착 일체화되고 결정화되는 동시에, 각 배선 기체의 도체 배선 및 배선 기체끼리를 전기적으로 접속하는 층간 배선은 도전성 페이스트를 경화하여 이루어지는 도전체에 의해 구성되어 있는 것을 특징으로 한다.

[0080] 이 반도체 장치 내장 다층 배선 기관에서는, 배선 기체의 주요부를 구성하는 절연 기체를, 결정 용해 피크 온도가 260℃ 이상인 폴리아릴케톤 수지와 비정질 폴리에테르이미드 수지를 주성분으로 하는 열가소성 수지 조성물로 하여, 이 열가소성 수지 조성물로 이루어지는 절연 기체에 표면이 표출된 상태로 도체 배선을 매설하는 동시에, 이 도체 배선을 포함하는 절연 기체의 표면을 평탄화함으로써, 우수한 내열성, 높은 기계적 강도, 우수한 전기적 절연성을 갖는 데다, 수지 유동이 발생하지 않아 저온 용착이 가능하게 되어, 이 수지 유동에 기인하는 배선 왜곡의 문제가 해소되어, 고정밀도 고선명의 도체 배선이 가능하게 된다. 이에 따라, 전기적 특성 및 신뢰성이 우수한 반도체 장치 내장 다층 배선 기관을 제공하는 것이 가능하게 된다.

[0081] 또, 열가소성 수지 조성물 및 도체 배선의 종류나 형상을 적절하게 선택함으로써 배선 기체의 다양화가 가능하게 되기 때문에, 여러 가지 사양의 배선 기체를 조합시킴으로써, 여러 가지 사양의 반도체 장치 내장 다층 배선 기관에 대응하는 것이 가능하게 된다.

[0082] 또, 여러 가지 사양의 배선 기체를 조합시킴으로써, 소량 다품종이라는 제조 형태에 있어서 적합하다. 또, 도전성 페이스트에 의해 전기적으로 접속함으로써, 습식 프로세스에 의한 배선 형성이 불필요하게 되어, 환경면에서의 부하가 적어진다.

- [0083] 상기 절연 기재는 결정 용해 피크 온도가 260℃ 이상인 폴리아릴케톤 수지와 비정질 폴리에테르이미드 수지를 주성분으로 하는 열가소성 수지 조성물을 용융 반죽하여 급냉 성막하여 얻어진 비정질 필름으로 이루어지며, 상기 비정질 필름의 글라스 전이 온도와 결정화 개시 온도의 차가 30℃ 이상 60℃ 미만인 것으로 하는 것이 바람직하다.
- [0084] 그 이유는 30℃ 미만에서는 결정화의 진행이 빨라, 열융착에 의해 접착 일체화할 때에 열융착성이 저하되기 때문이며, 한편, 60℃ 이상에서는 접착 일체화후의 결정화도가 낮아, 땀납 내열성에 부족하기 때문이다.
- [0085] 상기 반도체 장치가 탑재된 배선 기재에 인접하여 배치된 배선 기재에는 상기 반도체 장치를 수납하는 오목부 또는 개구가 형성되어 있는 것이 바람직하다.
- [0086] 상기 반도체 장치의, 적어도 상기 배선 기재에 전기적으로 접속되는 쪽과 반대쪽의 주요면에는 절연막이 형성되어 있는 것이 바람직하다.
- [0087] 상기 반도체 장치의 상기 주요면에 절연막을 형성함으로써, 이 주요면과 인접하는 절연 기재의 도체 배선과의 사이의 절연성이 확보된다.
- [0088] 또, 상기 반도체 장치의, 적어도 상기 배선 기재에 전기적으로 접속되는 쪽과 반대쪽의 주요면에 절연막을 형성함으로써, 반도체 장치에 패시베이션막을 형성할 필요가 없어지고, 더구나, 상기 반도체 장치와 인접하는 절연 기재의 도체 배선 사이의 전기적 절연성을 양호하게 유지할 수 있어, 상기 반도체 장치 및 상기 도체 배선 각각의 신뢰성을 높일 수 있다.
- [0089] 상기 반도체 장치가 탑재되는 상기 배선 기재의 상기 반도체 장치의 각 단자에 대응하는 위치에는 관통 구멍이 형성되고, 이 관통 구멍에는 도전재가 충전되며, 상기 반도체 장치의 각 단자는 상기 관통 구멍에 충전된 상기 도전재에 전기적으로 접속되어 있는 것이 바람직하다.
- [0090] 또한, 상기 도체 배선은 도전성 페이스트를 경화하여 이루어지는 도전재와 금속박으로 이루어져, 적어도 상기 금속박의 표면이 표출되고 있는 것으로 하여도 좋다.
- [0091] 본 발명의 반도체 장치 내장 다층 배선 기판의 제조 방법은, 결정 용해 피크 온도가 260℃ 이상인 폴리아릴케톤 수지와 비정질 폴리에테르이미드 수지를 주성분으로 하는 열가소성 수지 조성물로 이루어지는 절연 기재의 한 주요면에 회로 형성용 흠부 및 관통 구멍을 형성하고, 이어서, 상기 회로 형성용 흠부 및 관통 구멍에 도전성 페이스트를 충전하여 배선 기재로 하고, 계속해서, 복수의 상기 배선 기재 중 하나 또는 2개 이상의 배선 기재에 반도체 장치를 탑재하여, 이들 배선 기재를 적층하여 일체화하는 것을 특징으로 한다.
- [0092] 이 반도체 장치 내장 다층 배선 기판의 제조 방법에서는, 결정 용해 피크 온도가 260℃ 이상인 폴리아릴케톤 수지와 비정질 폴리에테르이미드 수지를 주성분으로 하는 열가소성 수지 조성물로 이루어지는 절연 기재에 도전성 페이스트를 이용하여 배선 회로를 형성한 배선 기재 중 하나 또는 2개 이상의 배선 기재에 반도체 장치를 탑재하여, 이들 배선 기재를 적층하여 일체화함으로써, 우수한 내열성, 높은 기계적 강도, 우수한 전기적 절연성을 가지는 동시에, 고정밀도 고선명의 도체 배선을 갖는 반도체 장치 내장형의 다층 배선 기판이 용이하게 제작된다. 그 결과, 전기적 특성 및 신뢰성이 우수한 반도체 장치 내장 다층 배선 기판을 용이하게 제작하는 것이 가능하게 된다.
- [0093] 또, 상기 배선 기재의 층수나 그것에 형성되는 배선 회로를 적절하게 선택함으로써, 여러 가지 사양의 반도체 장치 내장 다층 배선 기판에 대하여 용이하게 대응할 수 있게 되어, 소량 다품종의 반도체 장치 내장 다층 배선 기판을 용이하고 또 단시간에 제작하는 것이 가능하게 된다. 또한, 제조 과정에서는, 도전성 페이스트에 의해 전기적으로 접속한다고 하는 건식 프로세스를 채용함으로써, 습식 프로세스에 의한 배선 형성 공정이 불필요하게 되어, 제조 과정에서의 환경면에서의 부하가 적어진다.
- [0094] 또, 상기 회로 형성용 흠부는 요철 전사 지그를 이용하여, 상기 열가소성 수지 조성물의 글라스 전이 온도 이상 결정화 개시 온도 미만의 온도에서 열성형하는 것이 바람직하다.
- [0095] 또, 상기 절연 기재에, 상기 반도체 장치를, 상기 열가소성 수지 조성물의 글라스 전이 온도 이상 결정화 개시 온도 미만의 온도에서 열압착하는 것이 바람직하다.
- [0096] 또, 상기 절연 기재의, 탑재되는 상기 반도체 장치의 각 단자에 대응하는 위치에 관통 구멍을 형성하고, 이 관통 구멍에 상기 도전성 페이스트를 충전하여 배선 기재로 하여, 이 관통 구멍에 충전된 상기 도전성 페이스트에 상기 반도체 장치의 각 단자를 매립하는 것으로 하여도 좋다.

- [0097] 또, 상기 도전성 페이스트를 상기 회로 형성용 홈부 및 상기 관통 구멍에 충전한 후에 가열·경화하여 도전재로 하고, 상기 도전재에 상기 반도체 장치의 각 단자를 매립하는 것으로 하여도 좋다.
- [0098] 본 발명의 반도체 장치 내장 다층 배선 기판의 다른 제조 방법은 복수의 배선 기재 중 하나 또는 2개 이상의 배선 기재에 반도체 장치를 탑재하는 동시에, 상기 복수의 배선 기재를 적층하여 일체화하여 이루어지는 반도체 장치 내장 다층 배선 기판의 제조 방법으로서, 결정 용해 피크 온도가 260℃ 이상인 폴리아릴케톤 수지와 비정질 폴리에테르이미드 수지를 주성분으로 하는 열가소성 수지 조성물로 이루어지는 절연 기재에 관통 구멍을 형성하고, 이어서, 상기 관통 구멍에 도전성 페이스트를 충전하고, 계속해서, 상기 절연 기재의 한쪽 면에 금속박을 맞대어 상기 금속박을 상기 절연 기재에 선택적으로 열압착하고, 계속해서, 상기 금속박을 박리하여, 상기 열압착에 의하여 상기 관통 구멍내 및/또는 상기 절연 기재상의 소정 위치에 접착한 금속박을, 적어도 한쪽의 최외층의 배선 기재로 하는 것을 특징으로 한다.
- [0099] 이 반도체 장치 내장 다층 배선 기판의 다른 제조 방법에서는, 결정 용해 피크 온도가 260℃ 이상인 폴리아릴케톤 수지와 비정질 폴리에테르이미드 수지를 주성분으로 하는 열가소성 수지 조성물로 이루어지는 절연 기재에 관통 구멍을 형성하고, 이어서, 상기 관통 구멍에 도전성 페이스트를 충전하고, 계속해서, 상기 절연 기재의 한쪽 면에 금속박을 맞대어 열 압착에 의해 상기 금속박을 선택적으로 열압착하고, 계속해서, 상기 금속박을 박리하여, 상기 금속박을 상기 관통 구멍이 형성된 영역 및/또는 상기 절연 기재상의 소정 위치에 접촉시킴으로써, 상기 금속박은 강고히 압착되게 된다. 이에 따라, 우수한 내열성, 높은 기계적 강도, 우수한 전기적 절연성을 지니는 동시에, 고정밀도 고선명의 도체 배선을 갖는 반도체 장치 내장형의 다층 배선 기판이 용이하게 제작된다. 그 결과, 전기적 특성 및 신뢰성이 우수한 반도체 장치 내장 다층 배선 기판을 용이하게 제작하는 것이 가능하게 된다.
- [0100] 또, 상기 배선 기재의 층수나 그것에 형성되는 배선 회로를 적절하게 선택함으로써, 다양한 사양의 반도체 장치 내장 다층 배선 기판에 대하여 용이하게 대응할 수 있게 되어, 소량 다품종의 반도체 장치 내장 다층 배선 기판을 용이하고 또 단시간에 제작하는 것이 가능하게 된다. 또한, 제조 과정에서는, 도전성 페이스트에 의해 전기적으로 접속한다고 하는 건식 프로세스를 채용함으로써, 습식 프로세스에 의한 배선 형성 공정이 불필요하게 되어, 제조 과정에서의 환경면에서의 부하가 적어진다.
- [0101] 상기 금속박을, 상기 열가소성 수지 조성물의 글라스 전이 온도 이상 결정화 개시 온도(Tcs) 미만의 온도 A(℃)에서 열압착한 후, 상기 온도 A(℃)와 다른 온도 B(℃)에서 열처리할 때의, 이들 온도 A(℃) 및 온도 B(℃)는
- [0102] $A < B < T_{cs}$, 또, $B - A < 10^{\circ}\text{C}$
- [0103] 의 관계를 만족하는 것이 바람직하다.
- [0104] 그 이유는, 온도 A가 글라스 전이 온도 미만이면, 금속박을 열압착할 수 없고, 또, 결정화 개시 온도 이상이면, 결정화의 진행이 빨라, 열응축에 의해 접착 일체화할 때에 열응축성이 저하되기 때문이다.
- [0105] 또, 결정화 개시 온도 미만의 온도 B에서 열처리함으로써, 금속박의 접착을 강화할 수 있다.
- [0106] 또한, 상기 복수의 배선 기재를 적층하여 일체화할 때의 적층 온도는 상기 열가소성 수지 조성물의 글라스 전이 온도 이상 결정 용해 온도 미만인 것이 바람직하다.
- [0107] 본 발명의 반도체 장치 내장 다층 배선 기판 및 그 제조 방법의 각 실시형태에 관해서 설명한다.
- [0108] 제1 실시형태
- [0109] 도 1은 본 발명의 제1 실시형태의 IC 칩(반도체 장치) 내장 다층 배선 기판을 도시하는 단면도이며, 도면에서, 부호 1은 최상층 기재(최상층의 배선 기재), 2는 속이 채워진 내층 기재(배선 기재), 3은 구멍이 빈(개구) 내층 기재(배선 기재), 4는 IC 칩(반도체 장치) 탑재 내층 기재(배선 기재), 5는 구멍이 빈(개구) 내층 기재(배선 기재), 6은 IC 칩(반도체 장치) 탑재 내층 기재(배선 기재), 7은 속이 채워진 내층 기재(배선 기재), 8은 최하층 기재(최하층의 배선 기재), 9는 최상층 기재(1) 상에 탑재된 저항, 콘덴서, SMD 등의 전자 부품이다.
- [0110] 최상층 기재(1)는 통상 100 μm 이하 두께의 필름, 박판형 또는 시트형으로 된 것으로, 결정 용해 피크 온도가 260℃ 이상인 폴리아릴케톤 수지와 비정질 폴리에테르이미드 수지를 주성분으로 하는 열가소성 수지 조성물로 이루어지는 박판형, 필름형 혹은 시트형의 절연 기재(11)의 한쪽 면(이 도면에서는 상측)에, 배선 회로 형성용의 홈부(12)가 형성되는 동시에, 절연 기재(11)를 관통하는 비어홀(관통 구멍)(13)이 형성되고, 이 홈부(12)에

금속박(14)이 표면이 표출된 상태로 매설되며, 비어홀(13)에는 도전성 페이스트를 경화하여 이루어지는 도전재(15)가 충전되어 있다. 이 금속박(14)을 포함하는 절연 기재(11)의 표면 및 이면은 평탄화되어 있다.

- [0111] 속이 채워진 내층 기재(2)는 상술한 최상층 기재(1)와 완전히 같은 형상의 열가소성 수지 조성물로 이루어지는 박판형, 필름형 혹은 시트형의 절연 기재(11)의 한쪽 면(이 도면에서는 상측)에, 배선 회로 형성용의 홈부(12)가 형성되는 동시에, 절연 기재(11)를 관통하는 비어홀(13)이 형성되어, 이 홈부(12) 및 비어홀(13)에 도전성 페이스트를 경화하여 이루어지는 도전재(15)가 충전되어 있다. 이 도전재(15)를 포함하는 절연 기재(11)의 표면 및 이면은 평탄화되어 있다.
- [0112] 구멍이 빈 내층 기재(3)는 상술한 최상층 기재(1)와 완전히 같은 형상의 열가소성 수지 조성물로 이루어지는 박판형, 필름형 혹은 시트형의 절연 기재(11)의 한쪽 면(이 도면에서는 상측)에, 배선 회로 형성용의 홈부(12)가 형성되는 동시에, 절연 기재(11)를 관통하는 비어홀(13)이 형성되어, 이 홈부(12) 및 비어홀(13)에 도전성 페이스트를 경화하여 이루어지는 도전재(15)가 충전되고, 또한, 이 절연 기재(11)의 소정 위치에는 후술하는 IC 칩(17)을 수납하기 위한 구멍(16)이 형성되어 있다. 이 도전재(15)를 포함하는 절연 기재(11)의 표면 및 이면은 평탄화되어 있다.
- [0113] IC 칩 탑재 내층 기재(4)는 상술한 최상층 기재(1)와 완전히 같은 형상의 열가소성 수지 조성물로 이루어지는 박판형, 필름형 혹은 시트형의 절연 기재(11)의 한쪽 면(이 도면에서는 상측)에, 배선 회로 형성용의 홈부(12)가 형성되는 동시에, 절연 기재(11)를 관통하는 비어홀(13)이 형성되어, 이 홈부(12) 및 비어홀(13)에 도전성 페이스트를 경화하여 이루어지는 도전재(15)가 충전되고, 또한, 이 절연 기재(11) 상에, 예컨대 베어칩 타입의 IC 칩(17)이 탑재되고, 이 IC 칩(17)의 단자(18)는 도전재(15)에 의해 구성되는 배선 회로에 전기적으로 접속되어 있다.
- [0114] 구멍이 빈 내층 기재(5)는 상술한 최상층 기재(1)와 완전히 같은 형상의 열가소성 수지 조성물로 이루어지는 박판형, 필름형 혹은 시트형의 절연 기재(11)에 비어홀(13)이 형성되고, 이 비어홀(13)에 도전성 페이스트를 경화하여 이루어지는 도전재(15)가 충전되며, 또한, 이 절연 기재(11)의 소정 위치에는 후술하는 IC 칩(17)을 수납하기 위한 구멍(16)이 형성되어 있다. 이 도전재(15)를 포함하는 절연 기재(11)의 표면 및 이면은 평탄화되어 있다.
- [0115] IC 칩 탑재 내층 기재(6)는 상술한 IC 칩 탑재 내층 기재(4)와 거의 같은 구성이며, 홈부(12) 및 비어홀(13)에 도전성 페이스트를 경화하여 이루어지는 도전재(15)가 충전된 배선 회로의 형상이 다르다.
- [0116] 속이 채워진 내층 기재(7)는 상술한 내층 기재(2)와 거의 같은 구성이며, 절연 기재(11)의 하측 면에 배선 회로 형성용의 홈부(12)가 형성되어 있는 점과 홈부(12) 및 비어홀(13)에 도전재(15)가 충전된 배선 회로의 형상이 다르다.
- [0117] 최하층 기재(8)는 상술한 최상층 기재(1)와 거의 같은 구성이며, 절연 기재(11)의 하측 면에 배선 회로 형성용의 홈부(12)가 형성되고, 이 홈부(12)에 금속박(14)이 표면이 표출된 상태로 매설된 점과 배선 회로가 되는 홈부(12) 및 비어홀(13)에 충전된 도전재(15)의 형상이 다르다.
- [0118] 이들 최상층 기재(1)~최하층 기재(8)는 이 순서로 적층되어 열압착에 의해 접착 일체화되고 또 결정화되며, 이들 기재(1~8)의 배선 회로 및 각 기재(1~8) 사이를 전기적으로 접속하는 층간 배선은 도전성 페이스트를 경화하여 이루어지는 도전재(15)에 의해 구성되어 있다.
- [0119] 상기한 절연 기재(11)를 구성하는 열가소성 수지 조성물의 주성분인, 결정 용해 피크 온도가 260℃ 이상인 폴리아릴케톤 수지는 그 구조 단위에 방향족 결합, 에테르 결합 및 케톤 결합을 포함하는 열가소성 수지이며, 그 대표예로서는, 폴리에테르케톤, 폴리에테르에테르케톤, 폴리에테르케톤케톤 등이 있다. 한편, 폴리에테르에테르케톤은 「PEEK151G」, 「PEEK381G」, 「PEEK450G」(모두 VICTREX사의 상품명) 등으로서 시판되고 있다.
- [0120] 또, 비정질 폴리에테르이미드 수지는 그 구조단위에 방향족 결합, 에테르 결합 및 이미드 결합을 포함하는 비정질 열가소성 수지이며, 특별히 제한되는 것은 아니다. 한편, 폴리에테르이미드는 「Ultem CRS5001」, 「Ultem 1000」(모두 체네랄일렉트릭사의 상품명) 등으로서 시판되고 있다.
- [0121] 상기한 열가소성 수지 조성물의 수지 조성은 폴리아릴케톤 수지 70~25 중량%와, 비정질 폴리에테르이미드 수지 30~75 중량%로 이루어지는 열가소성 수지 조성물 100 중량부에 대하여, 무기 충전재를 20 중량부 이상 50 중량부 이하로 혼합하여 이루어지는 조성물이 바람직하다.
- [0122] 여기서, 폴리아릴케톤 수지의 함유율을 70~25 중량%로 한정하는 이유는 함유율이 70 중량%를 넘으면, 결정성이

높기 때문에 다층화할 때의 적층성이 저하되기 때문이며, 또한, 함유율이 25 중량% 미만이면, 조성물 전체적인 결정성 자체가 낮아져, 결정 용해 피크 온도가 260℃ 이상이라도 플로우 내열성이 저하되기 때문이다.

- [0123] 또, 비정질 폴리에테르이미드 수지의 함유율을 30~75 중량%로 한정된 이유는 함유율이 30 중량% 미만이면 결정성이 높기 때문에 다층화할 때의 적층성이 저하되기 때문이며, 또한, 함유율이 75 중량%를 넘으면, 조성물 전체적인 결정성 자체가 낮아져, 결정 용해 피크 온도가 260℃ 이상이라도 플로우 내열성이 저하되기 때문이다.
- [0124] 상술한 열가소성 수지 조성물에 대하여 무기 충전제를 첨가할 수도 있다.
- [0125] 무기 충전제로서는 특별히 제한은 없고, 공지의 어떠한 것도 사용할 수 있다. 예컨대, 탈크, 마이카, 운모, 유리 후레이크, 질화붕소(BN), 판형 탄산칼슘, 판형 수산화알루미늄, 판형 실리카, 판형 티탄산칼륨 등을 들 수 있다. 이들은 1 종류를 단독으로 첨가하더라도 좋고, 2가지 이상을 조합하여 첨가하더라도 좋다. 특히, 평균 입자 지름이 15 μm 이하, 종횡비(입자 지름/두께)가 30 이상인 비늘 조각형의 무기 충전제가, 평면 방향과 두께 방향의 선팡창계수비를 낮게 억제할 수 있어, 열충격 사이클 시험시의 기판 내의 크랙 발생을 억제할 수 있기 때문에, 바람직하다.
- [0126] 이 무기 충전제의 첨가량은 열가소성 수지 조성물 100 중량부에 대하여 20 중량부 이상 50 중량부 이하가 바람직하다. 50 중량부를 넘으면, 무기 충전제의 분산 불량의 문제가 발생하고, 선팡창계수가 변동되기 쉽기 때문이며, 또, 20 중량부 미만에서는 열성형에 이용하는 유리 스탬퍼와 절연 기재(11)의 선팡창계수의 차에 의해, 절연 기재(11)에 치수 수축이 발생하기 때문이며, 또한, 선팡창계수를 저하시켜 치수 안정성을 향상시키는 효과가 작아, 리플로우 공정에 있어서 선팡창계수의 차에 기인하는 내부 응력이 발생하여, 기판에 휘어짐이나 비틀림이 발생하기 때문이다.
- [0127] 상기한 열가소성 수지 조성물에 대해서는, 그 성질을 손상하지 않는 정도로, 다른 수지나 무기 충전제 이외의 각종 첨가제, 예컨대, 안정제, 자외선 흡수제, 광안정제, 핵제, 착색제, 윤활제, 난연제 등을 적절하게 첨가하더라도 좋다.
- [0128] 이들 무기 충전제를 포함한 각종 첨가제를 첨가하는 방법으로는 공지의 방법, 예컨대 하기에 예로 드는 방법 (a), (b)를 이용할 수 있다.
- [0129] (a) 각종 첨가제를 폴리아릴케톤 수지 및/또는 비정질 폴리에테르이미드 수지 등의 기재(베이스 수지)에 고농도(대표적인 함유량으로는 10~60 중량% 정도)로 혼합한 마스터배치를 별도로 제작해 두고, 이것을 사용하는 수지에 농도를 조정하여 혼합하여, 니이더나 압출기 등을 이용하여 기계적으로 블렌드하는 방법.
- [0130] (b) 사용하는 수지에 직접 각종 첨가제를 니이더나 압출기 등을 이용하여 기계적으로 블렌드하는 방법.
- [0131] 이들 방법 중에서는, (a)의 방법이 분산성이나 작업성의 점에서 바람직하다. 또한, 절연 기재(11)의 표면에는 핸들링성의 개량 등을 위해, 엠보스 가공이나 코로나 처리 등을 적절하게 실시하더라도 상관없다.
- [0132] 또, 상기한 도전재(15)는 도전성 페이스트를 가열하여 경화시킨 것이며, 도전성 페이스트로서는, 수지계 저온 소성 타입의 은(Ag) 페이스트, 은(Ag)-파라듐(Pd) 페이스트, 구리(Cu) 페이스트 등이 적합하게 이용된다.
- [0133] 다음에, 본 실시형태의 IC 칩 내장 다층 배선 기판의 제조 방법에 관해서 도 2의 (a)~(d)에서부터 도 9에 기초하여 설명한다.
- [0134] 여기서는, 우선, 개개의 배선 기재의 제조 방법에 관해서 설명하고, 이어서, 이들 배선 기재를 이용한 IC 칩 내장 다층 배선 기판의 제조 방법에 관해서 설명한다.
- [0135] (1) 최상층 기재
- [0136] 우선, 도 2의 (a)에 도시한 바와 같이, 결정 용해 피크 온도가 260℃ 이상인 폴리아릴케톤 수지와 비정질 폴리에테르이미드 수지를 주성분으로 하는 열가소성 수지 조성물로 이루어지는 절연 기재(21)를 준비한다.
- [0137] 이 절연 기재(21)는 필름, 박판형 또는 시트형으로 제공된다. 성형 방법으로는 공지의 방법, 예컨대 T 다이틀 이용하는 압출 캐스트법, 혹은 카렌더법 등을 채용할 수 있으며, 특별히 한정되는 것은 아니지만, 시트의 제막성이나 안정 생산성 등의 면에서, T 다이틀 이용하는 압출 캐스트법이 바람직하다. T 다이틀 이용하는 압출 캐스트법에서의 성형 온도는 조성물의 유동 특성이나 제막성 등에 따라 적절하게 조정되지만, 대강 폴리아릴케톤 수지의 결정 용해 피크 온도(260℃) 이상, 430℃ 이하이다.
- [0138] 계속해서, 도 2의 (b)에 도시한 바와 같이, 절연 기재(21)의 소정 위치에, 레이저 혹은 기계 드릴 등을 이용하

여 절연 기재(21)를 관통하는 관통 구멍(22)을 형성하여, 비어홀(13)로 한다.

- [0139] 이어서, 도 2의 (c)에 도시한 바와 같이, 스키지 인쇄 등에 의해 비어홀(13) 내에 도전성 페이스트(23)를 충전하고, 그 후, 이 도전성 페이스트(23)를 120℃~160℃에서, 30분~60분 가열하여 경화시켜, 도전재(15)로 한다.
- [0140] 계속해서, 기계적 연마 등에 의해, 절연 기재(21) 상에 남아 있는 도전재(15)를 연삭하여 제거하여, 도 2의 (d)에 도시한 바와 같이, 비어홀(13)에 도전성 페이스트를 경화하여 이루어지는 도전재(15)가 충전되며, 또한 절연 기재(21)의 표면이 소정의 표면 거칠기로 평탄화된 배선 기재(24)를 얻는다.
- [0141] 이어서, 도 3의 (a)에 도시한 바와 같이, 절연 기재(21)의 상측(한쪽 면 측)에 금속박(31)을 통해 한 주요면에 요철을 갖는 요철 전사 지그(32)를 배치하는 동시에, 하측(다른 쪽 면 측)에 절연 기재(21)의 글라스 전이 온도(Tg1) 이하이며 절연 기재(21)보다 탄성율이 낮은 탄성 필름(33)을 배치하고, 계속해서, 도 3의 (b)에 도시한 바와 같이, 절연 기재(21)에 요철 전사 지그(32)를 눌러, 절연 기재(21)의 글라스 전이 온도(Tg1) 이상 결정화 개시 온도(Tcs) 미만의 온도 A(℃)에서 열압착한다.
- [0142] 여기서, 절연 기재(21)의 글라스 전이 온도(Tg1) 및 결정화 개시 온도(Tcs)는 시차 주사 열량(DSC)을 측정함으로써 알 수 있다. 이들 온도는 예컨대, 가열 속도 10℃/분으로 승온했을 때에 얻어지는 DSC의 프로파일로부터 구할 수 있다.
- [0143] 예컨대, 결정 용해 피크 온도가 260℃ 이상인 폴리아릴케톤 수지를 40 중량%, 비정질 폴리에테르이미드 수지를 60 중량% 포함하는 절연 기재의 경우, 글라스 전이 온도(Tg1)는 185℃, 결정화 개시 온도(Tcs)는 225℃이다.
- [0144] 또, 탄성 필름(33)은 절연 기재(21)의 글라스 전이 온도(Tg1) 이하이고 절연 기재(21)보다 탄성율이 낮은 것이면 되며, 예컨대, 신디오테틱(syndiotactic) 폴리스티렌으로 이루어지는 필름형의 탄성체가 적합하게 이용된다. 이 탄성 필름(33)의 글라스 전이 온도(Tg2)는 100℃이다.
- [0145] 도 4는 절연 기재(21) 및 탄성 필름(33)의 탄성율 온도 의존성을 도시한 도면으로, 도면에서, A는 결정 용해 피크 온도가 260℃ 이상인 폴리아릴케톤 수지를 40 중량%, 비정질 폴리에테르이미드 수지를 60 중량% 포함하는 절연 기재, B는 신디오테틱 폴리스티렌으로 이루어지는 탄성 필름이다.
- [0146] 도 4에 따르면, 절연 기재(21)가 연화되기 이전에 탄성 필름(33)이 연화되고, 이에 따라 절연 기재(21)는 휘지만 소성 변형은 발생하지 않아, 금속박(31)을 효율적으로 절단하는 것이 가능해진다.
- [0147] 열성형의 온도는 절연 기재(21)의 글라스 전이 온도(Tg1) 이상 결정화 개시 온도(Tcs) 미만이 바람직하다.
- [0148] 이 열압착에 의하여, 도 3의 (c)에 나타내는 것과 같이, 탄성 필름(33)과 절연 기재(21)의 탄성율 차에 의해 금속박(31)이 편칭되고, 요철 전사 지그(32)의 요철에 의한 압력차에 따른 용착 강도의 차가 생긴다. 예컨대, 절연 기재(21) 내에 매설된 금속박(31a)은 용착 강도가 강하여, 절연 기재(21)에 강고히 접촉되고 있지만, 이 이외의 금속박(31b)은 용착 강도가 매우 약하여, 절연 기재(21)로부터 용이하게 박리된다.
- [0149] 따라서, 도 3의 (d)에 도시한 바와 같이, 불필요한 금속박(31b)은 절연 기재(21)로부터 간단히 박리 제거하는 것이 가능해진다.
- [0150] 그 후, 금속박(31a)을 상기 온도 A(℃)와 다른 온도 B(℃)에서 열처리한다. 이 때, 온도 B(℃)는
- [0151] $A < B < T_{cs}$, 또, $B - A < 10^{\circ}\text{C}$
- [0152] 의 관계를 만족하도록 설정된다.
- [0153] 일례를 들면, 열압착의 온도 A가 190℃일 때, 열처리의 온도 B는 195℃이다.
- [0154] 한편, 금속박(31)의 하면에는 반드시 도전성 페이스트를 경화하여 이루어지는 도전재(15) 및 비어홀(13)이 존재할 필요는 없지만, 모든 금속박(31)의 하면에 도전재(15)가 존재함으로써, 용착 강도차가 커져, 보다 용이하게 불필요한 금속박(31b)을 제거하는 것이 가능하다. 또한, 금속박(31)의 종류 및 두께는 제한되는 것이 아니지만, 금속박(31)의 두께는 요철 전사 지그(32)의 요철 높이 이하의 두께가 보다 적합하다. 일례로서, 요철 전사 지그(32)의 요철 높이가 50 μm에 대하여, 9~35 μm의 두께를 갖는 표면 조화(粗化) 전해 동박(금속박)을 이용했는데, 어느 두께에서도 불필요한 전해 동박의 박리는 가능했다.
- [0155] 이 절연 기재(21)로부터 불필요한 금속박(31b)을 제거한 후, 도 3의 (e)에 도시한 바와 같이, 도시하지 않은 성형 금형을 이용하여 금속박(31a) 및 도전재(15)를 포함하는 절연 기재(21)의 양면에, 0.5~10 kg/cm²의 압력 또 절연 기재(21)의 결정화 개시 온도(Tcs) 미만의 온도에서 열성형을 실시하여, 금속박(31a) 및 도전재(15)를 포

합하는 절연 기재(21)의 양면을 평탄화했다.

- [0156] 이상에 의해, 절연 기재(21)에 금속박(14)이 표면이 표출된 상태로 매설되어, 비어홀(13)에 도전재(15)가 충전된 최상층 기재(34)를 얻을 수 있다.
- [0157] 이 최상층 기재(34)와 완전히 같은 방법에 의해, 최하층 기재(35)를 얻을 수 있다.
- [0158] (2) 속이 채워진 내층 기재
- [0159] 우선, 도 5의 (a)에 도시한 바와 같이, 상기한 최외층 기재와 같은 열가소성 수지 조성물로 이루어지는 절연 기재(21)의 표면(한쪽 면)에, 스탬퍼(41)의 볼록부(42)를 열전사한다. 이 열전사 조건은 예컨대, 온도 175~205℃, 압력 20~60 kg/cm²이다.
- [0160] 이 열전사에 의해, 도 5의 (b)에 도시한 바와 같이, 절연 기재(21)의 표면에 배선 회로 형성용 홈부(43)가 형성된다.
- [0161] 스탬퍼(41)는 절연 기재(21)에 대하여 이형성(離型性)이 양호한 재질, 예컨대, 유리, 세라믹스 등에 의해 구성된 것으로, 특히, 3~5 mm 두께의 내열 유리가 적합하게 이용된다. 이 스탬퍼(41)는 내열 유리판 상에 포토리소그래프법을 이용하여 레지스트 마스크를 형성하고, 그 후, 이 레지스트 마스크를 이용하여 샌드블라스트법에 의해 배선 회로 패턴에 대응하는 볼록부(42)를 형성함으로써 제작된다.
- [0162] 이어서, 도 5의 (c)에 도시한 바와 같이, 절연 기재(21)의 소정 위치에, 레이저 혹은 기계 드릴 등을 이용하여 절연 기재(21)를 관통하는 관통 구멍(44)을 형성하여, 비어홀(13)로 한다. 이 비어홀(13)은 스탬퍼(41)에 의해 배선 회로 형성용 홈부(43)와 동시에 성형하더라도 상관없다.
- [0163] 계속해서, 도 5의 (d)에 도시한 바와 같이, 스키지 인쇄 등에 의해 배선 회로 형성용 홈부(43) 및 비어홀(13) 내에 도전성 페이스트(45)를 충전하고, 그 후, 이 도전성 페이스트(45)를 120℃~160℃에서, 30분~60분 가열하여 경화시켜, 도전재(15)로 한다. 이에 따라, 절연 기재(21)의 소정 위치에 도전재(15)로 이루어지는 도전 회로(46) 및 층간 도통부(47)가 형성된다.
- [0164] 계속해서, 도 5의 (e)에 도시한 바와 같이, 연마기(48)를 이용하여 절연 기재(21) 상에 남아 있는 도전재(15)를 연삭하여 제거하는 동시에, 절연 기재(21)의 표면을 평탄화하여, 도 5의 (f)에 도시한 바와 같이, 절연 기재(21)의 소정 위치에 도전 회로(46) 및 층간 도통부(47)가 형성된 속이 채워진 내층 기재(49)를 얻을 수 있다.
- [0165] 또, 이 내층 기재(49)와 완전히 같은 방법에 의해, 이 내층 기재(49)와 배선 회로 패턴이 다른 속이 채워진 내층 기재(50)를 얻을 수 있다.
- [0166] (3) 구멍이 빈 내층 기재(그 1)
- [0167] - 배선 회로와 비어홀을 갖는 구멍이 빈 내층 기재의 경우 -
- [0168] 우선, 도 6의 (a)에 도시한 바와 같이, 상기한 속이 채워진 내층 기재의 제조 방법과 마찬가지로, 최상층 기재와 같은 식의 열가소성 수지 조성물로 이루어지는 절연 기재(21)의 표면(한쪽 면)에, 스탬퍼(51)의 볼록부(52, 53)를 열전사한다. 여기서, 볼록부(52)는 배선 회로 형성용 홈부를 형성하기 위한 것이고, 볼록부(53)는 비어홀이 되는 관통 구멍을 형성하기 위한 것이다. 이 열전사 조건은 예컨대, 온도 190~205℃, 압력 20~60 kg/cm²이다.
- [0169] 스탬퍼(51)는 절연 기재(21)에 대하여 이형성이 양호한 재질, 예컨대, 유리, 세라믹스 등에 의해 구성된 것으로, 예컨대, 5~10 mm 두께의 내열 유리가 적합하게 이용된다. 이 스탬퍼(51)는 내열 유리판 상에 포토리소그래프법을 이용하여 레지스트 마스크를 형성하고, 그 후, 이 레지스트 마스크를 이용하여 샌드블라스트법에 의해 배선 회로 패턴에 대응하는 볼록부(52) 및 비어홀 패턴에 대응하는 볼록부(53)를 형성함으로써 제작된다.
- [0170] 이 열전사에 의해, 도 6의 (b)에 도시한 바와 같이, 절연 기재(21)에는, 그 표면에 배선 회로 형성용 홈부(43)가, 또한 상기 절연 기재(21)를 관통하는 관통 구멍(44)[비어홀(13)]이 각각 형성된다.
- [0171] 이어서 도 6의 (c)에 도시한 바와 같이, 스키지 인쇄 등에 의해 배선 회로 형성용 홈부(43) 및 비어홀(13) 내에 도전성 페이스트(45)를 충전하고, 그 후, 이 도전성 페이스트(45)를 120℃~160℃에서, 30분~60분 가열하여 경화시켜, 도전재(15)로 한다. 이에 따라, 절연 기재(21)의 소정 위치에 도전 회로(46) 및 층간 도통부(47)가 형성된다.
- [0172] 계속해서, 도 6의 (d)에 도시한 바와 같이, 도시하지 않은 연마기를 이용하여 절연 기재(21) 상에 남아 있는 도

전재(15)를 연삭하여 제거하는 동시에, 절연 기재(21)의 표면을 평탄화하여, 절연 기재(21)의 소정 위치에 도전 회로(46) 및 층간 도통부(47)를 형성한다.

- [0173] 계속해서, 도시하지 않는 펀칭용 성형기를 이용하여, 이 절연 기재(21)의 소정 부위에 IC 칩 수납용 구멍(54)을 펀칭하여, 구멍이 빈 내층 기재(55)를 얻는다.
- [0174] (4) 구멍이 빈 내층 기재(그 2)
- [0175] - 비어홀만을 갖는 구멍이 빈 내층 기재의 경우 -
- [0176] 우선, 도 7의 (a)에 도시한 바와 같이, 상기한 최상층 기재와 같은 열가소성 수지 조성물로 이루어지는 절연 기재(21)를 준비하고, 도 7의 (b)에 도시한 바와 같이, 이 절연 기재(21)의 소정 위치에, 레이저 혹은 기계 드릴 등을 이용하여 절연 기재(21)를 관통하는 관통 구멍(22)을 형성하여, 비어홀(13)로 한다.
- [0177] 계속해서, 도 7의 (c)에 도시한 바와 같이, 스키지 인쇄 등에 의해 비어홀(13) 내에 도전성 페이스트(45)를 충전하고, 그 후, 이 도전성 페이스트(45)를 120℃~160℃에서, 30분~60분 가열하여 경화시켜, 도전재(15)로 한다. 이에 따라, 절연 기재(21)의 소정 위치에 층간 도통부(47)가 형성된다.
- [0178] 계속해서, 도 7의 (d)에 도시한 바와 같이, 도시하지 않는 연마기를 이용하여 절연 기재(21) 상에 남아 있는 도전재(15)를 연삭하여 제거하는 동시에, 절연 기재(21)의 표면을 평탄화하여, 절연 기재(21)의 소정 위치에 층간 도통부(47)를 형성한다.
- [0179] 이어서, 도시하지 않는 펀칭용의 성형기를 이용하여, 이 절연 기재(21)의 소정 부위에 IC 칩 수납용의 구멍(54)을 펀칭하여, 구멍이 빈 내층 기재(56)를 얻는다.
- [0180] (5) IC 칩 탑재 내층 기재
- [0181] 이 IC 칩 탑재 내층 기재는 상술한 내층 기재의 제조 방법으로 얻어진 속이 채워진 내층 기재(49)를 이용하여 제작할 수 있다.
- [0182] 우선, 도 8의 (a)에 도시한 바와 같이, 절연 기재(21) 상의 소정 위치에 IC 칩(17)을 배치하고, 이 IC 칩(17) 상에 히터 내장의 열압착 지그(61)를 얹어 놓아, 이 열압착 지그(61)에 의해 IC 칩(17)을 절연 기재(21)에 열압착한다. 열압착은 예컨대, 온도 180~200℃, 압력 10~100 kg/cm²의 조건으로 행한다.
- [0183] 이 열압착에 의해, IC 칩(17)의 단자(18)가 절연 기재(21)의 도전 회로(46)에 전기적으로 접속되는 동시에, IC 칩(17)과 절연 기재(21)가 일체화된 IC 칩 탑재 내층 기재(62)를 얻을 수 있다. 또, 도전 회로(46)의 패턴이 다른 절연 기재(21)를 이용하면, 상기와 배선 회로가 다른 IC 칩 탑재 내층 기재(63)를 얻을 수 있다.
- [0184] (6) IC 칩 내장 다층 배선 기판
- [0185] 우선, 도 9에 도시한 바와 같이, 히터 내장의 적층 지그(71) 내에, 탄성 및 이형성을 갖는 쿠션 필름(72), 최하층 기재(35), 내층 기재(50), IC 칩 탑재 내층 기재(62), 구멍이 빈 내층 기재(56), IC 칩 탑재 내층 기재(63), 구멍이 빈 내층 기재(55), 내층 기재(49), 최상층 기재(34), 탄성 및 이형성을 갖는 쿠션 필름(72)을 이 순서로 겹치고, 그 후, 압박 지그(73)를 누르게 함으로써, 이들 최하층 기재(35)~최상층 기재(34)에 열압착을 하여, 이들 최하층 기재(35)~최상층 기재(34)를 적층하여, 일체화한다.
- [0186] 이 경우의 열압착은 절연 기재(21)를 구성하는 열가소성 수지 조성물의 글라스 전이 온도(Tg) 이상 결정 용해 온도(Tm) 미만에서 행하면 효과적이다.
- [0187] 이 열압착 조건의 일례를 들면, 온도 220~300℃, 압력 10~60 kg/cm²이다.
- [0188] 그 후, 최상층 기재(1) 상에 저항, 콘덴서, SMD 등의 각종 전자 부품(9)을 탑재하여, 본 실시형태의 IC 칩 내장 다층 배선 기판으로 한다.
- [0189] 본 실시형태에 따르면, 결정 용해 피크 온도가 260℃ 이상인 폴리아릴케톤 수지와 비정질 폴리에테르이미드 수지를 주성분으로 하는 열가소성 수지 조성물로 이루어지는 절연 기재(11)에, 금속박(14) 또는 도전재(15) 혹은 이들 쌍방에 의해 구성되는 도체 배선을 표면이 표출된 상태로 매설하여, 이 도체 배선을 포함하는 절연 기재(11)의 표면을 평탄화한 상태로 배선 기재(1~8)를 적층하고, 배선 기재(4, 6)에 IC 칩(17)을 탑재하여, 이들 배선 기재(1~8)를 열융착에 의해 접착하는 동시에, 이들 배선 기재(1~8)를 도전성 페이스트를 경화하여 이루어지는 도전재(15)에 의해 전기적으로 접속했기 때문에, 우수한 내열성, 높은 기계적 강도, 우수한 전기적 절연성을 갖는 데다, 수지 유동을 일으키는 일없이 저온 용착을 할 수 있어, 수지 유동에 기인하는 배선 왜곡의 문

제를 해소할 수 있어, 고정밀 고선명한 도체 배선으로 하는 것이 가능하다. 따라서, 전기적 특성 및 신뢰성이 우수한 IC 칩 내장 다층 배선 기판을 제공할 수 있다.

- [0190] 또, 열가소성 수지 조성물 및 도체 배선의 종류나 형상을 적절하게 선택함으로써 배선 기재의 다양화를 도모할 수 있고, 여러 가지 사양의 배선 기재 및 IC 칩을 조합시킴으로써, 여러 가지 사양의 IC 칩 내장 다층 배선 기판을 용이하게 실현할 수 있다.
- [0191] 또, 여러 가지 사양의 배선 기재를 조합시킴으로써, 소량 다품종이라는 제조 형태에 적용할 수 있다. 또, 도전성 페이스트에 의해 전기적으로 접속함으로써, 습식 프로세스에 의한 배선 형성이 불필요하게 되어, 환경면에서의 부하가 적다.
- [0192] 제2 실시형태
- [0193] 도 10은 본 발명의 제2 실시형태의 IC 칩(반도체 장치) 내장 다층 배선 기판을 도시하는 단면도이며, 도면에서, 부호 81은 절연 기재(21)에 비어홀(13)이 형성되고 또 상기 절연 기재(21) 표면의 소정 부위에 IC 칩(17) 수납용의 오목부(82)가 형성된 IC 칩 수납용 내층 기재이다.
- [0194] 이 IC 칩 내장 다층 배선 기판은 내층 기재(49, 49), IC 칩 수납용 내층 기재(81), IC 칩(17) 및 내층 기재(49)를 이 순서로 겹치고, 그 후, 이들을 열압착에 의해 일괄적으로 적층하여, 일체화한 구성이다.
- [0195] 다음에, 본 실시형태의 IC 칩 내장 다층 배선 기판의 제조 방법에 관해서 도 11의 (a)~(d) 내지 도 12의 (a)~(b)에 기초하여 설명한다.
- [0196] 상기한 내층 기재(49)의 제조 방법에 대해서는 이미 제1 실시형태에 있어서 설명되어 있기 때문에 여기서는 생략하고, 우선, IC 칩 수납용 내층 기재(81)의 제조 방법에 대해서 설명하고, 이어서 이들 기재를 일괄 적층하는 방법에 관해서 설명한다.
- [0197] (1) IC 칩 수납용 내층 기재
- [0198] 우선, 도 11의 (a)에 도시한 바와 같이, 결정 용해 피크 온도가 260℃ 이상인 폴리아릴케톤 수지와 비정질 폴리 에테르이미드 수지를 주성분으로 하는 열가소성 수지 조성물로 이루어지는 절연 기재(21)의 표면(한쪽 면)에, 스탬퍼(91)의 볼록부(92)를 열전사한다. 이 열전사 조건은 예컨대, 온도 190~205℃, 압력 20~60 kg/cm²이다.
- [0199] 이 열전사에 의해, 절연 기재(21)의 표면에 IC 칩(17) 수납용의 오목부(93)가 형성된다.
- [0200] 이 스탬퍼(91)는 제1 실시형태의 스탬퍼(41)와 같은 방법에 의해 제작된다.
- [0201] 이어서, 도 11의 (b)에 도시한 바와 같이, 절연 기재(21)의 소정 위치에, 레이저 혹은 기계 드릴 등을 이용하여 절연 기재(21)를 관통하는 관통 구멍(44)을 형성하여, 비어홀(13)로 한다.
- [0202] 이어서, 도 11의 (c)에 도시한 바와 같이, 절연 기재(21)를 반전시켜, 이 절연 기재(21)의 이면측에서부터 스킴지(94)를 이용하여 비어홀(13) 내에 도전성 페이스트(45)를 충전하고, 그 후, 이 도전성 페이스트(45)를 120℃~160℃에서, 30분~60분 가열하고 경화시켜, 도전재(15)로 한다. 이에 따라, 도 11의 (d)에 도시한 바와 같이, 절연 기재(21)의 소정 위치에 IC 칩(17) 수납용의 오목부(93) 및 도전재(15)로 이루어지는 층간 도통부(47)가 형성된 IC 칩 수납용 내층 기재(81)를 얻을 수 있다.
- [0203] (2) IC 칩 내장 다층 배선 기판
- [0204] 도 12의 (a)에 나타내는 바와 같이, 히터 내장의 적층 지그(71) 내에, 탄성 및 이형성을 갖는 쿠션 필름(72), 내층 기재(49, 49), IC 칩 수납용 내층 기재(81), IC 칩(17), 내층 기재(49), 탄성 및 이형성을 갖는 쿠션 필름(72)을 이 순서로 겹치고, 그 후, 히터 내장의 압박 지그(73)를 눌러, 이들 내층 기재(49, 49), IC 칩 수납용 내층 기재(81), IC 칩(17), 내층 기재(49)에 열압착을 함으로써, 이들을 일괄 적층하여 일체화한다.
- [0205] 이 경우의 열압착은 절연 기재(21)를 구성하는 열가소성 수지 조성물의 글라스 전이 온도(Tg) 이상 또한 결정 용해 온도(Tm) 미만의 온도에서 행하면 효과적이다.
- [0206] 이 열압착 조건의 일례를 들면, 온도 220~240℃, 압력 10~60 kg/cm²이다.
- [0207] 이 열압착에 의해, 도 12의 (b)에 도시한 바와 같이, IC 칩(17)의 단자(18)가 절연 기재(21)의 도전 회로(46)에 전기적으로 접속되는 동시에, IC 칩(17)과 절연 기재(21)는 일괄 적층되어 일체화된다.
- [0208] 이상에 의해, 본 실시형태의 IC 칩 내장 다층 배선 기판을 제작할 수 있다.

- [0209] 본 실시형태에서도, 제1 실시형태의 IC 칩 내장 다층 배선 기판과 동일한 효과를 발휘할 수 있다.
- [0210] 더구나, 열압착을 함으로써 일괄 적층하여 일체화했기 때문에, 내층 기재(49), IC 칩 수납용 내층 기재(81) 및 IC 칩(17)의 접착이 강고하게 되어, 기계적 강도가 우수하고, 또한 고정밀도, 고선명 또 고밀도의 IC 칩 내장 다층 배선 기판을 얻을 수 있다.
- [0211] 제3 실시형태
- [0212] 도 13은 본 발명의 제3 실시형태의 IC 칩(반도체 장치) 내장 다층 배선 기판을 도시하는 단면도이며, 도면에서, 부호 101은 최상층 기재(최상층의 배선 기재), 102는 IC 칩(반도체 장치) 탑재 내층 기재(배선 기재), 103은 구멍이 빈(개구) 내층 기재(배선 기재), 104는 최하층 기재(최하층의 배선 기재)이다.
- [0213] 최상층 기재(101)는 통상 100 μm 이하 두께의 필름, 박판형 또는 시트형인 것으로, 결정 용해 피크 온도가 260 °C 이상인 폴리아릴케톤 수지와 비정질 폴리에테르이미드 수지를 주성분으로 하는 열가소성 수지 조성물로 이루어지는 박판형, 필름형 혹은 시트형의 절연 기재(11)에 의해 구성되어 있다.
- [0214] IC 칩 탑재 내층 기재(102)는 상술한 최상층 기재(101)와 완전히 같은 형상의 절연 기재(11)의 표면(한쪽의 주요면)(11a)에 배선 회로 형성용의 홈부(12)가 형성되는 동시에, 이 절연 기재(11)를 관통하는 비어홀(13)이 형성되고, 또한, 상기한 홈부(12)의, 탑재되는 IC 칩(반도체 장치)(107)의 각 단자(18)에 대응하는 위치에는 이 절연 기재(11)를 관통하는 비어홀(관통 구멍)(111)이 형성되고, 이 홈부(12) 및 비어홀(13, 111)에 도전성 페이스트를 경화하여 이루어지는 도전재(15)가 충전되어 있다. 이 도전재(15)를 포함하는 절연 기재(11)의 표면(11a) 및 이면(반대측의 주요면)(11b)은 평탄화되어 있다.
- [0215] 그리고, 비어홀(111) 내에 충전된 도전재(15)에 의해 스테드 범프(112)가 구성되고, 이 절연 기재(11)의 이면(11b)에 IC 칩(107)이 탑재되고, 이 IC 칩(107)의 단자(18, 18)는 스테드 범프(112, 112)에 의해 배선 회로에 전기적으로 접속되어 있다.
- [0216] 또한, 이 IC 칩(107)의 표면(도면에서는 하면) 전면에는 인접하는 IC 칩 탑재 내층 기재(102) 또는 최하층 기재(104)와의 전기적 절연성을 양호하게 유지하기 위한 절연성 수지로 이루어지는 절연막(113)이 형성되어 있다.
- [0217] 이 절연성 수지는 IC 칩(107)나 절연 기재(11)와의 밀착성이 확보되고, 또한, 리플로우 내열성을 갖고 있는 것이면 무엇이든 좋으며, 예컨대, 폴리이미드, 폴리아미드이미드 등의 코팅재가 적합하게 이용된다.
- [0218] 구멍이 빈 내층 기재(103)는 상술한 최상층 기재(101)와 완전히 같은 형상의 절연 기재(11)에, 그것을 관통하는 비어홀(13)이 형성되어, 이 비어홀(13)에 도전성 페이스트를 경화하여 이루어지는 도전재(15)가 충전되고, 또한, 이 절연 기재(11)의 소정 위치에는 IC 칩(107)을 수납하기 위한 구멍(16)이 형성되어 있다. 이 도전재(15)를 포함하는 절연 기재(11)의 표면(11a) 및 이면(11b)은 평탄화되어 있다.
- [0219] 최하층 기재(104)는 상술한 최상층 기재(101)와 완전히 같은 형상의 절연 기재(11)의 표면(11a)에, 배선 회로 형성용의 홈부(12) 및 절연 기재(11)를 관통하는 비어홀(13)이 형성되어, 이 홈부(12) 및 비어홀(13)에 도전성 페이스트를 경화하여 이루어지는 도전재(15)가 충전되고, 이 도전재(15)를 포함하는 절연 기재(11)의 표면(11a) 및 이면(11b)은 평탄화되어 있다.
- [0220] 이 최하층 기재(104) 상에는 구멍이 빈 내층 기재(103) 및 IC 칩 탑재 내층 기재(102)가 교대로 계 4층 적층되고, 최상층의 IC 칩 탑재 내층 기재(102) 상에 최상층 기재(101)가 적층되어 있다.
- [0221] 다음에, 본 실시형태의 IC 칩 내장 다층 배선 기판의 제조 방법에 관해서 도 14의 (a)~(b) 내지 도 16에 기초하여 설명한다.
- [0222] 여기서는, 우선, 각 기재의 제조 방법 및 IC 칩에의 절연막의 형성 방법 각각에 대해 설명하고, 계속해서, 이들 기재를 일괄 적층하는 방법에 관해서 설명한다.
- [0223] (1) 최상층 기재
- [0224] 제1 실시형태의 최상층 기재의 제조 방법에 준하여, 도 16에 도시하는, 결정 용해 피크 온도가 260°C 이상인 폴리아릴케톤 수지와 비정질 폴리에테르이미드 수지를 주성분으로 하는 열가소성 수지 조성물로 이루어지는 절연 기재(21)를 제작한다.
- [0225] (2) 구멍이 빈 내층 기재

- [0226] 제1 실시형태의 구멍이 빈 내층 기재의 제조 방법(그 2)에 준하여, 도 16에 도시하는, 절연 기재(21)의 비어홀(13)에 도전재(15)가 충전되고, 또한 IC 칩 수납용의 구멍(54)이 형성된 구멍이 빈 내층 기재(121)를 제작한다.
- [0227] (3) 최하층 기재
- [0228] 제1 실시형태의 속이 채워진 내층 기재의 제조 방법에 준하여, 도 16에 도시하는, 절연 기재(21)의 표면에, 배선 회로 형성용의 홈부(12) 및 비어홀(13)이 형성되어, 이 홈부(12) 및 비어홀(13)에 도전재(15)가 충전된 최하층 기재(122)를 제작한다.
- [0229] (4) IC 칩에의 절연막의 형성
- [0230] 도 14의 (a)에 도시한 바와 같이, 증착법, 스피코트법, 디핑법(침지법), 디스펜스법(액적토출법), 라미네이트 점착법 등을 이용하여, 반도체 웨이퍼(123)의 이면(123a) 전면에 절연성 수지로 이루어지는 절연막(113)을 형성하고, 그 후, 도 14의 (b)에 도시한 바와 같이, 이 반도체 웨이퍼(123)의 소정 부위를 와이어 톱이나 다이아몬드 절단기를 이용하여 절단하여 칩(123a)으로 만들고, 이 칩(123a)에 단자(18, 18)를 부착하여, 이면 전면에 절연막(113)이 형성된 IC 칩(107)으로 한다.
- [0231] (5) IC 칩 수납용 내층 기재
- [0232] 도 15의 (a)에 나타내는 바와 같이, 제1 실시형태의 내층 기재(50)와 같은 식으로 절연 기재(21)의 표면(21a)에 배선 회로 형성용 홈부(43)를 형성하고, 계속해서, 레이저 혹은 기계 드릴 등을 이용하여, 절연 기재(21)를 관통하는 비어홀(13)을 형성하는 동시에, 상기 홈부(12)의 IC 칩(107)의 각 단자(18)에 대응하는 위치에 절연 기재(21)를 관통하는 비어홀(111)을 형성한다. 이들 비어홀(13, 111)은 스탬퍼에 의해 배선 회로 형성용 홈부(43)와 함께 성형하더라도 상관없다.
- [0233] 이어서, 도 15의 (b)에 도시한 바와 같이, 스키지 인쇄 등에 의해 배선 회로 형성용 홈부(43) 및 비어홀(13, 111) 내에 도전성 페이스트(45)를 충전하고, 그 후, 이 도전성 페이스트(45)를 120℃~160℃에서, 30분~60분 가열하여 경화시켜, 도전재(15)로 한다. 이에 따라, 절연 기재(21)의 소정 위치에 도전재(15)로 이루어지는 도전 회로, 층간 도통부 및 스테드 범프(112, 112)가 형성된다.
- [0234] 이어서, 연마기 등을 이용하여 절연 기재(21) 상에 남아 있는 도전재(15)를 연삭하여 제거하는 동시에, 절연 기재(21)의 표면을 평탄화한다.
- [0235] 계속해서, 도 15의 (c)에 도시한 바와 같이, 이 스테드 범프(112, 112)에 IC 칩(107)의 단자(18, 18)를 맞추고, 압박 지그를 이용하여 IC 칩(107)을 절연막(113) 측에서 눌러, IC 칩(107)의 단자(18, 18)를 절연 기재(21)의 스테드 범프(112, 112)에 매립하여, IC 칩 탑재 내층 기재(124)를 제작한다.
- [0236] (6) IC 칩 내장 다층 배선 기판
- [0237] 도 16에 도시한 바와 같이, 히터 내장의 적층 지그(71) 내에, 탄성 및 이형성을 갖는 쿠션 필름(72), 최하층 기재(122), 구멍이 빈 내층 기재(121), 상하를 역으로 한 IC 칩 탑재 내층 기재(124), 구멍이 빈 내층 기재(121), 상하를 역으로 한 IC 칩 탑재 내층 기재(124), 절연 기재(21), 탄성 및 이형성을 갖는 쿠션 필름(72)을 이 순서로 겹치고, 그 후, 압박 지그(73)를 누름으로써, 이들 최하층 기재(122)~절연 기재(21)에 열압착을 하고, 이들 최하층 기재(122)~절연 기재(21)를 적층하여, 일체화한다.
- [0238] 이 경우의 열압착은 절연 기재(21)를 구성하는 열가소성 수지 조성물의 글라스 전이 온도(Tg) 이상 결정 용해 온도(Tm) 미만으로 행하면 효과적이다.
- [0239] 이 열압착 조건의 일례를 들면, 온도 220~300℃, 압력 10~60 kg/cm²이다.
- [0240] 이상에 의해, 본 실시형태의 IC 칩 내장 다층 배선 기판을 제작할 수 있다.
- [0241] 본 실시형태에서도, 제1 및 제2 실시형태의 IC 칩 내장 다층 배선 기판과 동일한 효과를 발휘할 수 있다.
- [0242] 더구나, 도전재(15)에 의해 스테드 범프(112)를 구성하여, 이들 스테드 범프(112, 112)에 IC 칩(107)의 단자(18, 18)를 매립한 구성으로 했기 때문에, IC 칩(107)의 전기적 접속성을 향상시킬 수 있다.
- [0243] 또한, IC 칩(107)의 표면 전면에 절연성 수지로 이루어지는 절연막(113)을 형성했기 때문에, 인접하는 IC 칩 탑재 내층 기재(102) 또는 최하층 기재(104)와의 전기적 절연성을 양호하게 유지할 수 있어, IC 칩에 패시베이션 막을 형성할 필요가 없어진다.

- [0244] 제4 실시형태
- [0245] 도 17은 본 발명의 제4 실시형태의 IC 칩(반도체 장치) 내장 다층 배선 기판을 도시하는 단면도이며, 도면에서, 부호 131은 최상층 기재(최상층의 배선 기재), 132는 IC 칩(반도체 장치) 탑재 내층 기재(배선 기재)이며, 최상층 기재(131), 구멍이 빈 내층 기재(103), IC 칩 탑재 내층 기재(132), 구멍이 빈 내층 기재(103), IC 칩 탑재 내층 기재(132) 및 최하층 기재(104)가 적층된 구성이다.
- [0246] 최상층 기재(131)는 통상 100 μm 이하 두께의 필름, 박판형 또는 시트형의 것으로, 결정 용해 피크 온도가 260 °C 이상인 폴리아릴케톤 수지와 비경질 폴리에테르이미드 수지를 주성분으로 하는 열가소성 수지 조성물로 이루어지는 박판형, 필름형 혹은 시트형의 절연 기재(11)의 이면(11b)에, 배선 회로 형성용의 홈부(12)가 형성되고, 이 홈부(12)에 도전성 페이스트를 경화하여 이루어지는 도전재(15)가 충전되고, 이 도전재(15)를 포함하는 절연 기재(11)의 이면(11b)은 평탄화되어 있다.
- [0247] IC 칩 탑재 내층 기재(132)는 상술한 최상층 기재(131)와 완전히 같은 형상의 절연 기재(11)의 표면(11a)에 배선 회로 형성용의 홈부(12)가 형성되는 동시에, 이 절연 기재(11)를 관통하는 비어홀(13)이 형성되어, 이 홈부(12) 및 비어홀(13)에 도전성 페이스트를 경화하여 이루어지는 도전재(15)가 충전되어 있다. 이 도전재(15)를 포함하는 절연 기재(11)의 표면(11a) 및 이면(11b)은 평탄화되어 있다. 또한, 이 절연 기재(11)에는 절연성 수지로 이루어지는 절연막(113)이 표면 전면에 형성된 IC 칩(107)이 탑재되고, 이 IC 칩(107)의 단자(18, 18)는 도전재(15)를 통해 배선 회로에 전기적으로 접속되어 있다.
- [0248] 본 실시형태의 IC 칩 내장 다층 배선 기판의 제조 방법은 상술한 제3 실시형태의 IC 칩 내장 다층 배선 기판의 제조 방법과 거의 같으므로, 설명을 생략한다.
- [0249] 본 실시형태에서도, 제3 실시형태의 IC 칩 내장 다층 배선 기판과 동일한 효과를 발휘할 수 있다.
- [0250] 더구나, IC 칩(107)의 단자(18, 18)를 도전재(15)에 직접 접속하는 구성으로 했기 때문에, 스태드 범프(112)를 형성하기 위해서 관통 구멍(111)을 형성할 필요가 없고, 공정을 단축할 수 있어, 제조 비용을 삭감할 수 있다.

발명의 효과

- [0251] 본 발명은 고내열성, 수지 유동을 일으키지 않고 저온 용착이 가능하며, 고정밀도 고선명의 도체 배선이 가능하고, 고밀도 초소형의 3차원 실장 모듈 등이 실현 가능하며, 또한 소량 다품종이라는 제조 형태에 적합하게 적용되고 환경면에서도 부하가 적은 반도체 장치 내장 다층 배선 기판 및 그 제조 방법을 제공한다.

도면의 간단한 설명

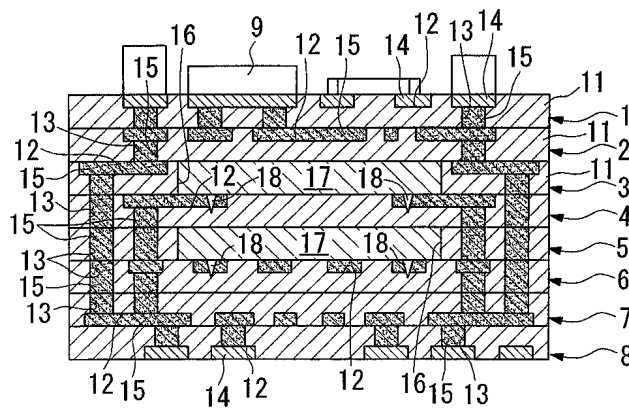
- [0001] 도 1은 본 발명의 제1 실시형태의 IC 칩 내장 다층 배선 기판을 도시하는 단면도이다.
- [0002] 도 2의 (a)~(d)는 본 발명의 제1 실시형태의 IC 칩 내장 다층 배선 기판의 제조 방법을 도시하는 과정도이다.
- [0003] 도 3의 (a)~(e)는 본 발명의 제1 실시형태의 IC 칩 내장 다층 배선 기판의 제조 방법을 도시하는 과정도이다.
- [0004] 도 4는 절연 기재 및 탄성 필름의 탄성율 온도 의존성을 도시한 도면이다.
- [0005] 도 5의 (a)~(f)는 본 발명의 제1 실시형태의 IC 칩 내장 다층 배선 기판의 제조 방법을 도시하는 과정도이다.
- [0006] 도 6의 (a)~(e)는 본 발명의 제1 실시형태의 IC 칩 내장 다층 배선 기판의 제조 방법을 도시하는 과정도이다.
- [0007] 도 7의 (a)~(e)는 본 발명의 제1 실시형태의 IC 칩 내장 다층 배선 기판의 제조 방법을 도시하는 과정도이다.
- [0008] 도 8의 (a) 및 (b)는 본 발명의 제1 실시형태의 IC 칩 내장 다층 배선 기판의 제조 방법을 도시하는 과정도이다.
- [0009] 도 9는 본 발명의 제1 실시형태의 IC 칩 내장 다층 배선 기판의 제조 방법을 도시하는 과정도이다.
- [0010] 도 10은 본 발명의 제2 실시형태의 IC 칩 내장 다층 배선 기판을 도시하는 단면도이다.
- [0011] 도 11의 (a)~(d)는 본 발명의 제2 실시형태의 IC 칩 내장 다층 배선 기판의 제조 방법을 도시하는 과정도이다.
- [0012] 도 12의 (a) 및 (b)는 본 발명의 제2 실시형태의 IC 칩 내장 다층 배선 기판의 제조 방법을 도시하는 과정도이다.

- [0013] 도 13은 본 발명의 제3 실시형태의 IC 칩 내장 다층 배선 기판을 도시하는 단면도이다.
- [0014] 도 14의 (a) 및 (b)는 본 발명의 제3 실시형태의 IC 칩 내장 다층 배선 기판의 제조 방법을 도시하는 과정도이다.
- [0015] 도 15의 (a)~(c)는 본 발명의 제3 실시형태의 IC 칩 내장 다층 배선 기판의 제조 방법을 도시하는 과정도이다.
- [0016] 도 16은 본 발명의 제3 실시형태의 IC 칩 내장 다층 배선 기판의 제조 방법을 도시하는 과정도이다.
- [0017] 도 17은 본 발명의 제4 실시형태의 IC 칩 내장 다층 배선 기판을 도시하는 단면도이다.
- [0018] <도면의 주요 부분에 대한 부호의 설명>
- [0019] 1 : 최상층 기재
- [0020] 2 : 속이 채워진 내층 기재
- [0021] 3 : 구멍이 빈(개구) 내층 기재
- [0022] 4 : IC 칩(반도체 장치) 탑재 내층 기재
- [0023] 5 : 구멍이 빈(개구) 내층 기재
- [0024] 6 : IC 칩(반도체 장치) 탑재 내층 기재
- [0025] 7 : 속이 채워진 내층 기재
- [0026] 8 : 최하층 기재
- [0027] 9 : 전자 부품
- [0028] 11 : 절연 기재
- [0029] 12 : 홈부
- [0030] 13 : 비어홀
- [0031] 14 : 금속박
- [0032] 15 : 도전재
- [0033] 16 : 구멍
- [0034] 17 : IC 칩
- [0035] 18 : 단자
- [0036] 21 : 절연 기재
- [0037] 22 : 관통 구멍
- [0038] 23 : 도전성 페이스트
- [0039] 24 : 배선 기재
- [0040] 31 : 금속박
- [0041] 31a, 31b : 금속박
- [0042] 32 : 요철 전사 지그
- [0043] 33 : 탄성 필름
- [0044] 34 : 최상층 기재
- [0045] 35 : 최하층 기재
- [0046] 41, 51 : 스탬퍼
- [0047] 42, 52, 53 : 볼록부

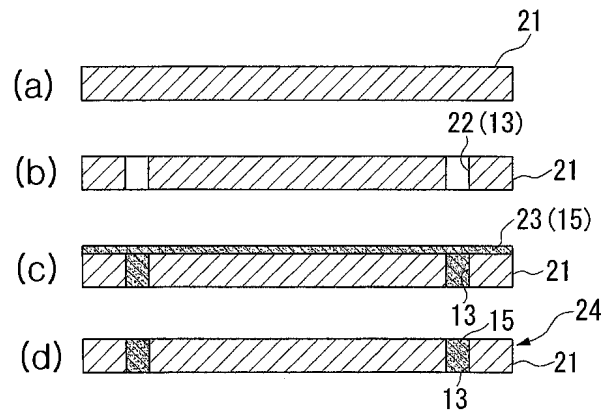
- [0048] 43 : 배선 회로 형성용 홈부
- [0049] 44 : 관통 구멍
- [0050] 45 : 도전성 페이스트
- [0051] 46 : 도전 회로
- [0052] 47 : 층간 도통부
- [0053] 48 : 연마기
- [0054] 49, 50, 55, 56, 62, 63 : 내층 기재
- [0055] 54 : IC 칩 수납용 구멍
- [0056] 61 : 열압착 지그
- [0057] 71 : 적층 지그
- [0058] 72 : 쿠션 필름
- [0059] 73 : 압박 지그
- [0060] 81 : IC 칩 수납용 내층 기재
- [0061] 82, 93 : 오목부
- [0062] 92 : 볼록부
- [0063] 94 : 스키지

도면

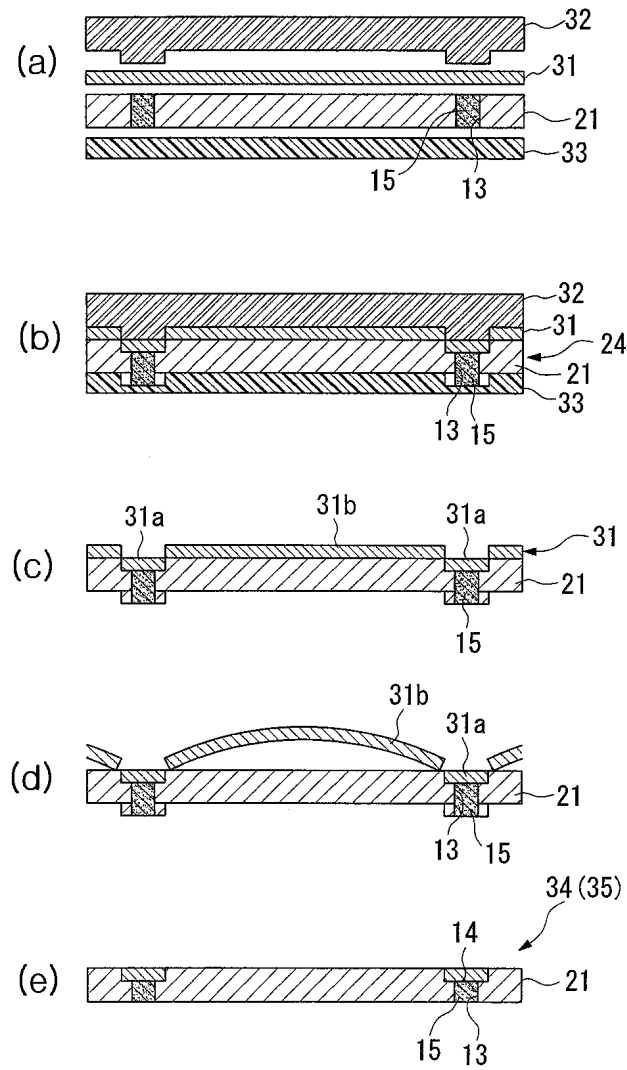
도면1



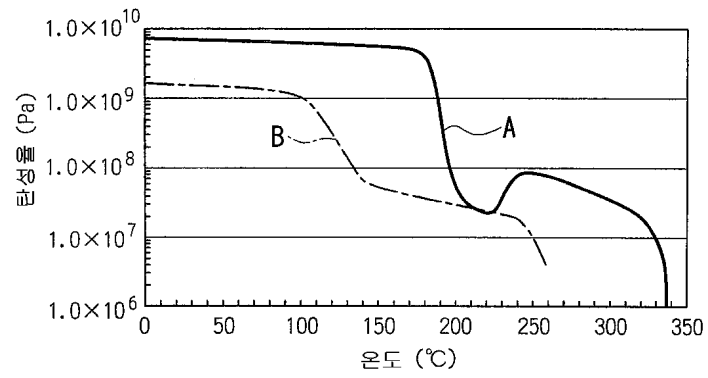
도면2



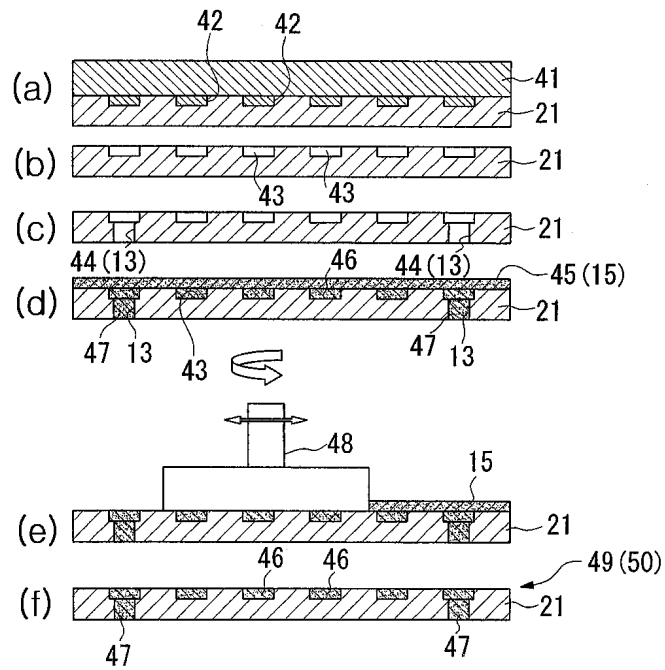
도면3



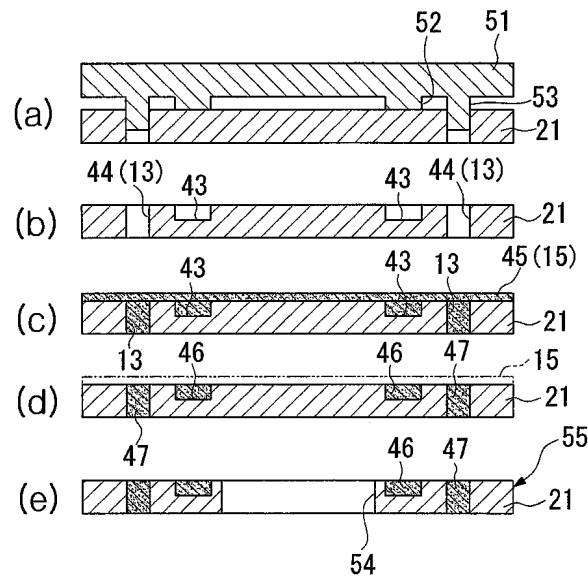
도면4



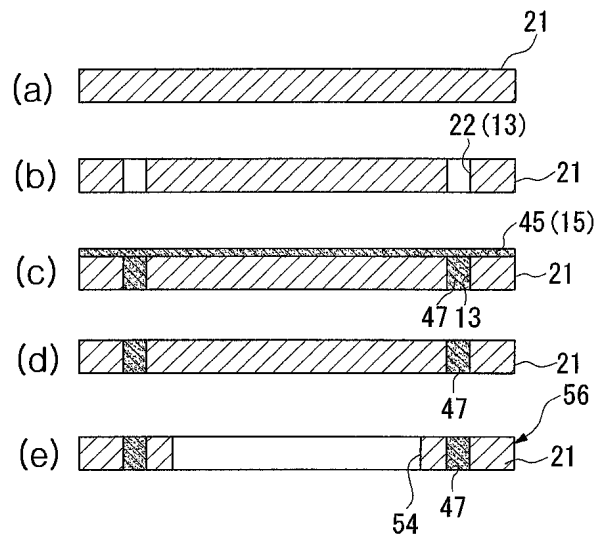
도면5



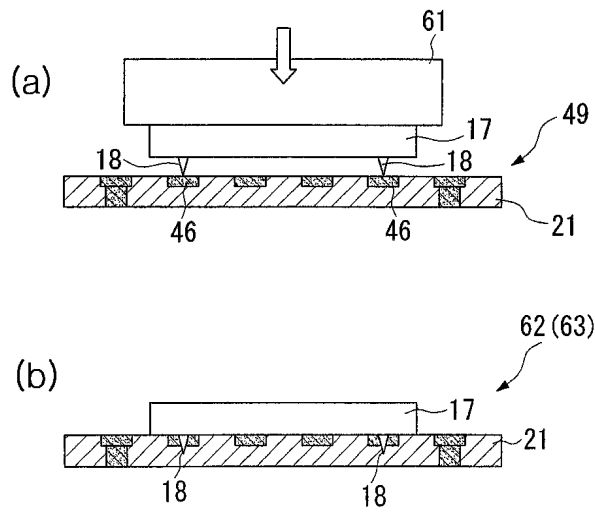
도면6



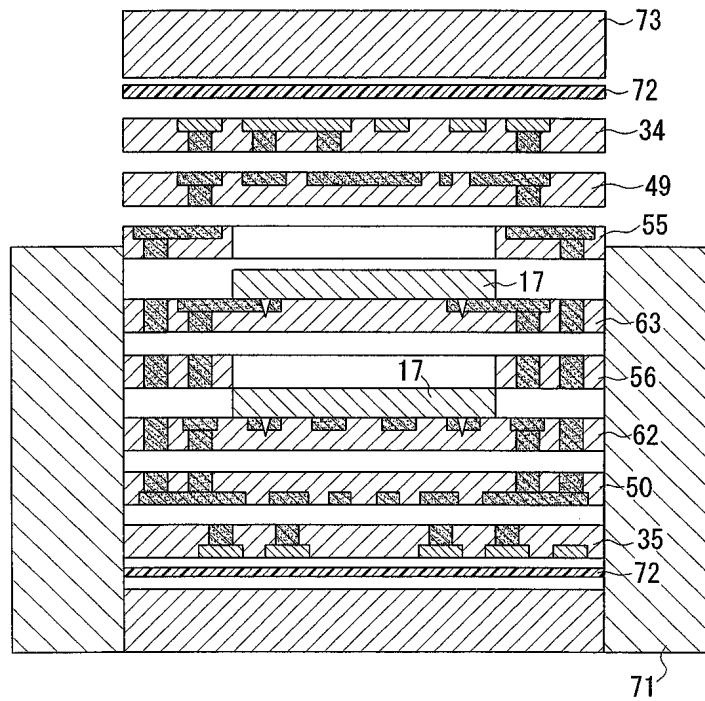
도면7



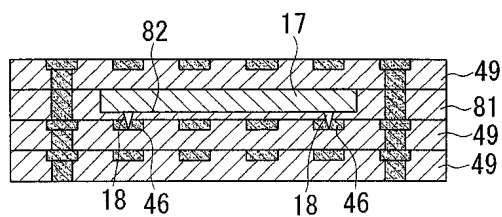
도면8



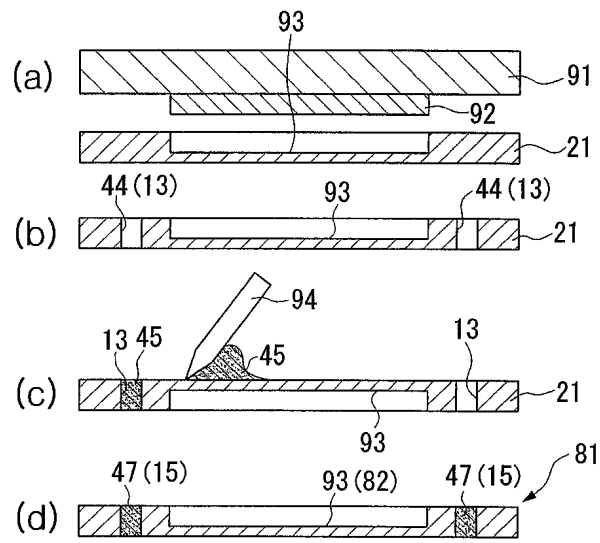
도면9



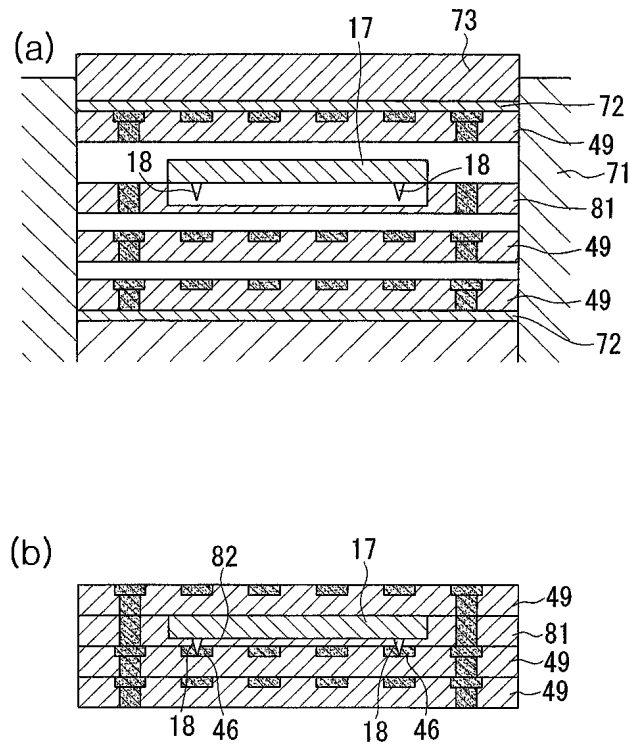
도면10



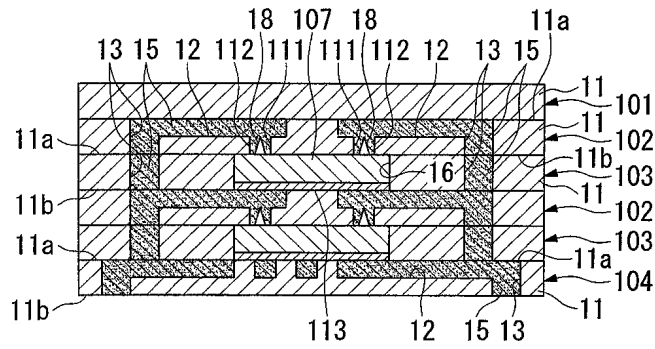
도면11



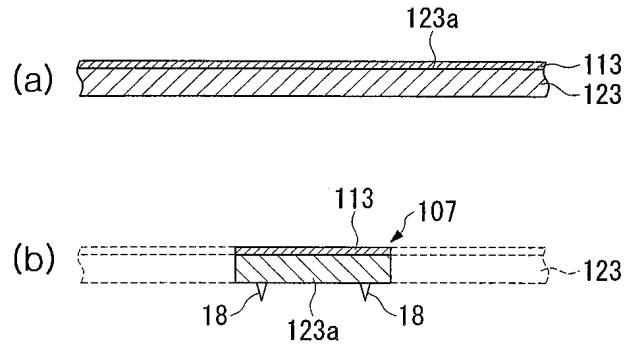
도면12



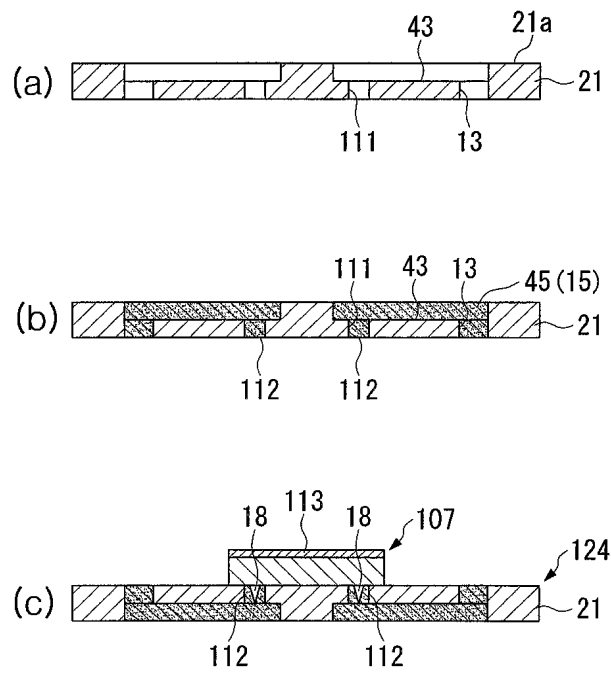
도면13



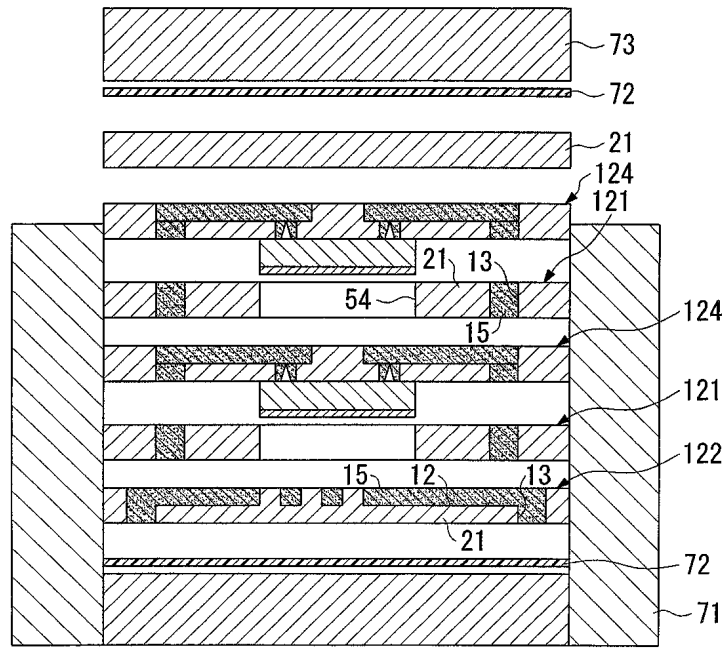
도면14



도면15



도면16



도면17

