

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成22年6月3日(2010.6.3)

【公開番号】特開2008-92549(P2008-92549A)

【公開日】平成20年4月17日(2008.4.17)

【年通号数】公開・登録公報2008-015

【出願番号】特願2007-170080(P2007-170080)

【国際特許分類】

H 03 K 5/00 (2006.01)

H 03 K 3/03 (2006.01)

H 03 K 3/0231 (2006.01)

H 04 L 25/49 (2006.01)

H 04 J 13/00 (2006.01)

【F I】

H 03 K 5/00 H

H 03 K 3/03

H 03 K 3/023 A

H 04 L 25/49 J

H 04 J 13/00 Z

【手続補正書】

【提出日】平成22年4月20日(2010.4.20)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

通信に用いるパルス信号を発生するバースト制御パルス発生回路であつて、

前記バースト制御パルス発生回路は、

前記通信のオンとオフを制御するバースト信号に基づき周期信号を発振するリング発振回路を含み、前記周期信号に基づき複数のタイミング信号を出力するタイミング発生回路と、

前記複数のタイミング信号に基づき前記パルス信号を生成するパルス発生論理回路と、を有し、

前記バースト信号がオン状態のとき1回以上の前記パルス信号を発生し、前記バースト信号がオフ状態のとき前記パルス信号の発生を停止し、

前記リング発振回路が発振する前記周期信号の発振周期は、前記パルス信号のパルス幅よりも長いことを特徴とするバースト制御パルス発生回路。

【請求項2】

請求項1に記載のバースト制御パルス発生回路において、

前記リング発振回路は、2入力論理回路と、前記2入力論理回路の出力端子に直列に接続されたn個(nは2以上の自然数)のNOT回路と、を含み、

n個目の前記NOT回路の出力端子は前記2入力論理回路の一方の入力端子に接続され、前記2入力論理回路の他方の入力端子に前記バースト信号が入力され、

前記タイミング発生回路は、前記リング発振回路と、前記2入力論理回路の出力端子に直列に接続されたn+m個(mはn以下の自然数)の遅延制御信号により遅延時間を制御可能な遅延制御NOT回路と、を含む、

ことを特徴とするバースト制御パルス発生回路。

【請求項 3】

請求項₁に記載のバースト制御パルス発生回路において、

前記リング発振回路は、2入力論理回路と、前記2入力論理回路の出力端子に直列に接続されたn個（nは2以上の自然数）の遅延制御信号により遅延時間を制御可能な遅延制御N O T回路と、遅延回路と、を含み、

n個目の前記遅延制御N O T回路の出力端子は前記遅延回路を介して前記2入力論理回路の一方の入力端子に接続され、前記2入力論理回路の他方の入力端子に前記バースト信号が入力され、

前記タイミング発生回路は、前記リング発振回路を含むことを特徴とするバースト制御パルス発生回路。

【請求項 4】

請求項₁に記載のバースト制御パルス発生回路と、パラレル／シリアル変換回路と、

前記パラレル／シリアル変換回路が出力するシリアル信号が第1の電位のとき前記バースト制御パルス発生回路が発生する前記パルス信号を遅延回路を介して出力し、前記シリアル信号が前記第1の電位と異なる第2の電位のとき前記パルス信号を出力する切換回路と、を有し、

入力されたパラレル信号をP P M (Pulse Position Modulation)もしくはB P M (Bi-Phase Modulation)変調して出力することを特徴とするデジタル変調回路。

【請求項 5】

請求項₁に記載のバースト制御パルス発生回路と、パラレル／シリアル変換回路と、

前記パラレル／シリアル変換回路が出力するシリアル信号が第1の電位のとき前記バースト制御パルス発生回路が発生する前記パルス信号を出力し、前記シリアル信号が前記第1の電位と異なる第2の電位のとき前記パルス信号の出力を切断する切換回路と、を有し、

入力されたパラレル信号をO O K (On-Off Keying)変調して出力することを特徴とするデジタル変調回路。

【請求項 6】

請求項₁に記載のバースト制御パルス発生回路である第1のバースト制御パルス発生回路及び第2のバースト制御パルス発生回路と、

パラレル／シリアル変換回路と、

前記パラレル／シリアル変換回路が出力するシリアル信号が第1の電位のとき前記第1のバースト制御パルス発生回路が発生する前記パルス信号を出力し、前記シリアル信号が前記第1の電位と異なる第2の電位のとき前記第2のバースト制御パルス発生回路が発生する前記パルス信号を出力する切換回路と、を有し、

入力されたパラレル信号をF S K (Frequency Shift Keying)変調して出力することを特徴とするデジタル変調回路。

【請求項 7】

通信のオンとオフを制御するバースト信号に基づき周期信号を発振するリング発振回路を含み、前記周期信号に基づき複数のタイミング信号を出力するタイミング発生回路と、前記複数のタイミング信号に基づき前記通信に用いるパルス信号を生成するパルス発生論理回路と、を有し、前記バースト信号がオン状態のとき1回以上の前記パルス信号を発生し、前記バースト信号がオフ状態のとき前記パルス信号の発生を停止し、前記リング発振回路が発振する前記周期信号の発振周期が前記パルス信号のパルス幅よりも長い、バースト制御パルス発生回路と、

パラレル／シリアル変換回路と、

前記パラレル／シリアル変換回路が出力するシリアル信号が第1の電位のとき前記バースト制御パルス発生回路が発生する前記パルス信号を遅延回路を介して出力し、前記シリアル信号が前記第1の電位と異なる第2の電位のとき前記パルス信号を出力する切換回路と、を有し、

入力されたパラレル信号を P P M (Pulse Position Modulation) もしくは B P M (Bi-Phase Modulation) 変調して出力するデジタル変調回路を有する送信装置と、

前記バースト制御パルス発生回路を有する受信装置と、から構成されることを特徴とする電子機器。

【請求項 8】

通信のオンとオフを制御するバースト信号に基づき周期信号を発振するリング発振回路を含み、前記周期信号に基づき複数のタイミング信号を出力するタイミング発生回路と、

前記複数のタイミング信号に基づき前記通信に用いるパルス信号を生成するパルス発生論理回路と、

前記バースト信号がオン状態のとき 1 回以上の前記パルス信号を発生し、前記バースト信号がオフ状態のとき前記パルス信号の発生を停止し、前記リング発振回路が発振する前記周期信号の発振周期が前記パルス信号のパルス幅よりも長い、バースト制御パルス発生回路と、

パラレル / シリアル変換回路と、

前記パラレル / シリアル変換回路が出力するシリアル信号が第 1 の電位のとき前記バースト制御パルス発生回路が発生する前記パルス信号を出力し、前記シリアル信号が前記第 1 の電位と異なる第 2 の電位のとき前記パルス信号の出力を切断する切換回路と、を有し、

入力されたパラレル信号を O O K (On-Off Keying) 変調して出力するデジタル変調回路を有する送信装置と、受信装置と、から構成されることを特徴とする電子機器。