



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 18.07.80 (21) 2961300/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 15.12.82. Бюллетень № 46

Дата опубликования описания 15.12.82

(11) 981996

(51) М. Кл. 3

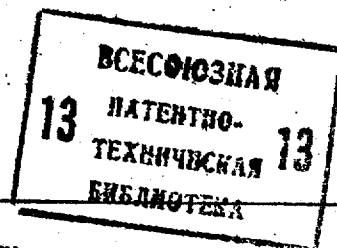
G 06 F 7/52

(53) УДК 681.325
(088.8)

(72) Автор
изобретения

Ю. И. Нежевенко

(71) Заявитель



(54) УСТРОЙСТВО ДЛЯ УМНОЖЕНИЯ ДВОИЧНЫХ ЧИСЕЛ

Изобретение относится к вычислительной технике и может быть использовано при построении арифметических устройств.

Известно устройство для умножения чисел в обратном коде, содержащее сумматор, регистры сомножителей и результата, блок формирования сигналов прямой и инверсной передачи множимого в сумматор, блок совпадения нулевого значения, блок коррекции младшей части произведения, триггер, блоки совпадения и неравнозначности [1].

Данное устройство обладает невысоким быстродействием.

Известно также устройство для умножения чисел, содержащее блок хранения порядка множимого, множительный блок, регистры сомножителей, блоки обнаружения метки и последней цифры множителя [2].

Быстродействие этого устройства также невелико.

Наиболее близким к изобретению является устройство для умножения двоичных чисел, содержащее регистры множимого и множителя, параллельный сумматор, блок анализа разрядов, счетчик, дешифратор, два блока формиро-

вания импульсов считывания, два блока управления считыванием, блок сдвига, генератор, элемент задержки, пять элементов И, три триггера, причем выход генератора соединен с первым входом первого элемента И, второй вход которого соединен с единственным выходом первого триггера, а выход соединен с входом счетчика и управляющим входом дешифратора, информационные входы которого соединены с разрядными выходами счетчика, а выходы дешифратора подключены к первым входам второго элемента И и третьего элемента И, вторые входы которых подключены соответственно к нулевому и единичному выходам второго триггера, а выходы соединены соответственно с управляющими входами первого и второго блоков формирования импульсов считывания, информационные входы которых соединены с соответствующими выходами регистра множителя, а выходы соединены с выходами блока сдвига и с нулевым входом первого триггера, единственный вход которого соединен с шиной запуска устройства, с управляющим входом блока анализа разрядов и входом элемента задержки, выход которого подключен к первым входам четвер-

того и пятого элементов И, вторые входы которых соединены соответственно с единичным и нулевым выходами третьего триггера, а выходы подключены к нулевому входу третьего триггера и соответственно к единичному и нулевому входам второго триггера, к управляющим входам первого и второго блоков управления, информационные входы которых соединены соответственно с выходами регистров множимого и множителя, а выходы соединены с входами параллельного сумматора, соединенными с выходами блока сдвига, входы которого соединены с соответствующими выходами регистра множимого, выходы регистра множителя подключены к входам блока анализа разрядов, выход которого подключен к единичному входу третьего триггера, входы регистров сомножителей являются входами устройства, а выходы параллельного сумматора - выходами устройства [3].

Данное устройство производит анализ множителя на преобладание в нем единиц или нулей и осуществляет умножение соответственно с использованием прямого или обратного кодов множимого. Вследствие жесткого разделения сомножителей на множитель и множимое быстрое действие устройства уменьшается при приближении к равенству нулей и единиц в множителе.

Цель изобретения - повышение быстродействия устройства.

Цель достигается тем, что устройство для умножения двоичных чисел, содержащее регистр множителя, регистр множимого, параллельный сумматор, блок анализа разрядов, блок сдвига, два блока управления, генератор тактовых импульсов, два блока формирования импульсов считывания, элемент задержки, пять элементов И, счетчик, дешифратор, три триггера, причем выход генератора тактовых импульсов соединен с первым входом первого элемента И, второй вход которого соединен с единичным выходом нулевого триггера, а выход соединен с входом счетчика и управляющим входом дешифратора, информационные входы которого соединены с разрядными выходами счетчика, а выход дешифратора подключен к первым входам второго и третьего элементов И, вторые входы которых подключены соответственно к нулевому и единичному выходам второго триггера, а выходы соединены соответственно с управляющими входами первого и второго блоков формирования импульсов считывания, информационные входы которых соединены с соответствующими выходами регистра множителя, а выходы соединены с входами блока сдвига и с нулевым входом первого триггера,

единичный вход которого соединен с шиной запуска устройства и с входом элемента задержки, выход которого подключен к первым входам четвертого и пятого элементов И, вторые входы которых соединены соответственно с нулевым и единичным выходами третьего триггера, а выходы подключены к нулевому входу третьего триггера и соответственно к единичному и нулевому входам второго триггера, к управляющим входам первого и второго блоков управления, соответственно, информационные входы которых соединены соответственно с выходами регистров множимого и множителя, а выходы соединены соответственно с входами параллельного сумматора, соединенными с соответствующими выходами блока сдвига, входы которого соединены с соответствующими выходами регистра множимого, первый управляющий выход блока анализа разрядов подключен к единичному входу третьего триггера, выходы параллельного сумматора являются выходами устройства, содержит коммутатор сомножителей, причем первая группа его выходов подключена к соответствующим разрядным входам регистра множителя, вторая группа выходов подключена к соответствующим разрядным входам регистра множимого, первая группа информационных выходов блока анализа разрядов подключена соответственно к первым информационным входам первой и второй групп коммутатора сомножителей, вторая группа информационных выходов блока анализа разрядов соединена соответственно со вторыми информационными входами первой и второй групп коммутатора сомножителей, второй управляющий выход блока анализа разрядов подключен к второму и первому управляющим входам первой и второй групп коммутатора сомножителей соответственно, третий управляющий выход блока анализа разрядов подключен к второму и первому управляющим входам первой и второй групп коммутатора сомножителей соответственно, выход элемента задержки подключен к входу разрешения коммутатора сомножителей, первые и вторые информационные входы блока анализа разрядов соединены соответственно с входами первого и второго операндов устройства. Кроме того, блок анализа разрядов содержит два регистра, два преобразователя двоичного кода в уплотненный, элемент сравнения, два элемента ИЛИ, причем первые и вторые информационные входы блока соединены соответственно с входами первого и второго регистров, выходы которых подключены соответственно к входам первого и второго преобразователей двоичного кода в уплотненный и к первой и второй группе информацион-

ных выходов блока, прямые выходы первого и второго преобразователей двоичного кода в уплотненный подключены соответственно к входам первого и второго чисел элемента сравнения, инверсные выходы первого и второго преобразователей двоичного кода в уплотненный подключены соответственно к входам третьего и четвертого чисел элемента сравнения, первый вход первого элемента ИЛИ подключен к первому выходу элемента сравнения, второй его вход подключен к третьему выходу элемента сравнения, прямой выход первого элемента ИЛИ соединен со вторым управляющим выходом блока, а инверсный выход первого элемента ИЛИ соединен с третьим управляющим выходом блока, первый вход второго элемента ИЛИ соединен с третьим выходом элемента сравнения, второй вход соединен с четвертым выходом элемента сравнения, а выход подключен к первому управляющему выходу блока.

На фиг. 1 представлена схема устройства для умножения двоичных чисел; на фиг. 2 - схема блока анализа разрядов.

Устройство содержит регистр множимого 1, блок сдвига 2, генератор тактовых импульсов 3, элемент И 4, счетчик 5, дешифратор 6, триггеры 7 и 8, элементы И 9 и 10, триггер 11, элементы И 12 и 13, блоки управления считыванием 14 и 15, регистр множителя 16, параллельный сумматор 17, блоки формирования импульсов считывания 18 и 19, элемент задержки 20, блок анализа разрядов 21, коммутатор сомножителей 22, шины операндов 23, 24 шину запуска 25. Блок анализа разрядов содержит регистр 26, преобразователи двоичного кода в уплотненный 27 и 28, элемент сравнения 29, элементы ИЛИ 30 и 31, выходы первого и второго регистров 32 и 33, первый управляющий выход блока 34, второй и третий управляющие выходы блока 35 и 36, регистр 37.

Предложенное устройство реализует следующие алгоритмы умножения двоичных чисел. Берут два "n"-разрядных двоичных числа и выбирают в качестве множителя число с наименьшим количеством единиц или нулей.

Если количество единиц в множителе больше количества нулей, то для получения произведения берут прямой код множимого, справа от которого приписывается столько нулей, сколько разрядов содержит множитель. Из полученного числа последовательно вычитают прямой код множимого и прямой код чисел, полученных путем сдвига множимого влево на число разрядов, на единицу меньше номеров тех разрядов,

которые содержат нули во множителях (начиная с младшего разряда). Полученное таким образом число является произведением двух чисел (первый алгоритм).

Если количество нулей во множителе больше количества единиц, то для получения произведения берут прямой код множителя, справа от которого приписывается столько нулей, сколько разрядов содержит множимое. Из полученного числа последовательно вычитают прямой код множителя и обратный код чисел, полученных путем сдвига множимого влево на число разрядов, на единицу меньше номеров тех разрядов, которые содержат единицы во множителе (начиная с младшего разряда). Полученный результат является произведением двух сомножителей (второй алгоритм).

Устройство работает следующим образом.

После приема сомножителей на шины приема операндов 23 и 24 в любом порядке по шине запуска 25 поступает импульс запуска устройства, который устанавливает в единичное состояние триггер 7, тем самым разрешая прохождение через элемент И 4 импульсов генератора 3 на счетчик 5 и дешифратор 6.

Работа блока анализа разрядов (фиг. 2) заключается в определении из двух сомножителей числа с наименьшим количеством информационных единиц или нулей с тем, чтобы выбранное число затем использовать в качестве множителя. При этом используются преобразователи двоичного кода в уплотненный 27 и 28, осуществляющие сдвиг единиц в сомножителях к границе разрядной сетки, на прямых выходах таким образом получают коды, содержащие единицы в крайних позициях, количество которых равно числу единиц в исходном коде, на инверсных же выходах преобразователей получают коды, содержащие единицы в крайних позициях, количество которых равно числу нулей в исходном коде. Полученные коды поступают на входы элемента сравнения 29, где определяются какой из кодов меньше, т.е. какой из сомножителей будет выбран как множитель и какой алгоритм будет применен. С выхода элемента ИЛИ 31 снимается сигнал преобладания количества единиц над количеством нулей в множителе. С прямого выхода 35 элемента ИЛИ 30 снимается сигнал использования первого сомножителя как множителя, с выхода 36 - второго сомножителя как множителя.

После прихода импульса запуска (шина 25), задержанного на элементе задержки 20, в коммутатор сомножите-

лей 22 и в зависимости от сочетания выходных импульсов элемента ИЛИ 30 коммутатор сомножителей 22 производит распределение и считывание исходных чисел, равное записанным в регистры 26 и 37, в регистры множимого 1 и множителя 16 соответственно или информация регистров 26 и 37 считывается в регистр множителя 16 и множимого 1 соответственно.

После анализа множителя в блоке анализа разрядов 21 выделяется управляющий импульс, который подается на единичный вход триггера 8, размещающий прохождение импульса запуска, задержанного на элементе задержки 20, либо через элемент И 9 (если число единиц во множителе больше, чем нулей) либо через элемент И 10 (в противном случае).

В первом случае импульс запуска с выхода элемента И 9 поступает на блок управления считыванием 14, считывая значения прямого кода множимого с регистра множимого 1 в "п" старших разрядов сумматора 17. Одновременно прямой код множимого, инвертируясь для вычитания, считывается в "п" младших разрядов сумматора 17.

При этом одновременно на все единичные входы "п" старших разрядов сумматора 17 с задержкой, равной времени установления переходных процессов в этих разрядах, проходит импульс который считывал значение множимого. Тем самым проводится вычитание из значений прямого кода множимого, сдвинутого влево на "п" разрядов, значений несдвинутого прямого кода множимого. Одновременно импульс запуска устанавливает в нуль триггер 8.

Во втором случае импульс запуска с выхода элемента И 10 поступает на блок управления считыванием 15, считывая значения прямого кода множителя с регистра множителя 16 в "п" старших разрядов сумматора 17 и значение обратного кода множителя в "п" младших разрядов сумматора 17. С приходом импульса на единичные входы старших разрядов сумматора 17 выполняется операция вычитания из значения прямого кода множителя, сдвинутого на "п" разрядов влево, значений несдвинутого прямого кода множителя, а также подтверждается установка триггера 8 в нулевое состояние.

Одновременно импульс запуска устанавливает в единичное состояние управляющий триггер 11 в случае, когда число единиц во множителе больше числа нулей, или в нулевое состояние в обратном случае, разрешая тем самым прохождение импульсов с дешифратора 6 через элементы 13 или 12 соответственно на блоки формирования импульсов считывания 18 или 19.

Особенность работы счетчика 5 и дешифратора 6 заключается в том, что импульсы с выхода дешифратора следуют с периодом, равным времени сложения (вычитания) одного двоичного числа в сумматоре 17. Это определяется соответствующей коммутацией выходных шин дешифратора 6 (т.е. выходные шины могут коммутироваться в сборке через одну, две, три и т.д. в зависимости от времени сложения-вычитания числа в сумматоре 17).

Первый импульс, проходящий через элемент И 13 при большем числе единиц во множителе или через элемент И 12 (в обратном случае) поступает соответственно на вход либо блока формирования импульсов считывания 18, либо блока 19, которые управляют регистром множителя 16.

В первом случае данный импульс, последовательно проходя через элементы И сквозного переноса блока 18, управляемые с единичным выходом разрядов регистра 16, отыскивает первый, находящийся в нулевом состоянии разряд блока 18, устанавливает его в единичное состояние и поступает с выхода блока 18, соответствующего перебрасываемому разряду на вход блока сдвига 2. С помощью блока 2 импульс считывает в сумматор 17 значения прямого кода множимого, сдвинутого влево на число разрядов, на единицу меньше номеров тех разрядов, которые содержат нули во множителе.

Сдвиг осуществляется за счет соответствующей коммутации потенциальных выходов разрядов регистра множимого 1 с импульсными выходными шинами блока 18, в соответствии с изложенным принципом получения произведения по первому алгоритму.

Во втором случае импульс, последовательно проходя через элементы И сквозного переноса блока 19, управляемые с нулевых выходов разрядов регистра 16, отыскивает первый находящийся в единичном состоянии разряд блока 19, перебрасывает его в нулевое состояние и поступает с выходной шины блока 19, соответствующей перебрасываемому разряду, на вход блока сдвига 2. С помощью этого блока импульс считывает в сумматор 17 значения обратного кода множимого сдвинутого влево на число разрядов, на единицу меньше номеров тех разрядов, которые содержат единицы во множителе.

Сдвиг осуществляется за счет соответствующей коммутации потенциальных выходов разрядов регистра множимого с импульсными выходными шинами блока 19, в соответствии с изложенным принципом получения произведения по второму алгоритму.

Следующий импульс с дешифратора 6, поступая на вход блока 18 или 19, проводит аналогичные действия. Блоки 18 и 19 работают до тех пор, пока не будут установлены в единичное состояние все разряды блока 18 в первом случае, либо в нулевом состоянии все разряды блока 19 во втором случае. При этом очередной импульс с выхода дешифратора 6, пройдя сквозным переносом через элементы И блоков 18 или 19, поступает на триггер 7 для установки его в нулевое состояние, тем самым прекращая работу устройства. Произведение двух сомножителей формируется на сумматоре 17.

Предлагаемое устройство для умножения двоичных чисел позволяет повысить быстродействие устройств данного класса за счет выбора из двух сомножителей в качестве множителя числа с минимальным количеством единиц или нулей.

Формула изобретения

1. Устройство для умножения двоичных чисел, содержащее регистр множителя, регистр множимого, параллельный сумматор, блок анализа разрядов, блок сдвига, два блока управления, генератор тактовых импульсов, два блока формирования импульсов считывания, элемент задержки, пять элементов И, счетчик, дешифратор, три триггера, причем выход генератора тактовых импульсов соединен с первым входом первого элемента И, второй вход которого соединен с единичным выходом первого триггера, а выход соединен с входом счетчика и управляющим входом дешифратора, информационные входы которого соединены с различными выходами счетчика, а выход дешифратора подключен к первым входам второго и третьего элементов И, вторые входы которых подключены соответственно к нулевому и единичному выходам второго триггера, а выходы соединены соответственно с управляющими входами первого и второго блоков формирования импульсов считывания, информационные входы которых соединены с соответствующими выходами регистра множителя, а выходы соединены с входами блока сдвига и с нулевым входом первого триггера, единичный вход которого соединен с шиной запуска устройства и с входом элемента задержки, выход которого подключен к первым входам четвертого и пятого элементов И, вторые входы которых соединены соответственно с нулевым и единичным выходами третьего триггера, а выходы подключены к нулевому входу третьего триггера и соответственно к единичному и нулевому входам второго триггера, к управляющим входам первого и второго блоков управления соответственно,

информационные входы которых соединены соответственно с выходами регистров множимого и множителя, а выходы соединены с соответствующими входами параллельного сумматора, соединенными с соответствующими выходами блока сдвига, входы которого соединены с соответствующими выходами регистра множимого, первый управляющий выход блока анализа разрядов подключен к единичному входу третьего триггера, выходы параллельного сумматора являются выходами устройства, отличающееся тем, что, с целью повышения быстродействия, устройство содержит коммутатор сомножителей, причем первая группа его выходов подключена к соответствующим разрядным входам регистра множителя, вторая группа выходов подключена к соответствующим разрядным входам регистра множимого, первая группа информационных выходов блока анализа разрядов подключена соответственно к первым информационным входам первой и второй групп коммутатора сомножителей, вторая группа информационных выходов блока анализа разрядов соединена со вторыми информационными входами первой и второй групп коммутатора сомножителей соответственно, второй управляющий выход блока анализа разрядов подключен к первому и второму управляющим входам первой и второй группы коммутатора сомножителей соответственно, третий управляющий выход блока анализа разрядов подключен к второму и первому управляющим входам первой и второй группы коммутатора сомножителей соответственно, выход элемента задержки подключен к входу разрешения коммутатора сомножителей, первые и вторые информационные входы блока анализа разрядов соединены соответственно с входами первого и второго операндов устройства.

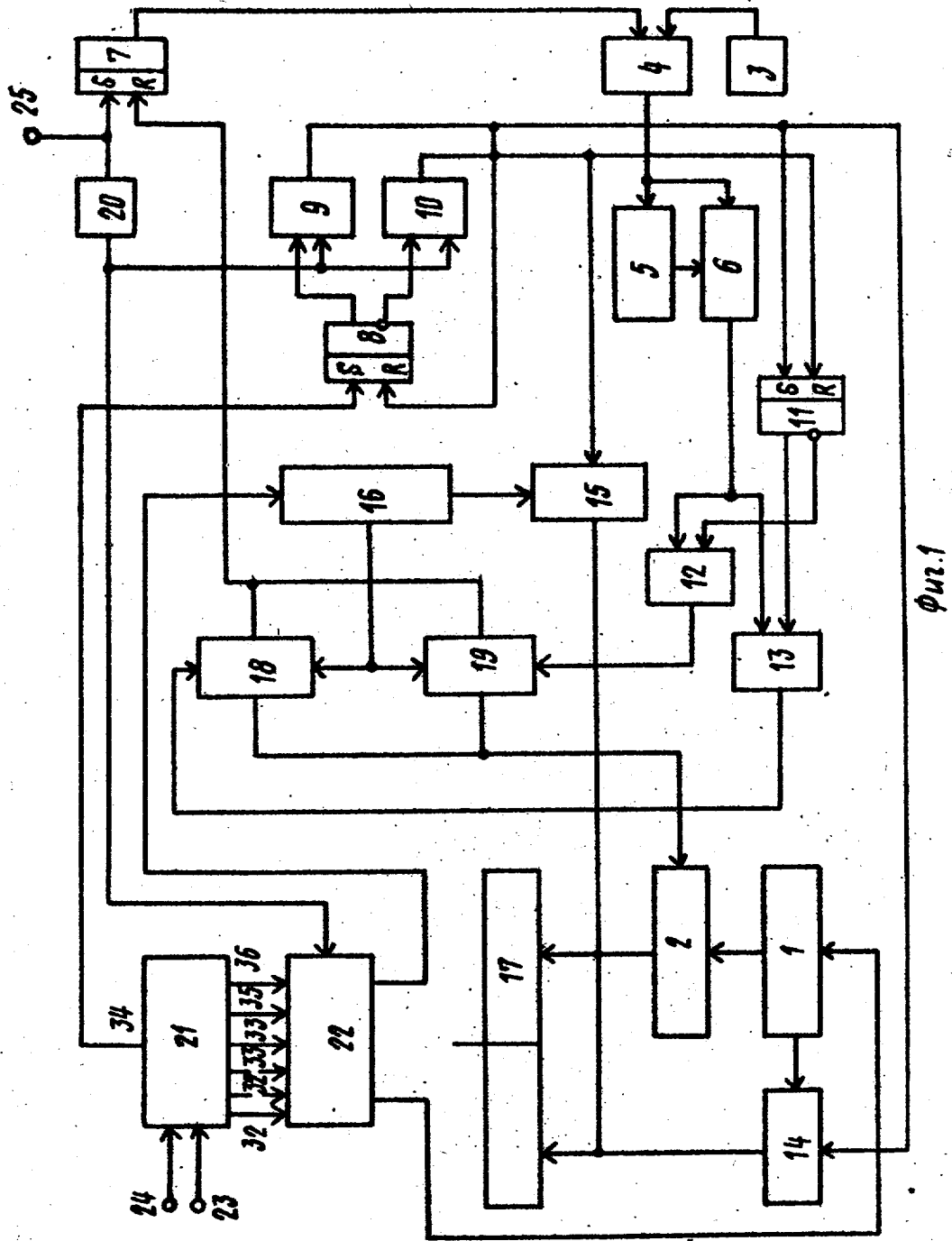
2. Устройство по п.1, отличающееся тем, что, блок анализа разрядов содержит два регистра, два преобразователя двоичного кода в уплотненный, элемент сравнения, два элемента ИЛИ, причем первые и вторые информационные входы блока соединены соответственно с входами первого и второго регистров, выходы которых подключены соответственно к входам первого и второго преобразователей двоичного кода в уплотненный и к первой и второй группе информационных выходов блока, прямые выходы первого и второго преобразователей двоичного кода в уплотненный подключены соответственно к входам первого и второго чисел элемента сравнения, инверсные выходы первого и второго преобразователей двоичного

кода в уплотненный подключены соответственно к входам третьего и четвертого чисел элемента сравнения, первый вход первого элемента ИЛИ подключен к первому выходу элемента сравнения, второй его вход подключен к третьему выходу элемента сравнения, прямой выход первого элемента ИЛИ соединен со вторым управляющим выходом блока, а инверсный выход первого элемента ИЛИ соединен с третьим управляющим выходом блока, первый вход второго элемента ИЛИ соединен с третьим выходом элемента сравнения, второй

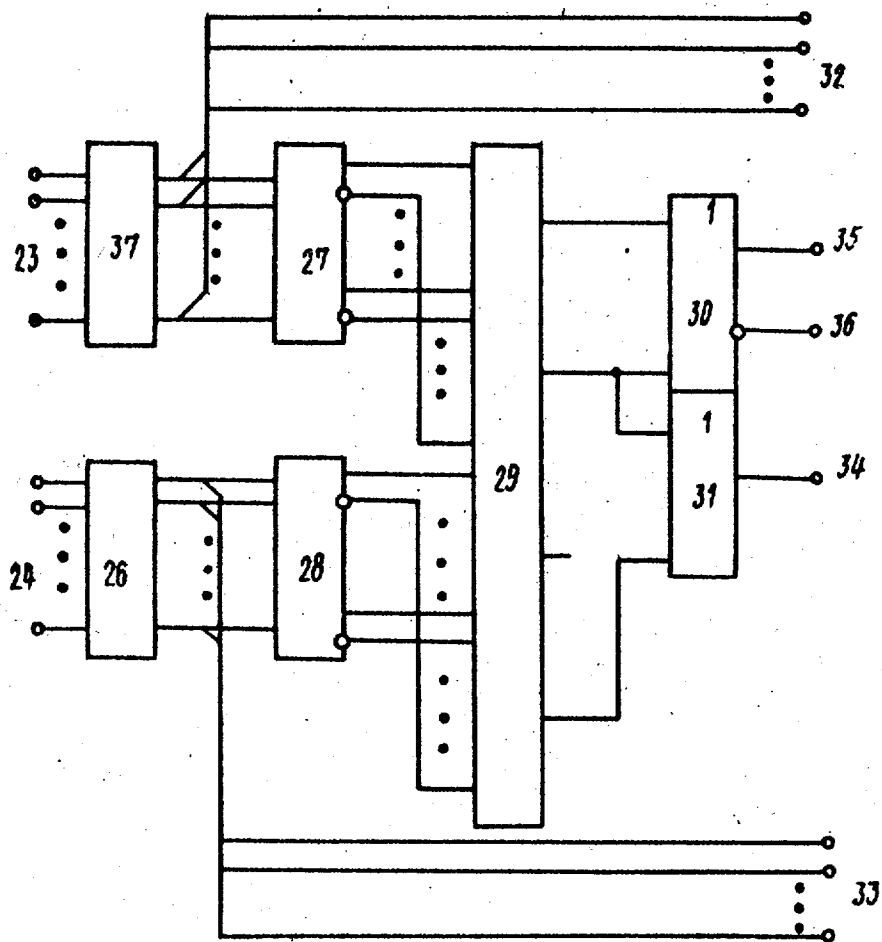
вход соединен с четвертым выходом элемента сравнения, а выход подключен к первому управляющему выходу блока.

5 Источники информации, принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 273520, кл. G 06 F 7/52, 1971.
2. Авторское свидетельство СССР № 478305, кл. G 06 F 7/52, 1973.
3. Авторское свидетельство СССР № 482741, кл. G 06 F 7/52, 1973 (прототип).



Фиг. 1



Фиг. 2

Составитель А. Ключев
 Редактор М.Товтин Техред А.Ач Корректор Н. Король

Заказ 9712/68 Тираж 731 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4