(19)国家知识产权局

(12)发明专利

(10)授权公告号 CN 111670444 B
(45)授权公告日 2023.04.04

(21)申请号 201980009438.7
(22)申请日 2019.01.10
(65)同一申请的已公布的文献号
申请公布号 CN 111670444 A
(43)申请公布日 2020.09.15
(30)优先权数据
15/878,965 2018.01.24 US
(85)PCT国际申请进入国家阶段日
2020.07.21
(86)PCT国际申请的申请数据
PCT/IB2019/050185 2019.01.10
(87)PCT国际申请的公布数据
WO2019/145805 EN 2019.08.01
(73)专利权人 国际商业机器公司
地址 美国纽约
(72)发明人 安田岳雄 细川浩二
(74)专利代理机构 中国贸促会专利商标事务所有限公司 11038
专利代理师 边海梅
(51)Int.Cl.
*G11C 16/26*(2006.01)
*G06N 3/063*(2023.01)
*G06N 3/084*(2023.01)
(56)对比文件
US 2016125287 A1,2016.05.05
US 2017185890 A1,2017.06.29
CN 107194462 A,2017.09.22
CN 104240753 A,2014.12.24
审查员 庄湧

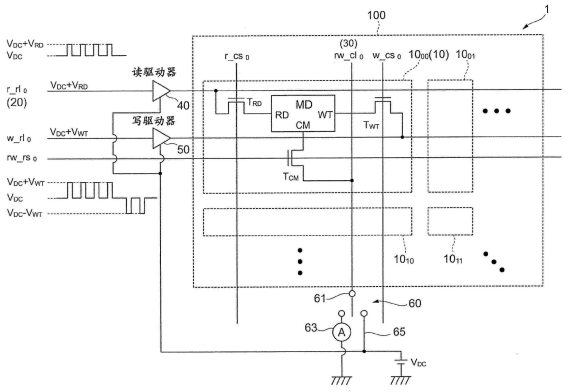
权利要求书3页 说明书10页 附图18页

(54)发明名称

突触存储器

(57)摘要

一种突触存储器包括被配置成存储权重值的存储器件。所述存储器件包含读取端子、写入端子及公共端子,所述读取端子被配置以接收读信号,所述写入端子被配置以接收写信号,且所述公共端子被配置以输出来自所述存储器件的输出信号。所述突触存储器还包括设置在所述存储器件的所述写入端子和被配置为发送所述写信号的写信号线之间的写晶体管。所述突触存储器还包括设置在所述存储器件的所述公共端子与所述树突线的其中一个之间的公共晶体管。




CN 111670444 B

1.一种突触存储器,包括在多个轴突线和多个树突线的交叉点处设置的多个突触存储器单元,其中

每个突触存储器单元包括:

存储器件,被配置为存储权重值,所述存储器件设置有读取端子、写入端子和公共端子,所述读取端子被配置为接收读信号以读取存储在所述存储器件中的权重值,所述写入端子被配置为接收写信号以将所述权重值写入到所述存储器件,所述公共端子被配置为从已经接收到所述读信号的存储器件输出输出信号或者向已经接收到所述写信号的存储器件输入输入信号;

写晶体管,其设置在所述存储器件的所述写入端子与被配置为发送所述写信号的写信号线之间;以及

公共晶体管,其设置在所述存储器件的公共端子与所述树突线的其中一个之间。

2.如权利要求1所述的突触存储器,其中

每个突触存储器单元还包括设置在所述存储器件的所述读取端子与所述多个轴突线的其中一个之间的读晶体管。

3.如权利要求1所述的突触存储器,其中

所述存储器件是磁阻随机存取存储器(MRAM)。

4.如权利要求1所述的突触存储器,其中

所述突触存储器单元的子组共同连接至所述多个轴突线中的其中一个,以及

所述突触存储器单元的所述子组中的每一个中设置的公共晶体管的栅极共同连接到被配置为发送公共晶体管控制信号的公共控制线。

5.如权利要求1所述的突触存储器,其中

所述突触存储器单元的子组被共同连接到所述多个树突线的其中一个,以及

在所述突触存储器单元的所述子组中的每一个中设置的所述写晶体管的栅极共同连接到多个写控制线的其中一个。

6.如权利要求2所述的突触存储器,其中

所述突触存储器单元的子组被共同连接到所述多个树突线的其中一个,并且

所述突触存储器单元的子组中的每一个中设置的所述读晶体管的栅极共同连接到被配置为发送读晶体管控制信号的读信号线。

7.如权利要求2所述的突触存储器,其中

如果存储在所述多个突触存储器单元的一部分中的所述权重值将被读出,则使所述多个突触存储器单元的所述部分中设置的每个公共晶体管导通并且使所述多个突触存储器单元的其他部分中的至少一个中设置的每个公共晶体管关断。

8.如权利要求7所述的突触存储器,其中

如果存储在所述多个突触存储器单元的所述部分中的权重值将被读出,则使所述多个突触存储器单元的所述部分中设置的每个读晶体管导通并且使所述多个突触存储器单元的所述部分中设置的每个写晶体管关断。

9.如权利要求2所述的突触存储器,其中

如果所述权重值要被写入所述多个突触存储器单元的一部分中,则在所述多个突触存储器单元的所述部分中设置的每个公共晶体管导通并且使所述多个突触存储器单元的其

他部分中的至少一个中设置的每个公共晶体管关断。

10.如权利要求9所述的突触存储器,其中

如果所述权重值要被写入所述多个突触存储器单元的所述部分中,则多个突触存储器单元的一部分中设置的每个读晶体管关断,并且设置在多个突触存储器单元的一部分中的每个写晶体管导通。

11.一种突触存储器,包括在多个轴突线和多个树突线的交叉点处设置的多个突触存储器单元,其中

每个突触存储器单元包括:

存储器件,被配置为存储权重值,所述存储器件设置有读取端子、写入端子和公共端子,所述读取端子被配置为接收读信号以读取存储在所述存储器件中的所述权重值,所述写入端子被配置为接收写信号以将所述权重值写入到所述存储器件,所述公共端子被配置为从已经接收到所述读信号的存储器件输出输出信号或者向已经接收到所述写信号的存储器件输入输入信号;以及

开关,被配置为切换所述多个树突的其中一个与所述存储器件的公共端子之间的连接和断开,以及

如果要读取存储在所述多个突触存储器单元的一部分中的所述权重值,则设置在所述多个突触存储器单元的所述部分中的每个开关连接所述多个树突线的其中一个和所述存储器件的所述公共端子,并且设置在所述多个突触存储器单元的其他部分中的至少一个中的每个开关断开所述多个树突线的其中一个和所述存储器件的所述公共端子。

12.如权利要求11所述的突触存储器,其中

所述开关是晶体管。

13.一种包括突触存储器的设备,其中

该突触存储器包括在多个轴突线和多个树突线的交叉点提供的多个突触存储器单元,以及

每个突触存储器单元包括:

存储器件,被配置为存储权重值,所述存储器件设置有读取端子、写入端子和公共端子,所述读取端子被配置为接收读信号以读取存储在所述存储器件中的所述权重值,所述写入端子被配置为接收写信号以将所述权重值写入到所述存储器件,所述公共端子被配置为从已经接收到所述读信号的存储器件输出输出信号或者向已经接收到所述写信号的存储器件输入输入信号;

写晶体管,其设置在所述存储器件的所述写入端子与被配置为发送所述写信号的写信号线之间;以及

公共晶体管,其设置在所述存储器件的所述公共端子与所述多个树突线的其中一个之间。

14.一种突触存储器,包括在多个轴突线和多个树突线的交叉点处提供的多个突触存储器单元,其中

每个突触存储器单元包括:

存储器件,被配置为存储权重值,所述存储器件设置有读取端子、写入端子和公共端子,所述读取端子被配置为接收读信号以读取存储在所述存储器件中的所述权重值,所述

写入端子被配置为接收写信号以将所述权重值写入到所述存储器件，所述公共端子被配置为从已经接收到所述读信号的存储器件输出输出信号或者向已经接收到所述写信号的存储器件输入输入信号；

写晶体管，其设置在所述存储器件的所述写入端子与被配置为发送所述写信号的写信号线之间；

公共晶体管，其设置在所述存储器件的所述公共端子与所述多个轴突线的其中一个之间；以及

读晶体管，其设置在所述存储器件的所述读取端子与所述多个轴突线的其中一个之间，

所述突触存储器单元的第一子组共同连接到所述多个轴突线的其中一个，

所述突触存储器单元的第二子组共同连接到多个树突线的其中一个，

所述突触存储器单元的所述第一子组中的每一个设置的所述公共晶体管的栅极共同连接到被配置为发送公共晶体管控制信号的公共控制线，

所述突触存储器单元的所述第二子组的每一个中设置的所述写晶体管的栅极共同连接到写入控制线的其中一个，以及

所述突触存储器单元的所述第二子组中的每一个中设置的所述读晶体管的栅极共同连接到被配置为发送读晶体管控制信号的读取控制线。

15.一种用于读取突触存储器中存储的权重值的方法，其中

所述突触存储器包括在多个轴突线和多个树突线的交叉点设置的多个突触存储器单元，

每个突触存储器单元包括：

存储器件，被配置为存储权重值，所述存储器件设置有读取端子、写入端子和公共端子，所述读取端子被配置为接收读信号以读取存储在所述存储器件中的所述权重值，所述写入端子被配置为接收写信号以将所述权重值写入到所述存储器件，所述公共端子被配置为从已经接收到所述读信号的存储器件输出输出信号或者向已经接收到所述写信号的存储器件输入输入信号；

写晶体管，其设置在所述存储器件的所述写入端子与被配置为发送所述写信号的写信号线之间；

公共晶体管，其设置在所述存储器件的所述公共端子与所述多个轴突线的其中一个之间；以及

读晶体管，其设置在所述存储器件的所述读取端子与所述多个轴突线的其中一个之间，以及

该方法包括在所述写晶体管关断、所述公共晶体管导通、并且所述读晶体管导通的状态下读取所述多个突触存储器单元的一部分的所述权重值。

# 突触存储器

## 技术领域

[0001] 本发明涉及突触存储器。

## 背景技术

[0002] 最近,关于突触存储器的各种技术是已知的。

## 发明内容

[0003] 根据本发明的一个实施方案,提供了突触存储器。突触存储器包括在多个轴突线和多个树突线的交叉点处设置的多个突触存储器单元。每个突触存储器单元包括存储器件、写晶体管和公共晶体管。存储器件被配置为存储权重值,并且设置有读取端子、写入端子和公共端子。所述读取端子被配置为接收读信号以读取存储在存储器件中的所述权重值。所述写入端子被配置为接收写信号以将所述权重值写到存储器件。公共端子被配置为分别从或者向已经接收到读信号或写信号的存储器件输出输出信号或者输入输入信号。所述写晶体管设置在所述存储器件的所述写入端子和被配置为发送写信号的写信号线之间。所述公共晶体管设置在所述存储器件的所述公共端子和所述树突线的其中一个之间。

[0004] 根据本发明的另一个实施方案,提供了突触存储器。所述突触存储器包括在多个轴突线和多个树突线的交叉点处设置的多个突触存储器单元。每个突触存储器单元包括存储器件和开关。所述存储器件被配置为存储权重值,并且设置有读取端子、写入端子和公共端子。所述读取端子被配置为接收读信号以读取存储在所述存储器件中的所述权重值。所述写入端子被配置为接收写信号以将所述权重值写到所述存储器件。所述公共端子被配置为分别从或者向已经接收到读信号或写信号的存储器件输出输出信号或者输入输入信号。所述开关被配置为切换所述树突线的其中一个与所述存储器件的所述公共端子之间的连接和断开。如果存储在所述多个突触存储器单元的一部分中的权重值将被读出,那么所述多个突触存储器单元的一部分中设置的每个开关连接所述树突线的其中一个与所述存储器件的所述公共端子,并且所述多个突触存储器单元的另一部分中设置的每个开关断开所述树突线的其中一个和所述存储器件的所述公共端子的连接。

[0005] 根据本发明的又一实施方案,提供了一种包括突触存储器的器件。突触存储器包括在多个轴突线和多个树突线的交叉点出设置的多个突触存储器单元。每个突触存储器单元包括存储器件、写晶体管和公共晶体管。所述存储器件被配置为存储权重值,并且设置有读取端子、写入端子和公共端子。读取端子被配置为接收读信号以读取存储在所述存储器件中的所述权重值。所述写入端子被配置为接收写信号以将所述权重值写到所述存储器件。所述公共端子被配置为分别从或者向已经接收到读信号或写信号的存储器件输出输出信号或者输入输入信号。所述写晶体管设置在所述存储器件的所述写入端子和被配置为发送写信号的写信号线之间。所述公共晶体管设置在所述存储器件的所述公共端子和所述树突线的其中一个之间。

[0006] 根据本发明的另一个实施方案,提供了一种突触存储器。突触存储器包括在多个

轴突线和多个树突线的交叉点提供的多个突触存储器单元。每个突触存储器单元包括存储器件、写晶体管、公共晶体管、读晶体管。存储器件被配置为存储权重值，并且设置有读取端子、写入端子和公共端子。读取端子被配置为接收读信号以读取存储在存储器设备中的权重值。写入端子被配置为接收写信号以将权重值写到存储器设备。公共端子被配置为分别从存储器件输出信号或者向已经接收到读信号或写信号的存储器件输入信号。写晶体管设置在存储器件的写入端子和被配置为发送写信号的写信号线之间。公共晶体管设置在存储器件的公共端子和树突线的其中一个之间。读晶体管设置在存储器件的读取端子和轴突线之一之间。突触存储器单元的第一子组共同连接到轴突中的一个。突触存储器单元的第二子组共同连接到树突线之一。突触存储器单元的第一子组中的每一个中提供的公共晶体管的栅极共同连接到被配置为发送公共晶体管控制信号的公共控制线。在突触存储器单元的第二子组中的每一个中提供的写晶体管的栅极共同连接到写控制线之一。突触存储器单元的第二子组中的每一个中提供的读晶体管的栅极共同连接到被配置为发送读晶体管控制信号的读信号线。

[0007] 从以下结合附图阅读的对本发明的说明性实施例的详细描述中，这些和其它特征和优点将变得显而易见。

## 附图说明

[0008] 以下描述将参考以下附图提供优选实施例的细节，其中：

[0009] 图1示出了根据本发明的示例性实施例的具有交叉阵列的突触存储器。

[0010] 图2示出了根据示例性实施例的突触存储器。

[0011] 图3示出了根据示例性实施例的突触存储器单元系统。

[0012] 图4示出了在正常方向读操作中的第i行和第j列的一个突触存储器单元以及第m行和第j列的另一个突触存储器单元。

[0013] 图5示出了正常方向读操作的时间图。

[0014] 图6示出了在反向读操作中在第i行和第j列的一个突触存储器单元以及在第i行和第n列的另一个突触存储器单元。

[0015] 图7示出了反向读操作的时间图。

[0016] 图8示出了正常增量写操作中的第i行和第j列处的一个突触存储器单元以及第m行和第j列处的另一个突触存储器单元。

[0017] 图9示出了正常增量写操作的时间图。

[0018] 图10示出了在正常减量写操作中在第i行和第j列处的一个突触存储器单元以及在第m行和第j列处的另一个突触存储器单元。

[0019] 图11示出了正常减量写操作的时间图。

[0020] 图12示出了包括突触存储器的器件的示例。

[0021] 图13示出了根据本发明第二示例性实施例的在正常方向读操作中的第i行和第j列处的一个突触存储器单元以及第m行和第j列处的另一个突触存储器单元。

[0022] 图14示出了根据本发明第二示例性实施例的正常方向读操作的时间图。

[0023] 图15示出了根据本发明第二示例性实施例的正常写操作中的第i行和第j列处的一个突触存储器单元以及第m行和第j列处的另一个突触存储器单元。

[0024] 图16示出了正常写操作的时间图。

[0025] 图17示出了根据本发明第三示例性实施例的在反向读操作中的第i行和第j列处的一个突触存储器单元以及第i行和第n列处的另一个突触存储器单元。

[0026] 图18示出了根据本发明第三示例性实施例的反向读操作的时间图。

## 具体实施方式

[0027] 在下文中,将参考附图详细描述本发明的示例性实施例。

[0028] 应当注意,本发明不限于下面给出的这些示例性实施例,并且可以在本发明的范围内以各种修改来实现。另外,这里使用的附图是为了说明的目的,并且可能不示出实际尺寸。

[0029] 图1示出了根据本发明的示例性实施例具有交叉阵列的突触存储器100。

[0030] 神经形态系统的硬件实现可以包括突触存储器以及神经元体和与轴突和树突的网络连接。如图1所示,突触存储器100可包括布置/放置在所有轴突(轴突线)20和所有树突(树突线)30的所有交叉点处的突触存储器单元10。每个突触存储器单元10可被配置为存储突触权重值,该突触权重值指示对应的突触存储器单元10的突触连接的权重。注意,轴突20对应于前神经元的相应轴突,并且树突30对应于后神经元的相应树突。

[0031] 在本示例性实施例中,突触存储器单元10可包括存储器件MD(参见图3)以存储突触权重值。存储器件MD可以是磁阻随机存取存储器(MRAM)。举例来说,存储器件MD可为自旋转移力矩磁阻随机存取存储器(STT-MRAM)。

[0032] 通过向存储器件MD施加电压或电流来执行向存储器件MD写入数据。存储器件MD可以存储连续值(模拟值)或多值(离散值)。控制要施加到存储器件MD的电压值或电流值使得能够控制存储在存储器件MD中的突触权重值。注意,存储器件MD可以用作模拟存储器。换句话说,存储器件MD可以存储和保持作为至少三种数值之一的数值。存储器件MD可具有连续的中间范围电阻值,而不仅是两个非常大和非常小的值。

[0033] 图2示出了根据示例性实施例的突触存储器100。

[0034] 如图2所示,突触存储器100可包括以m×n(m行和n列)的阵列布置的突触存储器单元10。突触存储器100还可包括沿行方向(图2中的水平方向)延伸的线和沿列方向(图2中的垂直方向)延伸的线,以将突触存储器单元10彼此连接。

[0035] 这里,行线包括读行线$r_rl_0$-$r\_rl_{m-1}$、写行线$w_rl_0$-$w\_rl_{m-1}$,并且读写行选择$rw_rs_0$-$rw\_rs_{m-1}$。请注意,读行线$r_rl_0$-$r_rl_{m-1}$对应于轴突20,也就是说,写行线$w_rl_0$-$w_rl_{m-1}$和读写行选择$rw_rs_0$-$rw_rs_{m-1}$沿着轴突20延伸,列线包括读取列选择$r_cs_0$-$r\_cs_{n-1}$、写入列选择$w_cs_0$-$w_cs_{n-1}$和读写列线$rw_cl_0$-$rw\_cl_{n-1}$。请注意,读写列线$rw_cl_0$-$rw_cl_{n-1}$对应于树突30,也就是说,读取列选择$r_cs_0$-$r_cs_{n-1}$而写入列选择$w_cs_0$-$w_cs_{n-1}$沿树突30延伸,此外,读写行选择$rw_rs_0$-$rw\_rs_{m-1}$,读取列选择$r_cs_0$-$r\_cs_{n-1}$,而写入列选择$w_cs_0$-$w_cs_{n-1}$是用于切换突触存储器单元10的电路的信号线。

[0036] 这里,突触存储器100使用行线和列线执行读操作和写操作。换句话说,突触存储器100需要行线和列线来执行对每个突触存储器单元10的读访问和写访问。

[0037] 突触存储器单元10的读操作是在多个并行的轴突线(行线)激活的情况下执行的,以读取一个树突线处的总电流。即,在突触权重值的读操作中,针对每个树突30读出总突触

权重值，该总突触权重值是选择读取的各突触存储单元10的突触权重值的总和。

[0038] 这里，如果突触存储器100的阵列大小很大(例如1024×1024)，则全部并联连接的未选择的突触存储器单元10的数量将很大。这可能导致对(一个或多个)所选突触存储器单元10的读干扰，术语“读干扰”可以指(一个或多个)未选突触存储器单元对读操作的结果的影响。未选择的突触存储器单元10被提供在与所选择的突触存储器单元10相同的树突30上，该树突30被选择为在读操作中被读取。

[0039] 图3示出了根据示例性实施例的突触存储器单元系统1。在以下说明中，将突触存储器单元$10_{00}$作为示例进行描述。其他突触存储器单元10(例如，突触存储器单元$10_{10}$、$10_{01}$、$10_{11}$)被类似于突触存储器单元$10_{00}$地配置。

[0040] 如图3所示，突触存储器单元系统1可包括突触存储器100、读驱动器40、写驱动器50和切换部分60。突触存储器单元系统1可以是硅上神经形态系统。该示例性实施例假设通过控制电压值来执行将突触权重值写到突触存储器100中所包括的存储器件MD。

[0041] 这里，如上参考图1所述，突触存储器100具有轴突20和树突30的交叉阵列，并且包括排列在轴突20和树突30的所有交叉点处的突触存储器单元10。突触存储器单元10中的每一个可以包括存储器件MD和三个晶体管，即：读晶体管$T_{RD}$；写晶体管$T_{WT}$；以及公共晶体管$T_{CM}$。这三个晶体管是用于切换存储器件MD(突触存储器单元10)的电路的元件。

[0042] 存储器件MD，即MRAM，可以具有三个独立的端口。换句话说，存储器件MD可以是三端子器件。具体地，存储器件MD具有读取端子RD、写入端子WT和公共端子CM。读取端子RD从读驱动器40接收读信号，写入端子WT从写驱动器50接收写信号，公共端子CM从已经接收到读信号的存储器件MD输出信号(输出信号)，或者向已经接收到写信号的存储器件MD输入信号(输入信号)。

[0043] 三个晶体管，即读晶体管$T_{RD}$、写晶体管$T_{WT}$和公共晶体管$T_{CM}$，分别设置在读取端子RD、写入端子WT和公共端子CM上。换句话说，在存储器件MD的端口与行和列存取线之间提供三个晶体管。

[0044] 例如，在突触存储器单元$10_{00}$中，读晶体管$T_{RD}$设置在读取端子RD和读取行线$r_rl_0$之间。读晶体管$T_{RD}$的栅极连接到读取列选择$r_cs_0$。读晶体管$T_{RD}$连接/断开读取端子RD和读取行线$r_rl_0$。写晶体管$T_{WT}$被提供在写入端子WT和写行线$w_rl_0$之间。写晶体管$T_{WT}$的栅极连接到写入列选择$w_cs_0$。写晶体管$T_{WT}$连接/断开写入端子WT和写入行线$w_rl_0$。在公共端子CM和读写列线$rw_cl_0$之间提供公共晶体管$T_{CM}$。公共晶体管$T_{CM}$的栅极连接到读写行选择$rw_rs_0$。公共晶体管$T_{CM}$连接/断开公共端子CM和读写列线$rw_cl_0$。写列选择$w_cs_0$是所要求保护的写控制线的示例。读写行选择$rw_rs_0$是所要求保护的公共控制线的示例。读取列选择$r_cs_0$是所要求的读信号线的示例。

[0045] 晶体管驱动器(未示出)经由读取列选择$r_cs_0$、写入列选择$w_cs_0$和读写行选择$rw_rs_0$将电压施加到相应的三个晶体管。在所示的例子中，施加到相应三个晶体管的栅极的电压在高电压$V_H$和低电压$V_L$之间切换。如果高电压$V_H$施加到栅极，则晶体管导通，即处于零电阻状态。如果低电压$V_L$被施加到栅极，则晶体管被关断，即处于高阻抗(Hi-Z)状态。也就是说，三个晶体管独立地连接/断开存储器件MD和线，即，读取行线$r_rl_0$、写入行线$w_rl_0$和读写列线$rw_cl_0$。注意，向栅极施加电压意味着向晶体管分配控制信号。施加到栅极的电压可以定义实现读访问和写访问的控制时序和电平。施加到公共晶体管$T_{CM}$的栅极的电压是所要

求保护的公共晶体管控制信号的一个例子。施加到读晶体管TRD的栅极的电压是所要求保护的读晶体管控制信号的一个示例。

[0046] 读驱动器40经由读取行线$r_rl_0$(轴突20)连接到突触存储器单元10。读驱动器40可以被配置为响应于识别操作输入从突触存储器单元10读取突触权重值。在图中所示的示例中,读驱动器40可以是数字驱动器,以将电源电压$V_{DC}$或读驱动电压$V_{DC}+V_{RD}$的电压施加到读取行线$r_rl_0$。

[0047] 写驱动器50经由写行线$w_rl_0$连接到突触存储器单元10。写驱动器50可以被配置为响应于学习操作输入而将突触权重值写(更新)到相应的突触存储器单元10。在图中所示的例子中,写驱动器50可以是数字或模拟驱动器,以将电源电压$V_{DC}$、增量写电压$V_{DC}+V_{WT}$或减量写电压$V_{DC}-V_{WT}$的电压施加到写行线$w_rl_0$。

[0048] 更新要存储在突触存储器100中的相应突触存储器单元10中的权重可被称为学习。学习可以包括在线学习和离线学习。在在线学习中,每当突触存储器100接收到数据集(或所有数据的一部分)时,仅使用接收到的数据集来更新接收该数据集的突触存储器单元10的权重。在离线学习中,基于预先准备的数据来设置各个突触存储器单元10的权重。

[0049] 切换部分60连接到读写列线$rw_cl_0$(树突30)。切换部分60可包括三位开关61、电流传感器63和连接线65。切换部分60经由电流传感器63或经由连接线65切换电路。

[0050] 在下文中,将解释突触存储器单元100的操作。如上所述,突触存储器单元100执行读操作和写操作。在图中所示的示例中,读操作可以包括在识别操作和学习操作中都执行的正常方向读操作,以及仅在学习操作中执行的反向读操作。此外,写操作可以包括正常增量写操作和正常减量写操作,执行正常增量写操作以增加存储在存储器件MD中的权重值,执行正常减量写操作以减小存储在存储器件MD中的权重值。这两个写操作都在学习操作中执行。

[0051] 以下,将依次说明正常方向读操作、反向读操作、正常递增写操作和正常减量写操作。

[0052] 图4描述了在正常方向读操作中的第i行和第j列处的一个突触存储器单元$10_{ij}$以及第m行和第j列处的另一个突触存储器单元$10_{mj}$。图5描述了正常方向读操作的时间图。

[0053] 参照图4和图5,将解释突触存储器100的正常方向读操作。这里,对突触存储器100中的沿着列方向排列的突触存储器单元$10_{ij}$和突触存储器单元$10_{mj}$的操作作进行说明。突触存储单元$10_{ij}$和突触存储单元$10_{mj}$是突触存储单元要求保护的子群或要求保护的第二子群的示例。本实施例假设突触存储器单元$10_{ij}$被选择读取,而突触存储器单元$10_{mj}$未被选择读取。

[0054] 首先,在时刻t11,晶体管驱动器(未示出)将高电压$V_H$施加到读取列选择$r_cs_j$,使得读晶体管$T_{RDij}$、$T_{RDmj}$导通。此外,读驱动器40(参见图3)将读取驱动电压$V_{DC}+V_{RD}$施加到读取行线$r_rl_i$。也就是说,读驱动器40将读信号(读电压$V_{DC}+V_{RD}$)输出到突触存储器单元$10_{ij}$的读取端子RD。

[0055] 接着,在时间t12,晶体管驱动器将高电压$V_H$施加到读取-写入-行选择$rw_rs_i$,使得存储器件$MD_{ij}$的公共端子CM输出来自已在其读取端子RD处接收读信号(读取电压)的存储器件$MD_{ij}$的信号。这使得设置在读写列线$rw_cl_j$上的电流传感器63(见图3)能够读出包括来自存储器件$MD_{ij}$电流的电流。

[0056] 接着，在时间t13，晶体管驱动器将低电压$V_L$施加到读写行选择$rw_rs_i$。此外，在时间t14，晶体管驱动器将低电压$V_L$施加到读取列选择$r_cs_j$，并且读驱动器40将电源电压VDC施加到读取行线$r_rl_i$。

[0057] 注意，在时间t12，晶体管驱动器将低电压$V_L$施加到读写行选择$rw_rs_m$，而晶体管驱动器将高电压$V_H$施加到读写行选择$rw_rs_i$。也就是说，公共晶体管$T_{CMmj}$断开存储器件$MD_{mj}$和读写列线$rw_cl_j$的连接。这防止了存储器件$MD_{mj}$的公共端子CM从未选择要读取的存储器件$MD_{mj}$输出信号。将未被选择读取的存储器件$MD_{mj}$与读写列线$rw_cl_j$断开连接使得能够避免读取干扰。在该示例中，读取行线$r_rl_m$可以处于任何电压或高阻抗。换句话说，注意读取行线$r_rl_m$的电压是可选的。

[0058] 图6示出了在反向读操作中在第i行和第j列的一个突触存储器单元$10_{ij}$以及在第i行和第n列的另一个突触存储器单元10。图7示出了反向读操作的时间图。

[0059] 参考图6和图7，将解释突触存储器100的反向读操作。这里，对在突触存储器100中沿行方向排列的突触存储器单元$10_{ij}$和突触存储器单元$10_{in}$的操作进行说明。突触存储器单元$10_{ij}$和突触存储器单元$10_{in}$是突触记忆单元要求保护的的子群或第一子群的示例。本实施例假设突触存储器单元$10_{ij}$被选择读取，而突触存储器单元$10_{in}$未被选择读取。在反向读操作中，信号在与图4所示的正常方向读操作相反的方向上流动。

[0060] 具体地，在时间t21，晶体管驱动器(未示出)将高电压$V_H$施加到读写行选择rw_rsi，使得公共晶体管$T_{CMij}$、$T_{CMin}$导通。此外，读写列线rw_clj被施加以读驱动电压$V_{DC}+V_{RD}$。也就是说，存储器件$MD_{ij}$在其公共端子CM处接收读信号(读取电压)。

[0061] 接着，在时间t22，晶体管驱动器将高电压$V_H$施加到读取列选择r_csj，使得存储器件$MD_{ij}$的读取端子RD输出来自已在其共同端子CM处接收到读信号(读取电压)的存储器件$MD_{ij}$的信号。在读取行线r_rli的末端读取来自存储器件$MD_{ij}$的电流。

[0062] 接着，晶体管驱动器在时间t23将低电压$V_L$施加到读取列选择r_csj，然后在时间t24将低电压$V_L$施加到读写行选择rw_rsi。此外，在时间t24，对读写列线rw_clj施加电源电压VDC。

[0063] 注意，在时间t22，晶体管驱动器将低电压$V_L$施加到读取列选择r_csn，而晶体管驱动器将高电压$V_H$施加到读取列选择$r_cs_j$。也就是说，读晶体管$TRD_{in}$断开存储器件$MD_{in}$与读取行线$r_rl_i$的连接。这防止了存储器件$MD_{in}$的读取端子RD从未被选择读取的存储器件$MD_{in}$输出信号。将未选择要读取的存储器装置$MD_{in}$与读取行线$r_rl_i$断开连接使得能够避免读取干扰。在该示例中，读写列线$rw_cl_n$可以处于任何电压或高阻抗。换句话说，注意读写列线$rw_cl_n$的电压是可选的。

[0064] 图8示出了在正常增量写操作中的在第i行和第j列处的一个突触存储器单元$10_{ij}$以及在第m行和第j列处的另一个突触存储器单元$10_{mj}$。图9示出正常增量写操作的时间图。

[0065] 参照图8和图9，将解释突触存储器100的正常增量写操作。本实施例假设突触存储器单元$10_{ij}$被选择写入，而突触存储器单元$10_{mj}$未被选择写入。

[0066] 首先，在时间t31，晶体管驱动器(未示出)将高电压$V_H$施加到读写行选择$rw_rs_i$，使得公共晶体管$T_{CMij}$导通。

[0067] 接着，在时刻t32，写驱动器50(参见图3)将增量写电压$V_{DC}+V_{WT}$施加到写行线$w_rl_i$。

[0068] 接下来，在时间t33，晶体管驱动器将高电压$V_H$施加到写入列选择$w_cs_j$，使得写晶

体管$T_{WTij}$导通。这使得存储器件$MD_{ij}$的写入端子WT能够从写入驱动器50接收增量写信号(写入电压$V_{DC}+V_{WT}$),以增加存储在存储器件$MD_{ij}$中的权重值。

[0069] 接着,在时间t34,晶体管驱动器将低电压$V_L$施加到写入列选择$w_cs_j$。在时间t35,写入驱动器50接着将电源电压$V_{DC}$施加至写入行线$w_rl_i$。在时间t36,晶体管驱动器然后将低电压$V_L$施加到读写行选择$rw_rs_i$。

[0070] 注意,在时间t31,晶体管驱动器将低电压$V_L$施加到读写行选择$rw_rs_m$,而晶体管驱动器将高电压$V_H$施加到读写行选择$rw_rs_i$。也就是说,公共晶体管$T_{CMmj}$断开存储器件$MD_{mj}$和读写列线$rw_cl_j$的连接。这防止了存储器件$MD_{mj}$的公共端子CM从未被选择来写入的存储器件$MD_{mj}$输出写入电流。在该示例中,写行线$w_rl_m$可以处于任何电压或高阻抗。换句话说,注意写行线$w_rl_m$的电压是可选的。

[0071] 图10示出了在正常减量写操作中在第i行和第j列处的一个突触存储器单元$10_{ij}$以及在第m行和第j列处的另一个突触存储器单元$10_{mj}$。图11示出了正常减量写操作的时间图。

[0072] 参考图10和图11,将解释突触存储器100的正常减量写操作。本实施例假设突触存储器单元$10_{ij}$被选择写入,而突触存储器单元$10_{mj}$未被选择写入。除了施加到写行线$w_rl_i$的电压之外,正常减量写操作与上述图8和图9所示的正常增量写操作大致相同。

[0073] 首先,在时间t41,晶体管驱动器(未示出)将高电压$V_H$施加到读写行选择$rw_rs_i$,使得公共晶体管$T_{CMij}$导通。

[0074] 接着,在时间t42,写驱动器50(参见图3)施加减量写入电压$V_{DC}-V_{WT}$至写入行线$w_rl_i$。

[0075] 接下来,在时间t43,晶体管驱动器将高电压$V_H$施加到写入列选择$w_cs_j$,使得写晶体管$T_{WTij}$导通。这使得存储器件$MD_{ij}$的写入端子WT能够从写驱动器50接收减量写信号(写入电压$V_{DC}-V_{WT}$),以减小存储在存储器件$MD_{ij}$中的权重值。

[0076] 接着,在时间t44,晶体管驱动器将低电压$V_L$施加到写入列选择$w_cs_j$。在时间t45,写驱动器50接着施加电源电压$V_{DC}$至写入行线$w_rl_i$。在时间t46,晶体管驱动器然后将低电压$V_L$施加到读写行选择$rw_rs_i$。

[0077] 注意,在时间t41,晶体管驱动器将低电压$V_L$施加到读写行选择$rw_rs_m$,而晶体管驱动器将高电压$V_H$施加到读写行选择$rw_rs_m$。这防止了存储器件$MD_{mj}$的公共端子CM将写入电流输入到未选择写入的存储器装置$MD_{mj}$。在该示例中,写行线w_rlm可以处于任何电压或高阻抗。换句话说,注意写行线$w_rl_m$的电压是可选的。

[0078] 如上所述,公共晶体管$T_{CM}$用于防止未选择的存储器件MD与读写列线$rw_c10-rw_rs_{n-1}$连接,这可以解决读干扰问题并使阵列尺寸能够更大。此外,在没有任何不期望的到存储器装置MD的输入及来自存储器装置MD的不期望的输出的情况下独立地实施读操作及写操作。

[0079] 图12示出了包括突触存储器100的设备1010的示例。

[0080] 如图12所示,突触存储器100可被提供在诸如计算机的设备1010上。在所示的例子中,多个神经突触核心系统1000设置在芯片1001上,例如半导体芯片上。然后将芯片1001安装在设备1010上。

[0081] 每个神经突触核心系统1000包括突触存储器100和神经元体700。神经元体700执行神经元操作。具体地,神经元体700基于电流传感器63(见图3)所感测的总电流来获得突

触权重值与输入值的积和值(product-sum value)。由电流传感器63感测的总电流可以表示在所选择的轴突20和树突30的交叉点上的突触存储器单元10中存储的突触权重值与输入值的积和值。然后,神经元体700输出与总电流值相对应的神经元输出。

[0082] 这里,神经突触核心系统1000经由轴突20彼此连接。突触存储器100经由轴突20连接到前神经元。神经元体700是后神经元的一部分,并且其输出是连接到相同或其它神经突触核心系统1000中的突触存储器100的轴突20。突触存储器100接收来自前神经元的输出信号,以累积其输入经由其轴突20被激活的突触的权重值。如果累积的突触权重值达到预定阈值,则神经元体700输出该输出信号作为后神经元的神经元输出。

[0083] 图13示出了根据本发明第二示例性实施例的在正常方向读操作中的第i行和第j列处的一个突触存储器单元$10A_{ij}$以及第m行和第j列处的另一个突触存储器单元$10A_{mj}$。图14示出了根据本发明第二示例性实施例的正常方向读操作的时间图。在图13和图14中,与图3所示的示例性实施例的结构相同的结构由相同的附图标记表示,并且将省略其详细说明。

[0084] 突触存储器单元10的配置不限于上述示例性实施例。例如,如果突触存储器100不需要反向读操作,即反向传播,则突触存储器单元10可如图13所示进行配置。

[0085] 在突触存储器单元$10A_{ij}$和突触存储器单元$10A_{mj}$中,没有提供读晶体管$T_{RD}$(图3中示出)。换句话说,突触存储单元$10A_{ij}$和突触存储单元$10A_{mj}$可以分别包括两个晶体管,即:写晶体管$T_{WT}$和普通晶体管$T_{CM}$。

[0086] 突触存储器单元$10A_{ij}$(突触存储器单元$10A_{mj}$)的单元尺寸可以比图3中所示的突触存储器单元10小读晶体管$T_{RD}$的空间。换句话说,突触记忆单元$10A_{ij}$和$10A_{mj}$比突触存储器单元10小一(1)个晶体管空间。

[0087] 此外,在突触存储器100A中,不需要对读晶体管$T_{RD}$进行控制。也就是说,由于较少的控制信号,时序控制比图3所示的突触存储器更简单。

[0088] 参考图13和图14,将解释突触存储器100A的正常方向读操作。第二示例性实施例假定突触存储器单元$10A_{ij}$被选择来读取,而突触存储器单元$10A_{mj}$未被选择来读取。

[0089] 首先,在时间t51,读驱动器40(参见图3)将读驱动电压$V_{DC}+V_{RD}$施加到读行线$r_rl_i$。也就是说,读驱动器40将读信号输出到突触存储器单元$10A_{ij}$。

[0090] 接着,在时间t52,晶体管驱动器将高电压$V_H$施加到读写行选择$rw_rs_i$,使得存储器件$MD_{ij}$的共同端子CM输出来自已接收到读信号的存储器件$MD_{ij}$的信号。这使得电流传感器63(参见图3)能够读出包括来自存储器件$MD_{ij}$的电流的电流。

[0091] 接着,在时间t53,晶体管驱动器将低电压$V_L$施加到读写行选择$rw_rs_i$。此外,在时间t54,读驱动器40将电源电压$V_{DC}$施加到读行线$r_rl_i$。

[0092] 注意,在时间t52,晶体管驱动器将低电压$V_L$施加到读写行选择$rw_rs_m$,而晶体管驱动器将高电压$V_H$施加到读写行选择$rw_rs_i$。也就是说,公共晶体管$T_{CMmj}$断开存储器设备$MD_{mj}$和读写列线$rw_cl_j$的连接。这防止了存储器件$MD_{mj}$的公共端子CM从未选择要读取的存储器件$MD_{mj}$输出信号。

[0093] 图15示出了根据本发明第二示例性实施例的在正常写操作中的在第i行和第j列的一个突触存储器单元$10A_{ij}$以及在第m行和第j列的另一个突触存储器单元$10A_{mj}$。图16示出了正常写操作的时间图。

[0094] 参考图15和图16,将解释突触存储器100A的包括正常增量写操作和正常减量写操作的正常写操作。本实施例假设突触存储器单元$10A_{ij}$被选择写入,并且突触存储器单元$10A_{mj}$未被选择写入。

[0095] 首先,在时间t71,晶体管驱动器(未示出)将高电压$V_H$施加到读写行选择$rw_rs_i$,使得公共晶体管$T_{CMij}$导通。此外,写驱动器50(参见图3)将增量写电压$V_{DC}+V_{WT}$施加到写行线$w_rl_i$。

[0096] 接下来,在时间t72,晶体管驱动器将高电压$V_H$施加到写入列选择$w_cs_j$,使得写晶体管$T_{WTij}$导通。这使得写入端子WT能够从写驱动器50接收写信号,以增加存储在存储装置$MD_{ij}$中的权重值。

[0097] 接着,在时间t73,晶体管驱动器将低电压$V_L$施加到写入列选择$w_cs_j$,使得写晶体管$T_{Wtij}$关断。

[0098] 接着,在时间t74,写驱动器50接着施加电源电压$V_{DC}$至写入行线$w_rl_i$。此外,晶体管驱动器将低电压$V_L$施加到读写行选择$rw_rs_i$,从而使公共晶体管$T_{CMij}$关断。

[0099] 接着,在时间t75,晶体管驱动器将高电压$V_H$施加到读写行选择$rw_rs_i$,使得公共晶体管$T_{CMij}$导通。此外,写驱动器50将减量写入电压$V_{DC}-V_{WT}$施加到写入行线$w_rl_i$。

[0100] 接下来,在时间t76,晶体管驱动器将高电压$V_H$施加到写入列选择$w_cs_j$,使得写晶体管$T_{WTij}$导通。这使得存储器件$MD_{ij}$的写入端子WT能够从写驱动器50接收写信号,以减小存储在存储器件$MD_{ij}$中的权重值。

[0101] 接着,在时间t77,晶体管驱动器将低电压VL施加到写入列选择w_csj。此外,在时间t78,写入驱动器50接着施加供应电压VDC至写入行线w_rli,且晶体管驱动器施加低电压VL至读写行选择rw_rsi。

[0102] 图17示出了根据本发明第二示例性实施例的在反向读操作中的在第i行和第j列的一个突触存储器单元$10A_{ij}$以及在第i行和第n列的另一个突触存储器单元10Ain。图18示出了根据本发明第二示例性实施例的反向读操作的时间图。

[0103] 如图17和图18所示,如果突触存储器100A被要求进行反向读操作(反向传播操作),则由于在与要被读取的突触存储器单元$10A_{ij}$相同的读行线$r_rl_i$(轴突20)上提供的存储器单元10的影响,将发生读干扰。为了避免反向读操作中的读取干扰,需要在读取端子RD上设置读晶体管$T_{RD}$(图3中所示)。

[0104] 接下来,将描述替代的示例性实施例。在上述示例性实施例中,存储器件MD是MRAM。只要存储器件MD是三端器件,存储器件MD就可以是另一器件。例如,存储器件MD可以是非易失性随机存取存储器(NVRAM),诸如闪存、铁电随机存取存储器(FeRAM)、相变随机存取存储器(PRAM)和电阻随机存取存储器(ReRAM)。

[0105] 在上述示例性实施例中,三个晶体管,即读晶体管$T_{RD}$、写晶体管$T_{WT}$和公共晶体管$T_{CM}$被解释为用于存储器件MD的开关元件,即开关。晶体管不限于特定的晶体管。例如,晶体管可以是金属氧化物半导体场效应晶体管或双极晶体管。或者,可以提供二极管或闸流晶体管来代替晶体管,只要这种元件能够切换存储器件MD的电路。

[0106] 在上述实施例中,一个读驱动器40和一个写驱动器50是为一个轴突20提供的,然而,一个读驱动器40和一个写驱动器50不必专门为每个轴突20提供。换言之,读驱动器40与写驱动器50可被提供用于多个轴突20,也就是说,读驱动器40与写驱动器50的数目可等于

或小于轴突20的数目。

[0107] 以上已经描述了本发明的各实施例，上述说明是示例性的，并非穷尽性的，并且也不限于所披露的各实施例。在不偏离所说明的各实施例的范围和精神的情况下，对于本技术领域的普通技术人员来说许多修改和变更都是显而易见的。本文中所用术语的选择，旨在最好地解释各实施例的原理、实际应用或对市场中的技术的技术改进，或者使本技术领域的其它普通技术人员能理解本文披露的各实施例。

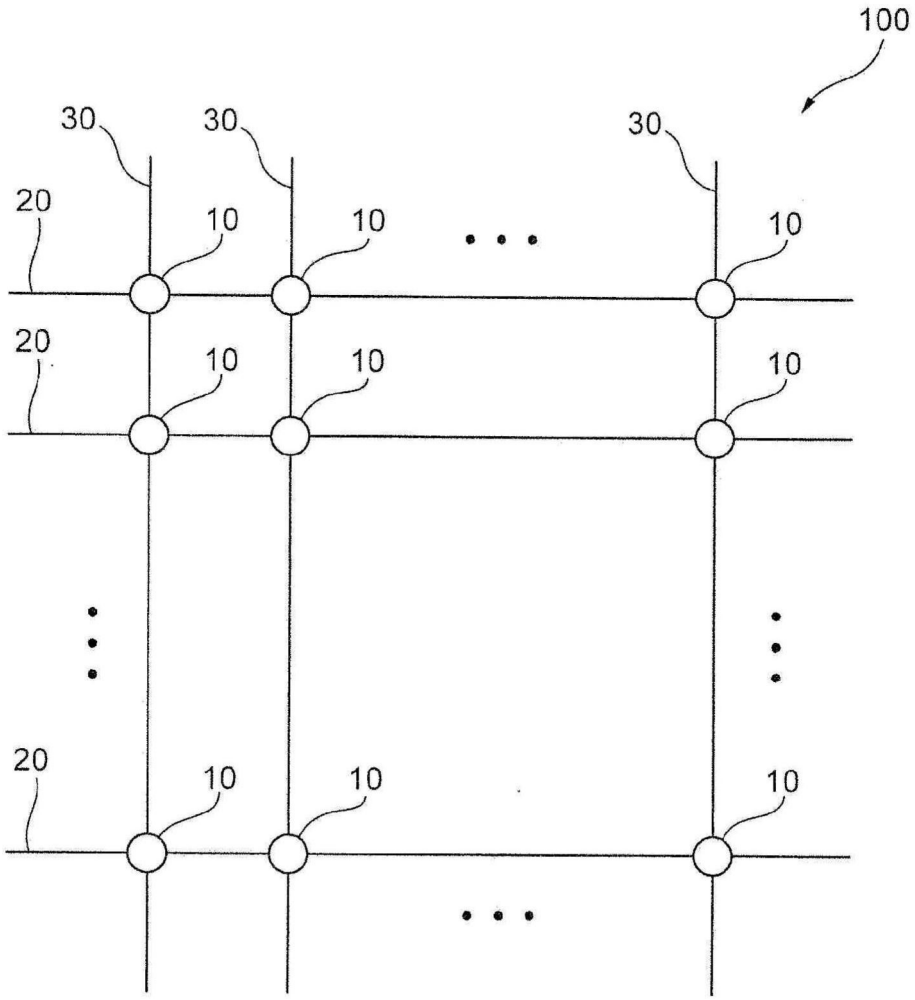



图1

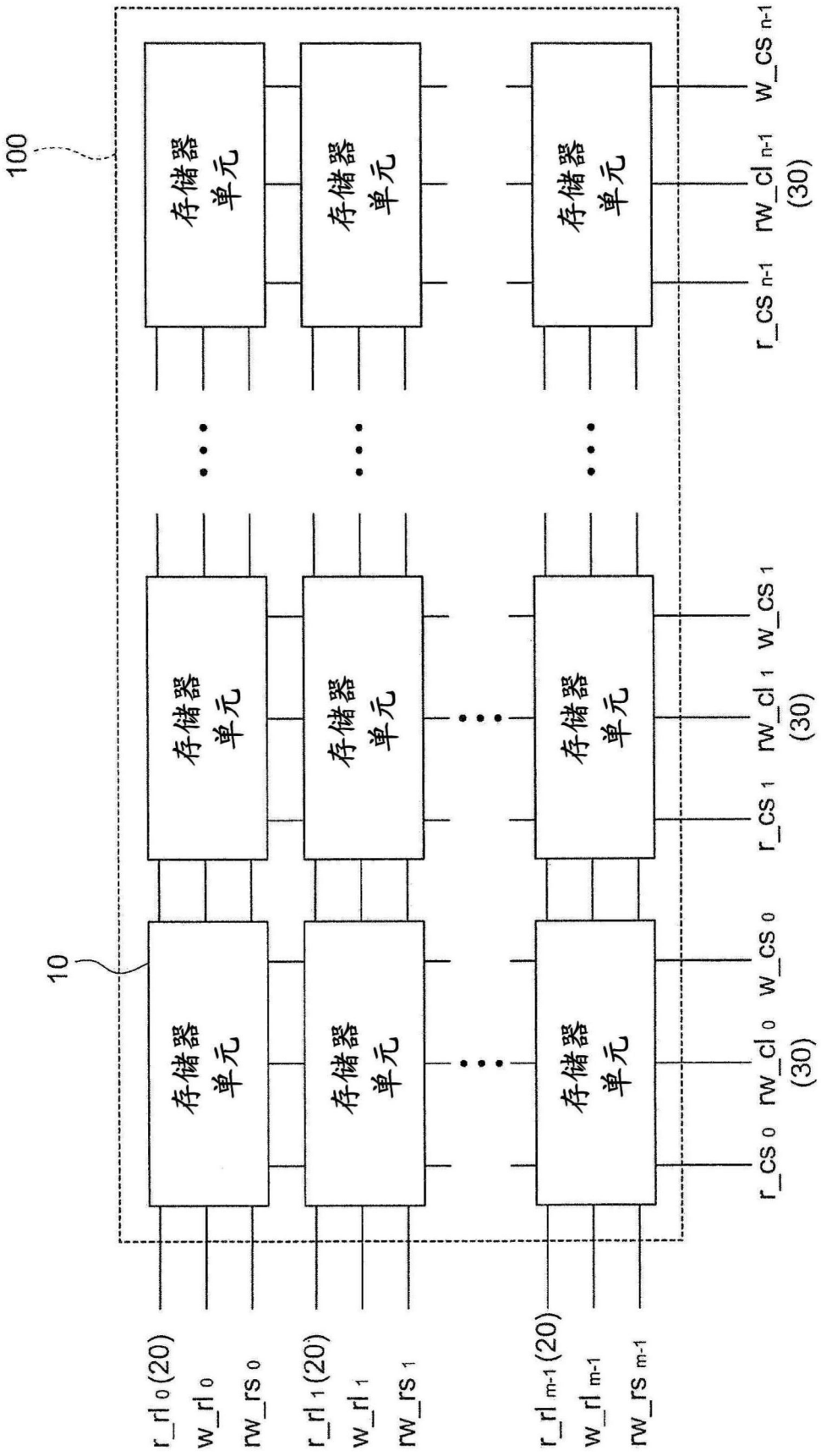

100
10
存储器单元
r_rl 0(20)
w_rl 0
rw_rs 0
r_rl 1(20)
w_rl 1
rw_rs 1
r_rl m-1(20)
w_rl m-1
rw_rs m-1
r_cs 0
rw_cl 0
w_cs 0
(30)
r_cs 1
rw_cl 1
w_cs 1
(30)
r_cs n-1
rw_cl n-1
w_cs n-1
(30)

图2

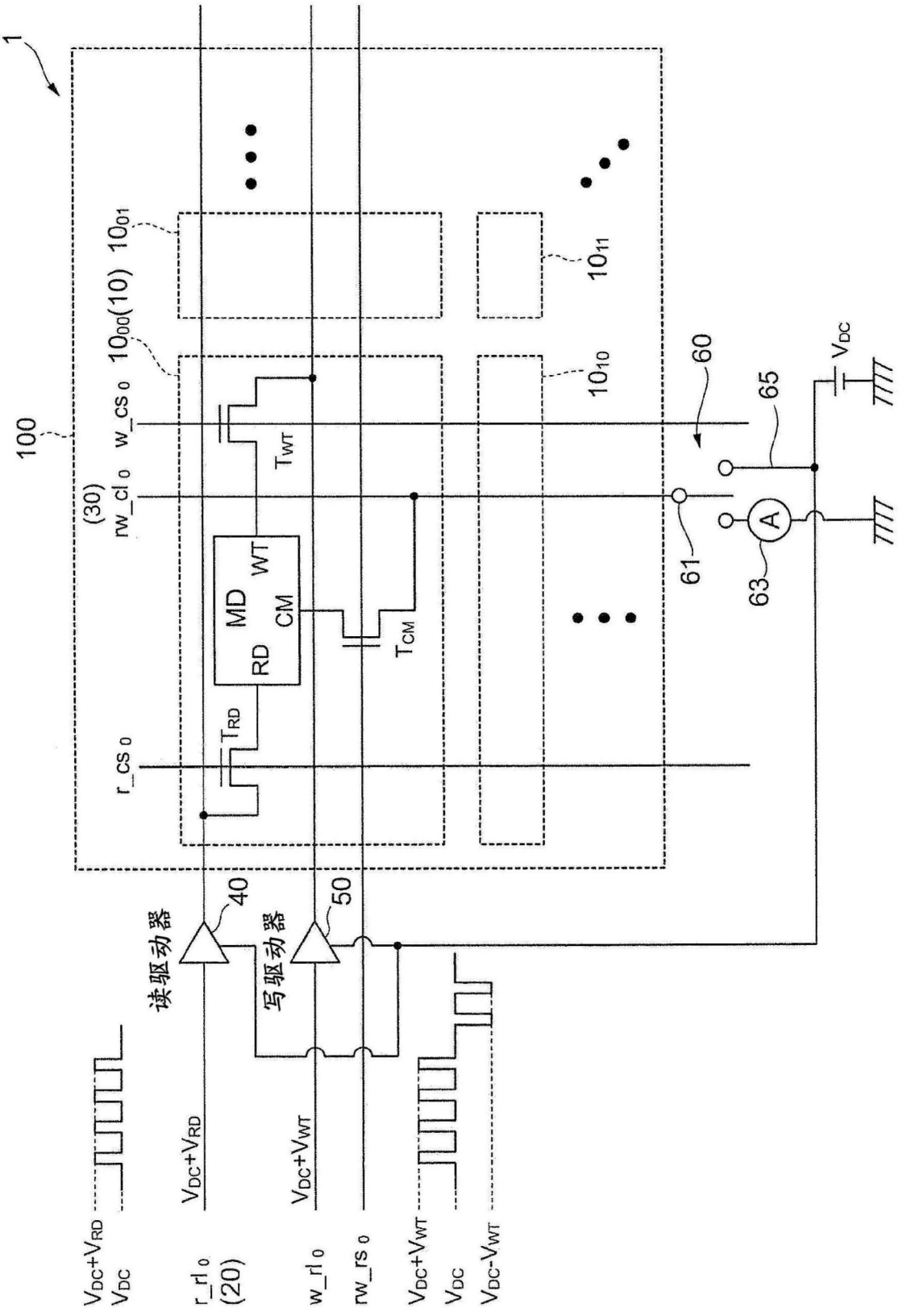

1
100
(30)
rw_cl 0
w_cs 0
r_cs 0
10 00(10)
10 01
10 10
10 11
MD
RD
WT
CM
TWT
TRD
TCM
60
61
63
65
A
VDC
读驱动器
写驱动器
40
50
VDC+VRD
VDC
r_rl 0
(20)
VDC+VWT
w_rl 0
rw_rs 0
VDC-VWT

图3

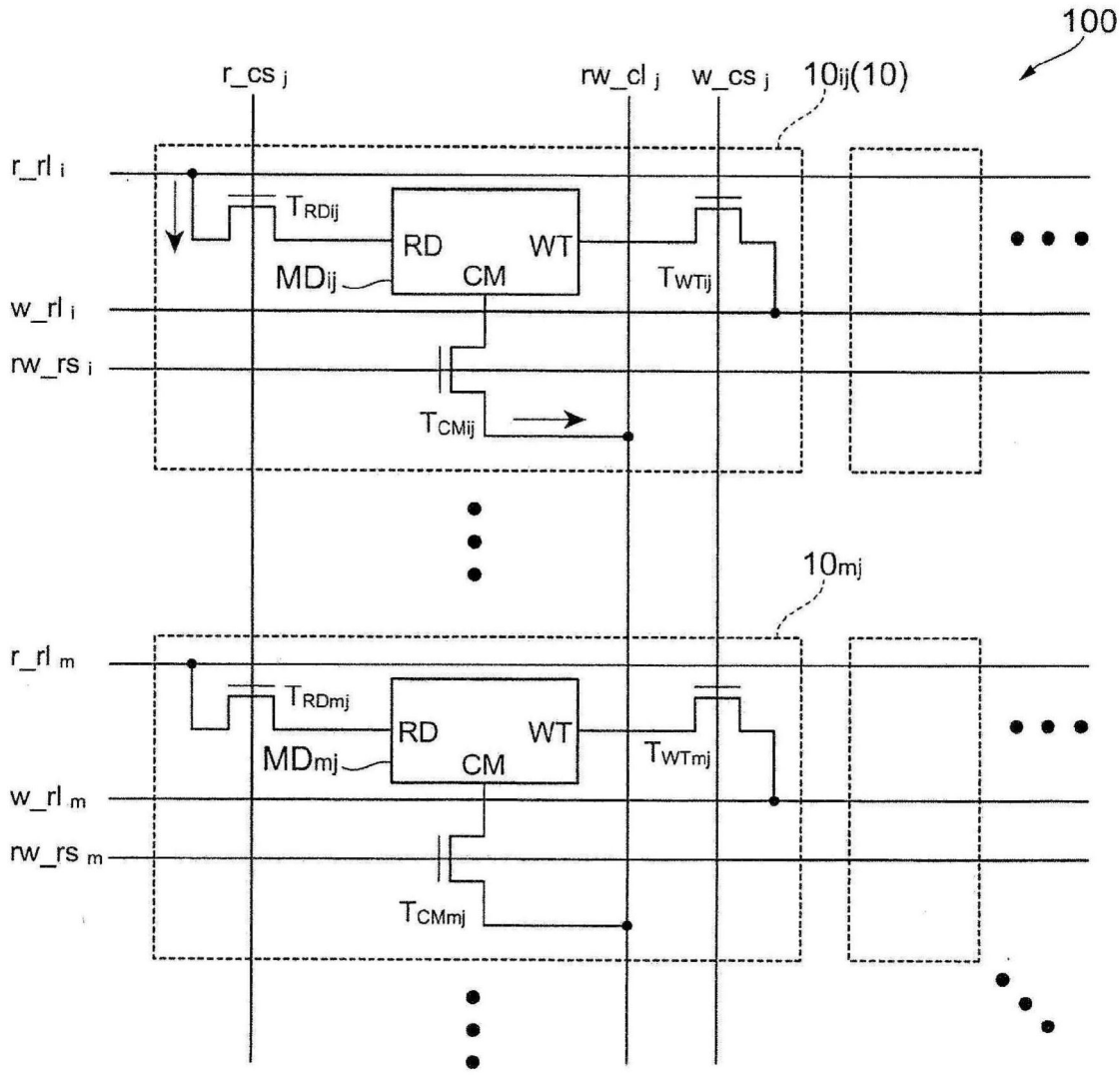
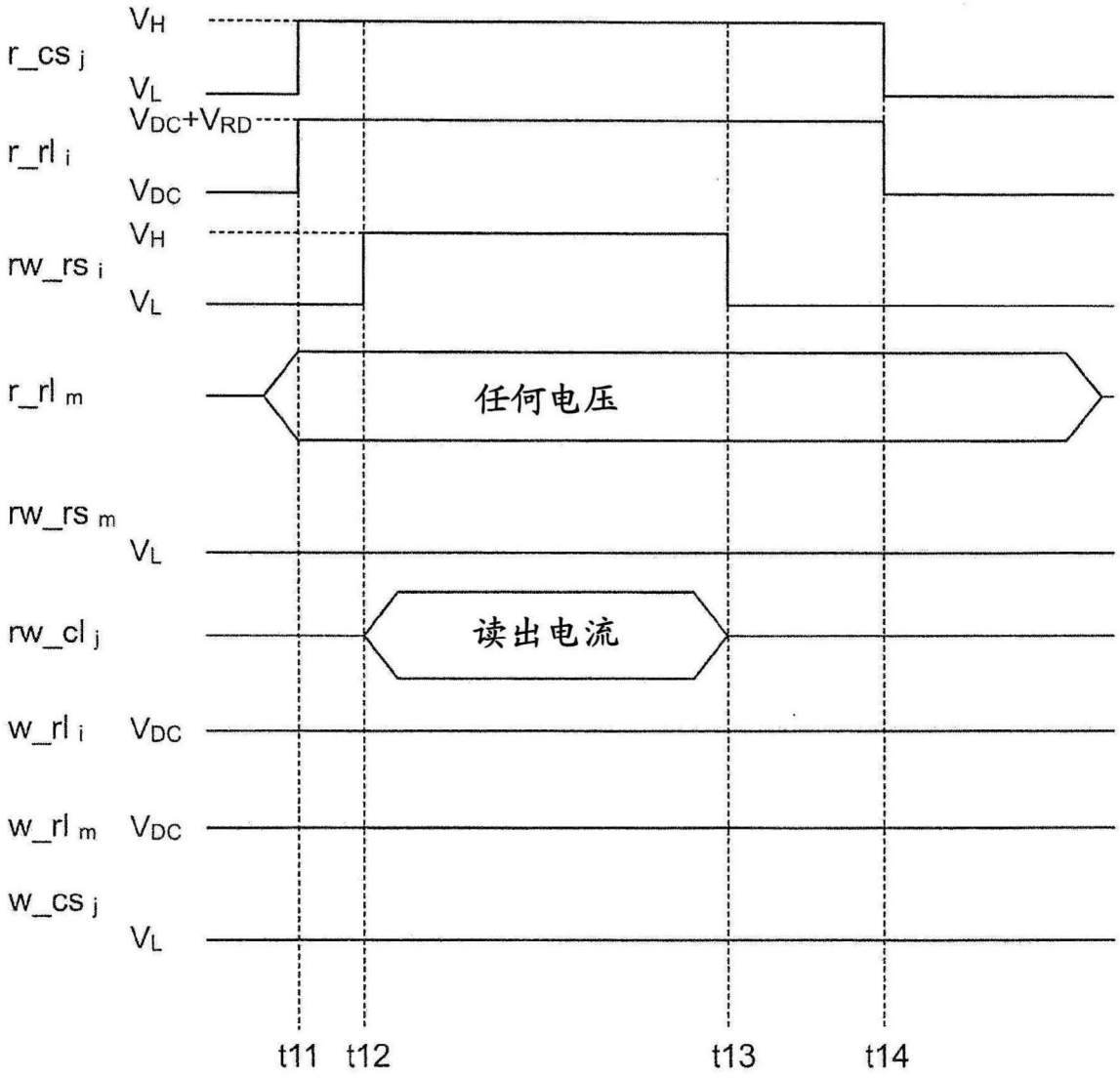

100
r_cs j
rw_cl j
w_cs j
10ij(10)
r_rl i
TRDij
RD
WT
MDij
CM
TWTij
w_rl i
rw_rs i
TCMij
10mj
r_rl m
TRDmj
RD
WT
MDmj
CM
TWTmj
w_rl m
rw_rs m
TCMmj
正常方向读

图4


r_cs j
VH
VL
r_rl i
VDC+VRD
VDC
rw_rs i
VH
VL
r_rl m
任何电压
rw_rs m
VL
rw_cl j
读出电流
w_rl i
VDC
w_rl m
VDC
w_cs j
VL
t11
t12
t13
t14

正常方向读

图5

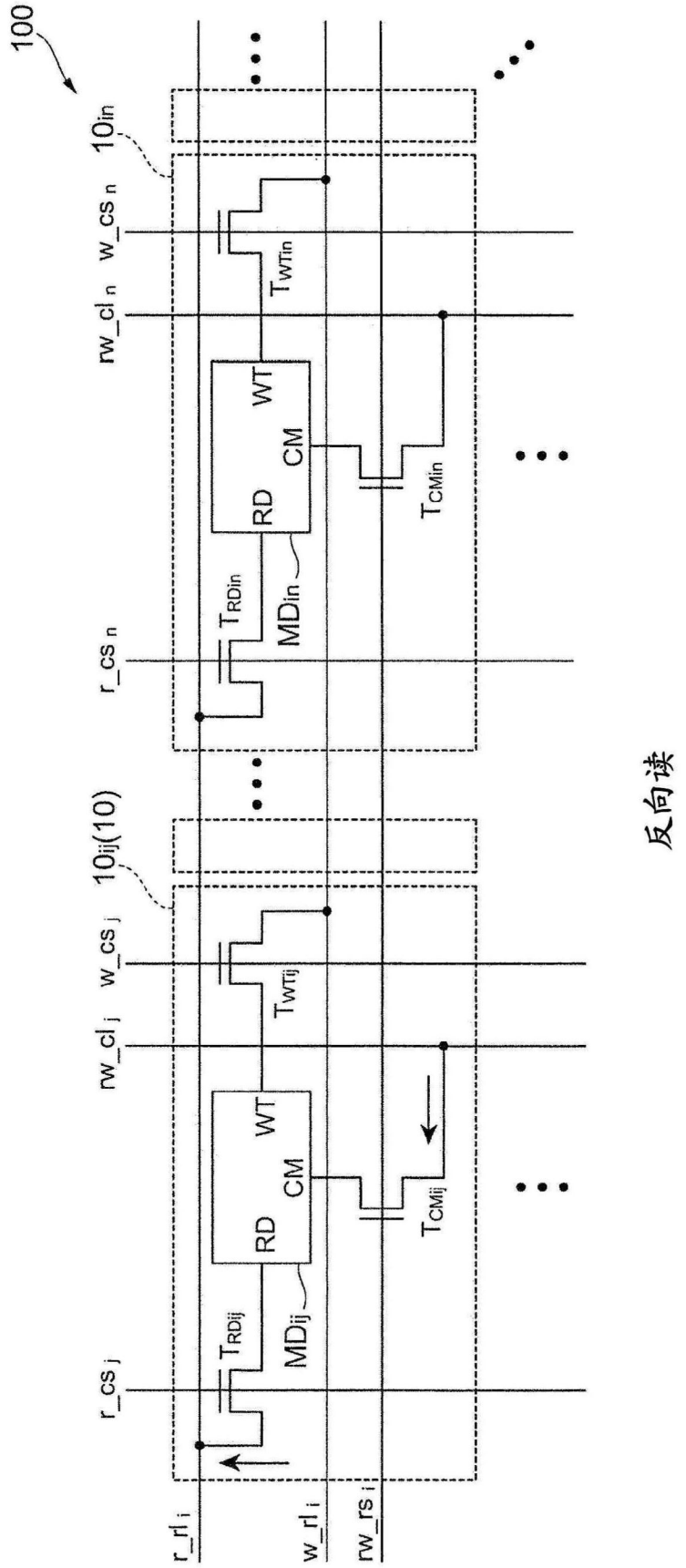

100
10in
10ij(10)
w_cs n
rw_cl n
w_cs j
rw_cl j
r_cs n
r_cs j
r_rl i
w_rl i
rw_rs i
WT
CM
RD
TWTin
TWTij
TRDin
TRDij
MDin
MDij
TCMin
TCMij
反向读

图6

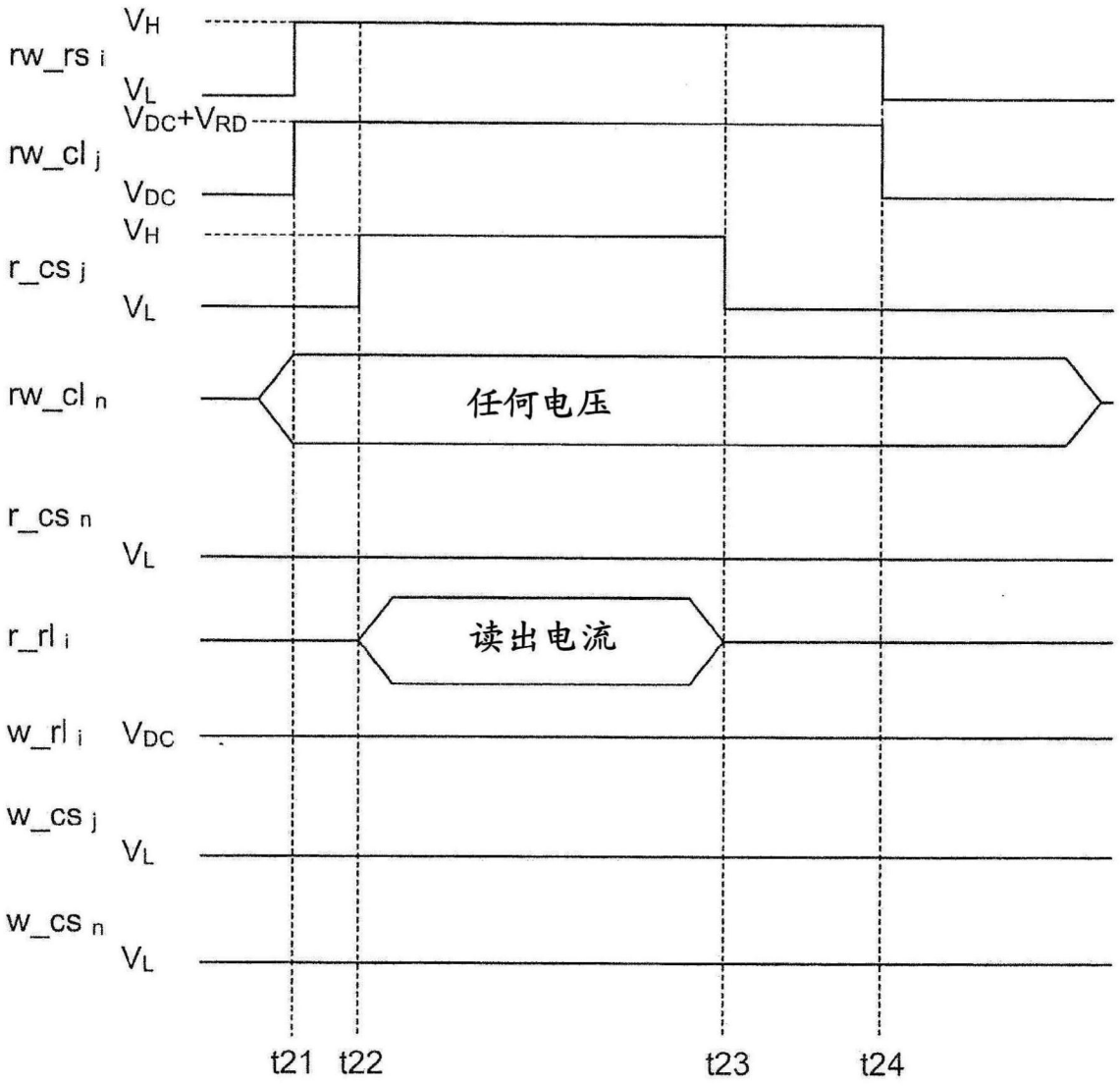

VH
rw_rs i
VL
VDC+VRD
rw_cl j
VDC
VH
r_cs j
VL
rw_cl n
任何电压
r_cs n
VL
r_rl i
读出电流
w_rl i
VDC
w_cs j
VL
w_cs n
VL
t21
t22
t23
t24
反向读

图7

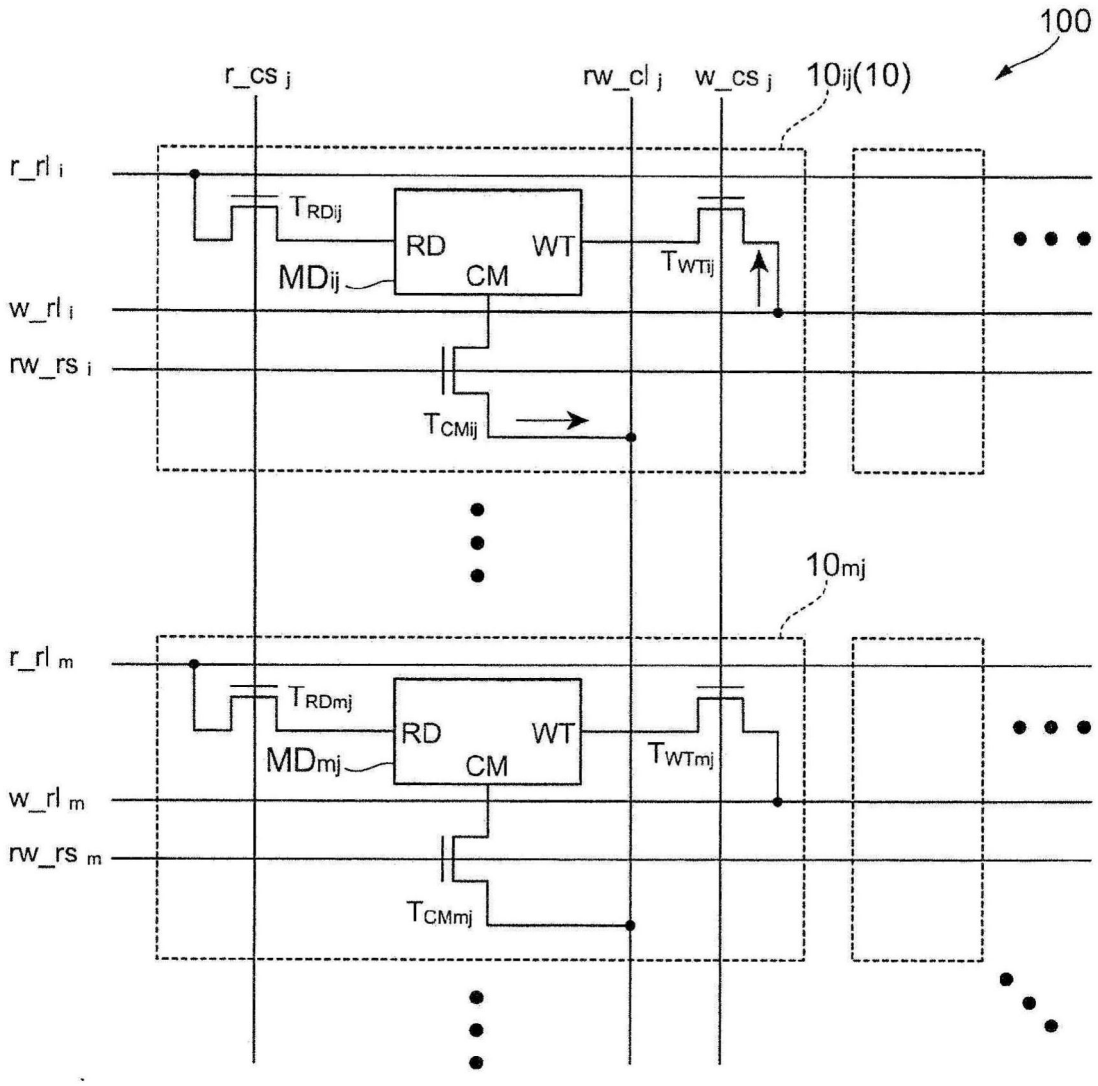
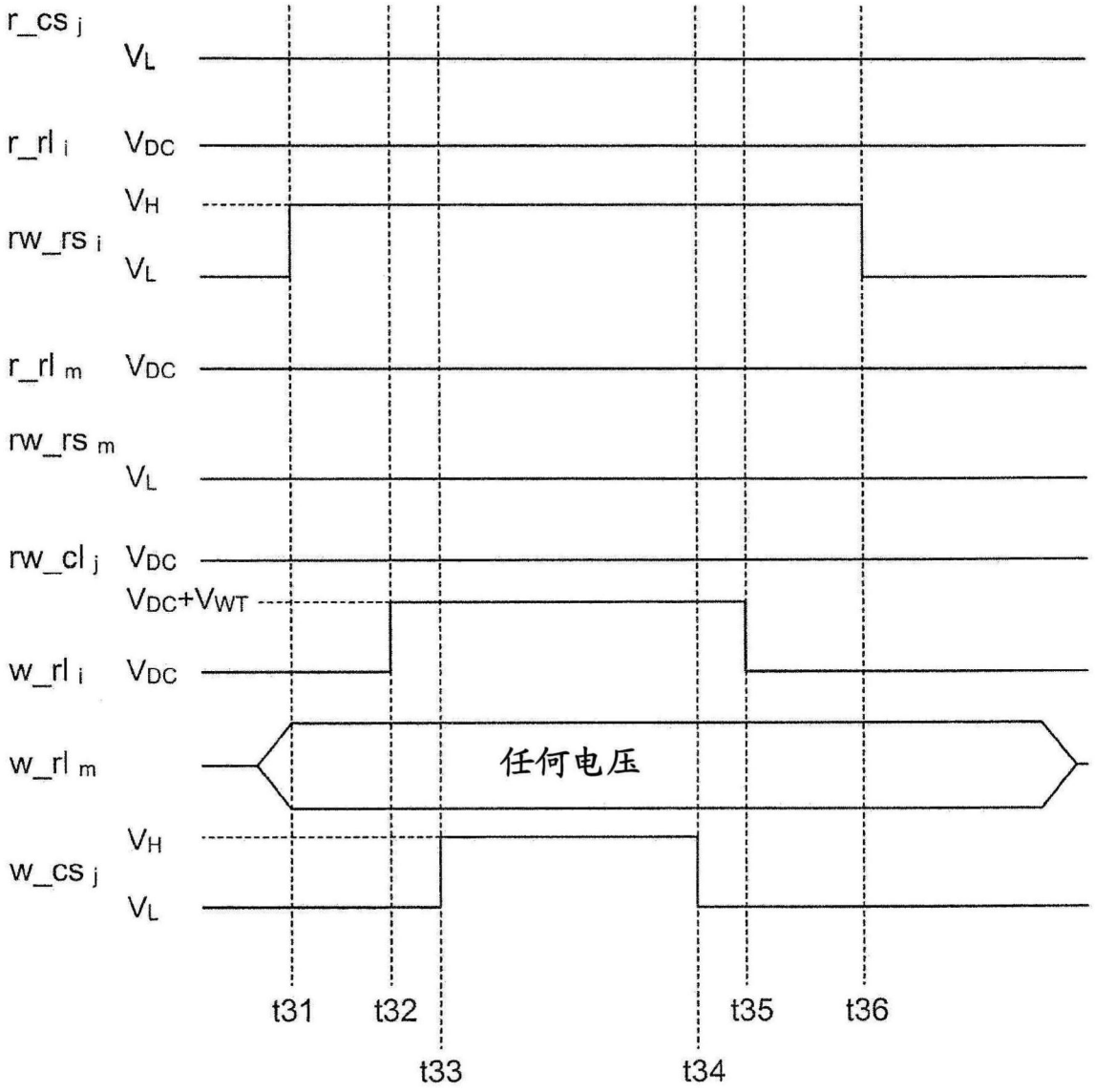

100
r_cs j
rw_cl j
w_cs j
10ij(10)
r_rl i
w_rl i
rw_rs i
TRDij
RD
WT
MDij
CM
TWTij
TCMij
10mj
r_rl m
w_rl m
rw_rs m
TRDmj
MDmj
TWTmj
TCMmj
正常增量写

图8


r_cs j
VL
r_rl i
VDC
VH
rw_rs i
VL
r_rl m
VDC
rw_rs m
VL
rw_cl j
VDC
VDC+VWT
w_rl i
VDC
w_rl m
任何电压
VH
w_cs j
VL
t31
t32
t33
t34
t35
t36

正常增量写

图9

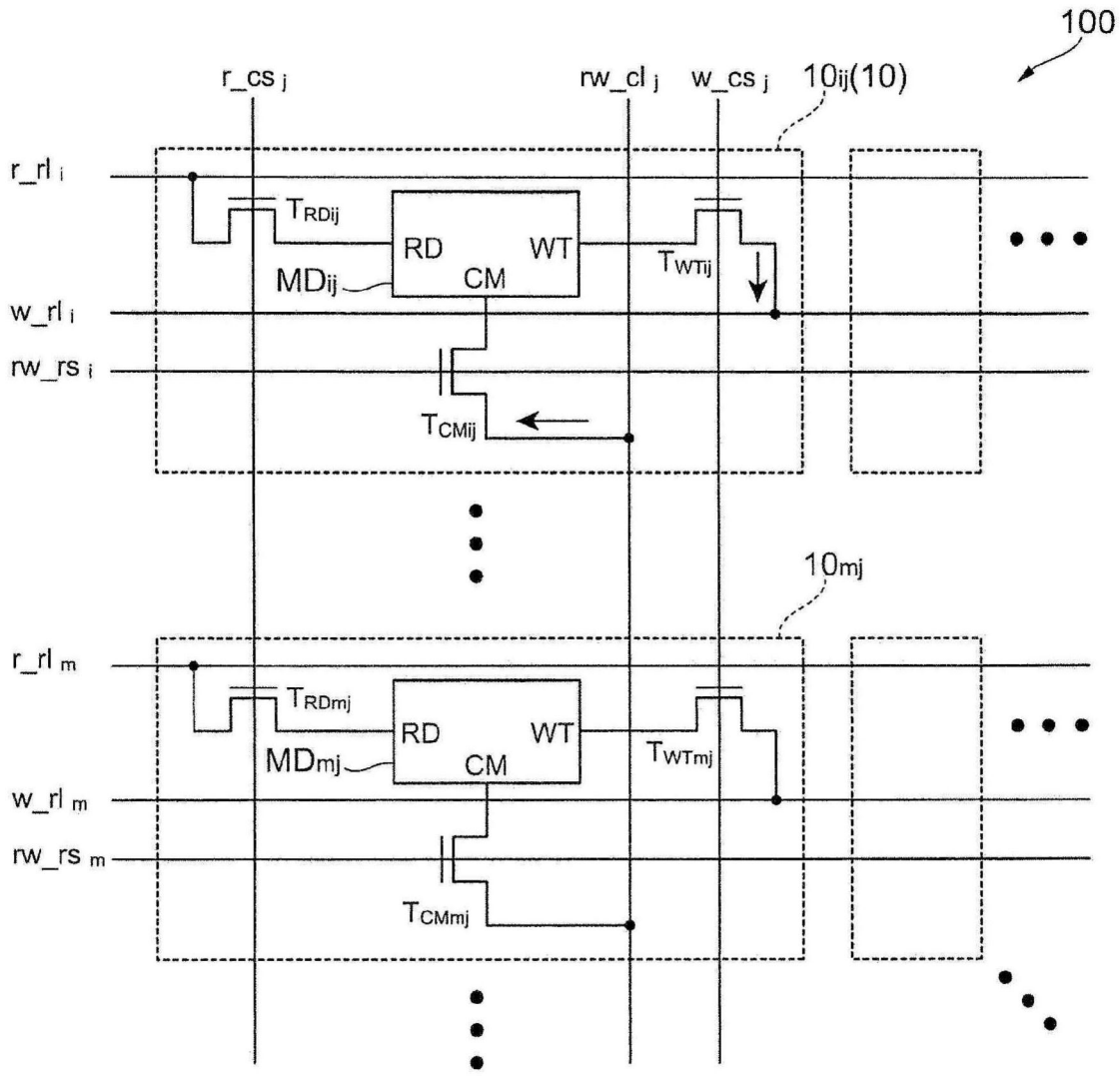
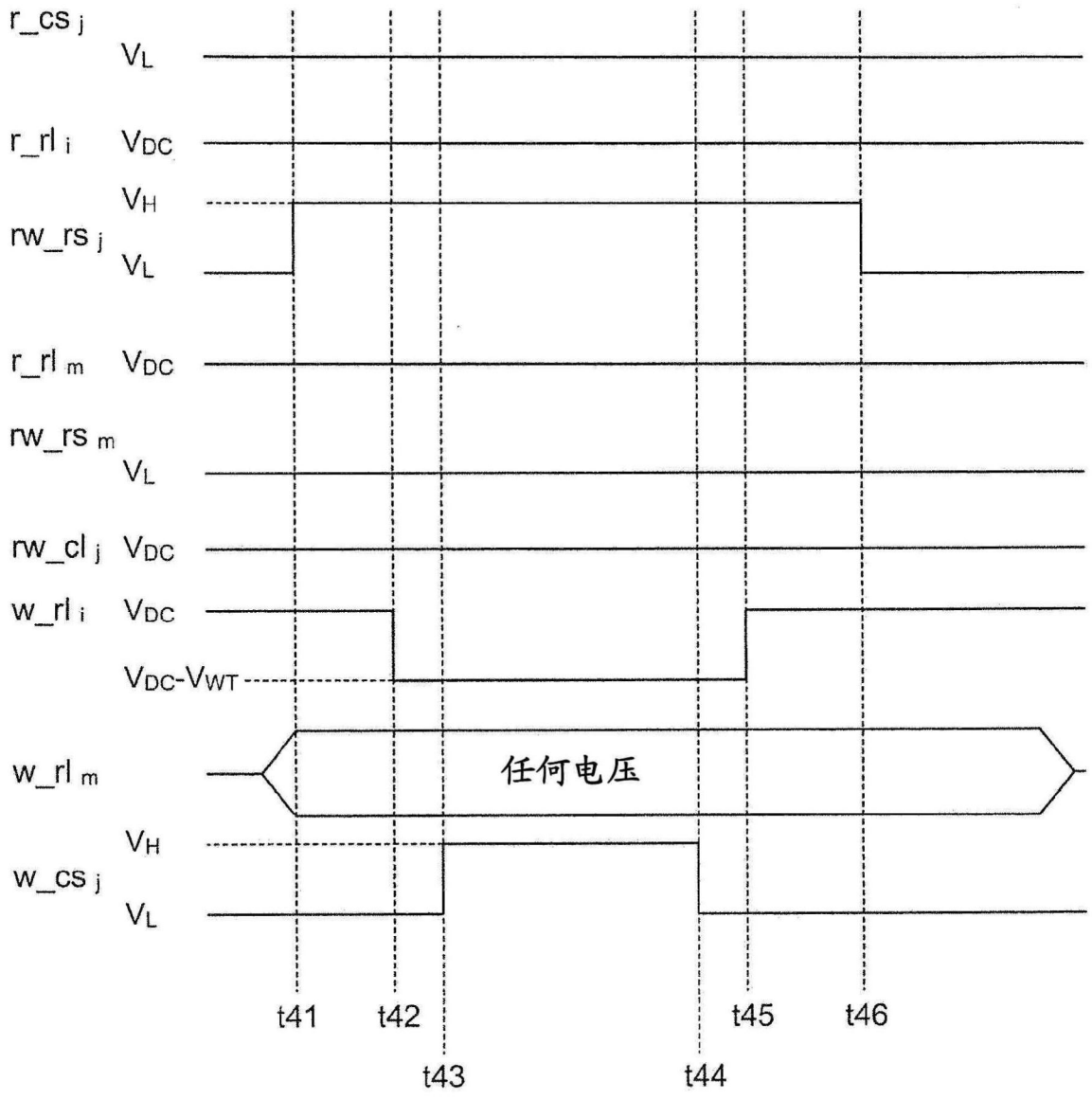

100
r_cs j
rw_cl j
w_cs j
10ij(10)
r_rl i
TRDij
RD
WT
MDij
CM
TWTij
w_rl i
rw_rs i
TCMij
10mj
r_rl m
TRDmj
RD
WT
MDmj
CM
TWTmj
w_rl m
rw_rs m
TCMmj
正常减量写

图10


r_cs j
VL
r_rl i
VDC
VH
rw_rs j
VL
r_rl m
VDC
rw_rs m
VL
rw_cl j
VDC
w_rl i
VDC
VDC-VWT
w_rl m
任何电压
VH
w_cs j
VL
t41
t42
t43
t44
t45
t46

正常减量写

图11

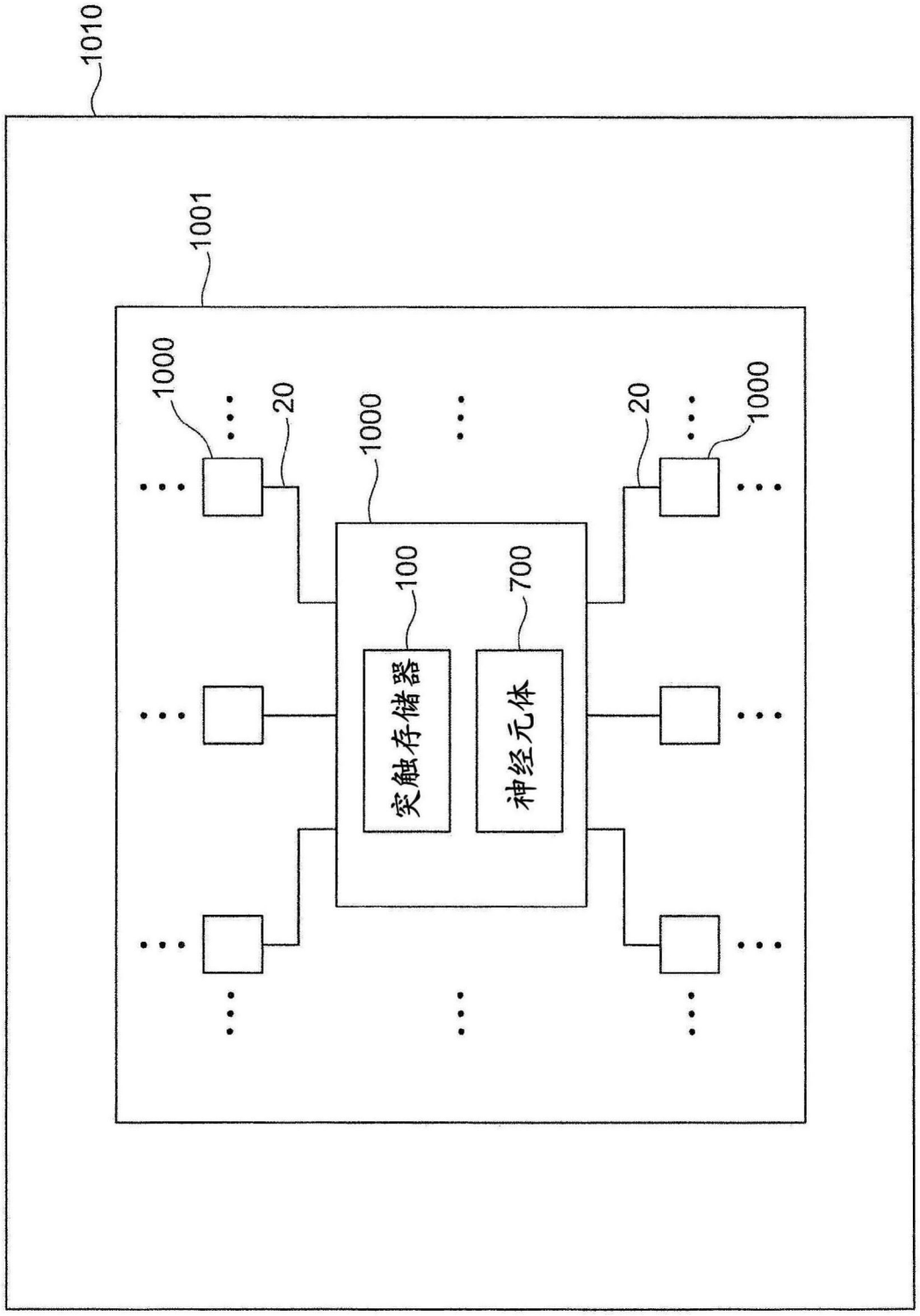



图12

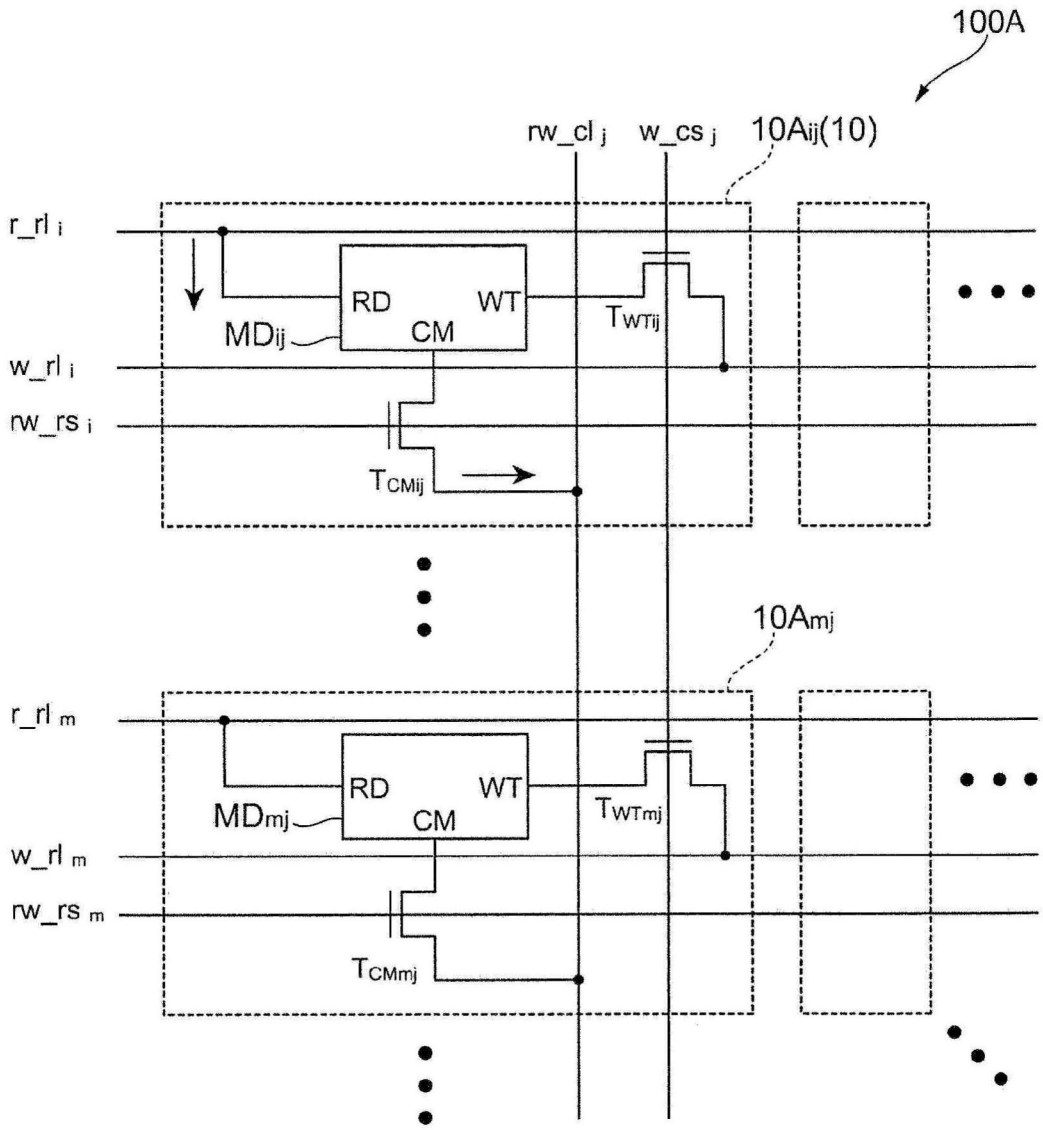
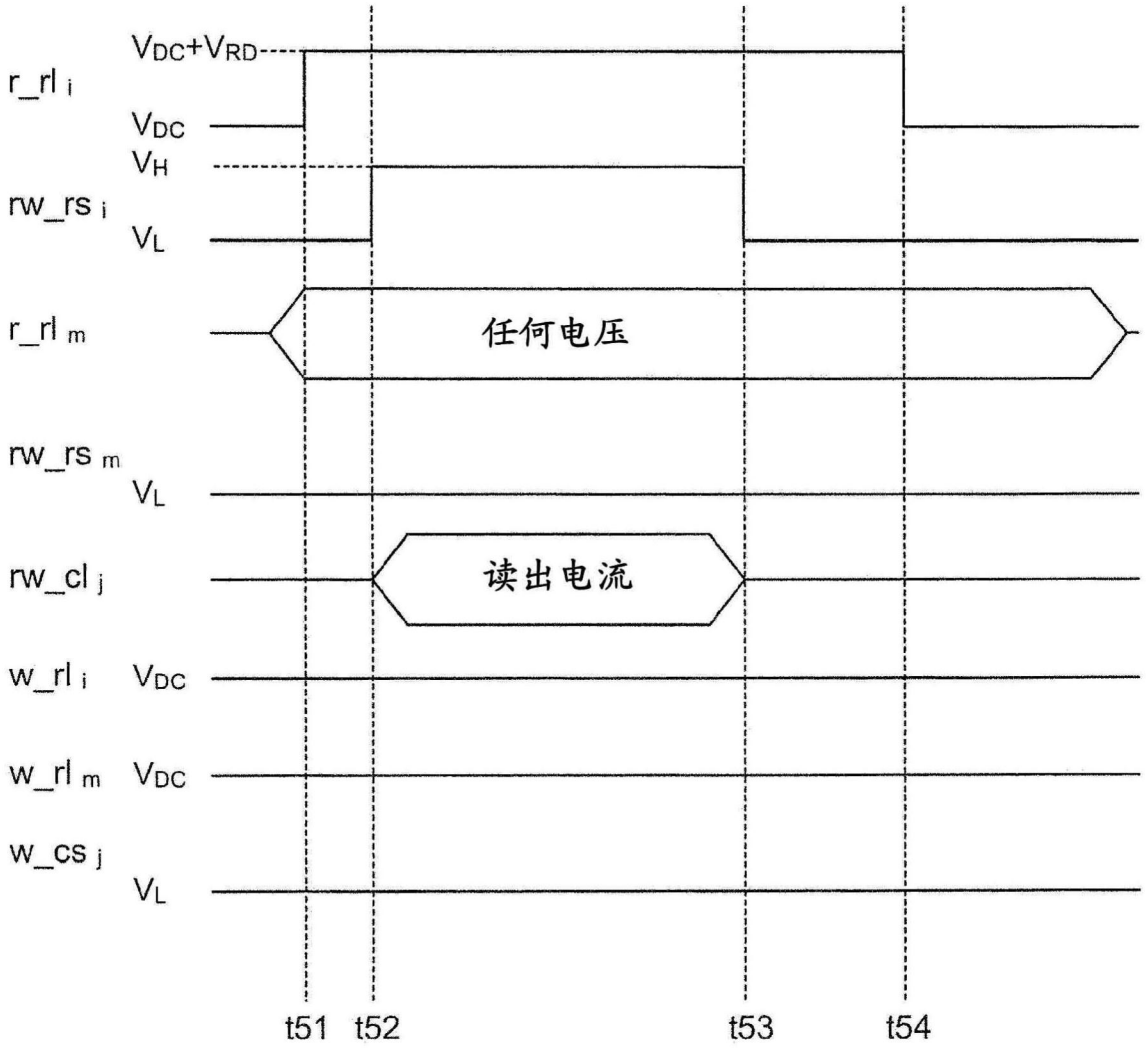

100A
rw_cl j
w_cs j
10Aij(10)
r_rl i
RD
WT
MDij
CM
TWTij
w_rl i
rw_rs i
TCMij
10Amj
r_rl m
RD
WT
MDmj
CM
TWTmj
w_rl m
rw_rs m
TCMmj
正常方向读

图13


VDC+VRD
r_rl i
VDC
VH
rw_rs i
VL
r_rl m
任何电压
rw_rs m
VL
rw_cl j
读出电流
w_rl i
VDC
w_rl m
VDC
w_cs j
VL
t51
t52
t53
t54

正常方向读

图14

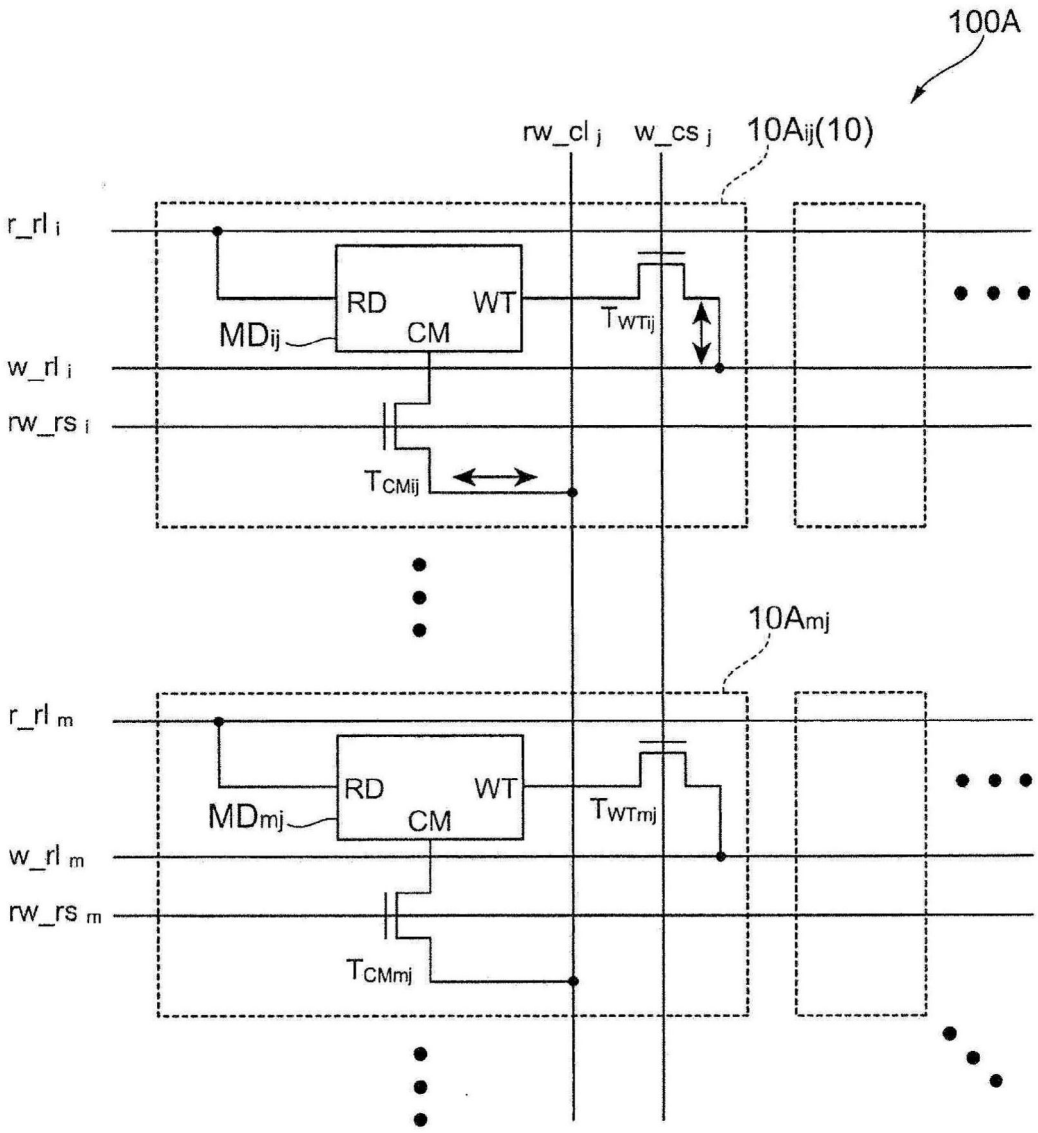
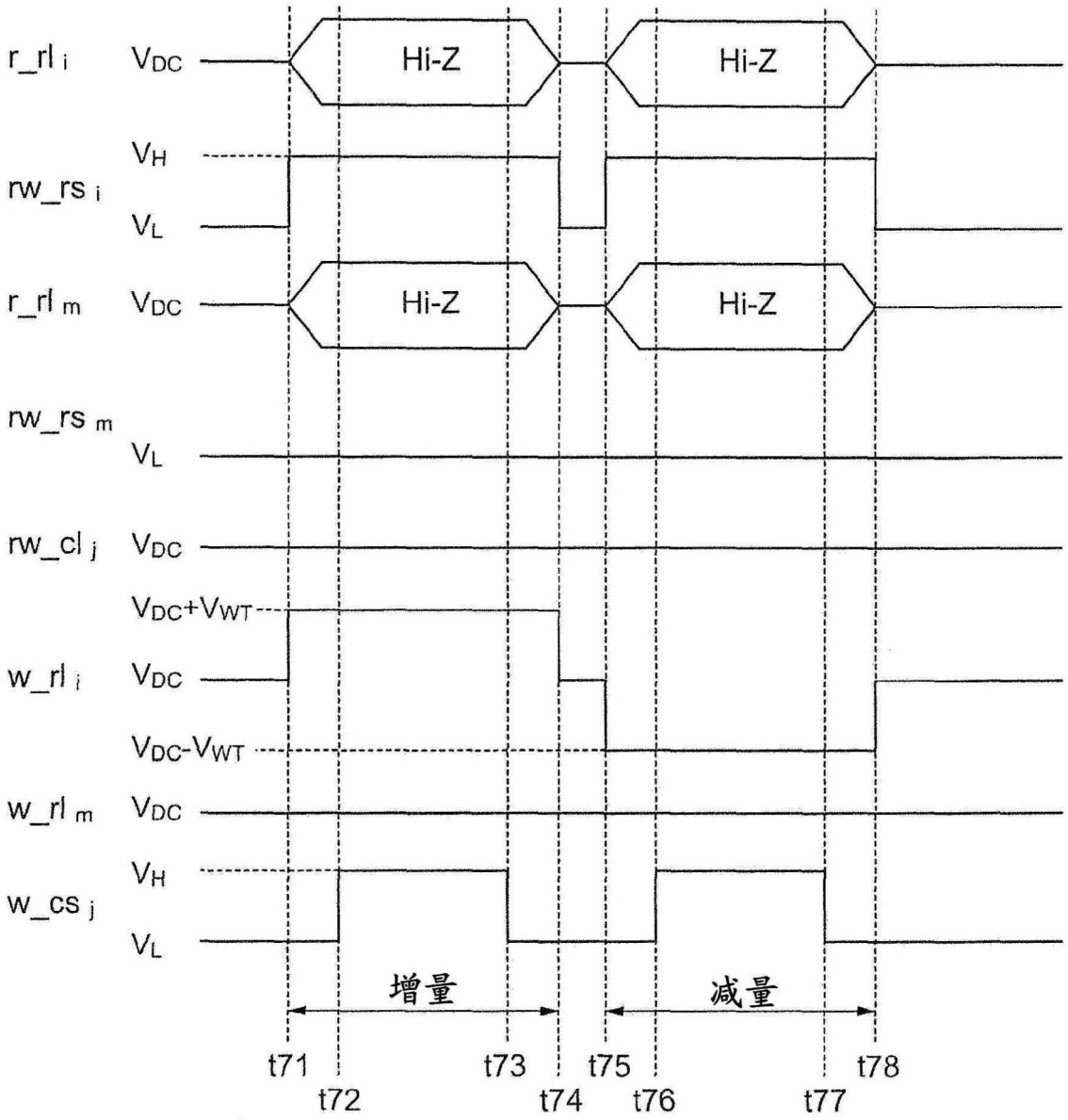

100A
rw_cl j
w_cs j
10Aij(10)
r_rl i
RD
WT
MDij
CM
TWTij
w_rl i
rw_rs i
TCMij
10Amj
r_rl m
RD
WT
MDmj
CM
TWTmj
w_rl m
rw_rs m
TCMmj
正常写

图15


r_rl i
VDC
Hi-Z
Hi-Z
VH
rw_rs i
VL
r_rl m
VDC
Hi-Z
Hi-Z
rw_rs m
VL
rw_cl j
VDC
VDC+VWT
w_rl i
VDC
VDC-VWT
w_rl m
VDC
VH
w_cs j
VL
增量
减量
t71
t72
t73
t74
t75
t76
t77
t78

正常写

图16

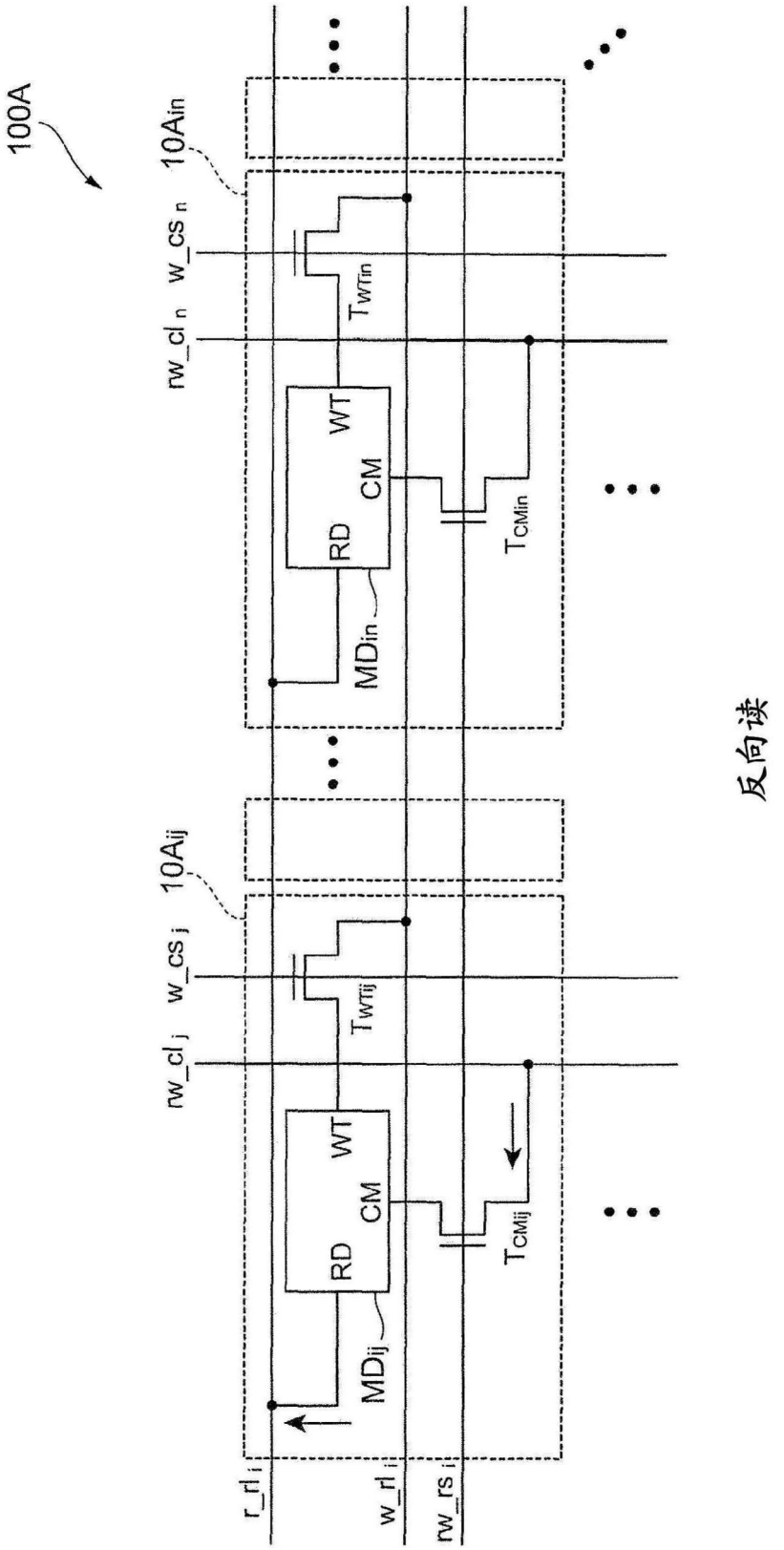
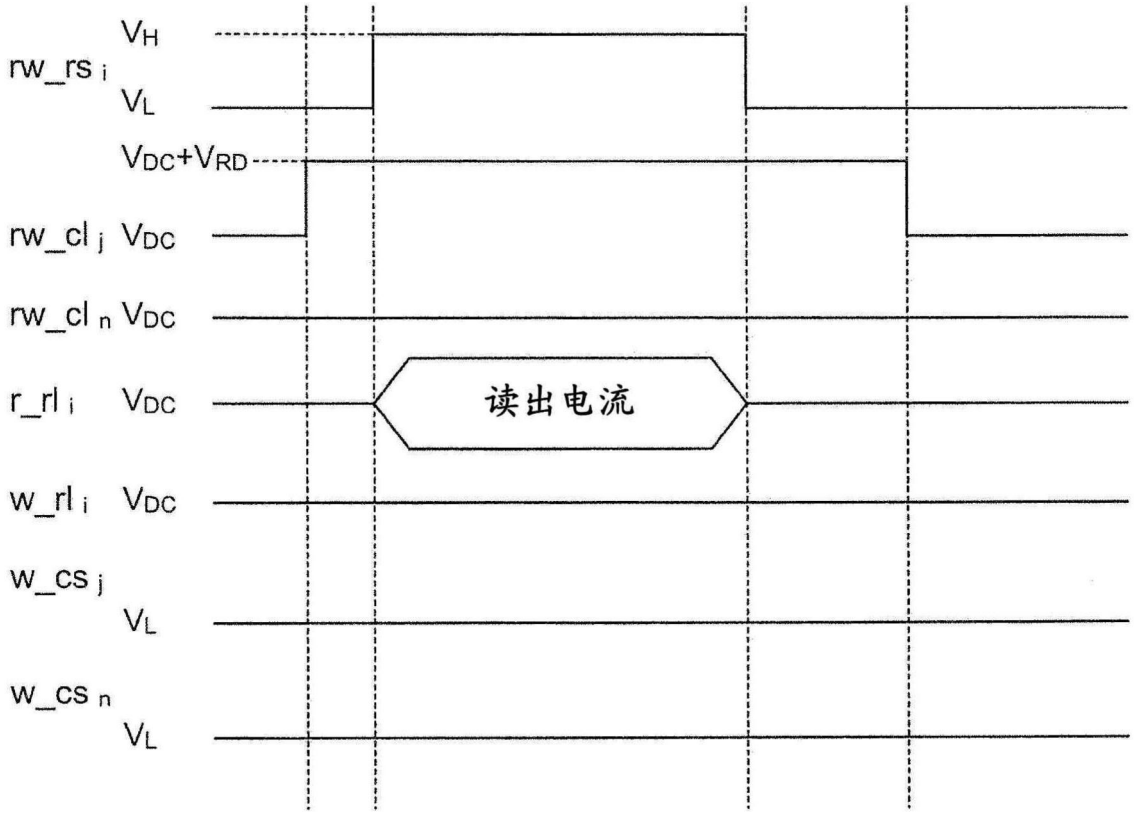

100A
10Ain
10Aij
w_cs n
rw_cl n
w_cs j
rw_cl j
TWTin
TWTij
WT
CM
RD
MDin
MDij
TCMin
TCMij
r_rl i
w_rl i
rw_rs i
反向读

图17


VH
rw_rs i
VL
VDC+VRD
rw_cl j VDC
rw_cl n VDC
r_rl i VDC
读出电流
w_rl i VDC
w_cs j
VL
w_cs n
VL

反向读

图18