

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5263755号  
(P5263755)

(45) 発行日 平成25年8月14日 (2013. 8. 14)

(24) 登録日 平成25年5月10日 (2013. 5. 10)

(51) Int. Cl.

F I

HO 1 L 29/786 (2006. 01)  
 HO 1 L 29/06 (2006. 01)  
 HO 1 L 21/8234 (2006. 01)  
 HO 1 L 27/088 (2006. 01)

HO 1 L 29/78 6 1 8 B  
 HO 1 L 29/06 6 0 1 N  
 HO 1 L 27/08 1 0 2 A  
 HO 1 L 29/78 6 2 2  
 HO 1 L 29/78 6 1 6 V

請求項の数 11 (全 10 頁)

(21) 出願番号 特願2007-515262 (P2007-515262)  
 (86) (22) 出願日 平成17年5月24日 (2005. 5. 24)  
 (65) 公表番号 特表2008-500735 (P2008-500735A)  
 (43) 公表日 平成20年1月10日 (2008. 1. 10)  
 (86) 国際出願番号 PCT/US2005/018201  
 (87) 国際公開番号 W02006/073477  
 (87) 国際公開日 平成18年7月13日 (2006. 7. 13)  
 審査請求日 平成20年3月28日 (2008. 3. 28)  
 (31) 優先権主張番号 10/852, 891  
 (32) 優先日 平成16年5月25日 (2004. 5. 25)  
 (33) 優先権主張国 米国 (US)

前置審査

(73) 特許権者 390009531  
 インターナショナル・ビジネス・マシー  
 ズ・コーポレーション  
 INTERNATIONAL BUSIN  
 ESS MACHINES CORPOR  
 ATION  
 アメリカ合衆国10504 ニューヨーク  
 州 アーモンク ニュー オーチャード  
 ロード  
 (74) 代理人 100108501  
 弁理士 上野 剛史  
 (74) 代理人 100112690  
 弁理士 太佐 種一

最終頁に続く

(54) 【発明の名称】 トンネル・ナノチューブ電界効果トランジスタおよびそれを製作する方法

(57) 【特許請求の範囲】

【請求項 1】

トンネル・ナノチューブ電界効果トランジスタを製作する方法であって、  
 半導体特性を有する炭素 (C) ナノチューブを設けるステップと、  
 前記トランジスタのチャネル領域、第1のドレイン/ソース領域、および第2のドレ  
 イン/ソース領域を前記ナノチューブに定義するステップであって、前記第1のドレイン/  
 ソース領域が前記チャネル領域の第1の端に近接し、さらに前記第2のドレイン/ソース  
 領域が前記チャネル領域の第2の端に近接しているステップと、  
 前記チャネル領域の上にゲート誘電体層を形成するステップと、  
 前記ゲート誘電体層の上にゲート電極を形成するステップと、  
 n型ドーパントを使用して前記第1のドレイン/ソース領域に選択的にドーブするステ  
 ップと、  
 p型ドーパントを使用して前記第2のドレイン/ソース領域に選択的にドーブするステ  
 ップと、  
 前記ゲート電極および前記ドレイン/ソース領域の各々に少なくとも1つの電気コンタ  
 クトを形成するステップと、を含む方法。

【請求項 2】

前記n型ドーパントをドーブするステップによってドーブされた前記第1のドレイン/  
 ソース領域と、前記p型ドーパントをドーブするステップによってドーブされた前記第2  
 のドレイン/ソース領域とは、前記チャネル領域で電荷担体の量子力学的トンネリングを

10

20

可能にする、請求項 1 に記載の方法。

【請求項 3】

トンネル・ナノチューブ電界効果トランジスタであって、  
炭素 (C) ナノチューブに画定された、半導体特性を有するチャンネル領域と、  
前記チャンネル領域の上に形成されたゲート誘電体層と、  
前記ゲート誘電体層の上に形成されたゲート電極と、  
前記チャンネル領域の第 1 の端に近接して前記ナノチューブに形成された第 1 のドレイン  
ノソース領域であって、n 型ドーパントを使用して選択的にドーブされた第 1 のドレイン  
ノソース領域と、

前記チャンネル領域の第 2 の端に近接して前記ナノチューブに形成された第 2 のドレイン  
ノソース領域であって、p 型ドーパントを使用して選択的にドーブされた第 2 のドレイン  
ノソース領域と、

前記ゲート電極および前記ドレインノソース領域の各々の上の少なくとも 1 つの電気コ  
ンタクトと、を備えるトンネル・ナノチューブ電界効果トランジスタ。

【請求項 4】

前記第 1 のドレインノソース領域が接地電位の電源に結合され、前記第 2 のドレインノ  
ソース領域がドレイン電圧の電源に結合され、さらに前記ゲート電極がゲート電圧の電源  
に結合され、それによって p 型トランジスタ・デバイスを形成している、請求項 3 に記載  
のトランジスタ。

【請求項 5】

前記第 2 のドレインノソース領域が接地電位の電源に結合され、前記第 1 のドレインノ  
ソース領域がドレイン電圧の電源に結合され、さらに前記ゲート電極がゲート電圧の電源  
に結合され、それによって n 型トランジスタ・デバイスを形成している、請求項 3 に記載  
のトランジスタ。

【請求項 6】

前記ナノチューブが、軸方向の開口を有しない、請求項 3 に記載のトランジスタ。

【請求項 7】

前記ナノチューブの外径が、5 nm 未満である、請求項 3 に記載のトランジスタ。

【請求項 8】

前記 n 型ドーパントでドーブされた前記第 1 のドレインノソース領域と前記 p 型ドーパ  
ントでドーブされた前記第 2 のドレインノソース領域とは、前記チャンネル領域で電荷担体  
の量子力学的トンネリングを可能にする、請求項 3 に記載のトランジスタ。

【請求項 9】

前記 n 型ドーパントが、カリウム (K)、ナトリウム (Na)、およびポリエチレンイ  
ミン分子のうちの少なくとも 1 つを含む、請求項 3 に記載のトランジスタ。

【請求項 10】

前記 p 型ドーパントが、塩素 (Cl<sub>2</sub>) および臭素 (Br<sub>2</sub>) のうちの少なくとも 1 つ  
を含む、請求項 3 に記載のトランジスタ。

【請求項 11】

前記ゲート誘電体層が、SiO<sub>2</sub>、HfO<sub>2</sub>、および Al<sub>2</sub>O<sub>3</sub> のうちの少なくとも 1  
つで 1 から 10 nm の厚さに形成されている、請求項 3 に記載のトランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般的に、半導体基板にデバイスを製作する方法に関する。より詳細には、  
本発明は、半導体基板にトンネル・ナノチューブ電界効果トランジスタを製作する方法に  
関する。

【背景技術】

【0002】

微小電子デバイスは、一般に、半導体基板に集積回路として製作される。相補型金属酸

10

20

30

40

50

化物半導体（ＣＭＯＳ）電界効果トランジスタは、集積回路の中核素子の１つである。ＣＭＯＳトランジスタの寸法および動作電圧は、集積回路のいっそう高い性能および実装密度を得るように、絶えず減少され、すなわち縮小されている。特に、そのようなトランジスタでは閾値電圧 $V_{th}$ （すなわち、トランジスタをオンにするために必要な電圧）が減少される。

【０００３】

ＣＭＯＳトランジスタのスイッチング特性は、デバイスを流れる電流を一桁だけ変化させるために必要なゲート電圧を示す逆サブスレッショルド勾配として当技術分野で知られているパラメータで記述することができる。従来のＣＭＯＳトランジスタでは、逆サブスレッショルド勾配は約 $60\text{ mV/桁}$ であり、閾値電圧 $V_{th}$ の減少に対して、トランジスタのオン状態とオフ状態の出力電流の差は減少する。余りにも小さすぎるオン／オフ電流比は、そのようなトランジスタを含むディジタル回路の適切な動作を妨げ、極端に縮小されたデバイスの主要な課題の１つと考えられる。

10

【特許文献１】米国特許出願番号第 $10/102,365$ 号

【発明の開示】

【発明が解決しようとする課題】

【０００４】

したがって、当技術分野では、電界効果トランジスタを製作する改善された方法が必要とされている。

【課題を解決するための手段】

20

【０００５】

一実施形態では、本発明はトンネル・ナノチューブ電界効果トランジスタを製作する方法を開示する。本方法は、トランジスタのアンドープ・チャネル領域で隔てられた $n$ ドープ領域と $p$ ドープ領域をナノチューブ（またはナノワイヤ、すなわち軸方向開口の無いナノチューブ）に形成することを含む。電気コンタクトが、ドープ領域およびゲート電極に設けられ、ゲート電極は、トランジスタのチャネル領域の上に堆積されたゲート誘電体層の上に形成されている。

【０００６】

本発明の他の態様は、本発明方法を使用して製作されたトンネル・ナノチューブ電界効果トランジスタである。そのようなトランジスタは、 $n$ 型トランジスタ・デバイスまたは $p$ 型トランジスタ・デバイスとして利用することができる。

30

【０００７】

本発明の教示は、添付の図面に関連して以下の詳細な説明を考察することによって容易に理解することができる。

【０００８】

理解を容易にするために、複数の図に共通な同一要素を示すために、可能な場合は、同一参照数字を使用した。

【０００９】

しかし、留意すべきことであるが、添付の図面はただ本発明の例示の実施形態を示すだけであり、したがって本発明の範囲を制限するものと考えべきでない。というのは、本発明は他の同等に有効な実施形態を認めることができるからである。

40

【発明を実施するための最良の形態】

【００１０】

本発明は、ナノチューブの部分に選択的にドープすることを使用してトンネル・ナノチューブ電界効果トランジスタを製作する方法である。本明細書で、用語「ナノチューブ」は、ナノチューブとナノワイヤ（すなわち、軸方向開口の無いナノチューブ）の両方に交換可能に使用される。本方法は、超大規模集積（ＵＬＳＩ）回路およびデバイスの製作で使用することができる。

【００１１】

図１は、トンネル・ナノチューブ電界効果トランジスタを製作する本発明方法の一実施

50

形態を、方法 100 として示す流れ図である。方法 100 は、少なくとも 1 つのトンネル・ナノチューブ電界効果トランジスタが製作されている基板に行なわれる処理ステップを含む。1 つの説明的な実施形態では、そのような処理ステップは、示された順序で連続して行なわれる。別の実施形態では、少なくとも 2 つの処理ステップが、同時に、または異なる順序で行なわれる。リソグラフィ・マスクまたは犠牲層および保護層の塗布および除去のような従来の副プロセス、洗浄プロセスおよび同様なものは、当技術分野でよく知られており、図 1 に示されていない。

#### 【0012】

図 2 は、図 1 の方法を使用して製作された例示のトンネル・ナノチューブ電界効果トランジスタ 200 の模式図を示す。図 2 の像は、一定の比率で描かれておらず、説明の目的のために簡単化されている。本発明を最良に理解するために、図 1 と図 2 を同時に参照されたい。

10

#### 【0013】

方法 100 はステップ 101 から始まり、ステップ 102 に進む。ステップ 102 で、シリコン (Si) またはガラス・ウェーハ、および同様なもののような基板 (図示されない) の上に、半導体特性を有するナノチューブ 202 が形成される。個々の電荷担体 (すなわち、電子および正孔) が、最小断面寸法だけでなく最小かつ類似の実効質量 (例えば、約  $0.1 m_0$  未満、ここで  $m_0$  は自由電子の質量) を有し、かつ電荷移動のバリスティック機構を容易にするナノチューブを使用して、最良の結果を達成することができる。そのようなナノチューブを形成するのに適した方法は、例えば 2002 年 3 月 20 日に出版された一般的に譲渡された米国特許出願番号第 10/102,365 号 (2003 年 9 月 25 日に公開) に開示されている。1 つの例示の実施形態では、ナノチューブ 202 は、約 5 nm 以下 (好ましくは、約 1 から 3 nm 以下) の外径 214 および約 25 から 100 nm の長さ 216 を有する炭素 (C) ナノチューブである。別の実施形態では、他の材料 (例えば、シリコンまたは、砒化ガリウム (GaAs)、燐化インジウム (InP)、砒化インジウム・ガリウム (InGaAs)、および同様なもののような化合物半導体) の半導体ナノチューブが、トランジスタ 200 を製作するために使用されることがある。

20

#### 【0014】

ステップ 104 で、ナノチューブ 202 の中心領域 222 にゲート誘電体層 204 が形成される。領域 222 は、5 から 200 nm の範囲の長さ 218 を有することができ、製作されるトランジスタ 200 の真性チャネル領域になる。1 つの例示の実施形態では、ゲート誘電体層 204 は、約 1 から 5 nm の厚さに形成された二酸化珪素 ( $\text{SiO}_2$ ) を備える。代わりに、ゲート誘電体層 204 は、酸化アルミニウム ( $\text{Al}_2\text{O}_3$ )、二酸化ハフニウム ( $\text{HfO}_2$ ) および同様なもののような高誘電率 (high-k) 材料で形成することができる。図示の実施形態では、ゲート誘電体層 204 は、全チャネル領域 222 にわたって形成され、ナノチューブ 202 を包む。

30

#### 【0015】

ステップ 106 で、ゲート誘電体層 204 の上にゲート電極 206 が形成される。ゲート電極 206 は、一般に、5 から 50 nm の厚さを有し、金属、金属合金、または導電性化合物のうちの少なくとも 1 つを備えることができる。ゲート電極 206 に適切な材料は、ゲート誘電体層 204 の材料および製作されるトランジスタ 200 を外部集積回路およびデバイス (図 3 ~ 4 に関連し以下で述べる) に相互接続する電気配線 (例えば、銅 (Cu) 配線) に使用された材料と両立可能であるだけでなく、高導電率を有する。1 つの例示の実施形態では、ゲート電極 206 は、チタン (Ti) で形成される。

40

#### 【0016】

ゲート誘電体層 204 およびゲート電極 206 は、原子層堆積 (ALD)、物理蒸着法 (PVD)、化学気相成長法 (CVD)、プラズマ増速 CVD (PECVD)、蒸着、および同様なもののような従来真空堆積技術を使用して形成することができる。

#### 【0017】

ステップ 108 で、少なくとも 1 つの n 型ドーパントを使用して領域 220 に選択的に

50

ドーピングすることによって、第1のドレイン/ソース領域220が、チャンネル領域222に近接したナノチューブ202に形成される。1つの例示の実施形態では、第1のドレイン/ソース領域220の長さ230は、約10から400nmである。図示の実施形態では、第1のドレイン/ソース領域220は、チャンネル領域222からナノチューブ202の第1の端234まで延びている。別の実施形態では、ナノチューブ202の末端部分236は、ドーピングされないことがある。適切なn型ドーパントには、カリウム(K)、ナトリウム(Na)、重合体でありその意味で分子の長い鎖であるポリエチレンイミン分子、および同様なもののような電子ドナーがある。ナノチューブのセグメント220はnドーピングされるが、ナノチューブの他の部分は、例えばレジスト層、マスク層または同様なものを使用することによって、ナノチューブの他の領域のドーピングを防止するように保護される。

10

#### 【0018】

ステップ110で、少なくとも1つのp型ドーパントを使用して領域224に選択的にドーピングすることによって、第2のドレイン/ソース領域224が、チャンネル領域222に近接したナノチューブ202に形成される。1つの例示の実施形態では、第2のドレイン/ソース領域224の長さ232は、約10から400nmである。図示の実施形態では、第2のドレイン/ソース領域224は、チャンネル領域222からナノチューブ202の第2の端238まで延びている。代替の実施形態では、ナノチューブ202の末端部分240は、ドーピングされないことがある。適切なp型ドーパントには、塩素(Cl<sub>2</sub>)、臭素(Br<sub>2</sub>)、および同様なもののような正孔ドナーがある。再び、ナノチューブのセグメント224はpドーピングされるが、ナノチューブの他の部分は、例えばレジスト層、マスク層または同様なものを使用することによって、ナノチューブの他の領域のドーピングを防止するように保護される。

20

#### 【0019】

第1のドレイン/ソース領域220および第2のドレイン/ソース領域224の選択ドーピングは、金属/分子堆積プロセスを使用して行なうことができる。ドーパントは、一般に、異なる電子親和力または正孔親和力を有する材料である。p型とn型の両方の堆積プロセスで、それぞれのドーパントからナノチューブへの電荷移動を使用して、ナノチューブ202の領域220および224にドーピングすることができる。

#### 【0020】

30

ステップ112で、電気コンタクト208、210、および212が、第1のドレイン/ソース領域220、ゲート電極206、および第2のドレイン/ソース領域224にそれぞれ形成される。コンタクト208、210および212は、トランジスタ200を外周集積回路およびデバイスに接続するための端子として使用される。代替の実施形態では、ゲート電極206をコンタクトとして使用することができ、そのようなものとして、コンタクト210は随意である。コンタクト208、210および212は、それぞれの下の材料層および上の材料層と両立可能な少なくとも1つの導電性材料(例えば、金属、金属の合金、または導電性化合物)で形成することができる。nコンタクト(コンタクト208)の材料は、pコンタクト(コンタクト212)の材料よりも小さな仕事関数を有すべきである。1つの例示の実施形態では、従来の真空堆積技術を使用して、コンタクト208および212が、アルミニウム(Al)およびパラジウム(Pd)でそれぞれ形成され、そしてコンタクト210がチタン(Ti)で形成される。

40

#### 【0021】

ステップ112を完了すると、トンネル・ナノチューブ電界効果トランジスタ200の製作は完了する。ステップ114で、本方法100は終わる。

#### 【0022】

集積回路では、トンネル・ナノチューブ電界効果トランジスタ200は、n型トランジスタ・デバイスまたはp型トランジスタ・デバイスのどちらとしても使用することができる。

#### 【0023】

50

図3は、トランジスタ200をp型トランジスタ・デバイスとして使用するための例示の回路構成300を示す。一実施形態では、回路構成300は、トランジスタ200、コンタクト208に結合された接地または共通電位の電源302（すなわち、接地端子）、コンタクト212に結合されたドレイン電圧 $V_{ds}$ の電源304、およびコンタクト210に結合されたゲート電圧 $V_{gs}$ の電源306を備える。動作時に、電源304および306は、制御された正電位（すなわち、負電圧）をコンタクト212および210にそれぞれ加え、一方で、電圧 $V_{ds}$ および $V_{gs}$ は接地電位に等しいか、またはこれより低い（すなわち、負電圧）。

#### 【0024】

図4は、トランジスタ200をn型トランジスタ・デバイスとして使用するための例示の回路構成400を示す。一実施形態では、回路構成400は、トランジスタ200、コンタクト212に結合された接地電位の電源302、コンタクト208に結合されたドレイン電圧 $V_{ds}$ の電源404、およびコンタクト210に結合されたゲート電圧 $V_{gs}$ の電源406を備える。動作時に、電源404および406は、制御された負電位（すなわち、正電圧）をコンタクト208および210にそれぞれ加え、一方で、電圧 $V_{ds}$ および $V_{gs}$ は接地電位に等しいか、またはこれより高い（すなわち、正電圧）。

#### 【0025】

図5は、炭素ナノチューブ202に沿った距離のトランジスタ200の炭素ナノチューブ材料（x軸504）への伝導帯および価電子帯の分布（y軸502）の依存性を示す一連の例示のグラフである。図示の実施形態では、トランジスタ200は、約10nmのそれぞれの長さ230および232を有する第1および第2のドレイン/ソース領域220および224、および約30nmの長さ218を有するチャネル領域222を備える。伝導帯および価電子帯の図示のグラフは、コンタクト212に加えられたドレイン電圧 $V_{ds} = -0.1V$ および $-0.2$ から $-0.5V$ の範囲のゲート電圧 $V_{gs}$ でトランジスタ200がp型デバイスとして動作する回路構成300に関連している。第1のドレイン/ソース領域220の伝導帯の下境界508がトランジスタのチャネル領域222の価電子帯の上境界510より下にあり、したがって、伝導帯と価電子帯の間に電位または垂直ギャップ512を形成するとき、トランジスタ200の電荷担体の実効量子力学的トンネリング（すなわち、トランジスタを通じた電荷担体の流れ）が可能である。矢印506を使用して説明するように、炭素ナノチューブ202では、価電子帯と伝導帯の間のそのような実効トンネリングは、ゲート電圧 $V_{gs} = -0.3V$ （例えば、 $V_{gs} = -0.5V$ ）で存在する。対応して、 $V_{gs} > -0.3V$ で（例えば、 $V_{gs} = -0.2V$ で）、価電子帯と伝導帯の間にそのようなギャップおよび実効的トンネリングは無い。動作時に、 $V_{gs} = -0.3V$ で、p型トランジスタ200は、オン（伝導）状態を示し、対応して、 $V_{gs} > -0.3V$ で、トランジスタはオフ（非伝導）状態を示す。

#### 【0026】

図6は、3から30nmの範囲の $SiO_2$ ゲート誘電体層204の厚さ $t_{ox}$ を有する例示のp型トランジスタ200のゲート電圧 $V_{gs}$ （x軸604）への出力電流 $I_d$ （y軸602）の依存性を示す一連の例示のグラフを示す。これらのグラフは、トランジスタ200の逆サブスレッショルド勾配 $S \sim dV_{gs}/d\log(I_d)$ を計算するために使用することができる。逆サブスレッショルド勾配 $S$ は、トランジスタのスイッチング特性の目安であり、また、トランジスタの出力電流 $I_d$ の一桁（すなわち、桁）の変化を引き起こすゲート電圧 $V_{gs}$ の差を決定する。 $SiO_2$ ゲート誘電体層204の厚さ $t_{ox} = 3nm$ を有するトランジスタ200では、逆サブスレッショルド勾配 $S$ は、それぞれ、 $0.1pA$ から $0.1nA$ の範囲の出力電流 $I_d$ では約 $16mV/\text{桁}$ であり、 $1pA$ から $1nA$ の範囲の出力電流では約 $27mV/\text{桁}$ である。そのようなものとして、トランジスタ200は、従来の相補型金属酸化物半導体（CMOS）電界効果トランジスタと同じゲート電圧 $V_{gs}$ で動作しながら、逆サブスレッショルド勾配 $S \sim 60mV/10倍$ を有するこのCMOSTランジスタより著しく性能が優れている。

#### 【0027】

10

20

30

40

50

図 7 は、 $-0.1$  から  $-0.4$  V の範囲のドレイン電圧  $V_{ds}$  で、厚さ  $t_{ox} = 3$  nm を有する図 6 の例示の p 型トランジスタ 200 のゲート電圧  $V_{gs}$  (x 軸 704) への出力電流  $I_d$  (y 軸 702) の依存性を示す一連の例示のグラフを示す。他の p 型トランジスタ・デバイスと同様に、トランジスタ 200 の特性は、変化しないままであり、負のゲート電圧  $V_{gs}$  で、ドレインにより誘起された障壁低下のような (DIBL-like) 効果を示さない。

【0028】

図 8 は、図 2 の例示の p 型トランジスタ 200 の出力特性を示す一連の例示のグラフを示す。より具体的には、図 8 のグラフは、 $-0.4$  から  $-0.7$  V の範囲のゲート電圧  $V_{gs}$  で、ドレイン電圧  $V_{ds}$  (x 軸 804) による出力電流  $I_d$  (y 軸 802) の依存性を示す。トランジスタ 200 は、小さなドレイン電圧  $V_{ds}$  で直線領域 806 があり大きなドレイン電圧で飽和領域 808 のある出力特性を有している。

10

【0029】

発明のトンネル・ナノチューブ電界効果トランジスタは、集積回路で使用するために特性の好ましい組合せを有している。すなわち、低閾値電圧および低ゲート電圧および低ドレイン電圧で達成可能であるだけでなく、ドレイン電圧の広い範囲でドレイン電圧に無関係な低逆サブスレッショルド勾配  $S$  と組み合わせて、小さな占有面積および最小限の電力消費を有している。さらに、トンネル・ナノチューブ電界効果トランジスタは、CMOS トランジスタの出力特性と両立可能な出力特性を有し、それで、そのようなものとして、CMOS トランジスタと共に、または CMOS トランジスタの代替品として、集積回路で

20

【0030】

前述のものは、本発明の説明的な実施形態に向けられているが、本発明の他の実施形態およびさらに進んだ実施形態は、本発明の基本的な範囲から逸脱することなく考え出すことができ、本発明の範囲は添付の特許請求の範囲によって決定される。

【図面の簡単な説明】

【0031】

【図 1】本発明の一実施形態に従った、トンネル・ナノチューブ電界効果トランジスタを製作する方法を示す流れ図である。

【図 2】図 1 の方法を使用して製作された例示のトンネル・ナノチューブ電界効果トランジスタを示す模式図である。

30

【図 3】図 2 のトランジスタを p 型トランジスタ・デバイスとして使用するための例示の回路構成を示す図である。

【図 4】図 2 のトランジスタを n 型トランジスタ・デバイスとして使用するための例示の回路構成を示す図である。

【図 5】図 2 のトランジスタのナノチューブ材料の伝導帯および価電子帯の分布を示す例示のグラフである。

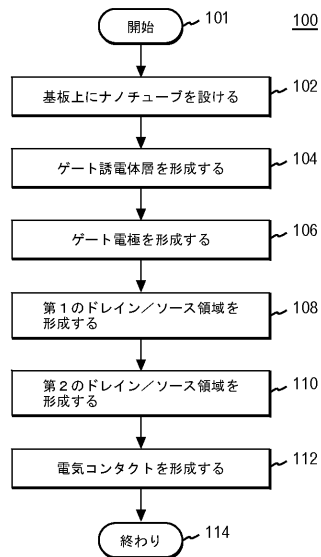
【図 6】図 2 のトランジスタの特性を示す例示のグラフである。

【図 7】図 2 のトランジスタの特性を示す例示のグラフである。

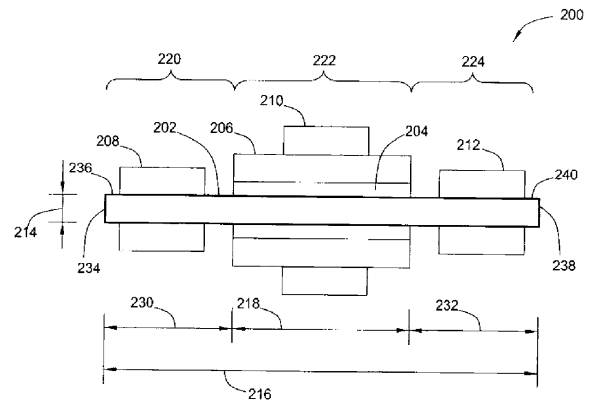
【図 8】図 2 のトランジスタの特性を示す例示のグラフである。

40

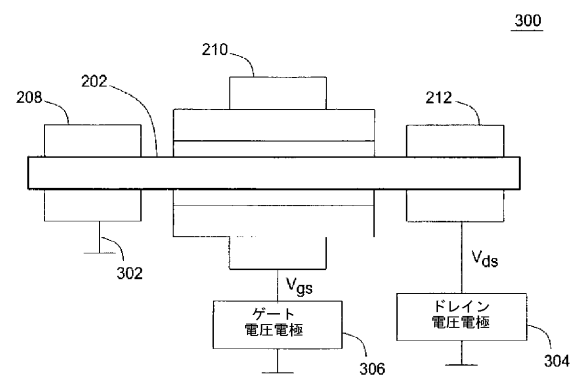
【図 1】



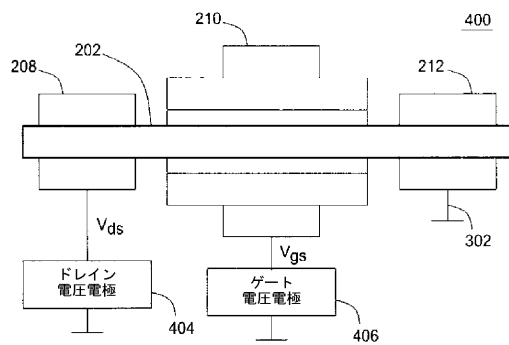
【図 2】



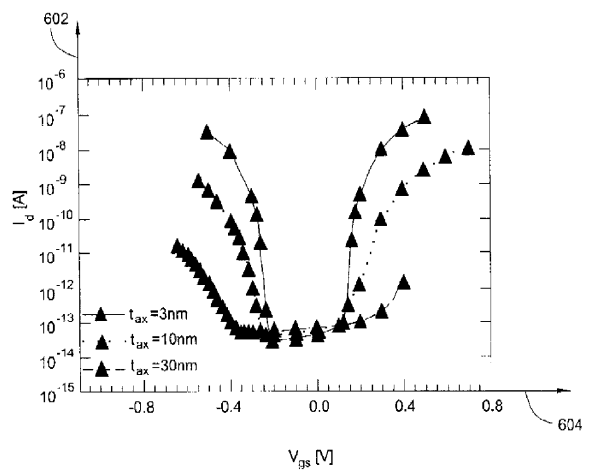
【図 3】



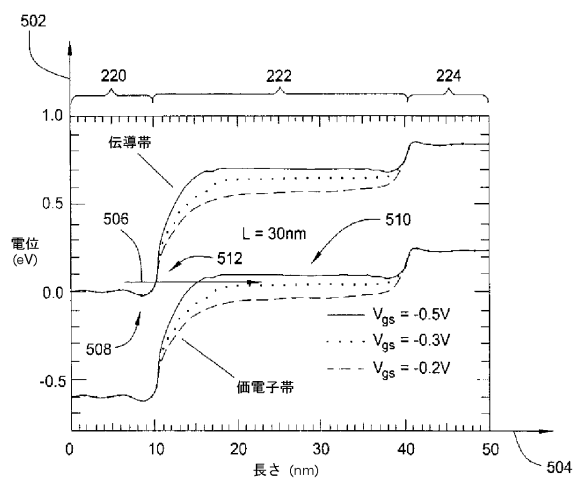
【図 4】



【図 6】

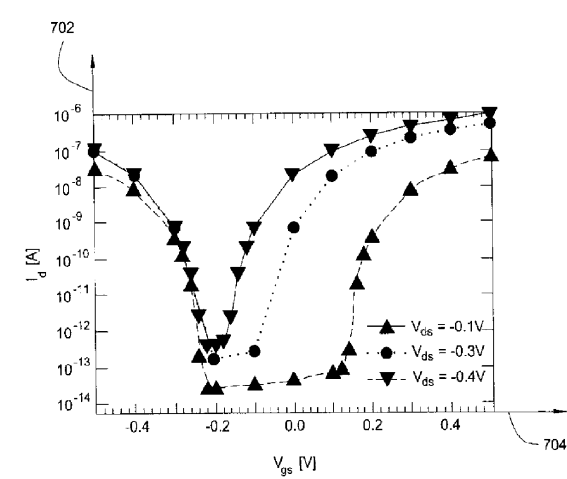


【図 5】

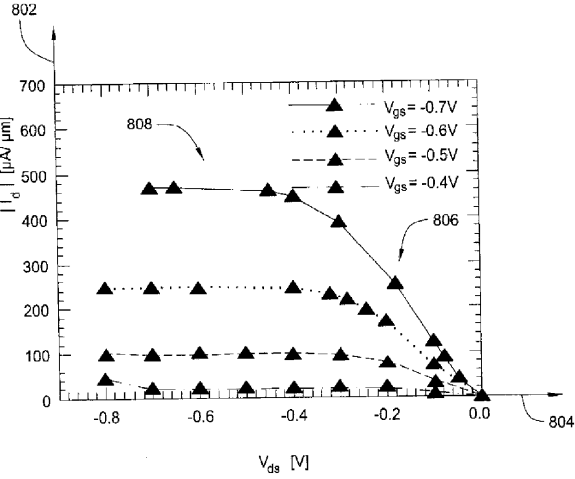




【図 7】



【図 8】



---

フロントページの続き

- (72)発明者 イエルク・アッペンツェラー  
アメリカ合衆国10595 ニューヨーク州バルハラ エントランス・ウェイ 55
- (72)発明者 ジョアキム・クノッホ  
ドイツ国52134 ヘルゾゲンラット市 クリンクハイダー通り 56

審査官 鈴木 聡一郎

- (56)参考文献 特開平05-041520(JP,A)  
特表2004-503097(JP,A)  
米国特許出願公開第2004/0253805(US,A1)  
国際公開第2004/032191(WO,A1)  
特開2004-055649(JP,A)  
特表2006-501690(JP,A)  
特開昭57-054370(JP,A)  
特開2003-338621(JP,A)  
米国特許第06331262(US,B1)

- (58)調査した分野(Int.Cl., DB名)
- H01L 21/336  
H01L 21/8234  
H01L 27/088  
H01L 29/06  
H01L 29/786