

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：95129026

※ 申請日期：95.8.8

※IPC 分類：H01L $\frac{21}{335}$, $\frac{29}{772}$
(2006.01) (2006.01)

一、發明名稱：(中文/英文)

於遮蔽閘場效應電晶體中形成極間電介質之結構與方法

STRUCTURE AND METHOD FOR FORMING INTER-POLY DIELECTRIC IN A SHIELDED GATE
FIELD EFFECT TRANSISTOR

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

快捷半導體公司 / FAIRCHILD SEMICONDUCTOR CORPORATION

代表人：(中文/英文)

達瓦 保羅 D. / DELVA, PAUL D.

住居所或營業所地址：(中文/英文)

美國緬因州南波特蘭市賽跑山路 82 號

82 Running Hill Road, South Portland, ME 04106, U.S.A.

國 籍：(中文/英文)

美國 / U.S.A.

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 赫里克 羅伯特 / HERRICK, ROBERT

2. 皮洛伯斯特 戴恩 / PROBST, DEAN

3. 賽席歐恩 佛瑞德 / SESSION, FRED

國 籍：(中文/英文)

1. 美國 / U.S.A.

2. 美國 / U.S.A.

3. 美國 / U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為：。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國、 2005/08/09、 11/201,400

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

以下係形成一種遮蔽閘溝槽FET。在一第一導電型的矽區中形成一溝槽，該溝槽包含一藉由一遮蔽電介質而與該矽區絕緣的遮蔽電極。沿著該遮蔽電極的上表面形成一包含一層熱氧化物與一層共形電介質的極間電介質(IPD)。形成一襯於至少溝槽側壁的閘極電介質。在該溝槽中形成一閘極使得該閘極藉由該IPD而與該遮蔽電極絕緣。

六、英文發明摘要：

A shielded gate trench FET is formed as follows. A trench is formed in a silicon region of a first conductivity type, the trench including a shield electrode insulated from the silicon region by a shield dielectric. An inter-poly dielectric (IPD) including a layer of thermal oxide and a layer of conformal dielectric is formed along an upper surface of the shield electrode. A gate dielectric lining at least upper trench sidewalls is formed. A gate electrode is formed in the trench such that the gate electrode is insulated from the shield electrode by the IPD.

七、指定代表圖：

(一)本案指定代表圖為：第 (2L) 圖。

(二)本代表圖之元件符號簡單說明：

201...基板	214...極間電介質層
202...溝槽	216...閘極介電層
203...磊晶層	218...內凹閘極
204...矽區	220...p型本體區
206...遮蔽介電層	222...源極區
208...遮蔽電極	224...前金屬介電層
210...熱氧化物層	226...接觸開口
212...電介質共形層	228...p型重度本體區

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

發明背景

一般而言，本發明有關於半導體功率場效電晶體 (FET)，且更特別的是有關於一種於遮蔽閘FET中形成改良之極間電介質(IPD)的結構與方法。

【先前技術】

遮蔽閘溝槽FET的優點在於該遮蔽電極能降低閘極-汲極電容(C_{gd})和改善電晶體的崩潰電壓。第1圖為一習知遮蔽閘溝槽MOSFET的簡化橫截面圖。溝槽110包含一在閘極122正下方的遮蔽電極114。遮蔽電極114係藉由遮蔽電介質112而與毗鄰的矽區(silicon region)絕緣，該遮蔽電介質112通常比閘極電介質120厚。閘極與遮蔽電極係藉由通常稱作極間電介質或IPD的介電層116而相互絕緣。該IPD層必須有足夠的品質與厚度以使閘極與遮蔽電極之間能維持必要的電壓。

第1圖的習知遮蔽閘FET有一些缺點。第一，閘極122有尖銳的底部角落，彼等和遮蔽電極114的平坦正面在這些區域中會一起產生高電場。第二，用於形成IPD的習知方法通常在溝槽之間的平頂上導入在閘極形成後某一時刻必須移除的氧化物層。在溝槽側壁向下移除氧化物時，必定蝕刻一些閘極氧化物，這會導致閘極短小和閘極洩露。其他習知技術是把IPD的形成與閘極電介質的形成綁在一起，因而限制IPD厚度為一組閘極電介質厚度的倍數。這使得無法

獨立地優化閘極電介質與IPD。過去所達成之IPD與閘極電介質的最大厚度差額為三比一(亦即，給定目標閘極電介質厚度，已達成之最大IPD厚度大於目標閘極電介質厚度的3倍)。

- 5 因此，亟須一種結構與方法用於形成有改良之IPD和閘極電介質的遮蔽閘溝槽FET。

【發明內容】

發明概要

- 根據本發明之一具體實施例，以下為一種形成一FET
10 的方法。在一第一導電型的矽區中形成一溝槽。該溝槽包含一遮蔽電極，其係藉由一遮蔽電介質而與該矽區絕緣。沿著該遮蔽電極之上表面形成一包含一層熱氧化物與一層共形電介質(conformal dielectric)的極間電介質(IPD)。形成一襯於至少上溝槽側壁的閘極電介質。在該溝槽中形成一
15 閘極。該閘極係藉由該IPD而與該遮蔽電極絕緣。

在一具體實施例中，該IPD有一內凹上表面。

在另一具體實施例中，該IPD之厚度與該閘極電介質之厚度的比例大於三比一。

- 在另一具體實施例中，在形成該IPD之後形成該閘極電
20 介質。

在另一具體實施例中，以下說明該IPD的形成。形成一層沿著該溝槽之上側壁以及沿著該遮蔽電極之上表面的熱氧化物。用一電介質共形層填滿該溝槽。部份移除該電介質共形層以及該熱氧化物層藉此形成包含該熱介電層之剩

餘部份與該電介質共形層之剩餘部份的IPD。

根據本發明另一具體實施例，FET包含一延伸至第一導電型之矽區內的溝槽。一藉由遮蔽電介質而與該矽區絕緣的遮蔽電極係延伸至該溝槽的下半部內。在該溝槽中的
5 閘極是在該遮蔽電極上方且藉由一極間電介質(IPD)而與該遮蔽電極絕緣。該IPD包含一電介質共形層與一熱氧化物層。

在一具體實施例中，該閘極係藉由一沿著溝槽上側壁延伸的閘極電介質而與該矽區絕緣，且該IPD之厚度與該閘
10 極電介質之厚度的比例大於三比一。

在另一具體實施例中，該IPD的上表面有內凹輪廓。

在另一具體實施例中，該閘極的下表面有內凹輪廓。

在另一具體實施例中，該電介質共形層的下表面與側壁被該熱電介質包圍。

15 在另一具體實施例中，該電介質共形層有外凸下表面與內凹上表面。

在另一具體實施例中，該遮蔽電極有圓形正面。

在另一具體實施例中，該矽區包含一第一導電型的磊晶層，其係在第一導電型之基板、該磊晶層中數個第二導
20 電型之井區(well region)、以及該等井區中數個第一導電型之源極區的上表面延伸。該等源極區是在該溝槽兩側。

在一具體實施例中，該溝槽延伸進入該磊晶層且在該磊晶層內結尾。

在另一具體實施例中，該溝槽延伸穿過該磊晶層且在

該基板內結尾。

由以下的詳細說明和附圖可更加瞭解本發明的本質與優點。

圖式簡單說明

5 第1圖為一習知遮蔽閘溝槽MOSFET的簡化橫截面圖；以及

第2A至2L圖為示範製程順序中各階段的簡化橫截面圖，其係根據本發明之一具體實施例圖示一用於形成有改良之極間電介質與閘極電介質的遮蔽閘溝槽FET。

10 【實施方式】

較佳實施例之詳細說明

根據本發明，藉由進行熱氧化製程(thermal oxidation)接著沉積一電介質共形層而形成一遮蔽閘FET之一IPD層。然後形成一閘極電介質，接著形成該閘極。此一方法
15 係使用於形成IPD層的製程與用於形成閘極電介質的製程去耦合，使得該等介電層可獨立優化。因此，可形成高品質的厚IPD以使閘極與遮蔽電極之間能維持必要的電壓而不損及閘極電介質的品質或厚度。此外，電介質共形層有助於沿著該IPD正面得到平滑的內凹輪廓(亦即，像碗的內
20 部)，隨後產生用於閘極的平滑底面輪廓。相較於閘極有尖銳下方角落的第1圖習知FET結構，這有助於減少電場。

第2A至2L圖為示範製程順序中各階段的簡化橫截面圖，其係根據本發明之一具體實施例圖示一用於形成有改良之IPD與閘極電介質的遮蔽閘溝槽FET。在第2A圖中，使

用習知的遮罩及蝕刻技術在矽區204中形成溝槽202。在一具體實施例中，取決於設計目標，矽區204包含一在高度導電n型基板上面延伸的相對輕度摻雜n型磊晶層，可蝕刻該溝槽以在磊晶層內結尾或延伸深一點以在基板內結尾。在第2B圖中，使用習知技術形成襯於溝槽側壁及底部和平頂區鄰近溝槽之表面的遮蔽介電層206(例如，包含氧化物)。在一具體實施例中，使用高溫(例如，1,150°C)乾氧化製程形成遮蔽氧化物。高溫有助於弄圓溝槽的底部角落且形成約1,250埃足以支援元件崩潰(device breakdown)的遮蔽氧化物。

在第2C圖中，使用習知多晶矽沉積技術沉積一層多晶矽以填滿該溝槽。然後使沉積的多晶矽凹入溝槽藉此形成遮蔽電極208。然後使該遮蔽介電層的暴露部份變薄至例如650埃。在遮蔽電極包含氧化物的具體實施例中，用濕式緩衝過的氫氟酸(wet buffered oxide etch)使遮蔽氧化物變薄。遮蔽電介質的剩餘暴露部份206a有助於在後續熱氧化製程步驟中防止沿著溝槽側壁與平頂表面成長過多的氧化物，且有助於控制槽形腔的輪廓。熱氧化物的過度成長會導致在後續沉積的共形電介質中形成空穴(void)。在一具體實施例中，是把遮蔽電介質206的暴露部份完全移除，或替換地整個遮蔽電介質206保持完整。

在第2D圖中，實施熱氧化製程步驟以沿著溝槽側壁、平頂區鄰近溝槽的表面上、以及遮蔽電極208上形成熱氧化物層210。熱氧化製程有利於使遮蔽電極208的上半部氧化

成頂面為圓形的輪廓。圓形頂面有助於使在遮蔽電極208與隨後形成的閘極之間的區域內的電場最小化。在一具體實施例中，藉由進行低溫、濕氧化製程，接著高溫、乾式氧化製程形成熱氧化物層210。在另一具體實施例中，熱氧化製程產生厚度是在1000至1500埃範圍內的熱氧化物層210。在另一具體實施例中，實施低溫熱氧化製程(例如，約850°C)使得沿著遮蔽電極正面形成的熱氧化物層比沿著溝槽側壁及平頂表面上面形成的厚。在此具體實施例中，厚度比例最好是在1.5:1至2:1範圍內。在一特殊具體實施例中，熱氧化製程產生沿著遮蔽電極正面厚約1,850埃與沿著溝槽側壁及平頂表面厚約1,250埃的熱氧化物層。

在第2E圖中，沉積一電介質共形層212(例如，包含氧化物)以填滿該溝槽。在一具體實施例中，使用次大氣壓(sub-atmospheric)化學氣相沉積(SACVD)正矽酸乙酯(TEOS)/臭氧製程以約510°C溫度和約480托耳的壓力沉積一共形介電層212。沉積氧化物會完全填滿該溝槽而無空穴。

在第2F圖中，向下蝕刻共形介電層212與熱氧化物層210到溝槽內達想要的深度。完全移除所有平頂表面上和沿著溝槽上側壁的電介質，而有內凹正面的極間電介質(IPD)層214仍然留在遮蔽電極208上面。因此，IPD層214包含熱介電層與共形介電層的堆疊。在一具體實施例中，實施該電介質堆疊的均勻回蝕使該電介質堆疊凹入該溝槽。可實施乾式異向性電漿蝕刻(dry anisotropic plasma etch)或濕式蝕刻以使該IPD有想要的厚度且確保完全移除沿著溝槽側

壁和平頂上面的氧化物。也可實施習知的增密步驟(densification step)以使SACVD氧化物密實。在一具體實施例中，實施乾式蝕刻和後續的增密步驟，接著再濕式蝕刻。

在第2G圖中，使用習知技術形成一沿著溝槽側壁、IPD層上面、以及鄰近溝槽之平頂區上面延伸的閘極介電層216(例如，源自氧化物)。由於該IPD的形成與該閘極電介質的形成完全去耦合，可獨立優化該閘極電介質以具有想要的特性。在第2H圖中，使用習知技術，沉積一層填滿該溝槽的多晶矽，然後回蝕以溝槽202中形成一內凹閘極218。

10 在第2I圖，回蝕閘極電介質216在平頂上延伸的部份成適合本體植入(body implant)和源極植入(source implant)的厚度。進行習知的毯覆式本體植入和驅入製程(drive in process)以沿著矽區204上半部形成p型本體區(body region)220。然後，使用習知源極植入與遮罩層(未圖示)形成在溝槽202兩側的源極區222。在第2J圖中，使用習知技術在結構上面形成一前金屬介電層224 (pre-metal dielectric layer)15 (例如，包含BPSG)。在第2K圖中，使用遮罩層(未圖示)，部份移除介電層224以暴露遮罩層所界定的本體區220和源極區222表面。然後，實施習知的矽蝕刻(例如，乾蝕刻)以使暴露表面區內凹。從而，內凹矽區形成接觸開口226。20

在第2L圖中，實施毯覆式重度本體植入以在本體區220中形成自行對齊的p型重度本體區228。然後實施電介質224的回流(reflow)以使接觸開口有較佳的高深寬比以及金屬層226有較佳的階梯覆蓋(step coverage)，該金屬層226是在

後續步驟中形成以與重度本體區228與源極區222電氣接觸。第2L圖加上水平延伸的虛線用來圖解說明一具體實施例，其中磊晶層203在基板201上延伸，以及溝槽202延伸穿過磊晶層203且在基板201中結尾。替換地，溝槽202可在磊晶層203內結尾。此外，以第2A至2L圖中橫截面圖圖示的製程順序只是示範且可改變各個步驟或以不同的順序實施。特別是，可實施任何一些取代第2I至2L圖之步驟的習知製程步驟以得到有想要特徵及特性的遮蔽閘結構。

根據本發明的結構與方法，可得到包含熱成長電介質與共形沉積電介質之堆疊的改良IPD層。該熱成長電介質可提供高品質電介質且使遮蔽電極的上端角落變圓。該共形沉積電介質(1)會填滿遮蔽電極上側的間隙，(2)作為硬遮罩保護遮蔽電極上的熱電介質以及沿著溝槽側壁的電介質不被蝕刻，並且(3)在形成該閘極的上面產生平滑的內凹輪廓。遮蔽電極的正面和閘極的底面有圓形輪廓導致在這些局部區域中有較弱的電場。

此外，形成本發明IPD的方法可使IPD的形成與閘極氧化物的形成去耦合使得IPD與閘極電介質可獨立優化，例如，以實現厚且高品質的IPD以及薄且高品質的閘極電介質。在一具體實施例中，使用IPD厚度與閘極電介質厚度約五比一以上的比例可得到最佳的電晶體特性。例如，頃發現約2,000埃以上的IPD厚度和約400埃以下的閘極電介質厚度可提供最佳的電晶體特性。使用可形成細薄閘極電介質的能力有利於實現較低的導通電阻(on resistance)。

本發明的各種結構與方法可與一或更多一些電荷擴展技術(charge spreading technique)結合以及其他的遮蔽閘結構與製程，其係揭示於共同受讓的申請案第11/026,276號(2004年12月29日申請)，且全部併入本文作為參考資料，以
5 實現除了其他優點及特徵以外，還有更低的導通電阻、較高的阻隔性能和較高的效率。

儘管以上圖示及描述了一些特定具體實施例，然而本發明的具體實施例不受限於這些具體實施例。例如，應瞭解，可顛倒圖示及描述之結構的摻雜極性及/或可改變各種
10 元件的摻雜濃度而不會脫離本發明。第2A至2L圖所圖示的製程順序是用於形成n型通道FET，不過熟諳此藝者在閱讀本揭示內容後顯著可修改此製程順序來形成p型通道FET。此外，儘管上述各種具體實施例是以習知的矽來具體實作，然而這些具體實施例及變體也用以下各物來具體實
15 作：碳化矽、砷化鎵、氮化鎵、鑽石或其他半導體材料。此外，不同具體實施例的橫截面圖是不按比例繪出的，因此不希望限制佈局設計對應結構的可能變化。此外，可將圖示的FET及其變體形成為條狀或格狀架構，包含六角形或方形的電晶體格。此外，本發明一或更多具體實施例的特
20 徵可與本發明其他一或更多具體實施例的特徵組合而不會脫離本發明的範疇。因此，本發明的範疇應不受限於所描述的具體實施例，反而是用以下的申請專利範圍來界定。

【圖式簡單說明】

第1圖為一習知遮蔽閘溝槽MOSFET的簡化橫截面

圖；以及

第2A至2L圖為示範製程順序中各階段的簡化橫截面圖，其係根據本發明之一具體實施例圖示一用於形成有改良之極間電介質與閘極電介質的遮蔽閘溝槽FET。

5 【主要元件符號說明】

110...溝槽	208...遮蔽電極
112...遮蔽電介質	210...熱氧化物層
114...遮蔽電極	212...電介質共形層
116...介電層	214...極間電介質層
120...閘極電介質	216...閘極電介質
122...閘極	218...內凹閘極
201...基板	220...p型本體區
202...溝槽	222...源極區
203...磊晶層	224...前金屬介電層
204...矽區	226...接觸開口
206...遮蔽介電層	228...p型重度本體區

十、申請專利範圍：

1. 一種形成場效電晶體的方法，其係包含下列步驟：

在一第一導電型之一矽區中形成一溝槽，該溝槽有一遮蔽電極，其係藉由一遮蔽電介質而與該矽區絕緣；

- 5 沿著該遮蔽電極之一上表面形成包含一層熱氧化物與一層共形電介質的一極間電介質(IPD)；

形成襯於至少上溝槽側壁的一閘極電介質；以及

在該溝槽中形成一閘極，該閘極係藉由該IPD而與該遮蔽電極絕緣。

- 10 2. 如申請專利範圍第1項所述之方法，其中該IPD有一內凹上表面。

3. 如申請專利範圍第1項所述之方法，其中該IPD之一厚度與該閘極電介質之一厚度的比例大於三比一。

- 15 4. 如申請專利範圍第1項所述之方法，其中在形成該IPD之後形成該閘極電介質。

5. 如申請專利範圍第1項所述之方法，其中該形成一IPD的步驟係包含：

沿著該溝槽之上側壁以及沿著該遮蔽電極之一上表面形成一層熱氧化物；

- 20 用一電介質共形層填滿該溝槽；以及，

部份移除該電介質共形層以及該熱氧化物層，藉此形成該IPD，該IPD包含該熱介電層之一剩餘部份與該電介質共形層之一剩餘部份。

6. 如申請專利範圍第5項所述之方法，其中該形成一層熱

氧化物的步驟係包含將矽熱氧化，藉此形成一層熱氧化物，其中沿著該遮蔽電介質之上表面的熱氧化物層比沿著該等溝槽側壁者厚。

5 7. 如申請專利範圍第5項所述之方法，其中該部份移除的步驟係完全移除沿著鄰近該溝槽之矽表面和沿著上溝槽側壁的任何電介質。

8. 如申請專利範圍第5項所述之方法，其中該填滿步驟係包含沉積一氧化物共形層以填滿該溝槽。

10 9. 如申請專利範圍第5項所述之方法，其中該部份移除步驟係包含在該溝槽中均勻地回蝕該電介質共形層與該熱氧化物層至一所欲深度，藉此沿著該共形電介質之該剩餘層的一下表面與側壁，該共形電介質的剩餘層被該熱氧化物的剩餘層包圍著。

15 10. 如申請專利範圍第1項所述之方法，其中該形成一溝槽的步驟係包含：

形成一覆蓋該等溝槽側壁及底部的遮蔽電介質；

形成一陷入該溝槽的遮蔽電極；以及，

部份移除該遮蔽電介質的暴露部份藉此至少沿著上溝槽側壁留下一細層的該遮蔽電介質。

20 11. 如申請專利範圍第1項所述之方法，其更包含：

在該矽區中形成一第二導電型的一井區；以及，

在該井區中形成數個源極區，使得該等源極區位在該溝槽兩側。

12. 如申請專利範圍第11項所述之方法，其更包含：

形成一層在該閘極、該等源極區及該井區上面延伸的前金屬電介質；

移除該前金屬介電層的預定部份以暴露該井區的對應表面；

5 使該井區沿著該等經暴露表面凹入，藉此暴露數個源極區的側壁；以及，

 形成一金屬層以與該井區和該等源極區的經暴露側壁電氣接觸。

13. 一種場效電晶體(FET)，其係包含：

10 延伸進入一第一導電型之一矽區的一溝槽；

 在該溝槽之一下半部中的一遮蔽電極，該遮蔽電極係藉由一遮蔽電介質而與該矽區絕緣；以及

 在該溝槽中的一閘極，其係在該遮蔽電極上方且藉由一極間電介質(IPD)而與該遮蔽電極絕緣，該IPD包含
15 一電介質共形層與一熱氧化物層。

14. 如申請專利範圍第13項所述之場效電晶體，其中該閘極係藉由沿著上溝槽側壁延伸的一閘極電介質而與該矽區絕緣，且該IPD之一厚度與該閘極電介質之一厚度的比例大於三比一。

20 15. 如申請專利範圍第13項所述之場效電晶體，其中該IPD沿著其上表面有一內凹輪廓。

16. 如申請專利範圍第13項所述之場效電晶體，其中該閘極沿著其下表面有一內凹輪廓。

17. 如申請專利範圍第13項所述之場效電晶體，其中該電介

質共形層沿著其下表面與側壁被該熱電介質包圍。

18. 如申請專利範圍第13項所述之場效電晶體，其中該電介質共形層有一外凸下表面與一內凹上表面。

5 19. 如申請專利範圍第13項所述之場效電晶體，其中該遮蔽電極有一圓形頂面。

20. 如申請專利範圍第13項所述之場效電晶體，其中該矽區包含：

該第一導電型之一磊晶層，其係在該第一導電型之一基板上延伸；

10 在該磊晶層中為一第二導電型的數個井區；以及，
在該等井區中為該第一導電型的數個源極區，該等源極區是位在該溝槽兩側。

21. 如申請專利範圍第20項所述之場效電晶體，其中該溝槽係延伸進入該磊晶層且在該磊晶層內終止。

15 22. 如申請專利範圍第20項所述之場效電晶體，其中該溝槽係延伸穿過該磊晶層且在該基板內終止。

23. 一種場效電晶體(FET)，其係包含：

一溝槽，其係延伸進入一第一導電型的一矽區；

20 在該溝槽之一下半部中的一遮蔽電極，該遮蔽電極係藉由一遮蔽電介質而與該矽區絕緣；以及

在該溝槽中的一閘極，其係在該遮蔽電極上方但藉由一極間電介質(IPD)而與該遮蔽電極絕緣，該極間電介質(IPD)沿著其上表面有一內凹輪廓。

24. 如申請專利範圍第23項所述之場效電晶體，其中該遮蔽

電極有一圓形頂面。

25. 如申請專利範圍第23項所述之場效電晶體，其中該矽區包含：

5 該第一導電型之一磊晶層，其係在該第一導電型之一基板上延伸；

在該磊晶層中為一第二導電型的數個井區；以及，
在該等井區中為該第一導電型的數個源極區，該等源極區是位在該溝槽兩側。

10 26. 如申請專利範圍第25項所述之場效電晶體，其中該溝槽係延伸進入該磊晶層且在該磊晶層內終止。

27. 如申請專利範圍第25項所述之場效電晶體，其中該溝槽係延伸穿過該磊晶層且在該基板內終止。

28. 一種場效電晶體(FET)，其係包含：

15 一溝槽，其係延伸進入一第一導電型的一矽區；
在該溝槽之一下半部中的一遮蔽電極，該遮蔽電極係藉由一遮蔽電介質而與該矽區絕緣；以及

20 在該溝槽中的一閘極，其係在該遮蔽電極上方但藉由一極間電介質(IPD)而與該遮蔽電極絕緣，該IPD包含一電介質共形層，該電介質共形層沿著其下表面有一外凸輪廓以及沿著其上表面有一內凹輪廓。

29. 如申請專利範圍第28項所述之場效電晶體，其中該閘極沿著其下表面有一內凹輪廓。

30. 如申請專利範圍第28項所述之場效電晶體，其中該IPD更包含一熱電介質，該熱電介質沿著其下表面與側壁係

包圍該電介質共形層。

31. 如申請專利範圍第28項所述之場效電晶體，其中該矽區包含：

5 該第一導電型之一磊晶層，其係在該第一導電型之一基板上延伸；

在該磊晶層中為一第二導電型的數個井區；以及，
在該等井區中為該第一導電型的數個源極區，該等源極區是位在該溝槽兩側。

10 32. 如申請專利範圍第31項所述之場效電晶體，其中該溝槽係延伸進入該磊晶層且在該磊晶層內終止。

33. 如申請專利範圍第31項所述之場效電晶體，其中該溝槽係延伸穿過該磊晶層且在該基板內終止。

34. 一種形成場效電晶體的方法，該方法包含下列步驟：

15 形成延伸進入一第一導電型的一矽區之一溝槽；
在該溝槽之一下半部中形成一遮蔽電極；以及
形成一極間電介質(IPD)，該IPD沿著其在該遮蔽電極上方之上表面的至少一中心部分有一內凹輪廓；以及在該IPD上方於該溝槽中形成一閘極。

20 35. 如申請專利範圍第34項之方法，其中該遮蔽電極具有一圓形頂面。

36. 如申請專利範圍第34項之方法，進一步包含：

在該矽區形成一第二導電型的一井區；以及
在該井區形成該第一導電型的數個源極區，該等源極區是位在該溝槽兩側。

37. 如申請專利範圍第34項之方法，進一步包含：

形成襯於至少上溝槽側壁之一閘極電介質，其中該 IPD 的一厚度與該閘極電介質之一厚度間之一比例係大於三比一。

5 38. 一種形成場效電晶體的方法，該方法包含下列步驟：

形成延伸進入一第一導電型的一矽區之一溝槽；

在該溝槽之一下半部形成一遮蔽電極；以及

形成一極間電介質 (IPD)，該 IPD 沿著其下表面有一外凸輪廓，以及沿著其在該遮蔽電極上方之上表面有一內凹輪廓；以及

10 在該 IPD 上方於該溝槽中形成一閘極。

39. 如申請專利範圍第38項之方法，其中該閘極沿著其下表面有一內凹輪廓。

40. 如申請專利範圍第38項之方法，其中該遮蔽電極沿著其上表面有一外凸輪廓。

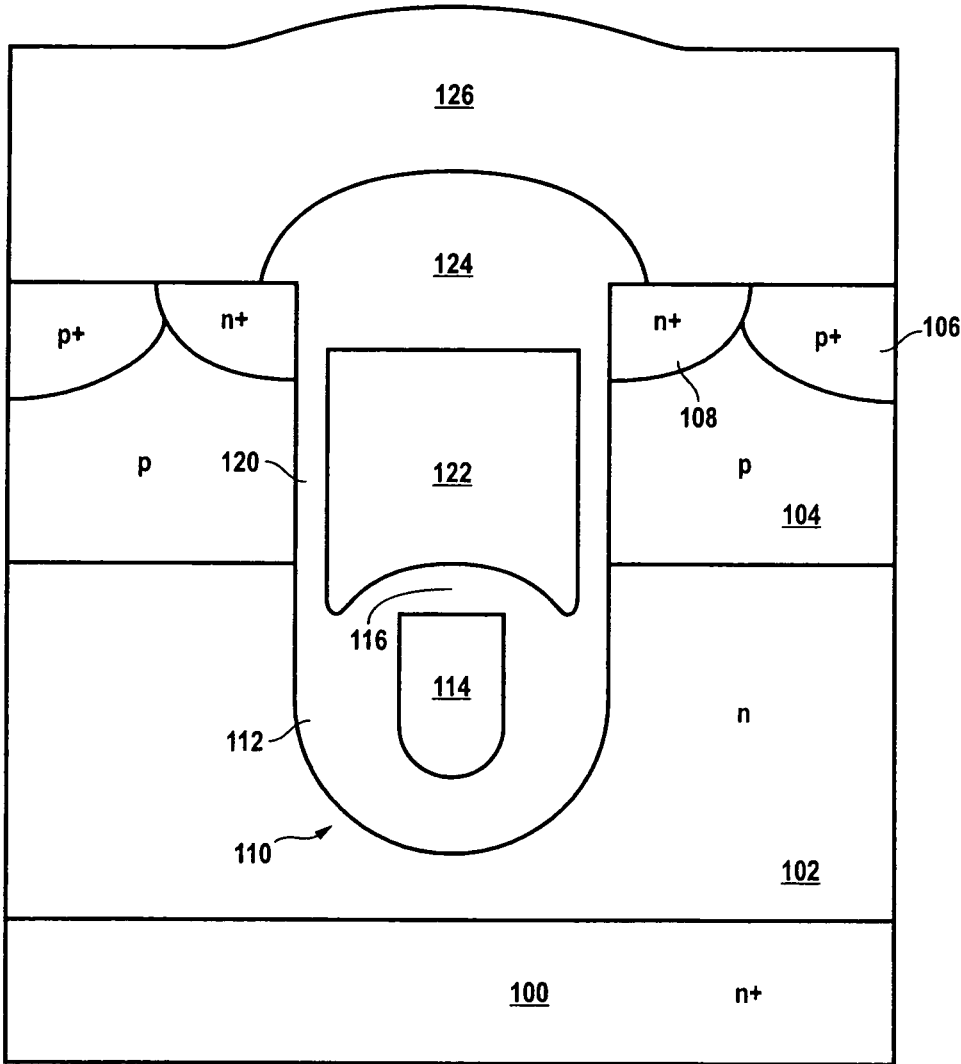
15 41. 如申請專利範圍第38項之方法，進一步包含：

在該矽區形成一第二導電型的一井區；以及

在該井區形成該第一導電型的數個源極區，該等源極區是位在該溝槽兩側。

/

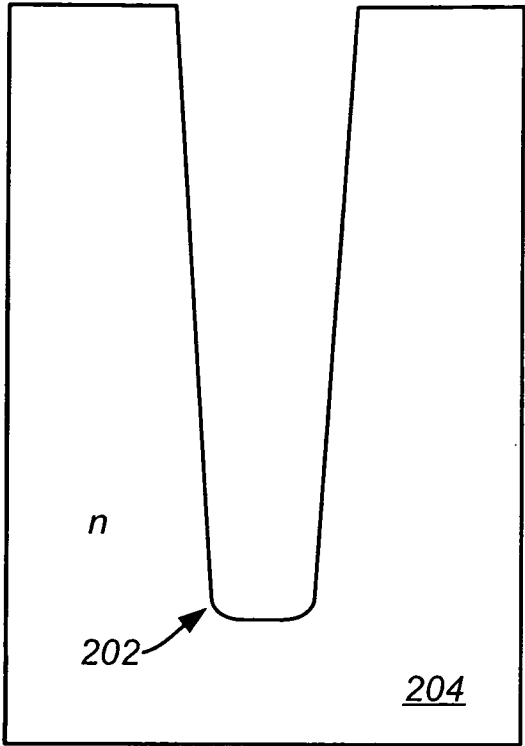
+



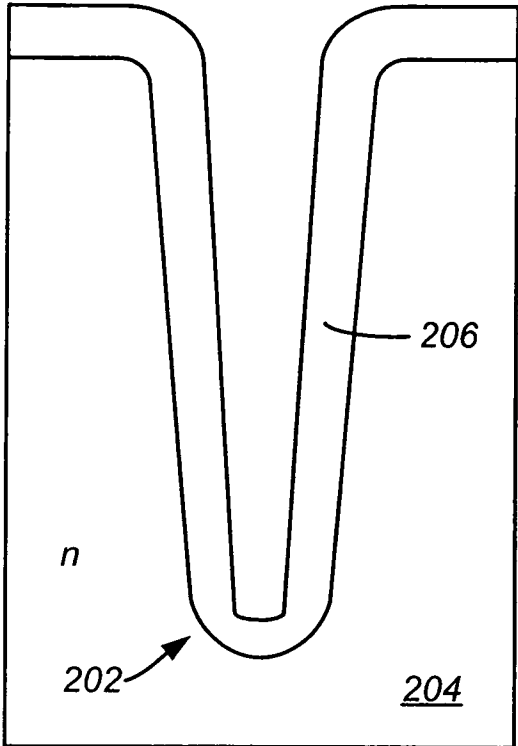
第 1 圖

+

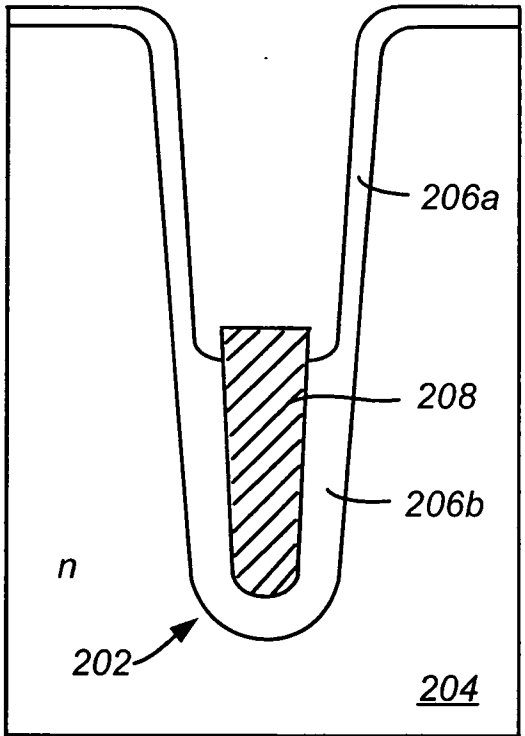
+



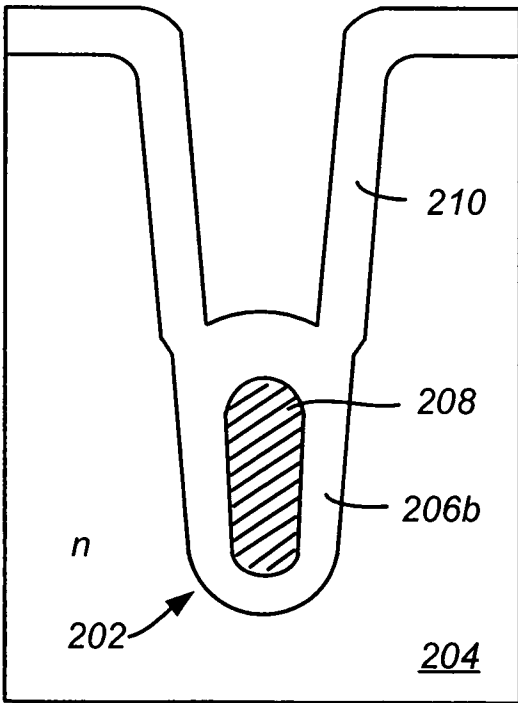
第2A 圖



第 2B 圖

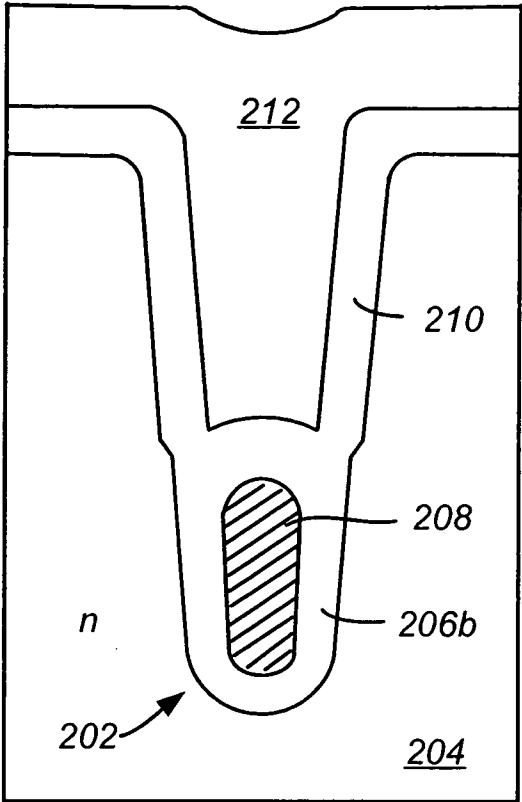


第 2C 圖

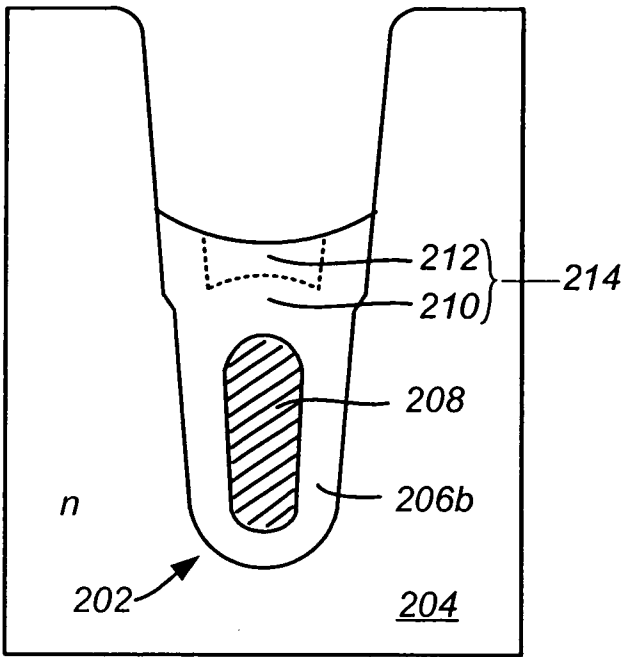


第 2D 圖

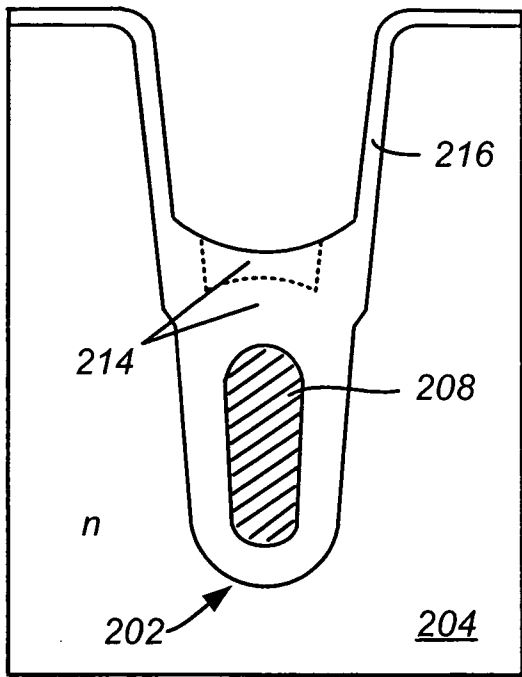
+



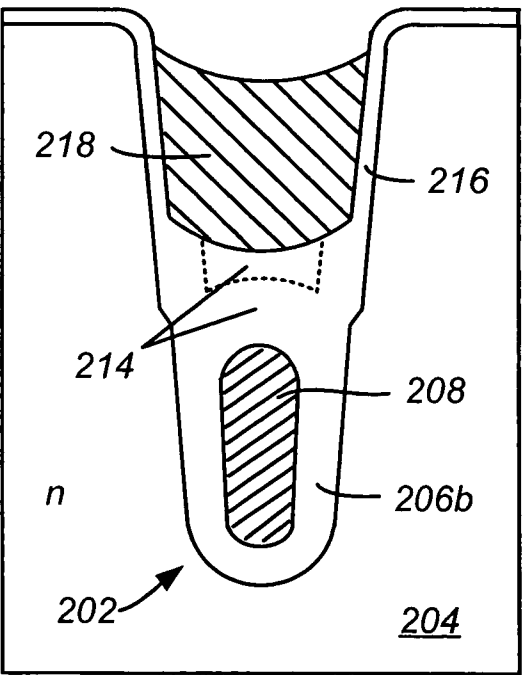
第2E 圖



第 2F 圖

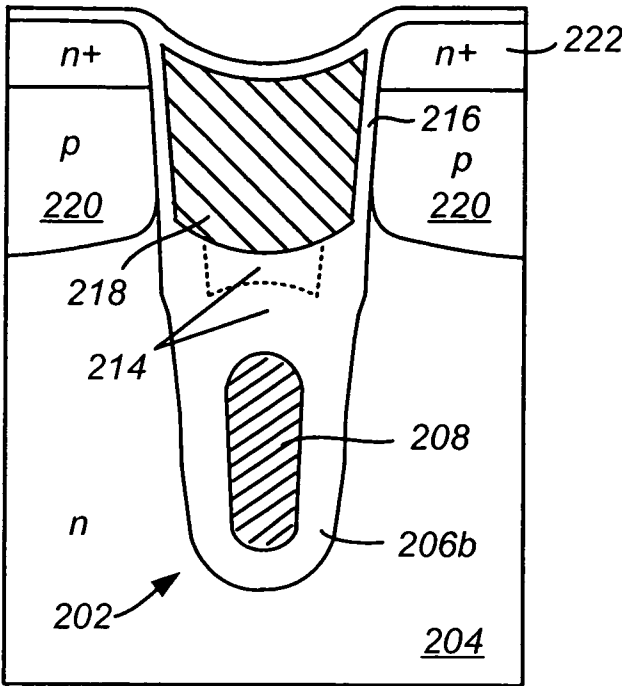


第2G 圖

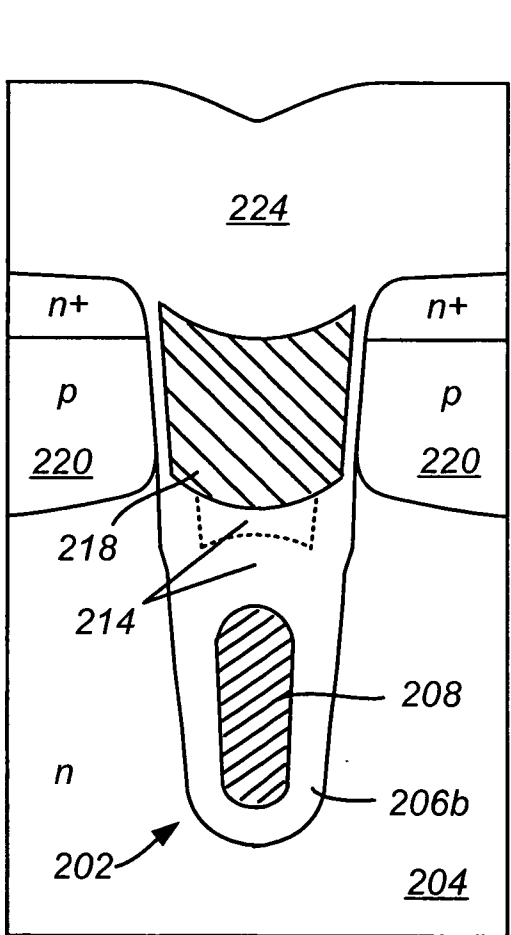


第2H 圖

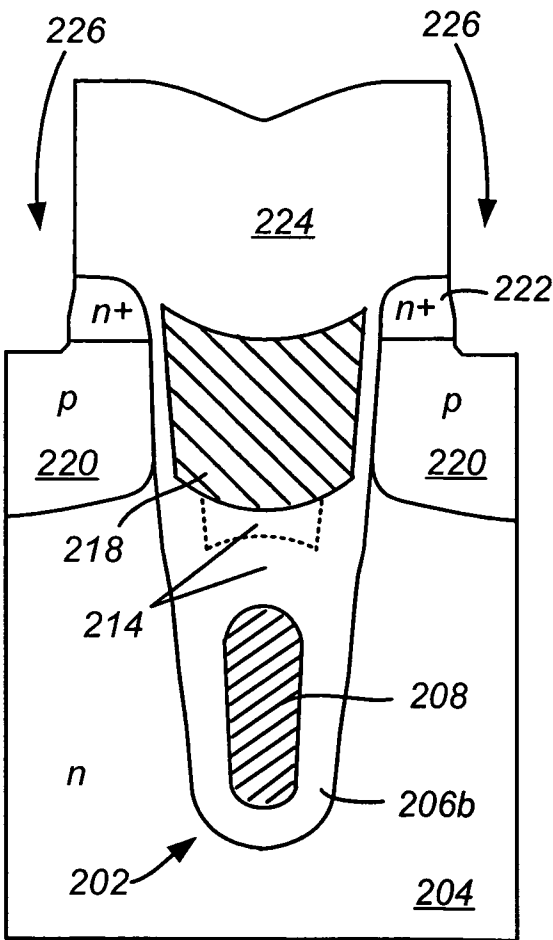




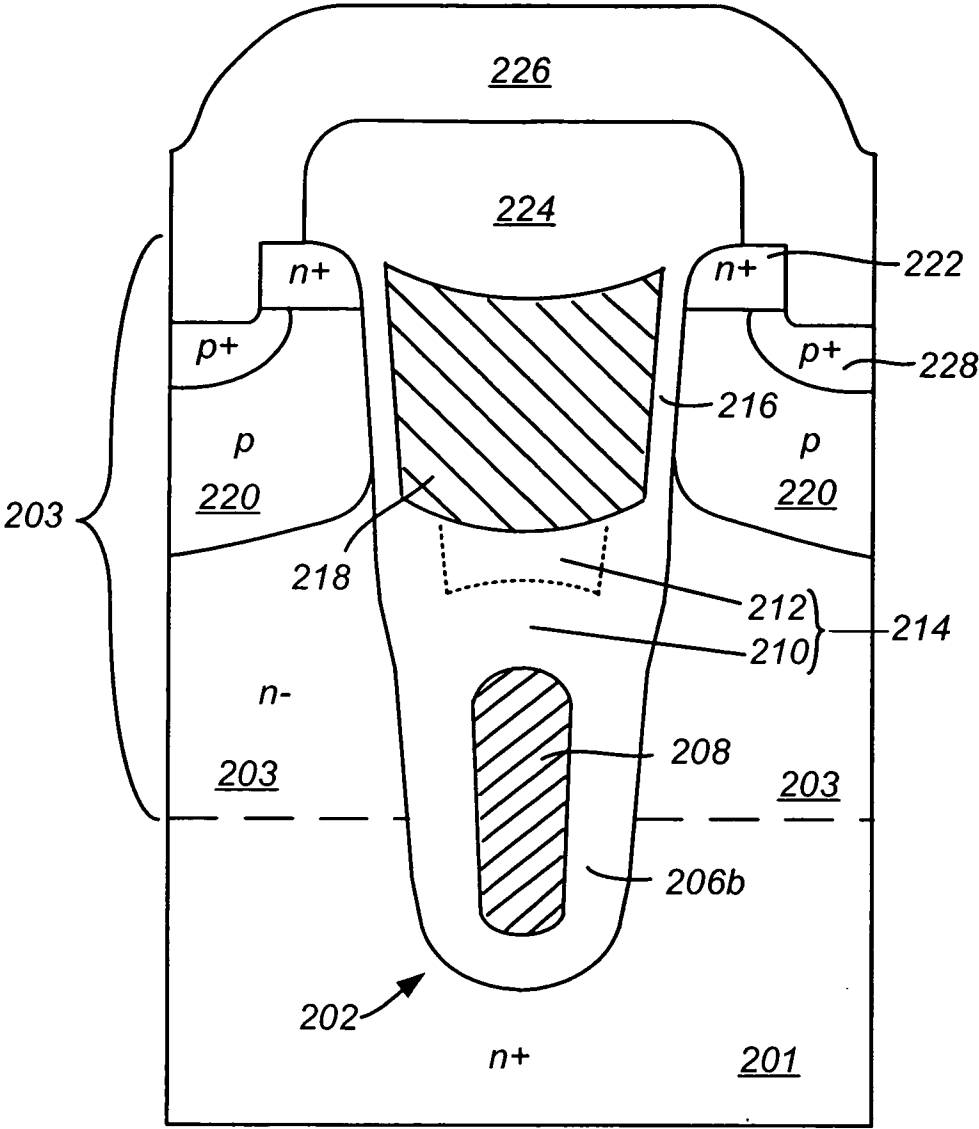
第 2I 圖



第 2J 圖



第 2K 圖



第 2L 圖