(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2025 年 3 月 20 日 (20.03.2025)

WIPO | PCT

(10) 国际公布号
WO 2025/055253 A1

(51) 国际专利分类号:
H05K 1/18 (2006.01) ***H05K 1/02*** (2006.01)
H05K 1/11 (2006.01)

(21) 国际申请号: PCT/CN2024/074320

(22) 国际申请日: 2024 年 1 月 26 日 (26.01.2024)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202311170956.1 2023年9月12日 (12.09.2023) CN

(71) 申请人:荣耀终端股份有限公司(**HONOR DEVICE CO., LTD.**) [CN/CN]; 中国广东省深圳市福田区香蜜湖街道红荔西路8089号深业中城6号楼A单元3401, Guangdong 518040 (CN)。

(72) 发明人:安健(**AN, Jian**); 中国广东省深圳市福田区香蜜湖街道红荔西路8089号深业中城6号楼A单元3401, Guangdong 518040 (CN)。 贾梦华(**JIA, Menghua**); 中国广东省深圳市福田区香蜜湖街道红荔西路8089号深业中城6号楼A单元3401, Guangdong 518040 (CN)。 霍攀(**HUO, Pan**); 中国广东省深圳市福田区香蜜湖街道红荔西路8089号深业中城6号楼A单元3401, Guangdong 518040 (CN)。 李东承(**LI, Dongcheng**); 中国广东省深圳市福田区香蜜湖街道红荔西路8089号深业中城6号楼A单元3401, Guangdong 518040 (CN)。 解鑫(**XIE, Xin**); 中国广东省深圳市福田区香蜜湖街道红荔西路8089号深业中城6号楼A单元3401, Guangdong 518040 (CN)。

(74) 代理人: 深圳市世纪恒程知识产权代理事务所(**CENFO INTELLECTUAL PROPERTY AGENCY**); 中国广东省深圳市南山区西丽街道松坪山社区松坪山路3号奥特迅电力大厦201, Guangdong 518052 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ,

(54) **Title:** CIRCUIT BOARD, CIRCUIT BOARD ASSEMBLY AND ELECTRONIC DEVICE

(54) 发明名称: 电路板、电路板组件及电子设备

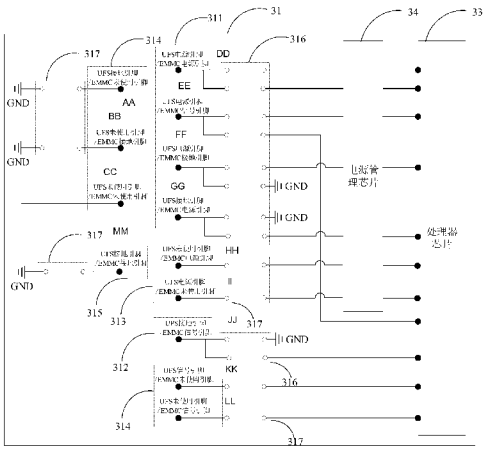


图 5

33 Processor chip
34 Power management chip
AA UFS ground pin/EMMC not-used pin
BB UFS not-used pin/EMMC ground pin
CC UFS not-used pin/EMMC not-used pin
DD UFS power pin/EMMC power pin
EE UFS power pin/EMMC signal pin
FF UFS power pin/EMMC ground pin
GG UFS ground pin/EMMC power pin
HH UFS not-used pin/EMMC power pin
II UFS power pin/EMMC not-used pin
JJ UFS ground pin/EMMC signal pin
KK UFS signal pin/EMMC not-used pin
LL UFS not-used pin/EMMC signal pin
MM UFS ground pin/EMMC ground pin

(57) **Abstract:** Provided in the embodiments of the present application are a circuit board, a circuit board assembly and an electronic device, which are applied to the technical field of electronics. The circuit board is configured to bear a target storage chip, which is any type of at least two types of storage chips, and the circuit board comprises a first bonding pad group, which is configured to connect to the target storage chip and comprises a plurality of first bonding pads, wherein each first bonding pad is connected to at least two traces; each trace connected to at least some of the first bonding pads comprises a first jump connection region, and is disconnected at the first jump connection region; and in a case where the circuit board is configured to bear the target storage chip, the first jump connection regions comprised by target traces connected to the at least some of the first bonding pads are configured such that jump connection elements are assembled therein, and each target trace is the trace of at least two traces connected to each first bonding pad that corresponds to the target storage chip. In this way, different types of storage chips can be compatible on the same circuit board.

WO 2025/055253 A1

[见续页]

LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本申请实施例提供一种电路板、电路板组件及电子设备，应用于电子技术领域。该电路板用于承载目标存储芯片，目标存储芯片包括至少两种存储芯片中的任意一种存储芯片；电路板包括第一焊盘组，第一焊盘组用于与目标存储芯片连接，第一焊盘组包括多个第一焊盘，每个第一焊盘均与至少两路走线连接，至少部分的第一焊盘连接的每一路走线均包括第一跳选区域，第一跳选区域处的走线断开设置；在电路板用于承载目标存储芯片的情况下，至少部分的第一焊盘连接的目标走线包括的第一跳选区域用于装配跳选元件，目标走线为第一焊盘连接的至少两路走线中与目标存储芯片对应的一路走线。这样，可以实现在同一电路板上兼容不同类型的存储芯片。

电路板、电路板组件及电子设备

本申请要求于2023年09月12日提交中国国家知识产权局、申请号为202311170956.1、申请名称为“电路板、电路板组件及电子设备”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及电子技术领域，尤其涉及一种电路板、电路板组件及电子设备。

背景技术

随着电子技术的不断发展，手机、平板电脑等电子设备已逐渐成为人们日常生活和工作中较为常见的工具。为了满足用户对电子设备多样化的需求，电子设备内可以设置有多种类型的芯片，如处理器芯片和存储芯片等。

以电子设备中设置存储芯片为例，存储芯片可以装配在电子设备内设置的电路板上。目前存在多种不同类型的存储芯片，在电路板上装配不同类型的存储芯片时，其所需的电路板也不同。这样，会导致同一类型的电路板的使用率降低，且导致电路板的设计成本增加。

发明内容

本申请实施例提供一种电路板、电路板组件及电子设备，其可以在同一电路板上兼容不同类型的存储芯片，从而提高同一类型的电路板的使用率，并降低电路板的设计成本。

第一方面，本申请实施例提出一种电路板，电路板用于承载目标存储芯片，目标存储芯片包括至少两种存储芯片中的任意一种存储芯片，至少两种存储芯片中的各种存储芯片的引脚数量均相等，且至少两种存储芯片中的各种存储芯片的引脚排布均相同。电路板包括第一焊盘组，第一焊盘组用于与目标存储芯片连接；第一焊盘组包括多个第一焊盘，每个第一焊盘均与至少两路走线连接，至少部分的第一焊盘连接的每一路走线均包括第一跳选区域，第一跳选区域处的走线断开设置。在电路板用于承载目标存储芯片的情况下，至少部分的第一焊盘连接的目标走线包括的第一跳选区域用于装配跳选元件，目标走线为第一焊盘连接的至少两路走线中与目标存储芯片对应的一路走线。

这样，通过将电路板上的每个第一焊盘设置成与至少两路走线连接，以兼容不同类型的存储芯片的引脚连接关系；并且，至少部分的第一焊盘连接的每一路走线均包括第一跳选区域，使得在电路板上装配不同类型的存储芯片时，可以在第一焊盘连接的至少两路走线中对应的一路走线包括的第一跳选区域处装配跳选元件，以实现选通。这样，实现在同一电路板上兼容不同类型的存储芯片，从而提高同一类型的电路板的使用率，并降低电路板的设计成本。

在一种可能的实现方式中，目标存储芯片包括第一存储芯片或第二存储芯片。每个第一焊盘均与两路走线连接，至少部分的第一焊盘连接的两路走线均包括第一跳选区域。在电路板用于承载第一存储芯片的情况下，至少部分的第一焊盘连接的第一走

线包括的第一跳选区域用于装配跳选元件；第一走线为第一焊盘连接的两路走线中与第一存储芯片对应的一路走线；在电路板用于承载第二存储芯片的情况下，至少部分的第一焊盘连接的第二走线包括的第一跳选区域用于装配跳选元件；第二走线为第一焊盘连接的两路走线中与第二存储芯片对应的一路走线。这样，可以实现在同一电路板上兼容第一存储芯片和第二存储芯片。

在一种可能的实现方式中，多个第一焊盘包括第一类焊盘，第一类焊盘用于与第一存储芯片的电源引脚和/或第二存储芯片的电源引脚连接，且第一类焊盘不用于与第一存储芯片的未使用引脚或第二存储芯片的未使用引脚连接；电路板还用于承载第一电源模块。在第一类焊盘用于与第一存储芯片的电源引脚连接的情况下，第一电源模块用于通过第一走线与第一类焊盘连接；和/或，在第一类焊盘用于与第二存储芯片的电源引脚连接的情况下，第一电源模块用于通过第二走线与第一类焊盘连接。这样，提供了电路板中的第一类焊盘的具体连接关系。

在一种可能的实现方式中，第一类焊盘连接的第一走线和第二走线均包括第一跳选区域。在电路板用于承载第一存储芯片的情况下，第一类焊盘连接的第一走线包括的第一跳选区域用于装配跳选元件，且第一类焊盘连接的第二走线包括的第一跳选区域不用于装配跳选元件；在电路板用于承载第二存储芯片的情况下，第一类焊盘连接的第二走线包括的第一跳选区域用于装配跳选元件，且第一类焊盘连接的第一走线包括的第一跳选区域不用于装配跳选元件。这样，通过第一类焊盘连接的第一走线和第二走线包括的第一跳选区域的跳选，使得同一电路板上的第一类焊盘可以兼容第一存储芯片和第二存储芯片中的一些引脚。

在一种可能的实现方式中，与第一电源模块连接的第一走线和/或第二走线不包括第一跳选区域，未与第一电源模块连接的第一走线或第二走线包括第一跳选区域。在电路板用于承载第一存储芯片，且第一类焊盘用于与第一存储芯片的电源引脚连接的情况下，第一电源模块用于对第一类焊盘连接的第一走线进行上电；和/或，在电路板用于承载第二存储芯片，且第一类焊盘用于与第二存储芯片的电源引脚连接的情况下，第一电源模块用于对第一类焊盘连接的第二走线进行上电。这样，通过第一电源模块的上电，使得同一电路板上的第一类焊盘可以兼容第一存储芯片和第二存储芯片中的一些引脚，其可以减少第一跳选区域处需要装配的跳选元件，从而降低电路板组件的成本，且简化电路板组件的制作步骤。

在一种可能的实现方式中，与第一电源模块连接的第一走线和第二走线均不包括第一跳选区域。在电路板用于承载第一存储芯片，且第一类焊盘用于与第一存储芯片的电源引脚连接的情况下，第一电源模块用于对第一类焊盘连接的第一走线进行上电，且第一电源模块用于对第一类焊盘连接的第二走线不进行上电；并且，在电路板用于承载第二存储芯片，且第一类焊盘用于与第二存储芯片的电源引脚连接的情况下，第一电源模块用于对第一类焊盘连接的第二走线进行上电，且第一电源模块用于对第一类焊盘连接的第一走线不进行上电。

在一种可能的实现方式中，与第一电源模块连接的第一走线不包括第一跳选区域，未与第一电源模块连接的第二走线包括第一跳选区域。在电路板用于承载第一存储芯片，且第一类焊盘用于与第一存储芯片的电源引脚连接的情况下，第一电源模块用于

对第一类焊盘连接的第一走线进行上电，且第一类焊盘连接的第二走线包括的第一跳选区域不用于装配跳选元件；并且，在电路板用于承载第二存储芯片，且第一类焊盘用于与第二存储芯片的信号引脚或接地引脚连接的情况下，第一类焊盘连接的第二走线包括的第一跳选区域用于装配跳选元件，且第一电源模块用于对第一类焊盘连接的第一走线不进行上电。

在一种可能的实现方式中，与第一电源模块连接的第二走线不包括第一跳选区域，未与第一电源模块连接的第一走线包括第一跳选区域。在电路板用于承载第一存储芯片，且第一类焊盘用于与第一存储芯片的信号引脚或接地引脚连接的情况下，第一类焊盘连接的第一走线包括的第一跳选区域用于装配跳选元件，且第一电源模块用于对第一类焊盘连接的第二走线不进行上电；并且，在电路板用于承载第二存储芯片，且第一类焊盘用于与第二存储芯片的电源引脚连接的情况下，第一电源模块用于对第一类焊盘连接的第二走线进行上电，且第一类焊盘连接的第一走线包括的第一跳选区域不用于装配跳选元件。

在一种可能的实现方式中，多个第一焊盘包括第二类焊盘，第二类焊盘用于与第一存储芯片的信号引脚和第二存储芯片的信号引脚连接，或者用于与第一存储芯片的信号引脚和第二存储芯片的接地引脚连接，或者用于与第一存储芯片的接地引脚和第二存储芯片的信号引脚连接。第二类焊盘连接的第一走线和第二走线均包括第一跳选区域；在电路板用于承载第一存储芯片的情况下，至少部分的第二类焊盘连接的第一走线包括的第一跳选区域用于装配跳选元件；在电路板用于承载第二存储芯片的情况下，第二类焊盘连接的第二走线包括的第一跳选区域用于装配跳选元件。这样，通过第二类焊盘连接的第一走线和第二走线包括的第一跳选区域的跳选，得同一电路板上的第二类焊盘可以兼容第一存储芯片和第二存储芯片中的一些引脚。

在一种可能的实现方式中，第一焊盘组还包括多个第二焊盘，每个第二焊盘均与一路走线连接，第二焊盘连接的一路走线为第三走线；部分的第二焊盘连接的第三走线包括第二跳选区域，第二跳选区域处的第三走线断开设置；另一部分的第二焊盘连接的第三走线不包括第二跳选区域。在电路板用于承载第一存储芯片或第二存储芯片的情况下，至少部分的第二焊盘连接的第三走线包括的第二跳选区域用于装配跳选元件。这样，提供了电路板中的第二焊盘的具体连接关系。

在一种可能的实现方式中，多个第二焊盘包括第三类焊盘，第三类焊盘用于与第一存储芯片的电源引脚和第二存储芯片的未使用引脚连接，或者用于与第一存储芯片的未使用引脚和第二存储芯片的电源引脚连接。电路板还用于承载第二电源模块，第二电源模块用于通过第三走线与第三类焊盘连接。

在一种可能的实现方式中，第三类焊盘连接的第三走线包括第二跳选区域。在电路板用于承载第一存储芯片，且第三类焊盘用于与第一存储芯片的电源引脚连接的情况下，第三类焊盘连接的第三走线包括的第二跳选区域用于装配跳选元件；在电路板用于承载第二存储芯片，且第三类焊盘用于与第二存储芯片的未使用引脚连接的情况下，第三类焊盘连接的第三走线包括的第二跳选区域不用于装配跳选元件。在电路板用于承载第一存储芯片，且第三类焊盘用于与第一存储芯片的未使用引脚连接的情况下，第三类焊盘连接的第三走线包括的第二跳选区域不用于装配跳选元件；在电路板

用于承载第二存储芯片，且第三类焊盘用于与第二存储芯片的电源引脚连接的情况下，第三类焊盘连接的第三走线包括的第二跳选区域用于装配跳选元件。这样，通过第三类焊盘连接的第三走线包括的第二跳选区域是否装配跳选元件，使得同一电路板上的第三类焊盘可以兼容第一存储芯片和第二存储芯片中的一些引脚。

在一种可能的实现方式中，第三类焊盘连接的第三走线不包括第二跳选区域。在电路板用于承载第一存储芯片，且第三类焊盘用于与第一存储芯片的电源引脚连接的情况下，第二电源模块用于对第三类焊盘连接的第三走线进行上电；在电路板用于承载第二存储芯片，且第三类焊盘用于与第二存储芯片的未使用引脚连接的情况下，第二电源模块用于对第三类焊盘连接的第三走线不进行上电。在电路板用于承载第一存储芯片，且第三类焊盘用于与第一存储芯片的未使用引脚连接的情况下，第二电源模块用于对第三类焊盘连接的第三走线不进行上电；在电路板用于承载第二存储芯片，且第三类焊盘用于与第二存储芯片的电源引脚连接的情况下，第二电源模块用于对第三类焊盘连接的第三走线进行上电。这样，通过第二电源模块上电或不上电，使得同一电路板上的第三类焊盘可以兼容第一存储芯片和第二存储芯片中的一些引脚，其可以减少第二跳选区域处需要装配的跳选元件，从而降低电路板组件的成本，且简化电路板组件的制作步骤。

在一种可能的实现方式中，多个第二焊盘包括第四类焊盘，第四类焊盘用于与第一存储芯片的未使用引脚和/或第二存储芯片的未使用引脚连接，且第四类焊盘不用于与第一存储芯片的电源引脚或第二存储芯片的电源引脚连接。

在一种可能的实现方式中，第四类焊盘连接的第三走线包括第二跳选区域。在电路板用于承载第一存储芯片，且第四类焊盘用于与第一存储芯片的未使用引脚连接的情况下，第四类焊盘连接的第三走线包括的第二跳选区域不用于装配跳选元件；在电路板用于承载第二存储芯片，且第四类焊盘用于与第二存储芯片的接地引脚或信号引脚连接的情况下，第四类焊盘连接的第三走线包括的第二跳选区域用于装配跳选元件。在电路板用于承载第一存储芯片，且第四类焊盘用于与第一存储芯片的接地引脚或信号引脚连接的情况下，第四类焊盘连接的第三走线包括的第二跳选区域用于装配跳选元件或不用于装配跳选元件；在电路板用于承载第二存储芯片，且第四类焊盘用于与第二存储芯片的未使用引脚连接的情况下，第四类焊盘连接的第三走线包括的第二跳选区域不用于装配跳选元件。这样，通过第四类焊盘连接的第三走线包括的第二跳选区域是否装配跳选元件，使得同一电路板上的第四类焊盘可以兼容第一存储芯片和第二存储芯片中的一些引脚。

在一种可能的实现方式中，第四类焊盘连接的第三走线不包括第二跳选区域。这样，在电路板上装配第一存储芯片或第二存储芯片时，可以减少第二跳选区域处需要装配的跳选元件，从而降低电路板组件的成本，且简化电路板组件的制作步骤。

在一种可能的实现方式中，多个第二焊盘包括第五类焊盘，第五类焊盘用于与第一存储芯片的接地引脚和第二存储芯片的接地引脚连接。其中，第五类焊盘连接的第三走线包括第二跳选区域；在电路板用于承载第一存储芯片的情况下，第五类焊盘连接的第三走线包括的第二跳选区域用于装配跳选元件；在电路板用于承载第二存储芯片的情况下，第五类焊盘连接的第三走线包括的第二跳选区域用于装配跳选元件或不

用于装配跳选元件；或者，第五类焊盘连接的第三走线不包括第二跳选区域。这样，提供了电路板中的第五类焊盘的具体连接关系，使得同一电路板上的第五类焊盘可以兼容第一存储芯片和第二存储芯片中的一些引脚。

在一种可能的实现方式中，电路板还包括第二焊盘组，第二焊盘组用于与处理器芯片连接，电路板还用于承载第三电源模块。多个第二焊盘包括第六类焊盘，第六类焊盘用于与第一存储芯片的电源引脚和第二存储芯片的电源引脚连接。在电路板用于承载第一存储芯片的情况下，第一存储芯片的电源引脚依次通过第六类焊盘、第三走线和第三电源模块与处理器芯片的第一电源引脚连接；在电路板用于承载第二存储芯片的情况下，第二存储芯片的电源引脚依次通过第六类焊盘、第三走线和第三电源模块与处理器芯片的第二电源引脚连接；第一电源引脚和第二电源引脚为同一电源引脚。其中，第六类焊盘连接的第三走线包括第二跳选区域；在电路板用于承载第一存储芯片或第二存储芯片的情况下，第六类焊盘连接的第三走线包括的第二跳选区域用于装配跳选元件。或者，第六类焊盘连接的第三走线不包括第二跳选区域；在电路板用于承载第一存储芯片或第二存储芯片的情况下，第三电源模块用于对第六类焊盘连接的第三走线进行上电。这样，在处理器芯片中的同一个电源引脚，分别与第一存储芯片和第二存储芯片中同一个位置处的电源引脚连接的情况下，可以将两路走线合并为一路走线，以简化电路板的结构。

在一种可能的实现方式中，跳选元件包括电阻、电容、二极管以及三极管中的任意一种。

在一种可能的实现方式中，至少两种存储芯片中的各种存储芯片的尺寸均相同。这样，便于在电路板中预留存储芯片的装配位置。

在一种可能的实现方式中，至少两种存储芯片包括第一通用闪存存储器（universal flash storage，UFS）存储芯片、第二 UFS 存储芯片以及嵌入式多媒体卡（embedded multi media card，EMMC）存储芯片中的至少两者；第一 UFS 存储芯片的接口版本与第二 UFS 存储芯片的接口版本不同。

第二方面，本申请实施例提出一种电路板组件，包括目标存储芯片以及上述的电路板，目标存储芯片连接于电路板上。

第三方面，本申请实施例提出一种电子设备，包括壳体以及上述的电路板组件，电路板组件设置于壳体内部。

第二方面和第三方面各可能的实现方式，效果与第一方面以及第一方面的可能的设计中的效果类似，在此不再赘述。

附图说明

图 1 为本申请实施例提供的电子设备的立体结构示意图；

图 2 为本申请实施例提供的电子设备的分解结构示意图；

图 3 为本申请实施例提供的电路板组件的结构示意图；

图 4 为本申请实施例提供的第一存储芯片或第二存储芯片封装后的引脚的布局示意图；

图 5 为本申请实施例提供的电路板的一种示例性的结构示意图；

图 6 为本申请实施例提供的第一类引脚共用焊盘与第一走线和第二走线的一种连

接关系示意图；

图 7 为本申请实施例提供的第一类引脚共用焊盘与第一走线和第二走线的另一种连接关系示意图；

图 8 为本申请实施例提供的第二类引脚共用焊盘与第一走线和第二走线的一种连接关系示意图；

图 9 为本申请实施例提供的第二类引脚共用焊盘与第一走线和第二走线的另一种连接关系示意图；

图 10 为本申请实施例提供的第三类引脚共用焊盘与第一走线和第二走线的一种连接关系示意图；

图 11 为本申请实施例提供的第三类引脚共用焊盘与第一走线和第二走线的另一种连接关系示意图；

图 12 为本申请实施例提供的第四类引脚共用焊盘与第一走线和第二走线的一种连接关系示意图；

图 13 为本申请实施例提供的第四类引脚共用焊盘与第一走线和第二走线的另一种连接关系示意图；

图 14 为本申请实施例提供的第五类引脚共用焊盘与第一走线和第二走线的一种连接关系示意图；

图 15 为本申请实施例提供的第五类引脚共用焊盘与第一走线和第二走线的另一种连接关系示意图；

图 16 为本申请实施例提供的第六类引脚共用焊盘与第一走线和第二走线的一种连接关系示意图；

图 17 为本申请实施例提供的第七类引脚共用焊盘与第一走线和第二走线的一种连接关系示意图；

图 18 为本申请实施例提供的第八类引脚共用焊盘与第一走线和第二走线的一种连接关系示意图；

图 19 为本申请实施例提供的第九类引脚共用焊盘与第三走线的一种连接关系示意图；

图 20 为本申请实施例提供的第九类引脚共用焊盘与第三走线的另一种连接关系示意图；

图 21 为本申请实施例提供的第十类引脚共用焊盘与第三走线的一种连接关系示意图；

图 22 为本申请实施例提供的第十类引脚共用焊盘与第三走线的另一种连接关系示意图；

图 23 为本申请实施例提供的第十一类引脚共用焊盘与第三走线的一种连接关系示意图；

图 24 为本申请实施例提供的第十二类引脚共用焊盘与第三走线的一种连接关系示意图；

图 25 为本申请实施例提供的第十三类引脚共用焊盘与第三走线的一种连接关系示意图；

图 26 为本申请实施例提供的第十四类引脚共用焊盘与第三走线的一种连接关系示意图；

图 27 为本申请实施例提供的第十五类引脚共用焊盘与第三走线的一种连接关系示意图；

图 28 为本申请实施例提供的第十六类引脚共用焊盘与第三走线的一种连接关系示意图；

图 29 为本申请实施例提供的电路板上装配第一存储芯片的一种示例性的结构示意图；

图 30 为本申请实施例提供的电路板上装配第二存储芯片的一种示例性的结构示意图；

图 31 为本申请实施例提供的第六类焊盘与第三走线的一种连接关系示意图；

图 32 为本申请实施例提供的第六类焊盘与第三走线的另一种连接关系示意图。

具体实施方式

为了便于清楚描述本申请实施例的技术方案，在本申请的实施例中，采用了“第一”、“第二”等字样对功能和作用基本相同的相同项或相似项进行区分。例如，第一芯片和第二芯片仅仅是为了区分不同的芯片，并不对其先后顺序进行限定。本领域技术人员可以理解“第一”、“第二”等字样并不对数量和执行次序进行限定，并且“第一”、“第二”等字样也并不限定一定不同。

需要说明的是，本申请实施例中，“示例性的”或者“例如”等词用于表示作例子、例证或说明。本申请中被描述为“示例性的”或者“例如”的任何实施例或设计方案不应被解释为比其他实施例或设计方案更优选或更具优势。确切而言，使用“示例性的”或者“例如”等词旨在以具体方式呈现相关概念。

本申请实施例中，“至少一个”是指一个或者多个，“多个”是指两个或两个以上。“和/或”，描述关联对象的关联关系，表示可以存在三种关系，例如，A 和/或 B，可以表示：单独存在 A，同时存在 A 和 B，单独存在 B 的情况，其中 A，B 可以是单数或者复数。字符“/”一般表示前后关联对象是一种“或”的关系。“以下至少一项（个）”或其类似表达，是指的这些项中的任意组合，包括单项（个）或复数项（个）的任意组合。例如，a，b，或 c 中的至少一项（个），可以表示：a，b，c，a-b，a-c，b-c，或 a-b-c，其中 a，b，c 可以是单个，也可以是多个。

在一些电子设备中，其内设置的电路板上可以装配存储芯片。目前，存在多种不同类型的存储芯片，不同类型的存储芯片的协议不同。这样，在电路板上装配不同类型的存储芯片时，其所需的电路板也不同，使得每一种类型的存储芯片需要单独制作一种电路板，从而导致同一类型的电路板的使用率降低，且导致电路板的设计成本增加。

基于此，本申请实施例提供了一种电路板、电路板组件及电子设备，该电路板用于承载目标存储芯片，目标存储芯片包括至少两种存储芯片中的任意一种存储芯片，至少两种存储芯片中的各种存储芯片的引脚数量均相等，且至少两种存储芯片中的各种存储芯片的引脚排布均相同；电路板包括第一焊盘组，第一焊盘组用于与目标存储芯片连接，第一焊盘组包括多个第一焊盘，每个第一焊盘均与至少两路走线连接，至

少部分的第一焊盘连接的每一路走线均包括第一跳选区域，第一跳选区域处的走线断开设置；在电路板用于承载目标存储芯片的情况下，至少部分的第一焊盘连接的目标走线包括的第一跳选区域用于装配跳选元件，目标走线为第一焊盘连接的至少两路走线中与目标存储芯片对应的一路走线。

因此，通过将电路板上的每个第一焊盘设置成与至少两路走线连接，以兼容不同类型的存储芯片的引脚连接关系；并且，至少部分的第一焊盘连接的每一路走线均包括第一跳选区域，使得在电路板上装配不同类型的存储芯片时，可以在第一焊盘连接的至少两路走线中对应的一路走线包括的第一跳选区域处装配跳选元件，以实现选通。这样，实现在同一电路板上兼容不同类型的存储芯片，从而提高同一类型的电路板的使用率，并降低电路板的设计成本。

可以理解的是，本申请实施例中的电子设备可以是手机、平板电脑（Pad）、笔记本电脑、智能电视、穿戴式设备（如智能手表、智能手环等）、电子书阅读器、个人计算机（personal computer，PC）、个人数字助理（personal digital assistant，PDA）、车载设备、金融设备、虚拟现实（virtual reality，VR）终端设备、增强现实（augmented reality，AR）终端设备等包括存储芯片的电子产品。本申请的实施例对电子设备所采用的具体技术和具体设备形态不做限定。

图 1 为本申请实施例提供的电子设备的立体结构示意图，图 2 为图 1 所示的电子设备的分解结构示意图。参照图 1 和图 2 所示，以电子设备为手机为例，电子设备可以显示模组 10、壳体 20 和电路板组件 30。其中，壳体 20 包括中框 21 和后盖 22，中框 21 位于显示模组 10 和后盖 22 之间。

显示模组 10 用于实现显示功能。其中，显示模组 10 可以包括显示面板，显示面板可以为液晶显示面板（liquid crystal display，LCD），有机发光二极管（organic light-emitting diode，OLED）显示面板，有源矩阵有机发光二极体或主动矩阵有机发光二极体（active-matrix organic light emitting diod，AMOLED）显示面板，柔性发光二极管（flex light-emitting diode，FLED）显示面板，Miniled 显示面板，MicroLed 显示面板，Micro-oled 显示面板，量子点发光二极管（quantum dot light emitting diodes，QLED）显示面板等。

在一些实施例中，中框 21 和后盖 22 可以为一体成型结构，以增强电子设备的结构紧凑程度，降低电子设备在摔落时因后盖 22 脱离，而导致电子设备内部的电子元器件被摔坏的可能性。在另一些实施例中，中框 21 和后盖 22 也可以采用可拆卸的方式连接，以便电子设备内部的电池、电路板等电子元器件的维修或更换，增加电子设备的使用灵活性。

显示模组 10、中框 21 和后盖 22 可以围设形成电子设备的容纳空间，该容纳空间可以放置电路板组件 30、电池、摄像头模组等部件，以实现将电路板组件 30 设置于壳体 20 内部。示例性的，如图 2 所示，电路板组件 30 可以位于中框 21 朝向后盖 22 一侧的表面上。

示例性的，图 3 为本申请实施例提供的电路板组件的结构示意图。参照图 3 所示，电路板组件 30 包括电路板 31、目标存储芯片 32、处理器芯片 33 和电源管理芯片 34，目标存储芯片 32、处理器芯片 33 和电源管理芯片 34 可以连接于电路板 31 上。具体

的，目标存储芯片 32、处理器芯片 33 和电源管理芯片 34 可以通过焊接方式连接于电路板 31 上。

其中，电路板 31 可以为电子设备的主板，起到承载目标存储芯片 32、处理器芯片 33 和电源管理芯片 34 等电子元器件，以及实现目标存储芯片 32、处理器芯片 33 和电源管理芯片 34 之间电连接的作用。并且，电路板 31 可以包括但不限于印刷电路板（printed circuit board，PCB）、柔性电路板（flexible printed circuit，FPC）以及软硬结合电路板等。

在电子设备中，存储系统的核心组件包括目标存储芯片 32、处理器芯片 33、接口和总线等。目标存储芯片 32 的接口包括目标存储芯片 32 封装后的各个引脚，处理器芯片 33 的接口包括处理器芯片 33 封装后的各个引脚，总线指的是在将目标存储芯片 32 和处理器芯片 33 连接于电路板 31 上时，电路板 31 上可以实现目标存储芯片 32 与处理器芯片 33 之间进行通信传输的走线。

在电子设备的存储系统中，电源管理芯片 34 可以进行上电，并在协议的约束下可以在目标存储芯片 32 与处理器芯片 33 之间完成数据交互。其中，总线、接口和电源管理芯片 34 提供了电子设备的存储系统必要的硬件环境，协议用来规范硬件行为，减少高速传输情况下的数据出错的情况，维持存储系统的正常运行。

处理器芯片 33 包括但不限于中央处理器（central processing unit，CPU）芯片，处理器芯片 33 也可以称为主机芯片。一些处理器芯片 33 可以支持多种不同类型的存储芯片。

电源管理芯片 34 可以为电源管理集成电路（power management IC，PMIC）芯片，其主要用于将处理器芯片 33 提供的电压，转换成目标存储芯片 32 工作所需要的电压。

目标存储芯片 32 可以包括至少两种存储芯片中的任意一种存储芯片，至少两种存储芯片中的各种存储芯片的协议（协议模式或协议规格）有所不同。并且，至少两种存储芯片中的各种存储芯片的引脚数量均相等，且至少两种存储芯片中的各种存储芯片的引脚排布均相同。

需要说明的是，至少两种存储芯片中的各种存储芯片的引脚排布均相同具体指的是，至少两种存储芯片中的各种存储芯片在任意方向上排列的引脚数量，以及任意方向上排列的相邻两个引脚之间的间距均相等。

目前，应用于电子设备的存储芯片在协议和接口上得到了快速发展，目前存在的移动嵌入式存储芯片主要包括 UFS 存储芯片和 EMMC 存储芯片两大类。UFS 存储芯片相对于 EMMC 存储芯片具有诸多优势，尤其在性能上表现最为突出；但在成本及供应上，EMMC 存储芯片具有一定的优势。UFS 存储芯片和 EMMC 存储芯片这两种类型的存储芯片在协议上相互独立，但是在引脚封装上是一致的，即 UFS 存储芯片的引脚数量与 EMMC 存储芯片的引脚数量相等，且 UFS 存储芯片的引脚排布与 EMMC 存储芯片的引脚排布相同。

其中，UFS 存储芯片可以包括第一 UFS 存储芯片和第二 UFS 存储芯片，第一 UFS 存储芯片的接口版本与第二 UFS 存储芯片的接口版本不同。并且，第一 UFS 存储芯片的引脚数量、第二 UFS 存储芯片的引脚数量和 EMMC 存储芯片的引脚数量均相等，第一 UFS 存储芯片的引脚排布、第二 UFS 存储芯片的引脚排布和 EMMC 存储芯片的

引脚排布均相同。

第一 UFS 存储芯片可以是 UFS3.0 及向上协议的 UFS 存储芯片，第二 UFS 存储芯片可以是 UFS3.0 向下协议的 UFS 存储芯片，第一 UFS 存储芯片向下兼容第二 UFS 存储芯片的协议。例如，第一 UFS 存储芯片可以是 UFS3.1 存储芯片，第二 UFS 存储芯片可以是 UFS2.2 存储芯片。EMMC 存储芯片可以是 EMMC5.1 存储芯片。

在一些实施例中，处理器芯片 33 不仅支持 UFS 存储芯片，还可以支持 EMMC 存储芯片。例如，处理器芯片 33 支持第一 UFS 存储芯片和 EMMC 存储芯片，或者，处理器芯片 33 支持第二 UFS 存储芯片和 EMMC 存储芯片。

这样，通过将电路板 31 上的每个第一焊盘设置成与两路走线连接，以实现对处理器芯片 33 与 UFS 存储芯片之间的连接关系，以及对处理器芯片 33 与 EMMC 存储芯片的连接关系进行兼容设计，使得在电路板 31 上装配 UFS 存储芯片或 EMMC 存储芯片时，可以在第一焊盘连接的两路走线中对应的一路走线包括的第一跳选区域处装配跳选元件，以实现选通，从而实现在同一电路板 31 上兼容 UFS 存储芯片和 EMMC 存储芯片这两种类型的存储芯片。因此，本申请实施例可以在同一电路板 31 上实现对 UFS 存储芯片或 EMMC 存储芯片的访问与控制。

另一些实施例中，处理器芯片 33 还可以支持第一 UFS 存储芯片和第二 UFS 存储芯片。相应的，也可以实现在同一电路板 31 上兼容第一 UFS 存储芯片和第二 UFS 存储芯片这两种类型的存储芯片。

再一些实施例中，处理器芯片 33 还可以支持第一 UFS 存储芯片、第二 UFS 存储芯片和 EMMC 存储芯片。

这样，通过将电路板 31 上的每个第一焊盘设置成与至少两路走线连接，以实现对处理器芯片 33 与第一 UFS 存储芯片之间的连接关系，对处理器芯片 33 与第二 UFS 存储芯片之间的连接关系，以及对处理器芯片 33 与 EMMC 存储芯片的连接关系进行兼容设计，使得在电路板 31 上装配第一 UFS 存储芯片、第二 UFS 存储芯片以及 EMMC 存储芯片中的任意一种存储芯片时，可以在第一焊盘连接的至少两路走线中对应的一路走线包括的第一跳选区域处装配跳选元件，以实现选通，从而实现在同一电路板 31 上兼容第一 UFS 存储芯片、第二 UFS 存储芯片以及 EMMC 存储芯片这三种类型的存储芯片。

综上，至少两种存储芯片包括第一 UFS 存储芯片、第二 UFS 存储芯片以及 EMMC 存储芯片中的至少两者。这样，本申请实施例通过对不同协议的存储芯片的接口以及外部电路设计进行差异性分析，在处理器芯片 33 可以同时支持多种不同协议的存储芯片的前提下，实现在同一电路板 31 上兼容不同协议的存储芯片，提高存储系统的灵活性。

可以理解的是，在一些目标存储芯片 32 中，其可以包括存储介质和控制模块。其中，存储介质包括多个存储区域，存储介质中的多个存储区域分别用于存储业务数据。控制模块用于控制在存储区域中写入数据，或读取存储区域内的数据。

下面以目标存储芯片包括第一存储芯片或第二存储芯片，且第一存储芯片包括第一 UFS 存储芯片或第二 UFS 存储芯片，第二存储芯片包括 EMMC 存储芯片为例，说明本申请实施例中的电路板的具体结构。

示例性的，图 4 为本申请实施例提供的第一存储芯片或第二存储芯片封装后的引脚的布局示意图。参照图 4 所示，第一存储芯片或第二存储芯片中的各个引脚 321 呈阵列排布，将每一行引脚从上到下分别标记为第 A 行、第 B 行、第 C 行、第 D 行、第 E 行、第 F 行、第 G 行、第 H 行、第 J 行、第 K 行、第 L 行、第 M 行、第 N 行和第 P 行，将每一列引脚从左到右分别标记为第 1 列、第 2 列、第 3 列、第 4 列、第 5 列、第 6 列、第 7 列、第 8 列、第 9 列、第 10 列、第 11 列、第 12 列、第 13 列和第 14 列。并且，第一存储芯片或第二存储芯片均包括 153 个引脚。

其中，第一存储芯片或第二存储芯片中每一行均包括多个引脚 321，不同行的引脚数量可以相等，也可以不相等。第一存储芯片或第二存储芯片中每一列均包括多个引脚 321，不同列的引脚数量可以相等，也可以不相等。

按照第一存储芯片或第二存储芯片中引脚的功能，可以将第一存储芯片或第二存储芯片中的引脚划分为信号引脚、电源引脚、接地引脚以及未使用（not used，NU）引脚，即第一存储芯片包括信号引脚、电源引脚、接地引脚以及未使用引脚，第二存储芯片也包括信号引脚、电源引脚、接地引脚以及未使用引脚。

以第一存储芯片为例，第一存储芯片的信号引脚包括对第一存储芯片访问和控制的引脚，第一存储芯片的电源引脚为第一存储芯片提供电源，第一存储芯片的接地引脚是指该引脚直接或间接接地，第一存储芯片的未使用引脚指的是第一存储芯片在外部一般不进行连接处于悬空状态的引脚。其中，未使用引脚包括内部冗余（not connect，NC）引脚和预留功能（reserved for furture use，RFU）引脚，未使用引脚表示不连接任何元件。

需要说明的是，对于第一存储芯片或第二存储芯片的引脚名称而言，不同的存储芯片厂家存在不同的叫法，本申请实施例以引脚的实际功能为准进行说明。

示例性的，图 5 为本申请实施例提供的一种电路板的示例性的结构示意图。参照图 5 所示，电路板 31 用于承载目标存储芯片 32（未在图 5 中示出），目标存储芯片 32 包括第一存储芯片或第二存储芯片，第一存储芯片的引脚数量与第二存储芯片的引脚数量相等，且第一存储芯片的引脚排布与第二存储芯片的引脚排布相同。

需要说明的是，第一存储芯片的引脚排布与第二存储芯片的引脚排布相同具体指的是，第一存储芯片和第二存储芯片在任意方向上排列的引脚数量，以及任意方向上排列的相邻两个引脚之间的间距相等。

其中，电路板 31 包括第一焊盘组，第一焊盘组用于与第一存储芯片或第二存储芯片连接。第一焊盘组包括多个第一焊盘，每个第一焊盘均与两路走线连接，至少部分的第一焊盘连接的两路走线均包括第一跳选区域 316，第一跳选区域 316 处的走线断开设置。

需要说明的是，第一跳选区域 316 可以由两个存在一定间隔的焊盘组成，使得第一跳选区域 316 处的走线没有连通。

在电路板 31 用于承载第一存储芯片的情况下，至少部分的第一焊盘连接的第一走线包括的第一跳选区域 316 用于装配跳选元件；第一走线为第一焊盘连接的两路走线中与第一存储芯片对应的一路走线；在电路板 31 用于承载第二存储芯片的情况下，至少部分的第一焊盘连接的第二走线包括的第一跳选区域 316 用于装配跳选元件；第二

走线为第一焊盘连接的两路走线中与第二存储芯片对应的一路走线。

这样，通过将电路板 31 上的每个第一焊盘设置成与两路走线连接，在电路板 31 上装配第一存储芯片时，可以在第一焊盘连接的两路走线中的第一走线包括的第一跳选区域 316 处装配跳选元件以实现选通，并且在电路板 31 上装配第二存储芯片时，可以在第一焊盘连接的两路走线中的第二走线包括的第一跳选区域 316 处装配跳选元件以实现选通，从而实现在同一电路板 31 上兼容第一存储芯片和第二存储芯片。

在一些实施例中，第一焊盘组包括的各个焊盘呈阵列排布。并且，第一焊盘组包括的各个焊盘与第一存储芯片包括的各个引脚一一对应，第一焊盘组包括的各个焊盘与第二存储芯片包括的各个引脚也一一对应，相对应的焊盘和引脚用于进行电连接，以实现信号的传递。

具体的，第一焊盘组包括各个焊盘（包括第一焊盘和第二焊盘）的排布阵列与第一存储芯片包括的各个引脚的排布阵列相同，且第一焊盘组包括的焊盘数量与第一存储芯片包括的引脚数量相等。相应的，第一焊盘组包括各个焊盘的排布阵列与第二存储芯片包括的各个引脚的排布阵列相同，且第一焊盘组包括的焊盘数量与第二存储芯片包括的引脚数量相等。

由于本申请实施例可以在同一电路板 31 上兼容第一存储芯片和第二存储芯片，对于第一焊盘组中同一位置处的焊盘，其在连接第一存储芯片时的引脚的功能，与其在连接第二存储芯片时的引脚的功能可能不同。

因此，在电路板 31 上兼容第一存储芯片和第二存储芯片的情况下，电路板 31 上的第一焊盘组中的各个焊盘的具体连接关系可能存在以下十六种情况。

第一种情况，电路板 31 上同一位置处的焊盘，其在电路板 31 上装配第一存储芯片时与第一存储芯片的电源引脚连接，其在电路板 31 上装配第二存储芯片时与第二存储芯片的电源引脚连接，可以将这种焊盘称为第一类引脚共用焊盘。例如，第一类引脚共用焊盘可以为图 5 所示的 UFS 电源引脚/EMMC 电源引脚处的焊盘，其表示在电路板 31 上装配 UFS 存储芯片时与 UFS 存储芯片的电源引脚连接，其在电路板 31 上装配 EMMC 存储芯片时与 EMMC 存储芯片的电源引脚连接。

第二种情况，电路板 31 上同一位置处的焊盘，其在电路板 31 上装配第一存储芯片时与第一存储芯片的电源引脚连接，其在电路板 31 上装配第二存储芯片时与第二存储芯片的信号引脚连接，可以将这种焊盘称为第二类引脚共用焊盘。例如，第二类引脚共用焊盘可以为图 5 所示的 UFS 电源引脚/EMMC 信号引脚处的焊盘，其表示在电路板 31 上装配 UFS 存储芯片时与 UFS 存储芯片的电源引脚连接，其在电路板 31 上装配 EMMC 存储芯片时与 EMMC 存储芯片的信号引脚连接。

第三种情况，电路板 31 上同一位置处的焊盘，其在电路板 31 上装配第一存储芯片时与第一存储芯片的电源引脚连接，其在电路板 31 上装配第二存储芯片时与第二存储芯片的接地引脚连接，可以将这种焊盘称为第三类引脚共用焊盘。例如，第三类引脚共用焊盘可以为图 5 所示的 UFS 电源引脚/EMMC 接地引脚处的焊盘，其表示在电路板 31 上装配 UFS 存储芯片时与 UFS 存储芯片的电源引脚连接，其在电路板 31 上装配 EMMC 存储芯片时与 EMMC 存储芯片的接地引脚连接。

第四种情况，电路板 31 上同一位置处的焊盘，其在电路板 31 上装配第一存储芯

片时与第一存储芯片的信号引脚连接，其在电路板 31 上装配第二存储芯片时与第二存储芯片的电源引脚连接，可以将这种焊盘称为第四类引脚共用焊盘。以第一存储芯片为 UFS 存储芯片，第二存储芯片为 EMMC 存储芯片为例，电路板 31 上可能不存在第四类引脚共用焊盘，因此，未在图 5 中示出第四类引脚共用焊盘。当然，可以理解的是，当第一存储芯片和/或第二存储芯片为其他类型的存储芯片时，电路板 31 上也可能存在第四类引脚共用焊盘。

第五种情况，电路板 31 上同一位置处的焊盘，其在电路板 31 上装配第一存储芯片时与第一存储芯片的接地引脚连接，其在电路板 31 上装配第二存储芯片时与第二存储芯片的电源引脚连接，可以将这种焊盘称为第五类引脚共用焊盘。例如，第五类引脚共用焊盘可以为图 5 所示的 UFS 接地引脚/EMMC 电源引脚处的焊盘，其表示在电路板 31 上装配 UFS 存储芯片时与 UFS 存储芯片的接地引脚连接，其在电路板 31 上装配 EMMC 存储芯片时与 EMMC 存储芯片的电源引脚连接。

第六种情况，电路板 31 上同一位置处的焊盘，其在电路板 31 上装配第一存储芯片时与第一存储芯片的信号引脚连接，其在电路板 31 上装配第二存储芯片时与第二存储芯片的信号引脚连接，可以将这种焊盘称为第六类引脚共用焊盘。以第一存储芯片为 UFS 存储芯片，第二存储芯片为 EMMC 存储芯片为例，电路板 31 上可能不存在第六类引脚共用焊盘，因此，未在图 5 中示出第六类引脚共用焊盘。当然，可以理解的是，当第一存储芯片和/或第二存储芯片为其他类型的存储芯片时，电路板 31 上也可能存在第六类引脚共用焊盘。

第七种情况，电路板 31 上同一位置处的焊盘，其在电路板 31 上装配第一存储芯片时与第一存储芯片的接地引脚连接，其在电路板 31 上装配第二存储芯片时与第二存储芯片的信号引脚连接，可以将这种焊盘称为第七类引脚共用焊盘。例如，第七类引脚共用焊盘可以为图 5 所示的 UFS 接地引脚/EMMC 信号引脚处的焊盘，其表示在电路板 31 上装配 UFS 存储芯片时与 UFS 存储芯片的接地引脚连接，其在电路板 31 上装配 EMMC 存储芯片时与 EMMC 存储芯片的信号引脚连接。

第八种情况，电路板 31 上同一位置处的焊盘，其在电路板 31 上装配第一存储芯片时与第一存储芯片的信号引脚连接，其在电路板 31 上装配第二存储芯片时与第二存储芯片的接地引脚连接，可以将这种焊盘称为第八类引脚共用焊盘。以第一存储芯片为 UFS 存储芯片，第二存储芯片为 EMMC 存储芯片为例，电路板 31 上可能不存在第八类引脚共用焊盘，因此，未在图 5 中示出第八类引脚共用焊盘。当然，可以理解的是，当第一存储芯片和/或第二存储芯片为其他类型的存储芯片时，电路板 31 上也可能存在第八类引脚共用焊盘。

第九种情况，电路板 31 上同一位置处的焊盘，其在电路板 31 上装配第一存储芯片时与第一存储芯片的未使用引脚连接，其在电路板 31 上装配第二存储芯片时与第二存储芯片的电源引脚连接，可以将这种焊盘称为第九类引脚共用焊盘。例如，第九类引脚共用焊盘可以为图 5 所示的 UFS 未使用引脚//EMMC 电源引脚处的焊盘，其表示在电路板 31 上装配 UFS 存储芯片时与 UFS 存储芯片的未使用引脚连接，其在电路板 31 上装配 EMMC 存储芯片时与 EMMC 存储芯片的电源引脚连接。

第十种情况，电路板 31 上同一位置处的焊盘，其在电路板 31 上装配第一存储芯

片时与第一存储芯片的电源引脚连接，其在电路板 31 上装配第二存储芯片时与第二存储芯片的未使用引脚连接，可以将这种焊盘称为第十类引脚共用焊盘。例如，第十类引脚共用焊盘可以为图 5 所示的 UFS 电源引脚/EMMC 未使用引脚处的焊盘，其表示在电路板 31 上装配 UFS 存储芯片时与 UFS 存储芯片的电源引脚连接，其在电路板 31 上装配 EMMC 存储芯片时与 EMMC 存储芯片的未使用引脚连接。

第十一种情况，电路板 31 上同一位置处的焊盘，其在电路板 31 上装配第一存储芯片时与第一存储芯片的接地引脚连接，其在电路板 31 上装配第二存储芯片时与第二存储芯片的未使用引脚连接，可以将这种焊盘称为第十一类引脚共用焊盘。例如，第十一类引脚共用焊盘可以为图 5 所示的 UFS 接地引脚/EMMC 未使用引脚处的焊盘，其表示在电路板 31 上装配 UFS 存储芯片时与 UFS 存储芯片的接地引脚连接，其在电路板 31 上装配 EMMC 存储芯片时与 EMMC 存储芯片的未使用引脚连接。

第十二种情况，电路板 31 上同一位置处的焊盘，其在电路板 31 上装配第一存储芯片时与第一存储芯片的未使用引脚连接，其在电路板 31 上装配第二存储芯片时与第二存储芯片的接地引脚连接，可以将这种焊盘称为第十二类引脚共用焊盘。例如，第十二类引脚共用焊盘可以为图 5 所示的 UFS 未使用引脚/EMMC 接地引脚处的焊盘，其表示在电路板 31 上装配 UFS 存储芯片时与 UFS 存储芯片的未使用引脚连接，其在电路板 31 上装配 EMMC 存储芯片时与 EMMC 存储芯片的接地引脚连接。

第十三种情况，电路板 31 上同一位置处的焊盘，其在电路板 31 上装配第一存储芯片时与第一存储芯片的信号引脚连接，其在电路板 31 上装配第二存储芯片时与第二存储芯片的未使用引脚连接，可以将这种焊盘称为第十三类引脚共用焊盘。例如，第十三类引脚共用焊盘可以为图 5 所示的 UFS 信号引脚/EMMC 未使用引脚处的焊盘，其表示在电路板 31 上装配 UFS 存储芯片时与 UFS 存储芯片的信号引脚连接，其在电路板 31 上装配 EMMC 存储芯片时与 EMMC 存储芯片的未使用引脚连接。

第十四种情况，电路板 31 上同一位置处的焊盘，其在电路板 31 上装配第一存储芯片时与第一存储芯片的未使用引脚连接，其在电路板 31 上装配第二存储芯片时与第二存储芯片的信号引脚连接，可以将这种焊盘称为第十四类引脚共用焊盘。例如，第十四类引脚共用焊盘可以为图 5 所示的 UFS 未使用引脚/EMMC 信号引脚处的焊盘，其表示在电路板 31 上装配 UFS 存储芯片时与 UFS 存储芯片的未使用引脚连接，其在电路板 31 上装配 EMMC 存储芯片时与 EMMC 存储芯片的信号引脚连接。

第十五种情况，电路板 31 上同一位置处的焊盘，其在电路板 31 上装配第一存储芯片时与第一存储芯片的未使用引脚连接，在电路板 31 上装配第二存储芯片时与第二存储芯片的未使用引脚连接，可以将这种焊盘称为第十五类引脚共用焊盘。例如，第十五类引脚共用焊盘可以为图 5 所示的 UFS 未使用引脚/EMMC 未使用引脚处的焊盘，其表示在电路板 31 上装配 UFS 存储芯片时与 UFS 存储芯片的未使用引脚连接，其在电路板 31 上装配 EMMC 存储芯片时与 EMMC 存储芯片的未使用引脚连接。

第十六种情况，电路板 31 上同一位置处的焊盘，其在电路板 31 上装配第一存储芯片时与第一存储芯片的接地引脚连接，在电路板 31 上装配第二存储芯片时与第二存储芯片的接地引脚连接，可以将这种焊盘称为第十六类引脚共用焊盘。例如，第十六类引脚共用焊盘可以为图 5 所示的 UFS 接地引脚/EMMC 接地引脚处的焊盘，其表示

在电路板 31 上装配 UFS 存储芯片时与 UFS 存储芯片的接地引脚连接，其在电路板 31 上装配 EMMC 存储芯片时与 EMMC 存储芯片的接地引脚连接。

为了便于区分上述十六种情况，可以将第一焊盘组中用于与两路走线连接的焊盘称为第一焊盘，以及将第一焊盘组中用于与一路走线连接的焊盘称为第二焊盘。并且，将多个第一焊盘中用于与第一存储芯片的电源引脚和/或第二存储芯片的电源引脚连接的第一焊盘称为第一类焊盘 311，以及将多个第一焊盘中不用于与第一存储芯片的电源引脚或第二存储芯片的电源引脚连接的第一焊盘称为第二类焊盘 312。此外，将多个第二焊盘中用于与第一存储芯片的电源引脚或第二存储芯片的电源引脚连接的第二焊盘称为第三类焊盘 313，将多个第二焊盘中与第一存储芯片的接地引脚和第二存储芯片的接地引脚连接的第二焊盘称为第五类焊盘 315，以及将多个第二焊盘中剩余的第二焊盘称为第四类焊盘 314。

因此，多个第一焊盘被划分为第一类焊盘 311 和第二类焊盘 312；第一类焊盘 311 可以包括上述的第一类引脚共用焊盘、第二类引脚共用焊盘、第三类引脚共用焊盘、第四类引脚共用焊盘和第五类引脚共用焊盘；第二类焊盘 312 包括上述的第六类引脚共用焊盘、第七类引脚共用焊盘和第八类引脚共用焊盘。多个第二焊盘被划分为第三类焊盘 313、第四类焊盘 314 和第五类焊盘 315；第三类焊盘 313 包括上述的第九类引脚共用焊盘和第十类引脚共用焊盘；第四类焊盘 314 包括上述的第十一类引脚共用焊盘、第十二类引脚共用焊盘、第十三类引脚共用焊盘、第十四类引脚共用焊盘和第十五类引脚共用焊盘；第五类焊盘 315 包括上述的第十六类引脚共用焊盘。

针对第一焊盘组中的多个第一焊盘，每个第一焊盘在连接第一存储芯片时所对应连接的引脚，与其在连接第二存储芯片时所对应连接的引脚均对应一定的功能，因此，可以通过跳选的方式对每个第一焊盘连接的走线进行设计。

在一些实施例中，多个第一焊盘包括第一类焊盘 311，第一类焊盘 311 用于与第一存储芯片的电源引脚和/或第二存储芯片的电源引脚连接，且第一类焊盘不用于与第一存储芯片的未使用引脚或第二存储芯片的未使用引脚连接。

由于第一存储芯片和第二存储芯片均包括信号引脚、电源引脚、接地引脚以及未使用引脚这四类引脚，因此，第一类焊盘 311 用于与第一存储芯片的电源引脚和第二存储芯片的电源引脚连接，或者用于与第一存储芯片的电源引脚和第二存储芯片的信号引脚连接，或者用于与第一存储芯片的电源引脚和第二存储芯片的接地引脚连接，或者用于与第一存储芯片的信号引脚和第二存储芯片的电源引脚连接，或者用于与第一存储芯片的接地引脚和第二存储芯片的电源引脚连接。

并且，电路板 31 还用于承载第一电源模块。在第一类焊盘 311 用于与第一存储芯片的电源引脚连接的情况下，第一电源模块用于通过第一走线与第一类焊盘 311 连接；和/或，在第一类焊盘 311 用于与第二存储芯片的电源引脚连接的情况下，第一电源模块用于通过第二走线与第一类焊盘 311 连接。

图 6 为本申请实施例提供的第一类引脚共用焊盘与第一走线和第二走线的一种连接关系示意图，图 7 为本申请实施例提供的第一类引脚共用焊盘与第一走线和第二走线的另一种连接关系示意图。参照图 6 和图 7 所示，针对第一类焊盘 311 中的第一类引脚共用焊盘 3111，其可以为 UFS 电源引脚/EMMC 电源引脚处的焊盘，即第一类引

脚共用焊盘 3111 用于与第一存储芯片的电源引脚和第二存储芯片的电源引脚连接。第一类引脚共用焊盘 3111 与两路走线连接，第一类引脚共用焊盘 3111 连接的两路走线分别为 UFS 存储芯片对应的第一走线 41 和 EMMC 存储芯片对应的第二走线 42。第一电源模块 341 可以包括第一电源单元和第二电源单元，第一电源单元通过第一走线 41 与第一类引脚共用焊盘 3111 连接，且第二电源单元通过第二走线 42 与第一类引脚共用焊盘 3111 连接。此外，第一电源模块 341 中的第一电源单元与处理器芯片 33 的一个电源引脚连接，第一电源模块 341 中的第二电源单元还与处理器芯片 33 的另一个电源引脚连接。

一种方式，如图 6 所示，第一类引脚共用焊盘 3111 连接的第一走线 41 和第二走线 42 均包括第一跳选区域 316。

在电路板 31 上装配第一存储芯片的情况下，在第一类引脚共用焊盘 3111 连接的第一走线 41 包括的第一跳选区域 316 处装配跳选元件，使得第一类引脚共用焊盘 3111 连接的第一走线 41 导通，这样，在处理器芯片 33 中与第一存储芯片对应的电源引脚输出相应的电压给第一电源模块 341，第一电源模块 341 中的第一电源单元将该电压转换成第一存储芯片工作所需要的电压之后，第一电源单元转换后的电压可以通过第一走线 41 和第一类引脚共用焊盘 3111，传输给第一存储芯片的电源引脚。并且，在第一类引脚共用焊盘 3111 连接的第二走线 42 包括的第一跳选区域 316 处不装配跳选元件，使得第一类引脚共用焊盘 3111 连接的第二走线 42 断开设置。

例如，处理器芯片 33 中与第一存储芯片对应的电源引脚输出的电压可以为 3.0V，第一存储芯片工作所需要的电压可以为 2.5V，则第一电源模块 341 中的第一电源单元可以将 3.0V 的电压转换成 2.5V，以通过第一走线 41 和第一类引脚共用焊盘 3111，传输给第一存储芯片的电源引脚。

相应的，在电路板 31 上装配第二存储芯片的情况下，在第一类引脚共用焊盘 3111 连接的第二走线 42 包括的第一跳选区域 316 处装配跳选元件，使得第一类引脚共用焊盘 3111 连接的第二走线 42 导通，这样，在处理器芯片 33 中与第二存储芯片对应的电源引脚输出相应的电压给第一电源模块 341，第一电源模块 341 中的第二电源单元将该电压转换成第二存储芯片工作所需要的电压之后，第二电源单元转换后的电压可以通过第二走线 42 和第一类引脚共用焊盘 3111，传输给第二存储芯片的电源引脚。并且，在第一类引脚共用焊盘 3111 连接的第一走线 41 包括的第一跳选区域 316 处不装配跳选元件，使得第一类引脚共用焊盘 3111 连接的第一走线 41 断开设置。

以第一存储芯片为第一 UFS 存储芯片，且第二存储芯片为 EMMC 存储芯片为例。第一 UFS 存储芯片中位于 F5 位置处的引脚为 VCCQ 引脚（即电源引脚），且 EMMC 存储芯片中位于 F5 位置处的引脚为 VCC 引脚（即电源引脚），因此，第一类引脚共用焊盘 3111 包括第一 UFS 存储芯片和 EMMC 存储芯片中位于 F5 位置处的引脚所连接的第一焊盘。这样，在电路板 31 上装配第一 UFS 存储芯片时，第一类引脚共用焊盘 3111 与第一 UFS 存储芯片中位于 F5 位置处的引脚连接，并在第一类引脚共用焊盘 3111 连接的第一走线 41 包括的第一跳选区域 316 处装配电阻、二极管或三极管等跳选元件；在电路板 31 上装配 EMMC 存储芯片时，第一类引脚共用焊盘 3111 与 EMMC 存储芯片中位于 F5 位置处的引脚连接，并在第一类引脚共用焊盘 3111 连接的第二走

线 42 包括的第一跳选区域 316 处装配电阻、二极管或三极管等跳选元件。

应理解，第一 UFS 存储芯片中位于 F5 位置处的引脚，表示第一 UFS 存储芯片中位于第 F 行第 5 列位置处的引脚，EMMC 存储芯片中位于 F5 位置处的引脚，表示 EMMC 存储芯片中位于第 F 行第 5 列位置处的引脚，以下关于引脚位置的描述可对应参照 F5 位置。

以第一存储芯片为第二 UFS 存储芯片，且第二存储芯片为 EMMC 存储芯片为例。第二 UFS 存储芯片中位于 C6 位置处的引脚为 VCCQ2 引脚（即电源引脚），且 EMMC 存储芯片中位于 C6 位置处的引脚为 VCCQ 引脚（即电源引脚），因此，第一类引脚共用焊盘 3111 包括第二 UFS 存储芯片和 EMMC 存储芯片中位于 C6 位置处的引脚所连接的第一焊盘。这样，在电路板 31 上装配第二 UFS 存储芯片时，第一类引脚共用焊盘 3111 与第二 UFS 存储芯片中位于 C6 位置处的引脚连接，并在第一类引脚共用焊盘 3111 连接的第一走线 41 包括的第一跳选区域 316 处装配电阻、二极管或三极管等跳选元件；在电路板 31 上装配 EMMC 存储芯片时，第一类引脚共用焊盘 3111 与 EMMC 存储芯片中位于 C6 位置处的引脚连接，并在第一类引脚共用焊盘 3111 连接的第二走线 42 包括的第一跳选区域 316 处装配电阻、二极管或三极管等跳选元件。

另一种方式，如图 7 所示，第一类引脚共用焊盘 3111 连接的第一走线 41 和第二走线 42 均不包括第一跳选区域 316。

在电路板 31 上装配第一存储芯片的情况下，第一电源模块 341 中的第一电源单元对第一类引脚共用焊盘 3111 连接的第一走线 41 进行上电，即第一电源单元将处理器芯片 33 提供的电压转换为第一存储芯片工作所需要的电压，并输出给第一类引脚共用焊盘 3111 连接的第一走线 41，使得第一电源单元转换后的电压可以通过第一走线 41 和第一类引脚共用焊盘 3111，传输给第一存储芯片的电源引脚。并且，第一电源模块 341 中的第二电源单元对第一类引脚共用焊盘 3111 连接的第二走线 42 不进行上电，即第二电源单元不会将处理器芯片 33 提供的电压转换为第二存储芯片工作所需要的电压，也不会输出第二存储芯片工作所需要的电压给第一类引脚共用焊盘 3111 连接的第二走线 42。

相应的，在电路板 31 上装配第二存储芯片的情况下，第一电源模块 341 中的第二电源单元对第一类引脚共用焊盘 3111 连接的第二走线 42 进行上电，即第二电源单元将处理器芯片 33 提供的电压转换为第二存储芯片工作所需要的电压，并输出给第一类引脚共用焊盘 3111 连接的第二走线 42，使得第二电源单元转换后的电压可以通过第二走线 42 和第一类引脚共用焊盘 3111，传输给第二存储芯片的电源引脚。并且，第一电源模块 341 中的第一电源单元对第一类引脚共用焊盘 3111 连接的第一走线 41 不进行上电，即第一电源单元不会将处理器芯片 33 提供的电压转换为第一存储芯片工作所需要的电压，也不会输出第一存储芯片工作所需要的电压给第一类引脚共用焊盘 3111 连接的第一走线 41。

因此，针对图 7 所示的第一类焊盘 311 中的第一类引脚共用焊盘 3111，与第一电源模块 341 连接的第一走线 41 和第二走线 42 均不包括第一跳选区域 316。在电路板 31 用于承载第一存储芯片，且第一类焊盘 311 用于与第一存储芯片的电源引脚连接的情况下，第一电源模块 341 用于对第一类焊盘 311 连接的第一走线 41 进行上电，且第

一电源模块 341 用于对第一类焊盘 311 连接的第二走线 42 不进行上电；并且，在电路板 31 用于承载第二存储芯片，且第一类焊盘 311 用于与第二存储芯片的电源引脚连接的情况下，第一电源模块 341 用于对第一类焊盘 311 连接的第二走线 42 进行上电，且第一电源模块 341 用于对第一类焊盘 311 连接的第一走线 41 不进行上电。

图 8 为本申请实施例提供的第二类引脚共用焊盘与第一走线和第二走线的一种连接关系示意图；图 9 为本申请实施例提供的第二类引脚共用焊盘与第一走线和第二走线的另一种连接关系示意图。参照图 8 和图 9 所示，针对第一类焊盘 311 中的第二类引脚共用焊盘 3112，其可以为 UFS 电源引脚/EMMC 信号引脚处的焊盘，即第二类引脚共用焊盘 3112 用于与第一存储芯片的电源引脚和第二存储芯片的信号引脚连接。第二类引脚共用焊盘 3112 与两路走线连接，第二类引脚共用焊盘 3112 连接的两路走线分别为 UFS 存储芯片对应的第一走线 41 和 EMMC 存储芯片对应的第二走线 42，第一电源模块 341 还可以包括第三电源单元，第三电源单元通过第一走线 41 与第二类引脚共用焊盘 3112 连接。此外，第一电源模块 341 中的第三电源单元还与处理器芯片 33 的一个电源引脚连接，处理器芯片 33 的一个信号引脚还通过第二走线 42 与第二类引脚共用焊盘 3112 连接。

一种方式，如图 8 所示，第二类引脚共用焊盘 3112 连接的第一走线 41 和第二走线 42 均包括第一跳选区域 316。

在电路板 31 上装配第一存储芯片的情况下，在第二类引脚共用焊盘 3112 连接的第一走线 41 包括的第一跳选区域 316 处装配跳选元件，使得第二类引脚共用焊盘 3112 连接的第一走线 41 导通，这样，在处理器芯片 33 中的电源引脚输出相应的电压给第一电源模块 341，第一电源模块 341 中的第三电源单元将该电压转换成第一存储芯片工作所需要的电压之后，第三电源单元转换后的电压可以通过第一走线 41 和第二类引脚共用焊盘 3112，传输给第一存储芯片的电源引脚。并且，在第二类引脚共用焊盘 3112 连接的第二走线 42 包括的第一跳选区域 316 处不装配跳选元件，使得第二类引脚共用焊盘 3112 连接的第二走线 42 断开设置。

相应的，在电路板 31 上装配第二存储芯片的情况下，在第二类引脚共用焊盘 3112 连接的第二走线 42 包括的第一跳选区域 316 处装配跳选元件，使得第二类引脚共用焊盘 3112 连接的第二走线 42 导通，这样，处理器芯片 33 中的信号引脚输出的信号可以通过第二走线 42 和第二类引脚共用焊盘 3112，传输给第二存储芯片的信号引脚。并且，在第二类引脚共用焊盘 3112 连接的第一走线 41 包括的第一跳选区域 316 处不装配跳选元件，使得第二类引脚共用焊盘 3112 连接的第一走线 41 断开设置。

以第一存储芯片为第一 UFS 存储芯片，且第二存储芯片为 EMMC 存储芯片为例。第一 UFS 存储芯片中位于 A4 位置、A5 位置、B4 位置以及 B5 位置处的引脚为 VCCQ 引脚（即电源引脚），且 EMMC 存储芯片中位于 A4 位置处的引脚为 DAT1 引脚（即信号引脚），EMMC 存储芯片中位于 A5 位置处的引脚为 DAT2 引脚（即信号引脚），EMMC 存储芯片中位于 B4 位置处的引脚为 DAT5 引脚（即信号引脚），EMMC 存储芯片中位于 B5 位置处的引脚为 DAT6 引脚（即信号引脚）。因此，第二类引脚共用焊盘 3112 可以包括：第一 UFS 存储芯片和 EMMC 存储芯片中位于 A4 位置、A5 位置、B4 位置以及 B5 位置处的引脚所连接的第一焊盘。

这样，在电路板 31 上装配第一 UFS 存储芯片时，第二类引脚共用焊盘 3112 所包括的多个第一焊盘，分别与第一 UFS 存储芯片中位于 A4 位置、A5 位置、B4 位置以及 B5 位置处的引脚连接，并在第二类引脚共用焊盘 3112 连接的第一走线 41 包括的第一跳选区域 316 处装配电阻、二极管或三极管等跳选元件；在电路板 31 上装配 EMMC 存储芯片时，第二类引脚共用焊盘 3112 所包括的多个第一焊盘，分别与 EMMC 存储芯片中位于 A4 位置、A5 位置、B4 位置以及 B5 位置处的引脚连接，并在第二类引脚共用焊盘 3112 连接的第二走线 42 包括的第一跳选区域 316 处装配电阻、二极管或三极管等跳选元件。

以第一存储芯片为第二 UFS 存储芯片，且第二存储芯片为 EMMC 存储芯片为例。第二 UFS 存储芯片中位于 B6 位置处的引脚为 VCCQ2 引脚（即电源引脚），且 EMMC 存储芯片中位于 B6 位置处的引脚为 DAT7 引脚（即信号引脚）。因此，第二类引脚共用焊盘 3112 包括第二 UFS 存储芯片和 EMMC 存储芯片中位于 B6 位置处的引脚所连接的第一焊盘。

这样，在电路板 31 上装配第二 UFS 存储芯片时，第二类引脚共用焊盘 3112 与第二 UFS 存储芯片中位于 B6 位置处的引脚连接，并在第二类引脚共用焊盘 3112 连接的第一走线 41 包括的第一跳选区域 316 处装配电阻、二极管或三极管等跳选元件；在电路板 31 上装配 EMMC 存储芯片时，第二类引脚共用焊盘 3112 与 EMMC 存储芯片中位于 B6 位置处的引脚连接，并在第二类引脚共用焊盘 3112 连接的第二走线 42 包括的第一跳选区域 316 处装配电阻、二极管或三极管等跳选元件。

另一种方式，如图 9 所示，第二类引脚共用焊盘 3112 连接的第一走线 41 不包括第一跳选区域 316，第二类引脚共用焊盘 3112 连接的第二走线 42 包括第一跳选区域 316。

在电路板 31 上装配第一存储芯片的情况下，第一电源模块 341 中的第三电源单元对第二类引脚共用焊盘 3112 连接的第一走线 41 进行上电，即第三电源单元将处理器芯片 33 提供的电压转换为第一存储芯片工作所需要的电压，并输出给第二类引脚共用焊盘 3112 连接的第一走线 41，使得第三电源单元转换后的电压可以通过第一走线 41 和第二类引脚共用焊盘 3112，传输给第一存储芯片的电源引脚。并且，在第二类引脚共用焊盘 3112 连接的第二走线 42 包括的第一跳选区域 316 处不装配跳选元件，使得第二类引脚共用焊盘 3112 连接的第二走线 42 断开设置。

相应的，在电路板 31 上装配第二存储芯片的情况下，在第二类引脚共用焊盘 3112 连接的第二走线 42 包括的第一跳选区域 316 处装配跳选元件，使得第二类引脚共用焊盘 3112 连接的第二走线 42 导通，则处理器芯片 33 中的信号引脚输出的信号可以通过第二走线 42 和第二类引脚共用焊盘 3112，传输给第二存储芯片的信号引脚。并且，第一电源模块 341 中的第三电源单元对第二类引脚共用焊盘 3112 连接的第一走线 41 不进行上电，即第三电源单元不会将处理器芯片 33 提供的电压转换为第一存储芯片工作所需要的电压，也不会输出第一存储芯片工作所需要的电压给第二类引脚共用焊盘 3112 连接的第一走线 41。

图 10 为本申请实施例提供的第三类引脚共用焊盘与第一走线和第二走线的一种连接关系示意图，图 11 为本申请实施例提供的第三类引脚共用焊盘与第一走线和第二

走线的另一种连接关系示意图。参照图 10 和图 11 所示，针对第一类焊盘 311 中的第三类引脚共用焊盘 3113，其可以为 UFS 电源引脚/EMMC 接地引脚处的焊盘，即第三类引脚共用焊盘 3113 用于与第一存储芯片的电源引脚和第二存储芯片的接地引脚连接。第三类引脚共用焊盘 3113 与两路走线连接，第三类引脚共用焊盘 3113 连接的两路走线分别为 UFS 存储芯片对应的第一走线 41 和 EMMC 存储芯片对应的第二走线 42，第一电源模块 341 还可以包括第四电源单元，第四电源单元通过第一走线 41 与第三类引脚共用焊盘 3113 连接。此外，第一电源模块 341 中的第四电源单元还与处理器芯片 33 的一个电源引脚连接，第三类引脚共用焊盘 3113 所连接的第二走线 42 还与电路板 31 中的接地端 GND 连接。

一种方式，如图 10 所示，第三类引脚共用焊盘 3113 连接的第一走线 41 和第二走线 42 均包括第一跳选区域 316。

在电路板 31 上装配第一存储芯片的情况下，在第三类引脚共用焊盘 3113 连接的第一走线 41 包括的第一跳选区域 316 处装配跳选元件，使得第三类引脚共用焊盘 3113 连接的第一走线 41 导通，这样，在处理器芯片 33 中的电源引脚输出相应的电压给第一电源模块 341，第一电源模块 341 中的第四电源单元将该电压转换成第一存储芯片工作所需要的电压之后，第四电源单元转换后的电压可以通过第一走线 41 和第三类引脚共用焊盘 3113，传输给第一存储芯片的电源引脚。并且，在第三类引脚共用焊盘 3113 连接的第二走线 42 包括的第一跳选区域 316 处不装配跳选元件，使得第三类引脚共用焊盘 3113 连接的第二走线 42 断开设置。

相应的，在电路板 31 上装配第二存储芯片的情况下，在第三类引脚共用焊盘 3113 连接的第二走线 42 包括的第一跳选区域 316 处装配跳选元件，使得第三类引脚共用焊盘 3113 连接的第二走线 42 导通，这样，第二存储芯片的接地引脚可以依次通过第三类引脚共用焊盘 3113 和第二走线 42 与接地端 GND 导通。并且，在第三类引脚共用焊盘 3113 连接的第一走线 41 包括的第一跳选区域 316 处不装配跳选元件，使得第三类引脚共用焊盘 3113 连接的第一走线 41 断开设置。

以第一存储芯片为第一 UFS 存储芯片，且第二存储芯片为 EMMC 存储芯片为例。第一 UFS 存储芯片中位于 C4 位置处的引脚为 VCCQ 引脚（即电源引脚），第一 UFS 存储芯片中位于 K8 位置处的引脚为 VCC 引脚（即电源引脚），且 EMMC 存储芯片中位于 C4 位置和 K8 位置处的引脚均为 VSS 引脚（即接地引脚）。因此，第三类引脚共用焊盘 3113 可以包括第一 UFS 存储芯片和 EMMC 存储芯片中位于 C4 位置以及 K8 位置处的引脚所连接的第一焊盘。

这样，在电路板 31 上装配第一 UFS 存储芯片时，第三类引脚共用焊盘 3113 所包括的多个第一焊盘，分别与第一 UFS 存储芯片中位于 C4 位置以及 K8 位置处的引脚连接，并在第三类引脚共用焊盘 3113 连接的第一走线 41 包括的第一跳选区域 316 处装配电阻、二极管或三极管等跳选元件；在电路板 31 上装配 EMMC 存储芯片时，第三类引脚共用焊盘 3113 所包括的多个第一焊盘，分别与 EMMC 存储芯片中位于 C4 位置以及 K8 位置处的引脚连接，并在第三类引脚共用焊盘 3113 连接的第二走线 42 包括的第一跳选区域 316 处装配电阻、二极管或三极管等跳选元件。

以第一存储芯片为第二 UFS 存储芯片，且第二存储芯片为 EMMC 存储芯片为例。

第二 UFS 存储芯片中位于 A6 位置处的引脚为 VCCQ2 引脚（即电源引脚），第二 UFS 存储芯片中位于 K8 位置处的引脚为 VCC 引脚（即电源引脚），且 EMMC 存储芯片中位于 A6 位置和 K8 位置处的引脚均为 VSS 引脚（即接地引脚）。因此，第三类引脚共用焊盘 3113 可以包括第二 UFS 存储芯片和 EMMC 存储芯片中位于 A6 位置以及 K8 位置处的引脚所连接的第一焊盘。

这样，在电路板 31 上装配第二 UFS 存储芯片时，第三类引脚共用焊盘 3113 所包括的多个第一焊盘，分别与第二 UFS 存储芯片中位于 A6 位置以及 K8 位置处的引脚连接，并在第三类引脚共用焊盘 3113 连接的第一走线 41 包括的第一跳选区域 316 处装配电阻、二极管或三极管等跳选元件；在电路板 31 上装配 EMMC 存储芯片时，第三类引脚共用焊盘 3113 所包括的多个第一焊盘，分别与 EMMC 存储芯片中位于 A6 位置以及 K8 位置处的引脚连接，并在第三类引脚共用焊盘 3113 连接的第二走线 42 包括的第一跳选区域 316 处装配电阻、二极管或三极管等跳选元件。

另一种方式，如图 11 所示，第三类引脚共用焊盘 3113 连接的第一走线 41 不包括第一跳选区域 316，第三类引脚共用焊盘 3113 连接的第二走线 42 包括第一跳选区域 316。

在电路板 31 上装配第一存储芯片的情况下，第一电源模块 341 中的第四电源单元对第三类引脚共用焊盘 3113 连接的第一走线 41 进行上电，即第四电源单元将处理器芯片 33 提供的电压转换为第一存储芯片工作所需要的电压，并输出给第三类引脚共用焊盘 3113 连接的第一走线 41，使得第四电源单元转换后的电压可以依次通过第一走线 41 和第三类引脚共用焊盘 3113，传输给第一存储芯片的电源引脚。并且，在第三类引脚共用焊盘 3113 连接的第二走线 42 包括的第一跳选区域 316 处不装配跳选元件，使得第三类引脚共用焊盘 3113 连接的第二走线 42 断开设置。

相应的，在电路板 31 上装配第二存储芯片的情况下，在第三类引脚共用焊盘 3113 连接的第二走线 42 包括的第一跳选区域 316 处装配跳选元件，使得第三类引脚共用焊盘 3113 连接的第二走线 42 导通，这样，第二存储芯片的接地引脚可以依次通过第三类引脚共用焊盘 3113 和第二走线 42 与接地端 GND 导通。并且，第一电源模块 341 中的第四电源单元对第三类引脚共用焊盘 3113 连接的第一走线 41 不进行上电，即第四电源单元不会将处理器芯片 33 提供的电压转换为第一存储芯片工作所需要的电压，也不会输出第一存储芯片工作所需要的电压给第三类引脚共用焊盘 3113 连接的第一走线 41。

因此，结合图 9 和图 11，可以得知，与第一电源模块 341 连接的第一走线 41 不包括第一跳选区域 316，未与第一电源模块 341 连接的第二走线 42 包括第一跳选区域 316。在电路板 31 用于承载第一存储芯片，且第一类焊盘 311 用于与第一存储芯片的电源引脚连接的情况下，第一电源模块 341 用于对第一类焊盘 311 连接的第一走线 41 进行上电，且第一类焊盘 311 连接的第二走线 42 包括的第一跳选区域 316 不用于装配跳选元件；并且，在电路板 31 用于承载第二存储芯片，且第一类焊盘 311 用于与第二存储芯片的信号引脚或接地引脚连接的情况下，第一类焊盘 311 连接的第二走线 42 包括的第一跳选区域 316 用于装配跳选元件，且第一电源模块 341 用于对第一类焊盘 311 连接的第一走线 41 不进行上电。

图 12 为本申请实施例提供的第四类引脚共用焊盘与第一走线和第二走线的一种连接关系示意图，图 13 为本申请实施例提供的第四类引脚共用焊盘与第一走线和第二走线的另一种连接关系示意图。参照图 12 和图 13 所示，针对第一类焊盘 311 中的第四类引脚共用焊盘 3114，其可以为 UFS 信号引脚/EMMC 电源引脚处的焊盘，即第四类引脚共用焊盘 3114 用于与第一存储芯片的信号引脚和第二存储芯片的电源引脚连接。第四类引脚共用焊盘 3114 与两路走线连接，第四类引脚共用焊盘 3114 连接的两路走线分别为 UFS 存储芯片对应的第一走线 41 和 EMMC 存储芯片对应的第二走线 42，第一电源模块 341 还包括第五电源单元，第五电源单元通过第二走线 42 与第四类引脚共用焊盘 3114 连接。此外，第一电源模块 341 中的第五电源单元还与处理器芯片 33 的一个电源引脚连接，处理器芯片 33 的一个信号引脚还通过第一走线 41 与第四类引脚共用焊盘 3114 连接。

一种方式，如图 12 所示，第四类引脚共用焊盘 3114 连接的第一走线 41 和第二走线 42 均包括第一跳选区域 316。

在电路板 31 上装配第一存储芯片的情况下，在第四类引脚共用焊盘 3114 连接的第一走线 41 包括的第一跳选区域 316 处装配电阻、二极管或三极管等跳选元件，使得第四类引脚共用焊盘 3114 连接的第一走线 41 导通，这样，处理器芯片 33 中的信号引脚输出的信号可以通过第一走线 41 和第四类引脚共用焊盘 3114，传输给第二存储芯片的信号引脚。并且，在第四类引脚共用焊盘 3114 连接的第二走线 42 包括的第一跳选区域 316 处不装配跳选元件，使得第四类引脚共用焊盘 3114 连接的第二走线 42 断开设置。

相应的，在电路板 31 上装配第二存储芯片的情况下，在第四类引脚共用焊盘 3114 连接的第二走线 42 包括的第一跳选区域 316 处装配电阻、二极管或三极管等跳选元件，使得第四类引脚共用焊盘 3114 连接的第二走线 42 导通，这样，在处理器芯片 33 中的电源引脚输出相应的电压给第一电源模块 341，第一电源模块 341 中的第五电源单元将该电压转换成第二存储芯片工作所需要的电压之后，第五电源单元转换后的电压可以通过第二走线 42 和第四类引脚共用焊盘 3114，传输给第二存储芯片的电源引脚。并且，在第四类引脚共用焊盘 3114 连接的第一走线 41 包括的第一跳选区域 316 处不装配跳选元件，使得第四类引脚共用焊盘 3114 连接的第一走线 41 断开设置。

以第一存储芯片为第一 UFS 存储芯片，且第二存储芯片为 EMMC 存储芯片为例，第一 UFS 存储芯片和 EMMC 存储芯片中不存在同一个位置处的引脚，与第四类引脚共用焊盘 3114 连接的情况，即电路板 31 上可能不存在第四类引脚共用焊盘 3114。或者，以第一存储芯片为第二 UFS 存储芯片，且第二存储芯片为 EMMC 存储芯片为例，第二 UFS 存储芯片和 EMMC 存储芯片中也不存在同一个位置处的引脚，与第四类引脚共用焊盘 3114 连接的情况。

另一种方式，如图 13 所示，第四类引脚共用焊盘 3114 连接的第一走线 41 包括第一跳选区域 316，第四类引脚共用焊盘 3114 连接的第二走线 42 不包括第一跳选区域 316。

在电路板 31 上装配第一存储芯片的情况下，在第四类引脚共用焊盘 3114 连接的第一走线 41 包括第一跳选区域 316 处装配跳选元件，使得第四类引脚共用焊盘 3114

连接的第一走线 41 导通，则处理器芯片 33 中的信号引脚输出的信号可以通过第一走线 41 和第四类引脚共用焊盘 3114，传输给第一存储芯片的信号引脚。并且，第一电源模块 341 中的第五电源单元对第四类引脚共用焊盘 3114 连接的第二走线 42 不进行上电，即第五电源单元不会将处理器芯片 33 提供的电压转换为第二存储芯片工作所需要的电压，也不会输出第二存储芯片工作所需要的电压给第四类引脚共用焊盘 3114 连接的第二走线 42。

相应的，在电路板 31 上装配第二存储芯片的情况下，第一电源模块 341 中的第五电源单元对第四类引脚共用焊盘 3114 连接的第二走线 42 进行上电，即第五电源单元将处理器芯片 33 提供的电压转换为第二存储芯片工作所需要的电压，并输出给第四类引脚共用焊盘 3114 连接的第二走线 42，使得第五电源单元转换后的电压可以通过第二走线 42 和第四类引脚共用焊盘 3114，传输给第二存储芯片的电源引脚。并且，在第四类引脚共用焊盘 3114 连接的第一走线 41 包括的第一跳选区域 316 处不装配跳选元件，使得第四类引脚共用焊盘 3114 连接的第一走线 41 断开设置。

图 14 为本申请实施例提供的第五类引脚共用焊盘与第一走线和第二走线的一种连接关系示意图，图 15 为本申请实施例提供的第五类引脚共用焊盘与第一走线和第二走线的另一种连接关系示意图。参照图 14 和图 15 所示，针对第一类焊盘 311 中的第五类引脚共用焊盘 3115，其可以为 UFS 接地引脚/EMMC 电源引脚处的焊盘，即第五类引脚共用焊盘 3115 用于与第一存储芯片的接地引脚和第二存储芯片的电源引脚连接。第五类引脚共用焊盘 3115 与两路走线连接，第五类引脚共用焊盘 3115 连接的两路走线分别为 UFS 存储芯片对应的第一走线 41 和 EMMC 存储芯片对应的第二走线 42，第一电源模块 341 还可以包括第六电源单元，第六电源单元通过第二走线 42 与第五类引脚共用焊盘 3115 连接。此外，第一电源模块 341 中的第六电源单元还与处理器芯片 33 的一个电源引脚连接，第五类引脚共用焊盘 3115 所连接的第一走线 41 还与电路板 31 中的接地端 GND 连接。

一种方式，如图 14 所示，第五类引脚共用焊盘 3115 连接的第一走线 41 和第二走线 42 均包括第一跳选区域 316。

在电路板 31 上装配第一存储芯片的情况下，在第五类引脚共用焊盘 3115 连接的第一走线 41 包括的第一跳选区域 316 处装配跳选元件，使得第五类引脚共用焊盘 3115 连接的第一走线 41 导通，这样，第一存储芯片的接地引脚可以依次通过第五类引脚共用焊盘 3115 和第一走线 41 与接地端 GND 导通。并且，在第五类引脚共用焊盘 3115 连接的第二走线 42 包括的第一跳选区域 316 处不装配跳选元件，使得第五类引脚共用焊盘 3115 连接的第二走线 42 断开设置。

相应的，在电路板 31 上装配第二存储芯片的情况下，在第五类引脚共用焊盘 3115 连接的第二走线 42 包括的第一跳选区域 316 处装配跳选元件，使得第五类引脚共用焊盘 3115 连接的第二走线 42 导通，这样，在处理器芯片 33 中的电源引脚输出相应的电压给第一电源模块 341，第一电源模块 341 中的第六电源单元将该电压转换成第二存储芯片工作所需要的电压之后，第六电源单元转换后的电压可以通过第二走线 42 和第五类引脚共用焊盘 3115，传输给第二存储芯片的电源引脚。并且，在第五类引脚共用焊盘 3115 连接的第一走线 41 包括的第一跳选区域 316 处不装配跳选元件，使得第五

类引脚共用焊盘 3115 连接的第一走线 41 断开设置。

以第一存储芯片为第一 UFS 存储芯片，且第二存储芯片为 EMMC 存储芯片为例。第一 UFS 存储芯片中位于 M4 位置、N4 位置以及 P5 位置处的引脚均为 VSS 引脚（即接地引脚），且 EMMC 存储芯片中位于 M4 位置、N4 位置以及 P5 位置处的引脚均为 VCCQ 引脚（即电源引脚）。因此，第五类引脚共用焊盘 3115 可以包括第一 UFS 存储芯片和 EMMC 存储芯片中位于 M4 位置、N4 位置以及 P5 位置处的引脚所连接的第一焊盘。

这样，在电路板 31 上装配第一 UFS 存储芯片时，第五类引脚共用焊盘 3115 所包括的多个第一焊盘，分别与第一 UFS 存储芯片中位于 M4 位置、N4 位置以及 P5 位置处的引脚连接，并在第五类引脚共用焊盘 3115 连接的第一走线 41 包括的第一跳选区域 316 处装配电阻、二极管或三极管等跳选元件；在电路板 31 上装配 EMMC 存储芯片时，第五类引脚共用焊盘 3115 所包括的多个第一焊盘，分别与 EMMC 存储芯片中位于 M4 位置、N4 位置以及 P5 位置处的引脚连接，并在第五类引脚共用焊盘 3115 连接的第二走线 42 包括的第一跳选区域 316 处装配电阻、二极管或三极管等跳选元件。

以第一存储芯片为第二 UFS 存储芯片，且第二存储芯片为 EMMC 存储芯片为例。第二 UFS 存储芯片中位于 M4 位置、N4 位置以及 P5 位置处的引脚均为 VSS 引脚（即接地引脚），且 EMMC 存储芯片中位于 M4 位置、N4 位置以及 P5 位置处的引脚均为 VCCQ 引脚（即电源引脚）。因此，第五类引脚共用焊盘 3115 可以包括第二 UFS 存储芯片和 EMMC 存储芯片中位于 M4 位置、N4 位置以及 P5 位置处的引脚所连接的第一焊盘。

这样，在电路板 31 上装配第二 UFS 存储芯片时，第五类引脚共用焊盘 3115 所包括的多个第一焊盘，分别与第二 UFS 存储芯片中位于 M4 位置、N4 位置以及 P5 位置处的引脚连接，并在第五类引脚共用焊盘 3115 连接的第一走线 41 包括的第一跳选区域 316 处装配电阻、二极管或三极管等跳选元件；在电路板 31 上装配 EMMC 存储芯片时，第五类引脚共用焊盘 3115 所包括的多个第一焊盘，分别与 EMMC 存储芯片中位于 M4 位置、N4 位置以及 P5 位置处的引脚连接，并在第五类引脚共用焊盘 3115 连接的第二走线 42 包括的第一跳选区域 316 处装配电阻、二极管或三极管等跳选元件。

另一种方式，如图 15 所示，第五类引脚共用焊盘 3115 连接的第一走线 41 包括第一跳选区域 316，第五类引脚共用焊盘 3115 连接的第二走线 42 不包括第一跳选区域 316。

电路板 31 上装配第一存储芯片的情况下，在第五类引脚共用焊盘 3115 连接的第一走线 41 包括的第一跳选区域 316 处装配跳选元件，使得第五类引脚共用焊盘 3115 连接的第一走线 41 导通，这样，第一存储芯片的接地引脚可以依次通过第五类引脚共用焊盘 3115 和第一走线 41 与接地端 GND 导通。并且，第一电源模块 341 中的第六电源单元对第五类引脚共用焊盘 3115 连接的第二走线 42 不进行上电，即第六电源单元不会将处理器芯片 33 提供的电压转换为第二存储芯片工作所需要的电压，也不会输出第二存储芯片工作所需要的电压给第五类引脚共用焊盘 3115 连接的第二走线 42。

相应的，在电路板 31 上装配第二存储芯片的情况下，第一电源模块 341 中的第六电源单元对第五类引脚共用焊盘 3115 连接的第二走线 42 进行上电，即第六电源单元

将处理器芯片 33 提供的电压转换为第二存储芯片工作所需要的电压，并输出给第五类引脚共用焊盘 3115 连接的第二走线 42，使得第六电源单元转换后的电压可以依次通过第二走线 42 和第五类引脚共用焊盘 3115，传输给第二存储芯片的电源引脚。并且，在第五类引脚共用焊盘 3115 连接的第一走线 41 包括的第一跳选区域 316 处不装配跳选元件，使得第五类引脚共用焊盘 3115 连接的第一走线 41 断开设置。

因此，结合图 13 和图 15，可以得知，与第一电源模块 341 连接的第二走线 42 不包括第一跳选区域 316，未与第一电源模块 341 连接的第一走线 41 包括第一跳选区域 316。在电路板 31 用于承载第一存储芯片，且第一类焊盘 311 用于与第一存储芯片的信号引脚或接地引脚连接的情况下，第一类焊盘 311 连接的第一走线 41 包括的第一跳选区域 316 用于装配跳选元件，且第一电源模块 341 用于对第一类焊盘 311 连接的第二走线 42 不进行上电；并且，在电路板 31 用于承载第二存储芯片，且第一类焊盘 311 用于与第二存储芯片的电源引脚连接的情况下，第一电源模块 341 用于对第一类焊盘 311 连接的第二走线 42 进行上电，且第一类焊盘 311 连接的第一走线 41 包括的第一跳选区域 316 不用于装配跳选元件。

综上，结合上述的图 6、图 8、图 10、图 12 和图 14，第一类焊盘 311 连接的第一走线 41 和第二走线 42 均包括第一跳选区域 316。在电路板 31 用于承载第一存储芯片的情况下，第一类焊盘 311 连接的第一走线 41 包括的第一跳选区域 316 用于装配跳选元件，且第一类焊盘 311 连接的第二走线 42 包括的第一跳选区域 316 不用于装配跳选元件；在电路板 31 用于承载第二存储芯片的情况下，第一类焊盘 311 连接的第二走线 42 包括的第一跳选区域 316 用于装配跳选元件，且第一类焊盘 311 连接的第一走线 41 包括的第一跳选区域 316 不用于装配跳选元件。

综上，结合上述的图 7、图 9、图 11、图 13 和图 15 所示，与第一电源模块 341 连接的第一走线 41 和/或第二走线 42 不包括第一跳选区域 316，未与第一电源模块 341 连接的第一走线 41 或第二走线 42 包括第一跳选区域 316。在电路板 31 用于承载第一存储芯片，且第一类焊盘 311 用于与第一存储芯片的电源引脚连接的情况下，第一电源模块 341 用于对第一类焊盘 311 连接的第一走线 41 进行上电；和/或，在电路板 31 用于承载第二存储芯片，且第一类焊盘 311 用于与第二存储芯片的电源引脚连接的情况下，第一电源模块 341 用于对第一类焊盘 311 连接的第二走线 42 进行上电。

需要说明的是，上述的第一电源单元、第二电源单元、第三电源单元、第四电源单元、第五电源单元和第六电源单元，可以是第一电源模块 341 中的同一个用于电压转换的功能单元，也可以是第一电源模块 341 中多个不同的用于电压转换的功能单元。并且，上述的第一电源单元、第二电源单元、第三电源单元、第四电源单元、第五电源单元和第六电源单元可以集成在同一个器件内，如均集成在电源管理芯片 34 内，或者，上述的第一电源单元、第二电源单元、第三电源单元、第四电源单元、第五电源单元和第六电源单元也可以独立设置，本申请实施例对此不进行限定。

在一些实施例中，多个第一焊盘包括第二类焊盘 312，第二类焊盘 312 用于与第一存储芯片的信号引脚和第二存储芯片的信号引脚连接，或者用于与第一存储芯片的信号引脚和第二存储芯片的接地引脚连接，或者用于与第一存储芯片的接地引脚和第二存储芯片的信号引脚连接。并且，第二类焊盘 312 连接的第一走线 41 和第二走线

42 均包括第一跳选区域 316；在电路板 31 用于承载第一存储芯片的情况下，至少部分的第二类焊盘 312 连接的第一走线 41 包括的第一跳选区域 316 用于装配跳选元件；在电路板 31 用于承载第二存储芯片的情况下，第二类焊盘 312 连接的第二走线 42 包括的第一跳选区域 316 用于装配跳选元件。

图 16 为本申请实施例提供的第六类引脚共用焊盘与第一走线和第二走线的一种连接关系示意图。参照图 16 所示，针对第二类焊盘 312 中的第六类引脚共用焊盘 3121，其可以为 UFS 信号引脚/EMMC 信号引脚处的焊盘，即第六类引脚共用焊盘 3121 用于与第一存储芯片的信号引脚和第二存储芯片的信号引脚连接。第六类引脚共用焊盘 3121 与两路走线连接，第六类引脚共用焊盘 3121 连接的两路走线分别为 UFS 存储芯片对应的第一走线 41 和 EMMC 存储芯片对应的第二走线 42。此外，处理器芯片 33 的一个信号引脚通过第一走线 41 与第六类引脚共用焊盘 3121 连接，处理器芯片 33 的另一个信号引脚还通过第二走线 42 与第六类引脚共用焊盘 3121 连接。

其中，第六类引脚共用焊盘 3121 连接的第一走线 41 和第二走线 42 均包括第一跳选区域 316。

在电路板 31 上装配第一存储芯片的情况下，在第六类引脚共用焊盘 3121 连接的第一走线 41 包括的第一跳选区域 316 处装配电阻、二极管或三极管等跳选元件，使得第六类引脚共用焊盘 3121 连接的第一走线 41 导通，这样，处理器芯片 33 中与第一存储芯片对应的信号引脚输出的信号，可以依次通过第一走线 41 和第六类引脚共用焊盘 3121 传输给第一存储芯片的信号引脚。并且，在第六类引脚共用焊盘 3121 连接的第二走线 42 包括的第一跳选区域 316 处不装配跳选元件，使得第六类引脚共用焊盘 3121 连接的第二走线 42 断开设置。

相应的，在电路板 31 上装配第二存储芯片的情况下，在第六类引脚共用焊盘 3121 连接的第二走线 42 包括的第一跳选区域 316 处装配电阻、二极管或三极管等跳选元件，使得第六类引脚共用焊盘 3121 连接的第二走线 42 导通，这样，处理器芯片 33 中与第二存储芯片对应的信号引脚输出的信号，可以依次通过第二走线 42 和第六类引脚共用焊盘 3121 传输给第二存储芯片的信号引脚。并且，在第六类引脚共用焊盘 3121 连接的第一走线 41 包括的第一跳选区域 316 处不装配跳选元件，使得第六类引脚共用焊盘 3121 连接的第一走线 41 断开设置。

以第一存储芯片为第一 UFS 存储芯片，且第二存储芯片为 EMMC 存储芯片为例，第一 UFS 存储芯片和 EMMC 存储芯片中不存在同一个位置处的引脚，与第六类引脚共用焊盘 3121 连接的情况，即电路板 31 上可能不存在第六类引脚共用焊盘 3121。或者，以第一存储芯片为第二 UFS 存储芯片，且第二存储芯片为 EMMC 存储芯片为例，第二 UFS 存储芯片和 EMMC 存储芯片中也不存在同一个位置处的引脚，与第六类引脚共用焊盘 3121 连接的情况。

图 17 为本申请实施例提供的第七类引脚共用焊盘与第一走线和第二走线的一种连接关系示意图。参照图 17 所示，针对第二类焊盘 312 中的第七类引脚共用焊盘 3122，其可以为 UFS 接地引脚/EMMC 信号引脚处的焊盘，即第七类引脚共用焊盘 3122 用于与第一存储芯片的接地引脚和第二存储芯片的信号引脚连接。第七类引脚共用焊盘 3122 与两路走线连接，第七类引脚共用焊盘 3122 连接的两路走线分别为 UFS 存储芯

片对应的第一走线 41 和 EMMC 存储芯片对应的第二走线 42。此外，第七类引脚共用焊盘 3122 所连接的第一走线 41 还与电路板 31 中的接地端 GND 连接，处理器芯片 33 的一个信号引脚通过第二走线 42 与第七类引脚共用焊盘 3122 连接。

其中，第七类引脚共用焊盘 3122 连接的第一走线 41 和第二走线 42 均包括第一跳选区域 316。

在电路板 31 上装配第一存储芯片的情况下，在第七类引脚共用焊盘 3122 连接的第一走线 41 包括的第一跳选区域 316 处装配跳选元件或不装配跳选元件。并且，在第七类引脚共用焊盘 3122 连接的第二走线 42 包括的第一跳选区域 316 处不装配跳选元件。

相应的，在电路板 31 上装配第二存储芯片的情况下，在第七类引脚共用焊盘 3122 连接的第二走线 42 包括的第一跳选区域 316 处装配跳选元件，使得第七类引脚共用焊盘 3122 连接的第二走线 42 导通，这样，处理器芯片 33 中的信号引脚输出的信号可以通过第二走线 42 和第七类引脚共用焊盘 3122，传输给第二存储芯片的信号引脚。并且，在第七类引脚共用焊盘 3122 连接的第一走线 41 包括的第一跳选区域 316 处不装配跳选元件，使得第七类引脚共用焊盘 3122 连接的第一走线 41 断开设置。

以第一存储芯片为第一 UFS 存储芯片，且第二存储芯片为 EMMC 存储芯片为例。第一 UFS 存储芯片中位于 A3 位置处的引脚为 VDDiQ 引脚（即接地引脚），且 EMMC 存储芯片中位于 A3 位置处的引脚为 DAT0 引脚（即信号引脚）；第一 UFS 存储芯片中位于 B2 位置、H5 位置、K5 位置以及 M5 位置处的引脚均为 VSS 引脚（即接地引脚），且 EMMC 存储芯片中位于 B2 位置处的引脚为 DAT3 引脚（即信号引脚），EMMC 存储芯片中位于 H5 位置处的引脚为 DS 引脚（即信号引脚），EMMC 存储芯片中位于 K5 位置处的引脚为 RST_n 引脚（即信号引脚），EMMC 存储芯片中位于 M5 位置处的引脚为 CMD 引脚（即信号引脚）。因此，第七类引脚共用焊盘 3122 可以包括第一 UFS 存储芯片和 EMMC 存储芯片中位于 A3 位置、B2 位置、H5 位置、K5 位置以及 M5 位置处的引脚所连接的第一焊盘。

这样，对于第七类引脚共用焊盘 3122 中，与第一 UFS 存储芯片和 EMMC 存储芯片中位于 A3 位置处的引脚连接的第一焊盘。在电路板 31 上装配第一 UFS 存储芯片时，在第一 UFS 存储芯片中位于 A3 位置处的引脚所对应连接的第一走线 41 包括的第一跳选区域 316 处装配电容，或者不装配任何跳选元件，若第一 UFS 存储芯片中位于 A3 位置处的引脚所对应连接的第一走线 41 包括的第一跳选区域 316 处不装配任何跳选元件，可以使得第一 UFS 存储芯片中位于 A3 位置处的引脚所对应连接的第一走线 41 处于开路状态。在电路板 31 上装配 EMMC 存储芯片时，在 EMMC 存储芯片中位于 A3 位置处的引脚所对应连接的第二走线 42 包括的第一跳选区域 316 处装配电阻、二极管或三极管等跳选元件。

并且，对于第七类引脚共用焊盘 3122 中，与第一 UFS 存储芯片和 EMMC 存储芯片中位于 B2 位置、H5 位置、K5 位置以及 M5 位置处的引脚连接的第一焊盘。在电路板 31 上装配第一 UFS 存储芯片时，在第一 UFS 存储芯片中位于 B2 位置、H5 位置、K5 位置以及 M5 位置处的引脚所对应连接的第一走线 41 包括的第一跳选区域 316 处装配电阻、二极管或三极管等跳选元件；在电路板 31 上装配 EMMC 存储芯片时，在

EMMC 存储芯片位于 B2 位置、H5 位置、K5 位置以及 M5 位置处的引脚所对应连接的第二走线 42 包括的第一跳选区域 316 处装配电阻、二极管或三极管等跳选元件。

需要说明的是，在第一存储芯片为第二 UFS 存储芯片的情况下，第七类引脚共用焊盘 3122 包括的多个第一焊盘的位置、所连接的引脚功能、每个第一跳选区域 316 处是否装配跳选元件，以及在第一跳选区域 316 处装配跳选元件时跳选元件的类型，与第一存储芯片为第一 UFS 存储芯片的情况下，第七类引脚共用焊盘 3122 包括的多个第一焊盘的位置、所连接的引脚功能、每个第一跳选区域 316 处是否装配跳选元件，以及在第一跳选区域 316 处装配跳选元件时跳选元件的类型均对应相同，在此不再详述。

图 18 为本申请实施例提供的第八类引脚共用焊盘与第一走线和第二走线的一种连接关系示意图。参照图 18 所示，针对第二类焊盘 312 中的第八类引脚共用焊盘 3123，其可以为 UFS 信号引脚/EMMC 接地引脚处的焊盘，即第八类引脚共用焊盘 3123 用于与第一存储芯片的信号引脚和第二存储芯片的接地引脚连接。第八类引脚共用焊盘 3123 与两路走线连接，第八类引脚共用焊盘 3123 连接的两路走线分别为 UFS 存储芯片对应的第一走线 41 和 EMMC 存储芯片对应的第二走线 42。此外，处理器芯片 33 的一个信号引脚通过第一走线 41 与第八类引脚共用焊盘 3123 连接，第八类引脚共用焊盘 3123 所连接的第二走线 42 还与电路板 31 中的接地端 GND 连接。

其中，第八类引脚共用焊盘 3123 连接的第一走线 41 和第二走线 42 均包括第一跳选区域 316。

在电路板 31 上装配第一存储芯片的情况下，在第八类引脚共用焊盘 3123 连接的第一走线 41 包括的第一跳选区域 316 处装配电阻、电容、二极管或三极管等跳选元件，使得第八类引脚共用焊盘 3123 连接的第一走线 41 导通，这样，处理器芯片 33 中的信号引脚输出的信号，可以通过第一走线 41 和第八类引脚共用焊盘 3123 传输给第一存储芯片的信号引脚。并且，在第八类引脚共用焊盘 3123 连接的第二走线 42 包括的第一跳选区域 316 处不装配跳选元件，使得第八类引脚共用焊盘 3123 连接的第二走线 42 断开设置。

相应的，在电路板 31 上装配第二存储芯片的情况下，在第八类引脚共用焊盘 3123 连接的第二走线 42 包括的第一跳选区域 316 处装配电阻、电容、二极管或三极管等跳选元件，使得第八类引脚共用焊盘 3123 连接的第二走线 42 导通，这样，第二存储芯片的接地引脚可以依次通过第八类引脚共用焊盘 3123 和第二走线 42 与接地端 GND 导通。并且，在第八类引脚共用焊盘 3123 连接的第一走线 41 包括的第一跳选区域 316 处不装配跳选元件，使得第八类引脚共用焊盘 3123 连接的第一走线 41 断开设置。

以第一存储芯片为第一 UFS 存储芯片，且第二存储芯片为 EMMC 存储芯片为例，第一 UFS 存储芯片和 EMMC 存储芯片中不存在同一个位置处的引脚，与第八类引脚共用焊盘 3123 连接的情况，即电路板 31 上可能不存在第八类引脚共用焊盘 3123。或者，以第一存储芯片为第二 UFS 存储芯片，且第二存储芯片为 EMMC 存储芯片为例，第二 UFS 存储芯片和 EMMC 存储芯片中也不存在同一个位置处的引脚，与第八类引脚共用焊盘 3123 连接的情况。

在一些实施例中，如图 5 所示，第一焊盘组还包括多个第二焊盘，每个第二焊盘

均与一路走线连接，第二焊盘连接的一路走线为第三走线；部分的第二焊盘连接的第三走线包括第二跳选区域 317，第二跳选区域 317 处的第三走线断开设置；另一部分的第二焊盘连接的第三走线不包括第二跳选区域 317。在电路板 31 用于承载第一存储芯片或第二存储芯片的情况下，至少部分的第二焊盘连接的第三走线包括的第二跳选区域 317 用于装配跳选元件。

需要说明的是，第二跳选区域 317 可以由两个存在一定间隔的焊盘组成，使得第二跳选区域 317 处的走线没有连通。

多个第二焊盘包括第三类焊盘 313，第三类焊盘 313 用于与第一存储芯片的电源引脚和第二存储芯片的未使用引脚连接，或者用于与第一存储芯片的未使用引脚和第二存储芯片的电源引脚连接。并且，电路板 31 还用于承载第二电源模块，第二电源模块用于通过第三走线与第三类焊盘 313 连接。

图 19 为本申请实施例提供的第九类引脚共用焊盘与第三走线的一种连接关系示意图，图 20 为本申请实施例提供的第九类引脚共用焊盘与第三走线的另一种连接关系示意图。参照图 19 和图 20 所示，针对第三类焊盘 313 中的第九类引脚共用焊盘 3131，其可以为 UFS 未使用引脚/EMMC 电源引脚处的焊盘，即第九类引脚共用焊盘 3131 用于与第一存储芯片的未使用引脚和第二存储芯片的电源引脚连接。第九类引脚共用焊盘 3131 与一路走线连接，第九类引脚共用焊盘 3131 连接的一路走线为 UFS 存储芯片和 EMMC 存储芯片对应的第三走线 43。第二电源模块 342 可以包括第七电源单元，第七电源单元通过第三走线 43 与第九类引脚共用焊盘 3131 连接，第七电源单元还与处理器芯片 33 的一个电源引脚连接。

一种方式，如图 19 所示，第九类引脚共用焊盘 3131 连接的第三走线 43 包括第二跳选区域 317。

在电路板 31 上装配第一存储芯片的情况下，在第九类引脚共用焊盘 3131 连接的第三走线 43 包括的第二跳选区域 317 处不装配跳选元件，使得第九类引脚共用焊盘 3131 连接的第三走线 43 处于开路状态。在电路板 31 上装配第二存储芯片的情况下，在第九类引脚共用焊盘 3131 连接的第三走线 43 包括的第二跳选区域 317 处装配跳选元件，使得第九类引脚共用焊盘 3131 连接的第三走线 43 导通，这样，在处理器芯片 33 中的电源引脚输出相应的电压给第二电源模块 342，第二电源模块 342 中的第七电源单元将该电压转换成第二存储芯片工作所需要的电压之后，第七电源单元转换后的电压可以通过第三走线 43 和第九类引脚共用焊盘 3131，传输给第二存储芯片的电源引脚。

另一种方式，如图 20 所示，第九类引脚共用焊盘 3131 连接的第三走线 43 不包括第二跳选区域 317。也就是说，电路板 31 中的第三走线 43 在制作时直接导通，且不存在第二跳选区域 317。

在电路板 31 上装配第一存储芯片的情况下，第二电源模块 342 中的第七电源单元对第九类引脚共用焊盘 3131 连接的第三走线 43 不进行上电。在电路板 31 上装配第二存储芯片的情况下，第二电源模块 342 中的第七电源单元对第九类引脚共用焊盘 3131 连接的第三走线 43 进行上电，即第七电源单元将处理器芯片 33 提供的电压转换为第二存储芯片工作所需要的电压，并输出给第九类引脚共用焊盘 3131 连接的第三走线

43，使得第七电源单元转换后的电压可以依次通过第三走线 43 和第九类引脚共用焊盘 3131，传输给第二存储芯片的电源引脚。

以第一存储芯片为第一 UFS 存储芯片，且第二存储芯片为 EMMC 存储芯片为例。第一 UFS 存储芯片中位于 C6 位置处的引脚为 NU 引脚（即未使用引脚），且 EMMC 存储芯片中位于 C6 位置处的引脚为 VCCQ 引脚（即电源引脚）；第一 UFS 存储芯片中位于 E6 位置处的引脚为 VSF 引脚（调试用引脚，也属于未使用引脚），且 EMMC 存储芯片中位于 E6 位置处的引脚为 VCC 引脚（即电源引脚）；第一 UFS 存储芯片中位于 J10 位置处的引脚为 VSF 引脚（即未使用引脚），且 EMMC 存储芯片中位于 J10 位置处的引脚为 VCC 引脚（即电源引脚）；第一 UFS 存储芯片中位于 K9 位置处的引脚为 NU 引脚（即未使用引脚），且 EMMC 存储芯片中位于 K9 位置处的引脚 VCC 引脚（即电源引脚）；第一 UFS 存储芯片中位于 P3 位置处的引脚为 NU 引脚（即未使用引脚），且 EMMC 存储芯片中位于 P3 位置处的引脚为 VCCQ 引脚（即电源引脚）。因此，第九类引脚共用焊盘 3131 包括第一 UFS 存储芯片和 EMMC 存储芯片中位于 C6 位置、E6 位置、J10 位置、K9 位置以及 P3 位置处的引脚所连接的第二焊盘。

这样，对于第九类引脚共用焊盘 3131 中，分别与第一 UFS 存储芯片和 EMMC 存储芯片中位于 C6 位置、K9 位置以及 P3 位置处的引脚连接的第二焊盘，其连接的第三走线 43 不包括第二跳选区域 317，使得在电路板 31 上装配第一 UFS 存储芯片或 EMMC 存储芯片时，位于 C6 位置、K9 位置以及 P3 位置处的引脚所对应连接的第三走线 43 均处于短路状态。

或者，对于第九类引脚共用焊盘 3131 中，分别与第一 UFS 存储芯片和 EMMC 存储芯片中位于 C6 位置、K9 位置以及 P3 位置处的引脚连接的多个第二焊盘，其连接的第三走线 43 包括第二跳选区域 317。在电路板 31 上装配第一 UFS 存储芯片时，在位于 C6 位置、K9 位置以及 P3 位置处的引脚所对应连接的第三走线 43 包括的第二跳选区域 317 处不装配任何跳选元件，使得这些第三走线 43 处于开路状态；而在电路板 31 上装配 EMMC 存储芯片时，在位于 C6 位置、K9 位置以及 P3 位置处的引脚所对应连接的第三走线 43 包括的第二跳选区域 317 处装配电阻、二极管或三极管等跳选元件。

并且，对于第九类引脚共用焊盘 3131 中，分别与第一 UFS 存储芯片和 EMMC 存储芯片中位于 E6 位置以及 J10 位置处的引脚连接的第二焊盘，其连接的第三走线 43 包括第二跳选区域 317。在电路板 31 上装配第一 UFS 存储芯片时，在位于 E6 位置以及 J10 位置处的引脚所对应连接的第三走线 43 包括的第二跳选区域 317 处不装配任何跳选元件，使得这些第三走线 43 处于开路状态；在电路板 31 上装配 EMMC 存储芯片时，在位于 E6 位置以及 J10 位置处的引脚所对应连接的第三走线 43 包括的第二跳选区域 317 处装配电阻、二极管或三极管等跳选元件。

以第一存储芯片为第二 UFS 存储芯片，且第二存储芯片为 EMMC 存储芯片为例。第二 UFS 存储芯片中位于 E6 位置处的引脚为 VSF 引脚（即未使用引脚），且 EMMC 存储芯片中位于 E6 位置处的引脚为 VCC 引脚（即电源引脚）；第二 UFS 存储芯片中位于 F5 位置处的引脚为 NU 引脚（即未使用引脚），且 EMMC 存储芯片中位于 F5 位置处的引脚为 VCC 引脚（即电源引脚）；第二 UFS 存储芯片中位于 J10 位置处的引脚为 VSF 引脚（即未使用引脚），且 EMMC 存储芯片中位于 J10 位置处的引脚为

VCC 引脚（即电源引脚）；第二 UFS 存储芯片中位于 K9 位置处的引脚为 NU 引脚（即未使用引脚），且 EMMC 存储芯片中位于 K9 位置处的引脚 VCC 引脚（即电源引脚）；第二 UFS 存储芯片中位于 P3 位置处的引脚为 NU 引脚（即未使用引脚），且 EMMC 存储芯片中位于 P3 位置处的引脚为 VCCQ 引脚（即电源引脚）。因此，第九类引脚共用焊盘 3131 包括第二 UFS 存储芯片和 EMMC 存储芯片中位于 E6 位置、F5 位置、J10 位置、K9 位置以及 P3 位置处的引脚所连接的第二焊盘。

这样，对于第九类引脚共用焊盘 3131 中，分别与第二 UFS 存储芯片和 EMMC 存储芯片中位于 F5 位置、K9 位置以及 P3 位置处的引脚连接的多个第二焊盘，其连接的第三走线 43 不包括第二跳选区域 317，使得在电路板 31 上装配第二 UFS 存储芯片或 EMMC 存储芯片时，位于 F5 位置、K9 位置以及 P3 位置处的引脚所对应连接的第三走线 43 均处于短路状态。

或者，对于第九类引脚共用焊盘 3131 中，分别与第二 UFS 存储芯片和 EMMC 存储芯片中位于 F5 位置、K9 位置以及 P3 位置处的引脚连接的多个第二焊盘，其连接的第三走线 43 包括第二跳选区域 317。在电路板 31 上装配第二 UFS 存储芯片时，在位于 F5 位置、K9 位置以及 P3 位置处的引脚所对应连接的第三走线 43 包括的第二跳选区域 317 处不装配任何跳选元件，使得这些第三走线 43 处于开路状态；而在电路板 31 上装配 EMMC 存储芯片时，在位于 F5 位置、K9 位置以及 P3 位置处的引脚所对应连接的第三走线 43 包括的第二跳选区域 317 处装配电阻、二极管或三极管等跳选元件。

并且，对于第九类引脚共用焊盘 3131 中，分别与第二 UFS 存储芯片中位于 E6 位置以及 J10 位置处的引脚连接的第二焊盘，其连接的第三走线 43 包括第二跳选区域 317。在电路板 31 上装配第二 UFS 存储芯片时，在位于 E6 位置以及 J10 位置处的引脚所对应连接的第三走线 43 包括的第二跳选区域 317 处不装配任何跳选元件，使得这些第三走线 43 处于开路状态；在电路板 31 上装配 EMMC 存储芯片时，在位于 E6 位置以及 J10 位置处的引脚所对应连接的第三走线 43 包括的第二跳选区域 317 处装配电阻、二极管或三极管等跳选元件。

图 21 为本申请实施例提供的第十类引脚共用焊盘与第三走线的一种连接关系示意图，图 22 为本申请实施例提供的第十类引脚共用焊盘与第三走线的另一种连接关系示意图。参照图 21 和图 22 所示，针对第三类焊盘 313 中的第十类引脚共用焊盘 3132，其可以为 UFS 电源引脚/EMMC 未使用引脚处的焊盘，即第十类引脚共用焊盘 3132 用于与第一存储芯片的电源引脚和第二存储芯片的未使用引脚连接。第十类引脚共用焊盘 3132 与一路走线连接，第十类引脚共用焊盘 3132 连接的一路走线为 UFS 存储芯片和 EMMC 存储芯片对应的第三走线 43。第二电源模块 342 可以包括第八电源单元，第八电源单元通过第三走线 43 与第十类引脚共用焊盘 3132 连接，第八电源单元还与处理器芯片 33 的一个电源引脚连接。

一种方式，如图 21 所示，第十类引脚共用焊盘 3132 连接的第三走线 43 包括第二跳选区域 317。

在电路板 31 上装配第一存储芯片的情况下，在第十类引脚共用焊盘 3132 连接的第三走线 43 包括的第二跳选区域 317 处装配跳选元件，使得第十类引脚共用焊盘 3132 连接的第三走线 43 导通，这样，在处理器芯片 33 中的电源引脚输出相应的电压给第

二电源模块 342，第二电源模块 342 中的第八电源单元将该电压转换成第一存储芯片工作所需要的电压之后，第八电源单元转换后的电压可以通过第三走线 43 和第十类引脚共用焊盘 3132，传输给第一存储芯片的电源引脚。在电路板 31 上装配第二存储芯片的情况下，在第十类引脚共用焊盘 3132 连接的第三走线 43 包括的第二跳选区域 317 处不装配跳选元件，使得第十类引脚共用焊盘 3132 连接的第三走线 43 处于开路状态。

另一种方式，如图 22 所示，第十类引脚共用焊盘 3132 连接的第三走线 43 不包括第二跳选区域 317。

在电路板 31 上装配第一存储芯片的情况下，第二电源模块 342 中的第八电源单元对第十类引脚共用焊盘 3132 连接的第三走线 43 进行上电，即第八电源单元将处理器芯片 33 提供的电压转换为第一存储芯片工作所需要的电压，并输出给第十类引脚共用焊盘 3132 连接的第三走线 43，使得第八电源单元转换后的电压可以依次通过第三走线 43 和第十类引脚共用焊盘 3132，传输给第一存储芯片的电源引脚。在电路板 31 上装配第二存储芯片的情况下，第二电源模块 342 中的第八电源单元对第十类引脚共用焊盘 3132 连接的第三走线 43 不进行上电。

以第一存储芯片为第一 UFS 存储芯片，且第二存储芯片为 EMMC 存储芯片为例。第一 UFS 存储芯片中位于 A9 位置、C5 位置以及 E5 位置处的引脚均为 VCCQ 引脚（即电源引脚），第一 UFS 存储芯片中位于 B8 位置、B9 位置、C8 位置、C9 位置、E8 位置、N8 位置、N9 位置、P8 位置以及 P9 位置处的引脚均为 VCC 引脚（即电源引脚），且 EMMC 存储芯片中位于 A9 位置、B8 位置、B9 位置、C5 位置、C8 位置、C9 位置、E5 位置、E8 位置、N8 位置、N9 位置、P8 位置以及 P9 位置处的引脚均为 NU 引脚（即未使用引脚）。因此，第十类引脚共用焊盘 3132 包括第一 UFS 存储芯片和 EMMC 存储芯片中位于 A9 位置、B8 位置、B9 位置、C5 位置、C8 位置、C9 位置、E5 位置、E8 位置、N8 位置、N9 位置、P8 位置以及 P9 位置处的引脚所连接的第二焊盘。

这样，第十类引脚共用焊盘 3132 连接的第三走线 43 可以不包括第二跳选区域 317，使得在电路板 31 上装配第一 UFS 存储芯片或 EMMC 存储芯片时，位于 A9 位置、B8 位置、B9 位置、C5 位置、C8 位置、C9 位置、E5 位置、E8 位置、N8 位置、N9 位置、P8 位置以及 P9 位置处的引脚所对应连接的第三走线 43 均处于短路状态。

或者，第十类引脚共用焊盘 3132 连接的第三走线 43 可以包括第二跳选区域 317。在电路板 31 上装配第一 UFS 存储芯片时，在位于 A9 位置、B8 位置、B9 位置、C5 位置、C8 位置、C9 位置、E5 位置、E8 位置、N8 位置、N9 位置、P8 位置以及 P9 位置处的引脚所对应连接的第三走线 43 包括的第二跳选区域 317 处装配电阻、二极管或三极管等跳选元件；而在电路板 31 上装配 EMMC 存储芯片时，在位于 A9 位置、B8 位置、B9 位置、C5 位置、C8 位置、C9 位置、E5 位置、E8 位置、N8 位置、N9 位置、P8 位置以及 P9 位置处的引脚所对应连接的第三走线 43 包括的第二跳选区域 317 处不装配任何跳选元件，使得这些第三走线 43 处于开路状态。

以第一存储芯片为第二 UFS 存储芯片，且第二存储芯片为 EMMC 存储芯片为例。第二 UFS 存储芯片中位于 A7 位置、B7 位置、C7 位置、K6 位置以及 K7 位置处的引脚均为 VCCQ2 引脚（即电源引脚），第二 UFS 存储芯片中位于 B8 位置、B9 位置、C8 位置、C9 位置、E8 位置、N8 位置、N9 位置、P8 位置以及 P9 位置处的引脚均为

VCC 引脚（即电源引脚），且 EMMC 存储芯片中位于 A7 位置、B7 位置、B8 位置、B9 位置、C7 位置、C8 位置、C9 位置、E8 位置、K6 位置、K7 位置、N8 位置、N9 位置、P8 位置以及 P9 位置处的引脚均为 NU 引脚（即未使用引脚）。因此，第十类引脚共用焊盘 3132 包括第二 UFS 存储芯片和 EMMC 存储芯片中位于 A7 位置、B7 位置、B8 位置、B9 位置、C7 位置、C8 位置、C9 位置、E8 位置、K6 位置、K7 位置、N8 位置、N9 位置、P8 位置以及 P9 位置处的引脚所连接的第二焊盘。

这样，第十类引脚共用焊盘 3132 连接的第三走线 43 可以不包括第二跳选区域 317，使得在电路板 31 上装配第二 UFS 存储芯片或 EMMC 存储芯片时，位于 A7 位置、B7 位置、B8 位置、B9 位置、C7 位置、C8 位置、C9 位置、E8 位置、K6 位置、K7 位置、N8 位置、N9 位置、P8 位置以及 P9 位置处的引脚所对应连接的第三走线 43 均处于短路状态。

或者，第十类引脚共用焊盘 3132 连接的第三走线 43 可以包括第二跳选区域 317。在电路板 31 上装配第二 UFS 存储芯片时，在位于 A7 位置、B7 位置、B8 位置、B9 位置、C7 位置、C8 位置、C9 位置、E8 位置、K6 位置、K7 位置、N8 位置、N9 位置、P8 位置以及 P9 位置处的引脚所对应连接的第三走线 43 包括的第二跳选区域 317 处装配电阻、二极管或三极管等跳选元件；而在电路板 31 上装配 EMMC 存储芯片时，在位于 A7 位置、B7 位置、B8 位置、B9 位置、C7 位置、C8 位置、C9 位置、E8 位置、K6 位置、K7 位置、N8 位置、N9 位置、P8 位置以及 P9 位置处的引脚所对应连接的第三走线 43 包括的第二跳选区域 317 处不装配任何跳选元件，使得这些第三走线 43 处于开路状态。

因此，结合上述的图 19 和图 21 所示，第三类焊盘 313 连接的第三走线 43 包括第二跳选区域 317。如图 21 所示，在电路板 31 用于承载第一存储芯片，且第三类焊盘 313 用于与第一存储芯片的电源引脚连接的情况下，第三类焊盘 313 连接的第三走线 43 包括的第二跳选区域 317 用于装配跳选元件；在电路板 31 用于承载第二存储芯片，且第三类焊盘 313 用于与第二存储芯片的未使用引脚连接的情况下，第三类焊盘 313 连接的第三走线 43 包括的第二跳选区域 317 不用于装配跳选元件。如图 19 所示，在电路板 31 用于承载第一存储芯片，且第三类焊盘 313 用于与第一存储芯片的未使用引脚连接的情况下，第三类焊盘 313 连接的第三走线 43 包括的第二跳选区域 317 不用于装配跳选元件；在电路板 31 用于承载第二存储芯片，且第三类焊盘 313 用于与第二存储芯片的电源引脚连接的情况下，第三类焊盘 313 连接的第三走线 43 包括的第二跳选区域 317 用于装配跳选元件。

因此，结合上述的图 20 和图 22 所示，第三类焊盘 313 连接的第三走线 43 不包括第二跳选区域 317。如图 22 所示，在电路板 31 用于承载第一存储芯片，且第三类焊盘 313 用于与第一存储芯片的电源引脚连接的情况下，第二电源模块 342 用于对第三类焊盘 313 连接的第三走线 43 进行上电；在电路板 31 用于承载第二存储芯片，且第三类焊盘 313 用于与第二存储芯片的未使用引脚连接的情况下，第二电源模块 342 用于对第三类焊盘 313 连接的第三走线 43 不进行上电。如图 20 所示，在电路板 31 用于承载第一存储芯片，且第三类焊盘 313 用于与第一存储芯片的未使用引脚连接的情况下，第二电源模块 342 用于对第三类焊盘 313 连接的第三走线 43 不进行上电；在电路

板 31 用于承载第二存储芯片，且第三类焊盘 313 用于与第二存储芯片的电源引脚连接的情况下，第二电源模块 342 用于对第三类焊盘 313 连接的第三走线 43 进行上电。

需要说明的是，上述的第七电源单元和第八电源单元，可以是第二电源模块 342 中两个不同的用于电压转换的功能单元。并且，上述的第七电源单元和第八电源单元可以集成在同一个器件内，如均集成在电源管理芯片 34 内，或者，上述的第七电源单元和第八电源单元也可以独立设置，本申请实施例对此不进行限定。

在一些实施例中，第一电源模块 341 和第二电源模块 342 可以集成在电源管理芯片 34 中。当然，第一电源模块 341 和第二电源模块 342 也可以独立设置。

在一些实施例中，如图 5 所示，多个第二焊盘包括第四类焊盘 314，第四类焊盘 314 用于与第一存储芯片的未使用引脚和/或第二存储芯片的未使用引脚连接，且第四类焊盘 314 不用于与第一存储芯片的电源引脚或第二存储芯片的电源引脚连接。

由于第一存储芯片和第二存储芯片均包括信号引脚、电源引脚、接地引脚以及未使用引脚这四类引脚，因此，第四类焊盘 314 用于与第一存储芯片的接地引脚和第二存储芯片的未使用引脚连接，用于与第一存储芯片的未使用引脚和第二存储芯片的接地引脚连接，用于与第一存储芯片的信号引脚和第二存储芯片的未使用引脚连接，用于与第一存储芯片的未使用引脚和第二存储芯片的信号引脚连接，以及用于与第一存储芯片的未使用引脚和第二存储芯片的未使用引脚连接。

图 23 为本申请实施例提供的第十一类引脚共用焊盘与第三走线的一种连接关系示意图。参照图 23 所示，针对第四类焊盘 314 中的第十一类引脚共用焊盘 3141，其可以为 UFS 接地引脚/EMMC 未使用引脚处的焊盘，即第十一类引脚共用焊盘 3141 用于与第一存储芯片的接地引脚和第二存储芯片的未使用引脚连接。第十一类引脚共用焊盘 3141 与一路走线连接，第十一类引脚共用焊盘 3141 连接的一路走线为 UFS 存储芯片和 EMMC 存储芯片对应的第三走线 43。此外，第十一类引脚共用焊盘 3141 所连接的第三走线 43 还与电路板 31 中的接地端 GND 连接。

一种方式，如图 23 所示，第十一类引脚共用焊盘 3141 连接的第三走线 43 包括第二跳选区域 317。

在电路板 31 上装配第一存储芯片的情况下，在第十一类引脚共用焊盘 3141 连接的第三走线 43 包括的第二跳选区域 317 处装配跳选元件或不装配跳选元件。在电路板 31 上装配第二存储芯片的情况下，在第十一类引脚共用焊盘 3141 连接的第三走线 43 包括的第二跳选区域 317 处不装配跳选元件，使得第十一类引脚共用焊盘 3141 连接的第三走线 43 处于开路状态。

另一种方式，第十一类引脚共用焊盘 3141 连接的第三走线 43 不包括第二跳选区域 317。这样，在电路板 31 上装配第一存储芯片或第二存储芯片时，第十一类引脚共用焊盘 3141 连接的第三走线 43 均处于短路状态。

以第一存储芯片为第一 UFS 存储芯片，且第二存储芯片为 EMMC 存储芯片为例。第一 UFS 存储芯片中位于 A8 位置处的引脚为 VDDiQ2 引脚（即接地引脚），且 EMMC 存储芯片中位于 A8 位置处的引脚为 NU 引脚（即未使用引脚）；第一 UFS 存储芯片中位于 B11 位置、B12 位置、C1 位置、C3 位置、C11 位置、C12 位置、D3 位置、D12 位置、D13 位置、D14 位置、E1 位置、E2 位置、E3 位置、F3 位置、F12 位置、F13

位置、F14 位置、G1 位置、G2 位置、G3 位置、G10 位置、G12 位置、H3 位置、H12 位置、H13 位置、H14 位置、J1 位置、J2 位置、J3 位置、J12 位置、K3 位置、K12 位置、K13 位置、K14 位置、L1 位置、L2 位置、L3 位置、L12 位置、M3 位置、M12 位置、M13 位置、M14 位置、N3 位置、N11 位置、N12 位置、P11 位置以及 P12 位置处的引脚均为 VSS 引脚（即接地引脚），且 EMMC 存储芯片中位于 B11 位置、B12 位置、C1 位置、C3 位置、C11 位置、C12 位置、D3 位置、D12 位置、D13 位置、D14 位置、E1 位置、E2 位置、E3 位置、F3 位置、F12 位置、F13 位置、F14 位置、G1 位置、G2 位置、G3 位置、G10 位置、G12 位置、H3 位置、H12 位置、H13 位置、H14 位置、J1 位置、J2 位置、J3 位置、J12 位置、K3 位置、K12 位置、K13 位置、K14 位置、L1 位置、L2 位置、L3 位置、L12 位置、M3 位置、M12 位置、M13 位置、M14 位置、N3 位置、N11 位置、N12 位置、P11 位置以及 P12 位置处的引脚均为 NU 引脚（即未使用引脚）。因此，第十一类引脚共用焊盘 3141 包括第一 UFS 存储芯片和 EMMC 存储芯片中，位于 A8 位置、B11 位置、B12 位置、C1 位置、C3 位置、C11 位置、C12 位置、D3 位置、D12 位置、D13 位置、D14 位置、E1 位置、E2 位置、E3 位置、F3 位置、F12 位置、F13 位置、F14 位置、G1 位置、G2 位置、G3 位置、G10 位置、G12 位置、H3 位置、H12 位置、H13 位置、H14 位置、J1 位置、J2 位置、J3 位置、J12 位置、K3 位置、K12 位置、K13 位置、K14 位置、L1 位置、L2 位置、L3 位置、L12 位置、M3 位置、M12 位置、M13 位置、M14 位置、N3 位置、N11 位置、N12 位置、P11 位置以及 P12 位置处的引脚所连接的第二焊盘。

这样，对于第十一类引脚共用焊盘 3141 中，分别与第一 UFS 存储芯片和 EMMC 存储芯片中位于 A8 位置处的引脚连接的第二焊盘，其连接的第三走线 43 可以包括第二跳选区域 317。在电路板 31 上装配第一 UFS 存储芯片时，在位于 A8 位置处的引脚所对应连接的第三走线 43 包括的第二跳选区域 317 处装配电容等跳选元件，或者不装配任何跳选元件，若在位于 A8 位置处的引脚所对应连接的第三走线 43 包括的第二跳选区域 317 处不装配任何跳选元件，可以使得位于 A8 位置处的引脚所对应连接的第三走线 43 处于开路状态；而在电路板 31 上装配 EMMC 存储芯片时，在位于 A8 位置处的引脚所对应连接的第三走线 43 包括的第二跳选区域 317 处不装配任何跳选元件，使得位于 A8 位置处的引脚所对应连接的第三走线 43 处于开路状态，或者，也可以在位于 A8 位置处的引脚所对应连接的第三走线 43 包括的第二跳选区域 317 处装配跳选元件，使得位于 A8 位置处的引脚所对应连接的第三走线 43 处于短路状态。

并且，对于第十一类引脚共用焊盘 3141 中，除了与 A8 位置处的引脚所连接的第二焊盘以外的其余第二焊盘，其连接的第三走线 43 包括第二跳选区域 317。在电路板 31 上装配第一 UFS 存储芯片时，在位于 B11 位置、B12 位置、C1 位置、C3 位置、C11 位置、C12 位置、D3 位置、D12 位置、D13 位置、D14 位置、E1 位置、E2 位置、E3 位置、F3 位置、F12 位置、F13 位置、F14 位置、G1 位置、G2 位置、G3 位置、G10 位置、G12 位置、H3 位置、H12 位置、H13 位置、H14 位置、J1 位置、J2 位置、J3 位置、J12 位置、K3 位置、K12 位置、K13 位置、K14 位置、L1 位置、L2 位置、L3 位置、L12 位置、M3 位置、M12 位置、M13 位置、M14 位置、N3 位置、N11 位置、N12 位置、P11 位置以及 P12 位置处引脚所对应连接的第三走线 43 包括的第二跳选区

域 317 处装配电阻、二极管或三极管等跳选元件；在电路板 31 上装配 EMMC 存储芯片时，在位于 B11 位置、B12 位置、C1 位置、C3 位置、C11 位置、C12 位置、D3 位置、D12 位置、D13 位置、D14 位置、E1 位置、E2 位置、E3 位置、F3 位置、F12 位置、F13 位置、F14 位置、G1 位置、G2 位置、G3 位置、G10 位置、G12 位置、H3 位置、H12 位置、H13 位置、H14 位置、J1 位置、J2 位置、J3 位置、J12 位置、K3 位置、K12 位置、K13 位置、K14 位置、L1 位置、L2 位置、L3 位置、L12 位置、M3 位置、M12 位置、M13 位置、M14 位置、N3 位置、N11 位置、N12 位置、P11 位置以及 P12 位置处引脚所对应连接的第三走线 43 包括的第二跳选区域 317 处不装配任何跳选元件，使得这些第三走线 43 处于开路状态。

或者，对于第十一类引脚共用焊盘 3141 中，除了与 A8 位置处的引脚所连接的第二焊盘以外的其余第二焊盘，其连接的第三走线 43 不包括第二跳选区域 317。在电路板 31 上装配第一 UFS 存储芯片或 EMMC 存储芯片时，位于 B11 位置、B12 位置、C1 位置、C3 位置、C11 位置、C12 位置、D3 位置、D12 位置、D13 位置、D14 位置、E1 位置、E2 位置、E3 位置、F3 位置、F12 位置、F13 位置、F14 位置、G1 位置、G2 位置、G3 位置、G10 位置、G12 位置、H3 位置、H12 位置、H13 位置、H14 位置、J1 位置、J2 位置、J3 位置、J12 位置、K3 位置、K12 位置、K13 位置、K14 位置、L1 位置、L2 位置、L3 位置、L12 位置、M3 位置、M12 位置、M13 位置、M14 位置、N3 位置、N11 位置、N12 位置、P11 位置以及 P12 位置处的引脚所对应连接的第三走线 43 均处于短路状态。

以第一存储芯片为第二 UFS 存储芯片，且第二存储芯片为 EMMC 存储芯片为例，第十一类引脚共用焊盘 3141 包括第二 UFS 存储芯片和 EMMC 存储芯片中，位于 A8 位置、A9 位置、B11 位置、B12 位置、C1 位置、C3 位置、C11 位置、C12 位置、D3 位置、D12 位置、D13 位置、D14 位置、E1 位置、E2 位置、E3 位置、F3 位置、F12 位置、F13 位置、F14 位置、G1 位置、G2 位置、G3 位置、G10 位置、G12 位置、H3 位置、H12 位置、H13 位置、H14 位置、J1 位置、J2 位置、J3 位置、J12 位置、K3 位置、K12 位置、K13 位置、K14 位置、L1 位置、L2 位置、L3 位置、L12 位置、M3 位置、M12 位置、M13 位置、M14 位置、N3 位置、N11 位置、N12 位置、P11 位置以及 P12 位置处的引脚所连接的第二焊盘。

其中，第二 UFS 存储芯片中位于 A9 位置处的引脚为 VDDi 引脚（即接地引脚），且 EMMC 存储芯片中位于 A9 位置处的引脚为 NU 引脚（即未使用引脚）。这样，对于第十一类引脚共用焊盘 3141 中，分别与第二 UFS 存储芯片和 EMMC 存储芯片中位于 A9 位置处的引脚连接的第二焊盘，其连接的第三走线 43 可以包括第二跳选区域 317。在电路板 31 上装配第二 UFS 存储芯片时，在位于 A9 位置处的引脚所对应连接的第三走线 43 包括的第二跳选区域 317 处装配电容等跳选元件，或者不装配任何跳选元件；而在电路板 31 上装配 EMMC 存储芯片时，在位于 A9 位置处的引脚所对应连接的第三走线 43 包括的第二跳选区域 317 处不装配任何跳选元件，使得位于 A9 位置处的引脚所对应连接的第三走线 43 处于开路状态，或者，也可以在位于 A9 位置处的引脚所对应连接的第三走线 43 包括的第二跳选区域 317 处装配跳选元件，使得位于 A9 位置处的引脚所对应连接的第三走线 43 处于短路状态。

而第二 UFS 存储芯片中，与第十一类引脚共用焊盘 3141 连接的引脚位置除了 A9 位置以外的其余引脚的位置、所连接的引脚功能、每个第二跳选区域 317 处是否装配跳选元件，以及在第二跳选区域 317 处装配跳选元件时跳选元件的类型，与第一 UFS 存储芯片中，与第十一类引脚共用焊盘 3141 连接的引脚的位置，所连接的引脚功能，每个第二跳选区域 317 处是否装配跳选元件，以及在第二跳选区域 317 处装配跳选元件时跳选元件的类型均对应相同，在此不再详述。

图 24 为本申请实施例提供的第十二类引脚共用焊盘与第三走线的一种连接关系示意图。参照图 24 所示，针对第四类焊盘 314 中的第十二类引脚共用焊盘 3142，其可以为 UFS 未使用引脚/EMMC 接地引脚处的焊盘，即第十二类引脚共用焊盘 3142 用于与第一存储芯片的未使用引脚和第二存储芯片的接地引脚连接。第十二类引脚共用焊盘 3142 与一路走线连接，第十二类引脚共用焊盘 3142 连接的一路走线为 UFS 存储芯片和 EMMC 存储芯片对应的第三走线 43。此外，第十二类引脚共用焊盘 3142 所连接的第三走线 43 还与电路板 31 中的接地端 GND 连接。

一种方式，如图 24 所示，第十二类引脚共用焊盘 3142 连接的第三走线 43 包括第二跳选区域 317。

在电路板 31 上装配第一存储芯片的情况下，在第十二类引脚共用焊盘 3142 连接的第三走线 43 包括第二跳选区域 317 处不装配跳选元件，使得第十二类引脚共用焊盘 3142 连接的第三走线 43 处于开路状态。在电路板 31 上装配第二存储芯片的情况下，在第十二类引脚共用焊盘 3142 连接的第三走线 43 包括第二跳选区域 317 处装配跳选元件。

另一种方式，第十二类引脚共用焊盘 3142 连接的第三走线 43 不包括第二跳选区域 317。这样，在电路板 31 上装配第一存储芯片或第二存储芯片时，第十二类引脚共用焊盘 3142 连接的第三走线 43 均处于短路状态。

以第一存储芯片为第一 UFS 存储芯片，且第二存储芯片为 EMMC 存储芯片为例。第一 UFS 存储芯片中位于 G5 位置以及 E7 位置处的引脚均为 VSF 引脚（即未使用引脚），第一 UFS 存储芯片中位于 A6 位置以及 P6 位置处的引脚均为 NU 引脚（即未使用引脚），且 EMMC 存储芯片中位于 G5 位置、E7 位置、A6 位置以及 P6 位置处的引脚均为 VSS 引脚（即接地引脚）。因此，第十二类引脚共用焊盘 3142 包括第一 UFS 存储芯片和 EMMC 存储芯片中，位于 G5 位置、E7 位置、A6 位置以及 P6 位置处的引脚所连接的第二焊盘。

这样，对于第十二类引脚共用焊盘 3142 中，分别与第一 UFS 存储芯片和 EMMC 存储芯片中位于 G5 位置以及 E7 位置处的引脚连接的第二焊盘，其连接的第三走线 43 可以包括第二跳选区域 317。在电路板 31 上装配第一 UFS 存储芯片时，在位于 G5 位置以及 E7 位置处的引脚所对应连接的第三走线 43 包括的第二跳选区域 317 处不装配任何跳选元件，使得位于 G5 位置以及 E7 位置处的引脚所对应连接的第三走线 43 处于开路状态；而在电路板 31 上装配 EMMC 存储芯片时，在位于 G5 位置以及 E7 位置处的引脚所对应连接的第三走线 43 包括的第二跳选区域 317 处装配电阻、二极管或三极管等跳选元件。

对于第十二类引脚共用焊盘 3142 中，分别与第一 UFS 存储芯片和 EMMC 存储芯

片中位于 A6 位置以及 P6 位置处的引脚连接的第二焊盘，其连接的第三走线 43 可以包括第二跳选区域 317。在电路板 31 上装配第一 UFS 存储芯片时，在位于 A6 位置以及 P6 位置处的引脚所对应连接的第三走线 43 包括的第二跳选区域 317 处不装配任何跳选元件，使得位于 A6 位置以及 P6 位置处的引脚所对应连接的第三走线 43 处于开路状态；而在电路板 31 上装配 EMMC 存储芯片时，在位于 A6 位置以及 P6 位置处的引脚所对应连接的第三走线 43 包括的第二跳选区域 317 处装配电阻、二极管或三极管等跳选元件。

或者，对于第十二类引脚共用焊盘 3142 中，分别与第一 UFS 存储芯片和 EMMC 存储芯片中位于 A6 位置以及 P6 位置处的引脚连接的第二焊盘，其连接的第三走线 43 可以不包括第二跳选区域 317。在电路板 31 上装配第一 UFS 存储芯片或 EMMC 存储芯片时，位于 A6 位置以及 P6 位置处的引脚所对应连接的第三走线 43 均处于短路状态。

以第一存储芯片为第二 UFS 存储芯片，且第二存储芯片为 EMMC 存储芯片为例。第二 UFS 存储芯片中位于 E7 位置以及 G5 位置处的引脚均为 VSF 引脚（即未使用引脚），第二 UFS 存储芯片中位于 C4 位置以及 P6 位置处的引脚均为 NU 引脚（即未使用引脚），且 EMMC 存储芯片中位于 E7 位置、G5 位置、C4 位置以及 P6 位置处的引脚均为 VSS 引脚（即接地引脚）。因此，第十二类引脚共用焊盘 3142 包括第二 UFS 存储芯片和 EMMC 存储芯片中，位于 E7 位置、G5 位置、C4 位置以及 P6 位置处的引脚所连接的第二焊盘。

这样，对于第十二类引脚共用焊盘 3142 中，分别与第二 UFS 存储芯片和 EMMC 存储芯片中位于 G5 位置以及 E7 位置处的引脚连接的第二焊盘，其连接的第三走线 43 可以包括第二跳选区域 317。在电路板 31 上装配第二 UFS 存储芯片时，在位于 G5 位置以及 E7 位置处的引脚所对应连接的第三走线 43 包括的第二跳选区域 317 处不装配任何跳选元件，使得位于 G5 位置以及 E7 位置处的引脚所对应连接的第三走线 43 处于开路状态；而在电路板 31 上装配 EMMC 存储芯片时，在位于 G5 位置以及 E7 位置处的引脚所对应连接的第三走线 43 包括的第二跳选区域 317 处装配电阻、二极管或三极管等跳选元件。

对于第十二类引脚共用焊盘 3142 中，分别与第二 UFS 存储芯片和 EMMC 存储芯片中位于 C4 位置以及 P6 位置处的引脚连接的第二焊盘，其连接的第三走线 43 可以包括第二跳选区域 317。在电路板 31 上装配第二 UFS 存储芯片时，在位于 C4 位置以及 P6 位置处的引脚所对应连接的第三走线 43 包括的第二跳选区域 317 处不装配任何跳选元件，使得位于 C4 位置以及 P6 位置处的引脚所对应连接的第三走线 43 处于开路状态；而在电路板 31 上装配 EMMC 存储芯片时，在位于 C4 位置以及 P6 位置处的引脚所对应连接的第三走线 43 包括的第二跳选区域 317 处装配电阻、二极管或三极管等跳选元件。

或者，对于第十二类引脚共用焊盘 3142 中，分别与第二 UFS 存储芯片和 EMMC 存储芯片中位于 C4 位置以及 P6 位置处的引脚连接的第二焊盘，其连接的第三走线 43 可以不包括第二跳选区域 317。在电路板 31 上装配第二 UFS 存储芯片或 EMMC 存储芯片时，位于 C4 位置以及 P6 位置处的引脚所对应连接的第三走线 43 均处于短路状

态。

图 25 为本申请实施例提供的第十三类引脚共用焊盘与第三走线的一种连接关系示意图。参照图 25 所示，针对第四类焊盘 314 中的第十三类引脚共用焊盘 3143，其可以为 UFS 信号引脚/EMMC 未使用引脚处的焊盘，即第十三类引脚共用焊盘 3143 用于与第一存储芯片的信号引脚和第二存储芯片的未使用引脚连接。第十三类引脚共用焊盘 3143 与一路走线连接，第十三类引脚共用焊盘 3143 连接的一路走线为 UFS 存储芯片和 EMMC 存储芯片对应的第三走线 43。此外，处理器芯片 33 的一个信号引脚还通过第三走线 43 与第十三类引脚共用焊盘 3143 连接。

一种方式，如图 25 所示，第十三类引脚共用焊盘 3143 连接的第三走线 43 包括第二跳选区域 317。

在电路板 31 上装配第一存储芯片的情况下，在第十三类引脚共用焊盘 3143 连接的第三走线 43 包括的第二跳选区域 317 处装配跳选元件。在电路板 31 上装配第二存储芯片的情况下，在第十三类引脚共用焊盘 3143 连接的第三走线 43 包括的第二跳选区域 317 处不装配跳选元件，使得第十三类引脚共用焊盘 3143 连接的第三走线 43 处于开路状态。

另一种方式，第十三类引脚共用焊盘 3143 连接的第三走线 43 不包括第二跳选区域 317。这样，在电路板 31 上装配第一存储芯片或第二存储芯片时，第十三类引脚共用焊盘 3143 连接的第三走线 43 均处于短路状态。

以第一存储芯片为第一 UFS 存储芯片，且第二存储芯片为 EMMC 存储芯片为例。第一 UFS 存储芯片中位于 D1 位置处的引脚为 DIN1_T 引脚（即信号引脚），第一 UFS 存储芯片中位于 D2 位置处的引脚为 DIN1_C 引脚（即信号引脚），第一 UFS 存储芯片中位于 F1 位置处的引脚为 DIN0_T 引脚（即信号引脚），第一 UFS 存储芯片中位于 F2 位置处的引脚为 DIN0_ C 引脚（即信号引脚），第一 UFS 存储芯片中位于 H1 位置处的引脚为 REF_CLK 引脚（即信号引脚），第一 UFS 存储芯片中位于 H2 位置处的引脚为 RST_N 引脚（即信号引脚），第一 UFS 存储芯片中位于 K1 位置处的引脚为 DOUT0_C 引脚（即信号引脚），第一 UFS 存储芯片中位于 K2 位置处的引脚为 DOUT0_T 引脚（即信号引脚），第一 UFS 存储芯片中位于 M1 位置处的脚为 DOUT1_C 引脚（即信号引脚），第一 UFS 存储芯片中位于 M2 位置处的脚为 DOUT1_ T 引脚（即信号引脚）；且 EMMC 存储芯片中位于 D1 位置、D2 位置、F1 位置、F2 位置、H1 位置、H2 位置、K1 位置、K2 位置、M1 位置以及 M2 位置处的引脚均为 NU 引脚（即未使用引脚）。因此，第十三类引脚共用焊盘 3143 包括第一 UFS 存储芯片和 EMMC 存储芯片中，位于 D1 位置、D2 位置、F1 位置、F2 位置、H1 位置、H2 位置、K1 位置、K2 位置、M1 位置以及 M2 位置处的引脚所连接的第二焊盘。

这样，第十三类引脚共用焊盘 3143 连接的第三走线 43 可以包括第二跳选区域 317。在电路板 31 上装配第一 UFS 存储芯片时，在位于 D1 位置、D2 位置、F1 位置、F2 位置、H1 位置、H2 位置、K1 位置、K2 位置、M1 位置以及 M2 位置处的引脚所对应连接的第三走线 43 包括的第二跳选区域 317 处装配电阻、二极管或三极管等跳选元件；而在电路板 31 上装配 EMMC 存储芯片时，在位于 D1 位置、D2 位置、F1 位置、F2 位置、H1 位置、H2 位置、K1 位置、K2 位置、M1 位置以及 M2 位置处的引脚所对应

连接的第三走线 43 包括的第二跳选区域 317 处不装配任何跳选元件，使得这些第三走线 43 处于开路状态。

或者，第十三类引脚共用焊盘 3143 连接的第三走线 43 可以不包括第二跳选区域 317。在电路板 31 上装配第一 UFS 存储芯片或 EMMC 存储芯片时，位于 D1 位置、D2 位置、F1 位置、F2 位置、H1 位置、H2 位置、K1 位置、K2 位置、M1 位置以及 M2 位置处的引脚所对应连接的第三走线 43 均处于短路状态。

在第一存储芯片为第二 UFS 存储芯片的情况下，第十三类引脚共用焊盘 3143 包括的多个第二焊盘的位置、所连接的引脚功能、每个第二跳选区域 317 处是否装配跳选元件，以及在第二跳选区域 317 处装配跳选元件时跳选元件的类型，与第一存储芯片为第一 UFS 存储芯片的情况下，第十三类引脚共用焊盘 3143 包括的多个第二焊盘的位置、所连接的引脚功能、每个第二跳选区域 317 处是否装配跳选元件，以及在第二跳选区域 317 处装配跳选元件时跳选元件的类型均对应相同，在此不再详述。

图 26 为本申请实施例提供的第十四类引脚共用焊盘与第三走线的一种连接关系示意图。参照图 26 所示，针对第四类焊盘 314 中的第十四类引脚共用焊盘 3144，其可以为 UFS 未使用引脚/EMMC 信号引脚处的焊盘，即第十四类引脚共用焊盘 3144 用于与第一存储芯片的未使用引脚和第二存储芯片的信号引脚连接。第十四类引脚共用焊盘 3144 与一路走线连接，第十四类引脚共用焊盘 3144 连接的一路走线为 UFS 存储芯片和 EMMC 存储芯片对应的第三走线 43。此外，处理器芯片 33 的一个信号引脚还通过第三走线 43 与第十四类引脚共用焊盘 3144 连接。

一种方式，如图 26 所示，第十四类引脚共用焊盘 3144 连接的第三走线 43 包括第二跳选区域 317。

在电路板 31 上装配第一存储芯片的情况下，在第十四类引脚共用焊盘 3144 连接的第三走线 43 包括第二跳选区域 317 处不装配跳选元件，使得第十四类引脚共用焊盘 3144 连接的第三走线 43 处于开路状态。在电路板 31 上装配第二存储芯片的情况下，在第十四类引脚共用焊盘 3144 连接的第三走线 43 包括第二跳选区域 317 处装配跳选元件。

另一种方式，第十四类引脚共用焊盘 3144 连接的第三走线 43 不包括第二跳选区域 317。这样，在电路板 31 上装配第一存储芯片或第二存储芯片时，第十四类引脚共用焊盘 3144 连接的第三走线 43 均处于短路状态。

以第一存储芯片为第一 UFS 存储芯片，且第二存储芯片为 EMMC 存储芯片为例。第一 UFS 存储芯片中位于 B3 位置、B6 位置以及 M6 位置处的引脚均为 NU 引脚（即未使用引脚），且 EMMC 存储芯片中位于 B3 位置处的引脚为 DAT4 引脚（即信号引脚），EMMC 存储芯片中位于 B6 位置处的引脚为 DAT7 引脚（即信号引脚），EMMC 存储芯片中位于 M6 位置处的引脚为 CLK 引脚（即信号引脚）。因此，第十四类引脚共用焊盘 3144 包括第一 UFS 存储芯片和 EMMC 存储芯片中，位于 B3 位置、B6 位置以及 M6 位置处的引脚所连接的第二焊盘。

这样，第十四类引脚共用焊盘 3144 连接的第三走线 43 可以包括第二跳选区域 317。在电路板 31 上装配第一 UFS 存储芯片时，在位于 B3 位置、B6 位置以及 M6 位置处的引脚所连接的第三走线 43 包括的第二跳选区域 317 处不装配任何跳选元件，使得位

于 B3 位置、B6 位置以及 M6 位置处的引脚所连接的第三走线 43 处于开路状态；而在电路板 31 上装配 EMMC 存储芯片时，在位于 B3 位置、B6 位置以及 M6 位置处的引脚所连接的第三走线 43 包括的第二跳选区域 317 处装配电阻、二极管或三极管等跳选元件。

或者，第十四类引脚共用焊盘 3144 连接的第三走线 43 可以不包括第二跳选区域 317。在电路板 31 上装配第一 UFS 存储芯片或 EMMC 存储芯片时，位于 B3 位置、B6 位置以及 M6 位置处的引脚所连接的第三走线 43 均处于短路状态。

以第一存储芯片为第二 UFS 存储芯片，且第二存储芯片为 EMMC 存储芯片为例。第二 UFS 存储芯片中位于 A4 位置、A5 位置、B3 位置、B4 位置、B5 位置以及 M6 位置处的引脚均为 NU 引脚（即未使用引脚），且 EMMC 存储芯片中位于 A4 位置处的引脚为 DAT1 引脚(即信号引脚)，EMMC 存储芯片中位于 A5 位置处的引脚为 DAT2 引脚（即信号引脚），EMMC 存储芯片中位于 B3 位置处的引脚为 DAT4 引脚（即信号引脚），EMMC 存储芯片中位于 B4 位置处的引脚为 DAT5 引脚（即信号引脚），EMMC 存储芯片中位于 B5 位置处的引脚为 DAT6 引脚（即信号引脚），EMMC 存储芯片中位于 M6 位置处的引脚为 CLK 引脚（即信号引脚）。因此，第十四类引脚共用焊盘 3144 包括第二 UFS 存储芯片和 EMMC 存储芯片中，位于 A4 位置、A5 位置、B3 位置、B4 位置、B5 位置以及 M6 位置处的引脚所连接的第二焊盘。

这样，第十四类引脚共用焊盘 3144 连接的第三走线 43 可以包括第二跳选区域 317。在电路板 31 上装配第二 UFS 存储芯片时，在位于 A4 位置、A5 位置、B3 位置、B4 位置、B5 位置以及 M6 位置处的引脚所连接的第三走线 43 包括的第二跳选区域 317 处不装配任何跳选元件，使得位于 A4 位置、A5 位置、B3 位置、B4 位置、B5 位置以及 M6 位置处的引脚所连接的第三走线 43 处于开路状态；而在电路板 31 上装配 EMMC 存储芯片时，在位于 A4 位置、A5 位置、B3 位置、B4 位置、B5 位置以及 M6 位置处的引脚所连接的第三走线 43 包括的第二跳选区域 317 处装配电阻、二极管或三极管等跳选元件。

或者，第十四类引脚共用焊盘 3144 连接的第三走线 43 可以不包括第二跳选区域 317。在电路板 31 上装配第二 UFS 存储芯片或 EMMC 存储芯片时，位于 A4 位置、A5 位置、B3 位置、B4 位置、B5 位置以及 M6 位置处的引脚所连接的第三走线 43 均处于短路状态。

需要说明的是，对于上述图 25 所示的场景，在电路板 31 上装配第一存储芯片时，第十三类引脚共用焊盘 3143 连接的第三走线 43 包括的第二跳选区域 317 处装配的电阻，可以与第一存储芯片的内部阻抗匹配，以提高第一存储芯片的信号传输质量。相应的，对于上述图 26 所示的场景，在电路板 31 上装配第二存储芯片时，第十四类引脚共用焊盘 3144 连接的第三走线 43 包括的第二跳选区域 317 处装配的电阻，可以与第二存储芯片的内部阻抗匹配，以提高第二存储芯片的信号传输质量。

因此，结合图 23 至图 26 所示，第四类焊盘 314 连接的第三走线 43 包括第二跳选区域 317。如图 24 和图 26 所示，在电路板 31 用于承载第一存储芯片，且第四类焊盘 314 用于与第一存储芯片的未使用引脚连接的情况下，第四类焊盘 314 连接的第三走线 43 包括的第二跳选区域 317 不用于装配跳选元件；在电路板 31 用于承载第二存储

芯片，且第四类焊盘 314 用于与第二存储芯片的接地引脚或信号引脚连接的情况下，第四类焊盘 314 连接的第三走线 43 包括的第二跳选区域 317 用于装配跳选元件。如图 23 和图 25 所示，在电路板 31 用于承载第一存储芯片，且第四类焊盘 314 用于与第一存储芯片的接地引脚或信号引脚连接的情况下，第四类焊盘 314 连接的第三走线 43 包括的第二跳选区域 317 用于装配跳选元件或不用于装配跳选元件；在电路板 31 用于承载第二存储芯片，且第四类焊盘 314 用于与第二存储芯片的未使用引脚连接的情况下，第四类焊盘 314 连接的第三走线 43 包括的第二跳选区域 317 不用于装配跳选元件。

或者，针对包括上述第十一类引脚共用焊盘 3141、第十二类引脚共用焊盘 3142、第十三类引脚共用焊盘 3143 以及第十四类引脚共用焊盘 3144 的第四类焊盘 314，其连接的第三走线 43 不包括第二跳选区域 317。

图 27 为本申请实施例提供的第十五类引脚共用焊盘与第三走线的一种连接关系示意图。参照图 27 所示，针对第四类焊盘 314 中的第十五类引脚共用焊盘 3145，其可以为 UFS 未使用引脚/EMMC 未使用引脚处的焊盘，即第十五类引脚共用焊盘 3145 用于与第一存储芯片的未使用引脚和第二存储芯片的未使用引脚连接。第十五类引脚共用焊盘 3145 与一路走线连接，第十五类引脚共用焊盘 3145 连接的一路走线为 UFS 存储芯片和 EMMC 存储芯片对应的第三走线 43。

其中，第十五类引脚共用焊盘 3145 连接的第三走线 43 不包括第二跳选区域 317。这样，在电路板 31 上装配第一存储芯片或第二存储芯片时，第十五类引脚共用焊盘 3145 连接的第三走线 43 均处于短路状态，使得第十五类引脚共用焊盘 3145 连接的引脚均处于悬空状态。

以第一存储芯片为第一 UFS 存储芯片，且第二存储芯片为 EMMC 存储芯片为例。第一 UFS 存储芯片和 EMMC 存储芯片中，位于 A1 位置、A2 位置、A7 位置、A10 位置、A11 位置、A12 位置、A13 位置、A14 位置、B1 位置、B7 位置、B10 位置、B13 位置、B14 位置、C7 位置、C10 位置、C13 位置、C14 位置、D4 位置、E9 位置、E10 位置、E12 位置、E13 位置、E14 位置、F10 位置、G13 位置、G14 位置、J13 位置、J14 位置、K6 位置、K7 位置、K10 位置、L13 位置、L14 位置、M7 位置、M8 位置、M9 位置、M10 位置、M11 位置、N1 位置、N6 位置、N7 位置、N10 位置、N13 位置、N14 位置、P1 位置、P2 位置、P7 位置、P10 位置、P13 位置以及 P14 位置处的引脚均为未使用引脚。因此，第十五类引脚共用焊盘 3145 包括第一 UFS 存储芯片和 EMMC 存储芯片中，上述位置处的引脚所连接的第二焊盘。并且，第十五类引脚共用焊盘 3145 连接的第三走线 43 不包括第二跳选区域 317，在电路板 31 上装配第一 UFS 存储芯片或 EMMC 存储芯片时，上述位置处的引脚所对应连接的第三走线 43 均处于短路状态。

以第一存储芯片为第二 UFS 存储芯片，且第二存储芯片为 EMMC 存储芯片为例。第二 UFS 存储芯片和 EMMC 存储芯片中，位于 A1 位置、A2 位置、A10 位置、A11 位置、A12 位置、A13 位置、A14 位置、B1 位置、B10 位置、B13 位置、B14 位置、C5 位置、C10 位置、C13 位置、C14 位置、D4 位置、E5 位置、E9 位置、E10 位置、E12 位置、E13 位置、E14 位置、F10 位置、G13 位置、G14 位置、J13 位置、J14 位置、K10 位置、L13 位置、L14 位置、M7 位置、M8 位置、M9 位置、M10 位置、M11 位置、N1 位置、N6 位置、N7 位置、N10 位置、N13 位置、N14 位置、P1 位置、P2 位

置、P7 位置、P10 位置、P13 位置以及 P14 位置处的引脚均为未使用引脚。因此，第十五类引脚共用焊盘 3145 包括第二 UFS 存储芯片和 EMMC 存储芯片中，上述位置处的引脚所连接的第二焊盘。并且，第十五类引脚共用焊盘 3145 连接的第三走线 43 不包括第二跳选区域 317，在电路板 31 上装配第二 UFS 存储芯片或 EMMC 存储芯片时，上述位置处的引脚所对应连接的第三走线 43 均处于短路状态。

在一些实施例中，如图 5 所示，多个第二焊盘包括第五类焊盘 315，第五类焊盘 315 用于与第一存储芯片的接地引脚和第二存储芯片的接地引脚连接。其中，第五类焊盘 315 连接的第三走线 43 包括第二跳选区域 317；在电路板 31 用于承载第一存储芯片的情况下，第五类焊盘 315 连接的第三走线 43 包括的第二跳选区域 317 用于装配跳选元件；在电路板 31 用于承载第二存储芯片的情况下，第五类焊盘 315 连接的第三走线 43 包括的第二跳选区域 317 用于装配跳选元件或不用于装配跳选元件。或者，第五类焊盘 315 连接的第三走线 43 不包括第二跳选区域 317。

图 28 为本申请实施例提供的第十六类引脚共用焊盘与第三走线的一种连接关系示意图。参照图 28 所示，针对第五类焊盘 315 中的第十六类引脚共用焊盘 3151，其可以为 UFS 接地引脚/EMMC 接地引脚处的焊盘，即第十六类引脚共用焊盘 3151 用于与第一存储芯片的接地引脚和第二存储芯片的接地引脚连接。第十六类引脚共用焊盘 3151 与一路走线连接，第十六类引脚共用焊盘 3151 连接的一路走线为 UFS 存储芯片和 EMMC 存储芯片对应的第三走线 43。此外，第十六类引脚共用焊盘 3151 所连接的第三走线 43 还与电路板 31 中的接地端 GND 连接。

一种方式，如图 28 所示，第十六类引脚共用焊盘 3151 连接的第三走线 43 包括第二跳选区域 317。

在电路板 31 上装配第一存储芯片的情况下，在第十六类引脚共用焊盘 3151 连接的第三走线 43 包括第二跳选区域 317 处装配跳选元件。在电路板 31 上装配第二存储芯片的情况下，在第十六类引脚共用焊盘 3151 连接的第三走线 43 包括第二跳选区域 317 处装配跳选元件或不装配跳选元件。

可以理解的是，针对 UFS 接地引脚/EMMC 接地引脚处的焊盘所连接的一些引脚，其可能需要通过电容等元件进行接地，因此，这种情况下，UFS 接地引脚/EMMC 接地引脚处的焊盘连接的一些第三走线 43 需要包括第二跳选区域 317。

另一种方式，第十六类引脚共用焊盘 3151 连接的第三走线 43 不包括第二跳选区域 317。这样，在电路板 31 上装配第一存储芯片或第二存储芯片时，第十六类引脚共用焊盘 3151 连接的第三走线 43 均处于短路状态。

以第一存储芯片为第一 UFS 存储芯片，且第二存储芯片为 EMMC 存储芯片为例。第一 UFS 存储芯片中位于 C2 位置、H10 位置、J5 位置、N2 位置、N5 位置以及 P4 位置处的引脚均为 VSS 引脚（即接地引脚），且 EMMC 存储芯片中位于 C2 位置处的引脚为 VDDi 引脚（即接地引脚），EMMC 存储芯片中位于 H10 位置、J5 位置、N2 位置、N5 位置以及 P4 位置处的引脚均为 VSS 引脚（即接地引脚）。因此，第十六类引脚共用焊盘 3151 包括第一 UFS 存储芯片和 EMMC 存储芯片中，位于 C2 位置、H10 位置、J5 位置、N2 位置、N5 位置以及 P4 位置处的引脚所连接的第二焊盘。

这样，对于第十六类引脚共用焊盘 3151 中，分别与第一 UFS 存储芯片和 EMMC

存储芯片中位于 C2 位置处的引脚连接的第二焊盘，其连接的第三走线 43 可以包括第二跳选区域 317。在电路板 31 上装配第一 UFS 存储芯片时，在位于 C2 位置处的引脚所对应连接的第三走线 43 包括的第二跳选区域 317 处装配电阻、二极管或三极管等跳选元件；在电路板 31 上装配 EMMC 存储芯片时，在位于 C2 位置处的引脚所对应连接的第三走线 43 包括的第二跳选区域 317 处装配电容等跳选元件，或者不装配任何跳选元件。

并且，对于第十六类引脚共用焊盘 3151 中，分别与第一 UFS 存储芯片和 EMMC 存储芯片中位于 H10 位置、J5 位置、N2 位置、N5 位置以及 P4 位置处的引脚连接的第二焊盘，其连接的第三走线 43 可以不包括第二跳选区域 317，在电路板 31 上装配第一 UFS 存储芯片或 EMMC 存储芯片时，位于 H10 位置、J5 位置、N2 位置、N5 位置以及 P4 位置处的引脚所对应连接的第三走线 43 均处于短路状态。

在第一存储芯片为第二 UFS 存储芯片的情况下，第十六类引脚共用焊盘 3151 包括的多个第二焊盘的位置、所连接的引脚功能、每个第二跳选区域 317 处是否装配跳选元件，以及在第二跳选区域 317 处装配跳选元件时跳选元件的类型，与第一存储芯片为第一 UFS 存储芯片的情况下，第十六类引脚共用焊盘 3151 包括的多个第二焊盘的位置、所连接的引脚功能、每个第二跳选区域 317 处是否装配跳选元件，以及在第二跳选区域 317 处装配跳选元件时跳选元件的类型均对应相同，在此不再详述。

应理解，上述虽然针对同一个引脚连接的走线包括的跳选区域（第一跳选区域 316 或第二跳选区域 317）处，列举出了多个不同的跳选方式，如跳选方式可以为开路、短路、装配电阻、电容、二极管或三极管等跳选元件的方式，其并不表示该引脚的所有跳选方式都在实际设计中遍历应用。对于每一个引脚连接的走线包括的跳选区域处的跳选方式的选择，可以根据具体引脚的功能以及外部电路等进行选择，尽可能使得电路板 31 的整体设计趋于精简，本申请实施例对每一个引脚连接的走线包括的跳选区域处的跳选方式不进行具体限定。

在本申请实施例中，跳选元件包括电阻、电容、二极管以及三极管中的任意一种。

需要说明的是，图 5 所示的电路板 31 仅仅是为了示例性说明，第一焊盘组中的各个焊盘连接的走线以及走线中设置的跳选区域，其不构成对电路板 31 上设置的第一焊盘组中的各个焊盘的位置、第一焊盘组中的焊盘数量以及走线的分布位置等的限定，电路板 31 上设置的第一焊盘组中的各个焊盘的位置、第一焊盘组中的焊盘数量以及走线的分布位置等，可以根据实际情况进行设定。并且，在图 5 所示的电路板 31 上还可以装配电源管理芯片 34 和处理器芯片 33 等，且电源管理芯片 34 可以包括上述的第一电源模块 341 和第二电源模块 342。

图 29 为本申请实施例提供的电路板上装配第一存储芯片的一种示例性的结构示意图。在图 5 所示的电路板 31 上装配第一存储芯片时，如第一存储芯片为 UFS 存储芯片时，可以得到如图 29 所示的电路板组件。

其中，在 UFS 电源引脚/EMMC 电源引脚处的焊盘连接的第一走线 41 包括的第一跳选区域 316 处装配电阻；在 UFS 电源引脚/EMMC 信号引脚处的焊盘连接的第一走线 41 包括的第一跳选区域 316 处装配电阻；在 UFS 电源引脚/EMMC 接地引脚处的焊盘连接的第一走线 41 包括的第一跳选区域 316 处装配电阻；在 UFS 接地引脚/EMMC

电源引脚处的焊盘连接的第一走线 41 包括的第一跳选区域 316 处装配电阻；在 UFS 接地引脚/EMMC 信号引脚处的焊盘连接的第一走线 41 包括的第一跳选区域 316 处装配电阻；在 UFS 未使用引脚/EMMC 电源引脚处的焊盘连接的第三走线 43 包括的第二跳选区域 317 处不装配任何跳选元件；在 UFS 电源引脚/EMMC 未使用引脚处的焊盘连接的第三走线 43 包括的第二跳选区域 317 处装配电阻；在 UFS 接地引脚/EMMC 未使用引脚处的焊盘连接的第三走线 43 包括的第二跳选区域 317 处装配电阻；在 UFS 未使用引脚/EMMC 接地引脚处的焊盘连接的第三走线 43 包括的第二跳选区域 317 处不装配任何跳选元件；在 UFS 信号引脚/EMMC 未使用引脚处的焊盘连接的第三走线 43 包括的第二跳选区域 317 处装配电阻；在 UFS 未使用引脚/EMMC 信号引脚处的焊盘连接的第三走线 43 包括的第二跳选区域 317 处不装配任何跳选元件；UFS 未使用引脚/EMMC 未使用引脚处的焊盘连接的第三走线 43 不包括第二跳选区域 317；在 UFS 接地引脚/EMMC 接地引脚处的焊盘连接的第三走线 43 包括的第二跳选区域 317 处装配电阻。

图 30 为本申请实施例提供的电路板上装配第二存储芯片的一种示例性的结构示意图。图 5 所示的电路板 31 上装配第二存储芯片时，如第二存储芯片为 EMMC 存储芯片时，可以得到如图 30 所示的电路板组件。

其中，在 UFS 电源引脚/EMMC 电源引脚处的焊盘连接的第二走线 42 包括的第一跳选区域 316 处装配电阻；在 UFS 电源引脚/EMMC 信号引脚处的焊盘连接的第二走线 42 包括的第一跳选区域 316 处装配电阻；在 UFS 电源引脚/EMMC 接地引脚处的焊盘连接的第二走线 42 包括的第一跳选区域 316 处装配电阻；在 UFS 接地引脚/EMMC 电源引脚处的焊盘连接的第二走线 42 包括的第一跳选区域 316 处装配电阻；在 UFS 接地引脚/EMMC 信号引脚处的焊盘连接的第二走线 42 包括的第一跳选区域 316 处装配电阻；在 UFS 未使用引脚/EMMC 电源引脚处的焊盘连接的第三走线 43 包括的第二跳选区域 317 处装配电阻；在 UFS 电源引脚/EMMC 未使用引脚处的焊盘连接的第三走线 43 包括的第二跳选区域 317 处不装配任何跳选元件；在 UFS 接地引脚/EMMC 未使用引脚处的焊盘连接的第三走线 43 包括的第二跳选区域 317 处不装配任何跳选元件；在 UFS 未使用引脚/EMMC 接地引脚处的焊盘连接的第三走线 43 包括的第二跳选区域 317 处装配电阻；在 UFS 信号引脚/EMMC 未使用引脚处的焊盘连接的第三走线 43 包括的第二跳选区域 317 处不装配任何跳选元件；在 UFS 未使用引脚/EMMC 信号引脚处的焊盘连接的第三走线 43 包括的第二跳选区域 317 处装配电阻；UFS 未使用引脚/EMMC 未使用引脚处的焊盘连接的第三走线 43 不包括第二跳选区域 317；在 UFS 接地引脚/EMMC 接地引脚处的焊盘连接的第三走线 43 包括的第二跳选区域 317 处装配电容。

综上所述，本申请实施例提供的同一电路板 31 可以兼容第一存储芯片和第二存储芯片。

在一些可能的实现方式中，针对第一类焊盘 311 中的第一类引脚共用焊盘 3111，其用于与第一存储芯片的电源引脚和第二存储芯片的电源引脚连接。在电路板 31 上装配第一存储芯片或第二存储芯片时，若第一类引脚共用焊盘 3111 对应连接的处理器芯片 33 的电源引脚为同一电源引脚，这种情况下，可以将两路走线合并为一路走线。

图 31 为本申请实施例提供的第六类焊盘与第三走线的一种连接关系示意图，图 32 为本申请实施例提供的第六类焊盘与第三走线的另一种连接关系示意图。参照图 31 和图 32 所示，电路板 31 还包括第二焊盘组，第二焊盘组用于与处理器芯片 33 连接，电路板 31 还用于承载第三电源模块 343。多个第二焊盘包括第六类焊盘 51，第六类焊盘 51 用于与第一存储芯片的电源引脚和第二存储芯片的电源引脚连接；在电路板 31 用于承载第一存储芯片的情况下，第一存储芯片的电源引脚依次通过第六类焊盘 51、第三走线 43 和第三电源模块 343 与处理器芯片 33 的第一电源引脚连接；在电路板 31 用于承载第二存储芯片的情况下，第二存储芯片的电源引脚依次通过第六类焊盘 51、第三走线 43 和第三电源模块 343 与处理器芯片 33 的第二电源引脚连接；第一电源引脚和第二电源引脚为同一电源引脚。

一种方式，如图 31 所示，第六类焊盘 51 连接的第三走线 43 包括第二跳选区域 317；在电路板 31 用于承载第一存储芯片或第二存储芯片的情况下，第六类焊盘 51 连接的第三走线 43 包括的第二跳选区域 317 用于装配跳选元件。

另一种方式，如图 32 所示，第六类焊盘 51 连接的第三走线 43 不包括第二跳选区域 317；在电路板 31 用于承载第一存储芯片或第二存储芯片的情况下，第三电源模块 343 用于对第六类焊盘 51 连接的第三走线 43 进行上电。并且，在电路板 31 上装配第一存储芯片时第三电源模块 343 上电所输出的电压，与在电路板 31 上装配第二存储芯片时第三电源模块 343 上电所输出的电压可能不同。

在一些实施例中，第一存储芯片的尺寸与第二存储芯片的尺寸一致。

在一些实施例中，目标存储芯片 32 和处理器芯片 33 可以位于电路板 31 的第一表面。在电路板 31 上装配第一存储芯片或第二存储芯片时，第一跳选区域 316 处装配的跳选元件可以位于电路板 31 的第二表面，第二表面和第一表面可以为电路板中相对设置的两个表面。

这样，针对同一个焊盘所连接的两路走线，可以将第一跳选区域 316 处装配的跳选元件，与目标存储芯片 32 和处理器芯片 33 分布在电路板 31 的两侧，以减少两路走线造成的信号匹配问题。

在另一些实施例中，目标存储芯片 32、处理器芯片 33 和第一跳选区域 316 处装配的跳选元件也可以位于电路板 31 的同一表面上，且第一跳选区域 316 与目标存储芯片 32 之间的距离，小于第一跳选区域 316 与处理器芯片 33 之间的距离。

这样，针对同一个焊盘所连接的两路走线，其包括的第一跳选区域 316 可以尽量靠近目标存储芯片 32 所在的位置，使得在第一跳选区域 316 处装配电阻等跳选元件后，可以减少两路走线造成的信号匹配问题。

在一些实施例中，针对信号线兼容的场景，如图 16 所示的场景，两路走线在分叉前的走线宽度与分叉后的走线宽度之间的差值小于预设值，预设值可以为 0 或者趋于 0 的数值，使得两路走线在分叉前的走线宽度与分叉后的走线宽度基本保持一致。这样，可以调整两路走线传输的信号的阻抗。

以上描述主要针对的是在同一电路板 31 上兼容第一存储芯片和第二存储芯片的实现方式。当然，本申请实施例中的电路板 31 还可以兼容三种或三种以上类型的存储芯片。

具体的，电路板 31 用于承载目标存储芯片 32，目标存储芯片 32 包括至少两种存储芯片中的任意一种存储芯片，至少两种存储芯片中的各种存储芯片的引脚数量均相等，且至少两种存储芯片中的各种存储芯片的引脚排布均相同。电路板 31 包括第一焊盘组，第一焊盘组用于与目标存储芯片 32 连接；第一焊盘组包括多个第一焊盘，每个第一焊盘均与至少两路走线连接，至少部分的第一焊盘连接的每一路走线均包括第一跳选区域 316，第一跳选区域 316 处的走线断开设置。在电路板 31 用于承载目标存储芯片 32 的情况下，至少部分的第一焊盘连接的目标走线包括的第一跳选区域 316 用于装配跳选元件，目标走线为第一焊盘连接的至少两路走线中与目标存储芯片 32 对应的一路走线。

在一些实施例中，第一焊盘组包括的各个焊盘与目标存储芯片 32 包括的各个引脚一一对应。具体的，第一焊盘组包括各个焊盘的排布阵列与目标存储芯片 32 包括的各个引脚的排布阵列相同，且第一焊盘组包括的焊盘数量与目标存储芯片 32 包括的引脚数量相等。

在一些实施例中，至少两种存储芯片中的各种存储芯片的尺寸均相同。

因此，本申请实施例中的同一电路板 31 可以兼容至少两种存储芯片。并且，同一电路板 31 兼容的至少两种存储芯片包括但不限于第一 UFS 存储芯片、第二 UFS 存储芯片以及 EMMC 存储芯片中的至少两者。

以上的具体实施方式，对本申请的目的、技术方案和有益效果进行了进一步详细说明，所应理解的是，以上仅为本申请的具体实施方式而已，并不用于限定本申请的保护范围，凡在本申请的技术方案的基础之上，所做的任何修改、等同替换、改进等，均应包括在本申请的保护范围之内。

权 利 要 求 书

1．一种电路板，其特征在于，所述电路板用于承载目标存储芯片，所述目标存储芯片包括至少两种存储芯片中的任意一种存储芯片，所述至少两种存储芯片中的各种存储芯片的引脚数量均相等，且所述至少两种存储芯片中的各种存储芯片的引脚排布均相同；

所述电路板包括第一焊盘组，所述第一焊盘组用于与所述目标存储芯片连接；所述第一焊盘组包括多个第一焊盘，每个所述第一焊盘均与至少两路走线连接，至少部分的所述第一焊盘连接的每一路走线均包括第一跳选区域，所述第一跳选区域处的走线断开设置；

在所述电路板用于承载所述目标存储芯片的情况下，至少部分的所述第一焊盘连接的目标走线包括的所述第一跳选区域用于装配跳选元件，所述目标走线为所述第一焊盘连接的所述至少两路走线中与所述目标存储芯片对应的一路走线。

2．根据权利要求 1 所述的电路板，其特征在于，所述目标存储芯片包括第一存储芯片或第二存储芯片；

每个所述第一焊盘均与两路走线连接，至少部分的所述第一焊盘连接的两路走线均包括所述第一跳选区域；

在所述电路板用于承载所述第一存储芯片的情况下，至少部分的所述第一焊盘连接的第一走线包括的所述第一跳选区域用于装配跳选元件；所述第一走线为所述第一焊盘连接的所述两路走线中与所述第一存储芯片对应的一路走线；

在所述电路板用于承载所述第二存储芯片的情况下，至少部分的所述第一焊盘连接的第二走线包括的所述第一跳选区域用于装配跳选元件；所述第二走线为所述第一焊盘连接的所述两路走线中与所述第二存储芯片对应的一路走线。

3．根据权利要求 2 所述的电路板，其特征在于，所述多个第一焊盘包括第一类焊盘，所述第一类焊盘用于与所述第一存储芯片的电源引脚和/或所述第二存储芯片的电源引脚连接，且所述第一类焊盘不用于与所述第一存储芯片的未使用引脚或所述第二存储芯片的未使用引脚连接；所述电路板还用于承载第一电源模块；

在所述第一类焊盘用于与所述第一存储芯片的电源引脚连接的情况下，所述第一电源模块用于通过所述第一走线与所述第一类焊盘连接；和/或，在所述第一类焊盘用于与所述第二存储芯片的电源引脚连接的情况下，所述第一电源模块用于通过所述第二走线与所述第一类焊盘连接。

4．根据权利要求 3 所述的电路板，其特征在于，所述第一类焊盘连接的所述第一走线和所述第二走线均包括所述第一跳选区域；

在所述电路板用于承载所述第一存储芯片的情况下，所述第一类焊盘连接的所述第一走线包括的所述第一跳选区域用于装配跳选元件，且所述第一类焊盘连接的所述第二走线包括的所述第一跳选区域不用于装配跳选元件；

在所述电路板用于承载所述第二存储芯片的情况下，所述第一类焊盘连接的所述第二走线包括的所述第一跳选区域用于装配跳选元件，且所述第一类焊盘连接的所述第一走线包括的所述第一跳选区域不用于装配跳选元件。

5．根据权利要求 3 所述的电路板，其特征在于，与所述第一电源模块连接的所述

第一走线和/或所述第二走线不包括所述第一跳选区域，未与所述第一电源模块连接的所述第一走线或所述第二走线包括所述第一跳选区域；

在所述电路板用于承载所述第一存储芯片，且所述第一类焊盘用于与所述第一存储芯片的电源引脚连接的情况下，所述第一电源模块用于对所述第一类焊盘连接的所述第一走线进行上电；

和/或，在所述电路板用于承载所述第二存储芯片，且所述第一类焊盘用于与所述第二存储芯片的电源引脚连接的情况下，所述第一电源模块用于对所述第一类焊盘连接的所述第二走线进行上电。

6．根据权利要求 5 所述的电路板，其特征在于，与所述第一电源模块连接的所述第一走线和所述第二走线均不包括所述第一跳选区域；

在所述电路板用于承载所述第一存储芯片，且所述第一类焊盘用于与所述第一存储芯片的电源引脚连接的情况下，所述第一电源模块用于对所述第一类焊盘连接的所述第一走线进行上电，且所述第一电源模块用于对所述第一类焊盘连接的所述第二走线不进行上电；

并且，在所述电路板用于承载所述第二存储芯片，且所述第一类焊盘用于与所述第二存储芯片的电源引脚连接的情况下，所述第一电源模块用于对所述第一类焊盘连接的所述第二走线进行上电，且所述第一电源模块用于对所述第一类焊盘连接的所述第一走线不进行上电。

7．根据权利要求 5 所述的电路板，其特征在于，与所述第一电源模块连接的所述第一走线不包括所述第一跳选区域，未与所述第一电源模块连接的所述第二走线包括所述第一跳选区域；

在所述电路板用于承载所述第一存储芯片，且所述第一类焊盘用于与所述第一存储芯片的电源引脚连接的情况下，所述第一电源模块用于对所述第一类焊盘连接的所述第一走线进行上电，且所述第一类焊盘连接的所述第二走线包括的所述第一跳选区域不用于装配跳选元件；

并且，在所述电路板用于承载所述第二存储芯片，且所述第一类焊盘用于与所述第二存储芯片的信号引脚或接地引脚连接的情况下，所述第一类焊盘连接的所述第二走线包括的所述第一跳选区域用于装配跳选元件，且所述第一电源模块用于对所述第一类焊盘连接的所述第一走线不进行上电。

8．根据权利要求 5 所述的电路板，其特征在于，与所述第一电源模块连接的所述第二走线不包括所述第一跳选区域，未与所述第一电源模块连接的所述第一走线包括所述第一跳选区域；

在所述电路板用于承载所述第一存储芯片，且所述第一类焊盘用于与所述第一存储芯片的信号引脚或接地引脚连接的情况下，所述第一类焊盘连接的所述第一走线包括的所述第一跳选区域用于装配跳选元件，且所述第一电源模块用于对所述第一类焊盘连接的所述第二走线不进行上电；

并且，在所述电路板用于承载所述第二存储芯片，且所述第一类焊盘用于与所述第二存储芯片的电源引脚连接的情况下，所述第一电源模块用于对所述第一类焊盘连接的所述第二走线进行上电，且所述第一类焊盘连接的所述第一走线包括的所述第一

跳选区域不用于装配跳选元件。

9．根据权利要求 2 所述的电路板，其特征在于，所述多个第一焊盘包括第二类焊盘，所述第二类焊盘用于与所述第一存储芯片的信号引脚和所述第二存储芯片的信号引脚连接，或者用于与所述第一存储芯片的信号引脚和所述第二存储芯片的接地引脚连接，或者用于与所述第一存储芯片的接地引脚和所述第二存储芯片的信号引脚连接；

所述第二类焊盘连接的所述第一走线和所述第二走线均包括所述第一跳选区域；在所述电路板用于承载所述第一存储芯片的情况下，至少部分的所述第二类焊盘连接的所述第一走线包括的所述第一跳选区域用于装配跳选元件；在所述电路板用于承载所述第二存储芯片的情况下，所述第二类焊盘连接的所述第二走线包括的所述第一跳选区域用于装配跳选元件。

10．根据权利要求 2 所述的电路板，其特征在于，所述第一焊盘组还包括多个第二焊盘，每个所述第二焊盘均与一路走线连接，所述第二焊盘连接的一路走线为第三走线；部分的所述第二焊盘连接的所述第三走线包括第二跳选区域，所述第二跳选区域处的所述第三走线断开设置；另一部分的所述第二焊盘连接的所述第三走线不包括所述第二跳选区域；

在所述电路板用于承载所述第一存储芯片或所述第二存储芯片的情况下，至少部分的所述第二焊盘连接的所述第三走线包括的所述第二跳选区域用于装配跳选元件。

11．根据权利要求 10 所述的电路板，其特征在于，所述多个第二焊盘包括第三类焊盘，所述第三类焊盘用于与所述第一存储芯片的电源引脚和所述第二存储芯片的未使用引脚连接，或者用于与所述第一存储芯片的未使用引脚和所述第二存储芯片的电源引脚连接；

所述电路板还用于承载第二电源模块，所述第二电源模块用于通过所述第三走线与所述第三类焊盘连接。

12．根据权利要求 11 所述的电路板，其特征在于，所述第三类焊盘连接的所述第三走线包括所述第二跳选区域；

在所述电路板用于承载所述第一存储芯片，且所述第三类焊盘用于与所述第一存储芯片的电源引脚连接的情况下，所述第三类焊盘连接的所述第三走线包括的所述第二跳选区域用于装配跳选元件；在所述电路板用于承载所述第二存储芯片，且所述第三类焊盘用于与所述第二存储芯片的未使用引脚连接的情况下，所述第三类焊盘连接的所述第三走线包括的所述第二跳选区域不用于装配跳选元件；

在所述电路板用于承载所述第一存储芯片，且所述第三类焊盘用于与所述第一存储芯片的未使用引脚连接的情况下，所述第三类焊盘连接的所述第三走线包括的所述第二跳选区域不用于装配跳选元件；在所述电路板用于承载所述第二存储芯片，且所述第三类焊盘用于与所述第二存储芯片的电源引脚连接的情况下，所述第三类焊盘连接的所述第三走线包括的所述第二跳选区域用于装配跳选元件。

13．根据权利要求 11 所述的电路板，其特征在于，所述第三类焊盘连接的所述第三走线不包括所述第二跳选区域；

在所述电路板用于承载所述第一存储芯片，且所述第三类焊盘用于与所述第一存储芯片的电源引脚连接的情况下，所述第二电源模块用于对所述第三类焊盘连接的所

述第三走线进行上电；在所述电路板用于承载所述第二存储芯片，且所述第三类焊盘用于与所述第二存储芯片的未使用引脚连接的情况下，所述第二电源模块用于对所述第三类焊盘连接的所述第三走线不进行上电；

在所述电路板用于承载所述第一存储芯片，且所述第三类焊盘用于与所述第一存储芯片的未使用引脚连接的情况下，所述第二电源模块用于对所述第三类焊盘连接的所述第三走线不进行上电；在所述电路板用于承载所述第二存储芯片，且所述第三类焊盘用于与所述第二存储芯片的电源引脚连接的情况下，所述第二电源模块用于对所述第三类焊盘连接的所述第三走线进行上电。

14. 根据权利要求 10 所述的电路板，其特征在于，所述多个第二焊盘包括第四类焊盘，所述第四类焊盘用于与所述第一存储芯片的未使用引脚和/或所述第二存储芯片的未使用引脚连接，且所述第四类焊盘不用于与所述第一存储芯片的电源引脚或所述第二存储芯片的电源引脚连接。

15. 根据权利要求 14 所述的电路板，其特征在于，所述第四类焊盘连接的所述第三走线包括所述第二跳选区域；

在所述电路板用于承载所述第一存储芯片，且所述第四类焊盘用于与所述第一存储芯片的未使用引脚连接的情况下，所述第四类焊盘连接的所述第三走线包括的所述第二跳选区域不用于装配跳选元件；在所述电路板用于承载所述第二存储芯片，且所述第四类焊盘用于与所述第二存储芯片的接地引脚或信号引脚连接的情况下，所述第四类焊盘连接的所述第三走线包括的所述第二跳选区域用于装配跳选元件；

在所述电路板用于承载所述第一存储芯片，且所述第四类焊盘用于与所述第一存储芯片的接地引脚或信号引脚连接的情况下，所述第四类焊盘连接的所述第三走线包括的所述第二跳选区域用于装配跳选元件或不用于装配跳选元件；在所述电路板用于承载所述第二存储芯片，且所述第四类焊盘用于与所述第二存储芯片的未使用引脚连接的情况下，所述第四类焊盘连接的所述第三走线包括的所述第二跳选区域不用于装配跳选元件。

16. 根据权利要求 14 所述的电路板，其特征在于，所述第四类焊盘连接的所述第三走线不包括所述第二跳选区域。

17. 根据权利要求 10 所述的电路板，其特征在于，所述多个第二焊盘包括第五类焊盘，所述第五类焊盘用于与所述第一存储芯片的接地引脚和所述第二存储芯片的接地引脚连接；

其中，所述第五类焊盘连接的所述第三走线包括所述第二跳选区域；在所述电路板用于承载所述第一存储芯片的情况下，所述第五类焊盘连接的所述第三走线包括的所述第二跳选区域用于装配跳选元件；在所述电路板用于承载所述第二存储芯片的情况下，所述第五类焊盘连接的所述第三走线包括的所述第二跳选区域用于装配跳选元件或不用于装配跳选元件；

或者，所述第五类焊盘连接的所述第三走线不包括所述第二跳选区域。

18. 根据权利要求 10 所述的电路板，其特征在于，所述电路板还包括第二焊盘组，所述第二焊盘组用于与处理器芯片连接，所述电路板还用于承载第三电源模块；

所述多个第二焊盘包括第六类焊盘，所述第六类焊盘用于与所述第一存储芯片的

电源引脚和所述第二存储芯片的电源引脚连接；在所述电路板用于承载所述第一存储芯片的情况下，所述第一存储芯片的电源引脚依次通过所述第六类焊盘、所述第三走线和所述第三电源模块与所述处理器芯片的第一电源引脚连接；在所述电路板用于承载所述第二存储芯片的情况下，所述第二存储芯片的电源引脚依次通过所述第六类焊盘、所述第三走线和所述第三电源模块与所述处理器芯片的第二电源引脚连接；所述第一电源引脚和所述第二电源引脚为同一电源引脚；

其中，所述第六类焊盘连接的所述第三走线包括所述第二跳选区域；在所述电路板用于承载所述第一存储芯片或所述第二存储芯片的情况下，所述第六类焊盘连接的所述第三走线包括的所述第二跳选区域用于装配跳选元件；

或者，所述第六类焊盘连接的所述第三走线不包括所述第二跳选区域；在所述电路板用于承载所述第一存储芯片或所述第二存储芯片的情况下，所述第三电源模块用于对所述第六类焊盘连接的所述第三走线进行上电。

19．根据权利要求 1 至 18 中任一项所述的电路板，其特征在于，所述跳选元件包括电阻、电容、二极管以及三极管中的任意一种。

20．根据权利要求 1 至 18 中任一项所述的电路板，其特征在于，所述至少两种存储芯片中的各种存储芯片的尺寸均相同。

21．根据权利要求 1 至 18 中任一项所述的电路板，其特征在于，所述至少两种存储芯片包括第一 UFS 存储芯片、第二 UFS 存储芯片以及 EMMC 存储芯片中的至少两者；所述第一 UFS 存储芯片的接口版本与所述第二 UFS 存储芯片的接口版本不同。

22．一种电路板组件，其特征在于，包括目标存储芯片以及如权利要求 1 至 21 中任一项所述的电路板，所述目标存储芯片连接于所述电路板上。

23．一种电子设备，其特征在于，包括壳体以及如权利要求 22 所述的电路板组件，所述电路板组件设置于所述壳体内部。

24．一种电路板，其特征在于，所述电路板用于承载目标存储芯片，所述目标存储芯片包括至少两种存储芯片中的任意一种存储芯片，所述至少两种存储芯片中的各种存储芯片的引脚数量均相等，且所述至少两种存储芯片中的各种存储芯片的引脚排布均相同；

所述电路板包括第一焊盘组，所述第一焊盘组用于与所述目标存储芯片连接；所述第一焊盘组包括多个第一焊盘，每个所述第一焊盘均与至少两路走线连接，至少部分的所述第一焊盘连接的每一路走线均包括第一跳选区域，所述第一跳选区域处的走线断开设置；

在所述电路板用于承载所述目标存储芯片的情况下，至少部分的所述第一焊盘连接的目标走线包括的所述第一跳选区域用于装配跳选元件，所述目标走线为所述第一焊盘连接的所述至少两路走线中与所述目标存储芯片对应的一路走线；

其中，所述第一焊盘组包括的焊盘数量与所述目标存储芯片的引脚数量相等；所述第一跳选区域为所述走线中未连通的区域，所述跳选元件为待装配的电子元件。

25．根据权利要求 24 所述的电路板，其特征在于，所述目标存储芯片包括第一存储芯片或第二存储芯片；

每个所述第一焊盘均与两路走线连接，至少部分的所述第一焊盘连接的两路走线

均包括所述第一跳选区域；

在所述电路板用于承载所述第一存储芯片的情况下，至少部分的所述第一焊盘连接的第一走线包括的所述第一跳选区域用于装配跳选元件；所述第一走线为所述第一焊盘连接的所述两路走线中与所述第一存储芯片对应的一路走线；

在所述电路板用于承载所述第二存储芯片的情况下，至少部分的所述第一焊盘连接的第二走线包括的所述第一跳选区域用于装配跳选元件；所述第二走线为所述第一焊盘连接的所述两路走线中与所述第二存储芯片对应的一路走线。

26．根据权利要求 25 所述的电路板，其特征在于，所述多个第一焊盘包括第一类焊盘，所述第一类焊盘用于与所述第一存储芯片的电源引脚和/或所述第二存储芯片的电源引脚连接，且所述第一类焊盘不用于与所述第一存储芯片的未使用引脚或所述第二存储芯片的未使用引脚连接；所述电路板还用于承载第一电源模块；

在所述第一类焊盘用于与所述第一存储芯片的电源引脚连接的情况下，所述第一电源模块用于通过所述第一走线与所述第一类焊盘连接；和/或，在所述第一类焊盘用于与所述第二存储芯片的电源引脚连接的情况下，所述第一电源模块用于通过所述第二走线与所述第一类焊盘连接。

27．根据权利要求 26 所述的电路板，其特征在于，所述第一类焊盘连接的所述第一走线和所述第二走线均包括所述第一跳选区域；

在所述电路板用于承载所述第一存储芯片的情况下，所述第一类焊盘连接的所述第一走线包括的所述第一跳选区域用于装配跳选元件，且所述第一类焊盘连接的所述第二走线包括的所述第一跳选区域不用于装配跳选元件；

在所述电路板用于承载所述第二存储芯片的情况下，所述第一类焊盘连接的所述第二走线包括的所述第一跳选区域用于装配跳选元件，且所述第一类焊盘连接的所述第一走线包括的所述第一跳选区域不用于装配跳选元件。

28．根据权利要求 26 所述的电路板，其特征在于，与所述第一电源模块连接的所述第一走线和/或所述第二走线不包括所述第一跳选区域，未与所述第一电源模块连接的所述第一走线或所述第二走线包括所述第一跳选区域；

在所述电路板用于承载所述第一存储芯片，且所述第一类焊盘用于与所述第一存储芯片的电源引脚连接的情况下，所述第一电源模块用于对所述第一类焊盘连接的所述第一走线进行上电；

和/或，在所述电路板用于承载所述第二存储芯片，且所述第一类焊盘用于与所述第二存储芯片的电源引脚连接的情况下，所述第一电源模块用于对所述第一类焊盘连接的所述第二走线进行上电。

29．根据权利要求 28 所述的电路板，其特征在于，与所述第一电源模块连接的所述第一走线和所述第二走线均不包括所述第一跳选区域；

在所述电路板用于承载所述第一存储芯片，且所述第一类焊盘用于与所述第一存储芯片的电源引脚连接的情况下，所述第一电源模块用于对所述第一类焊盘连接的所述第一走线进行上电，且所述第一电源模块用于对所述第一类焊盘连接的所述第二走线不进行上电；

并且，在所述电路板用于承载所述第二存储芯片，且所述第一类焊盘用于与所述

第二存储芯片的电源引脚连接的情况下，所述第一电源模块用于对所述第一类焊盘连接的所述第二走线进行上电，且所述第一电源模块用于对所述第一类焊盘连接的所述第一走线不进行上电。

30．根据权利要求 28 所述的电路板，其特征在于，与所述第一电源模块连接的所述第一走线不包括所述第一跳选区域，未与所述第一电源模块连接的所述第二走线包括所述第一跳选区域；

在所述电路板用于承载所述第一存储芯片，且所述第一类焊盘用于与所述第一存储芯片的电源引脚连接的情况下，所述第一电源模块用于对所述第一类焊盘连接的所述第一走线进行上电，且所述第一类焊盘连接的所述第二走线包括的所述第一跳选区域不用于装配跳选元件；

并且，在所述电路板用于承载所述第二存储芯片，且所述第一类焊盘用于与所述第二存储芯片的信号引脚或接地引脚连接的情况下，所述第一类焊盘连接的所述第二走线包括的所述第一跳选区域用于装配跳选元件，且所述第一电源模块用于对所述第一类焊盘连接的所述第一走线不进行上电。

31．根据权利要求 28 所述的电路板，其特征在于，与所述第一电源模块连接的所述第二走线不包括所述第一跳选区域，未与所述第一电源模块连接的所述第一走线包括所述第一跳选区域；

在所述电路板用于承载所述第一存储芯片，且所述第一类焊盘用于与所述第一存储芯片的信号引脚或接地引脚连接的情况下，所述第一类焊盘连接的所述第一走线包括的所述第一跳选区域用于装配跳选元件，且所述第一电源模块用于对所述第一类焊盘连接的所述第二走线不进行上电；

并且，在所述电路板用于承载所述第二存储芯片，且所述第一类焊盘用于与所述第二存储芯片的电源引脚连接的情况下，所述第一电源模块用于对所述第一类焊盘连接的所述第二走线进行上电，且所述第一类焊盘连接的所述第一走线包括的所述第一跳选区域不用于装配跳选元件。

32．根据权利要求 25 所述的电路板，其特征在于，所述多个第一焊盘包括第二类焊盘，所述第二类焊盘用于与所述第一存储芯片的信号引脚和所述第二存储芯片的信号引脚连接，或者用于与所述第一存储芯片的信号引脚和所述第二存储芯片的接地引脚连接，或者用于与所述第一存储芯片的接地引脚和所述第二存储芯片的信号引脚连接；

所述第二类焊盘连接的所述第一走线和所述第二走线均包括所述第一跳选区域；在所述电路板用于承载所述第一存储芯片的情况下，至少部分的所述第二类焊盘连接的所述第一走线包括的所述第一跳选区域用于装配跳选元件；在所述电路板用于承载所述第二存储芯片的情况下，所述第二类焊盘连接的所述第二走线包括的所述第一跳选区域用于装配跳选元件。

33．根据权利要求 25 所述的电路板，其特征在于，所述第一焊盘组还包括多个第二焊盘，每个所述第二焊盘均与一路走线连接，所述第二焊盘连接的一路走线为第三走线；部分的所述第二焊盘连接的所述第三走线包括第二跳选区域，所述第二跳选区域处的所述第三走线断开设置；另一部分的所述第二焊盘连接的所述第三走线不包括

所述第二跳选区域；

在所述电路板用于承载所述第一存储芯片或所述第二存储芯片的情况下，至少部分的所述第二焊盘连接的所述第三走线包括的所述第二跳选区域用于装配跳选元件；所述第二跳选区域为所述第三走线中未连通的区域。

34．根据权利要求 33 所述的电路板，其特征在于，所述多个第二焊盘包括第三类焊盘，所述第三类焊盘用于与所述第一存储芯片的电源引脚和所述第二存储芯片的未使用引脚连接，或者用于与所述第一存储芯片的未使用引脚和所述第二存储芯片的电源引脚连接；

所述电路板还用于承载第二电源模块，所述第二电源模块用于通过所述第三走线与所述第三类焊盘连接。

35．根据权利要求 34 所述的电路板，其特征在于，所述第三类焊盘连接的所述第三走线包括所述第二跳选区域；

在所述电路板用于承载所述第一存储芯片，且所述第三类焊盘用于与所述第一存储芯片的电源引脚连接的情况下，所述第三类焊盘连接的所述第三走线包括的所述第二跳选区域用于装配跳选元件；在所述电路板用于承载所述第二存储芯片，且所述第三类焊盘用于与所述第二存储芯片的未使用引脚连接的情况下，所述第三类焊盘连接的所述第三走线包括的所述第二跳选区域不用于装配跳选元件；

在所述电路板用于承载所述第一存储芯片，且所述第三类焊盘用于与所述第一存储芯片的未使用引脚连接的情况下，所述第三类焊盘连接的所述第三走线包括的所述第二跳选区域不用于装配跳选元件；在所述电路板用于承载所述第二存储芯片，且所述第三类焊盘用于与所述第二存储芯片的电源引脚连接的情况下，所述第三类焊盘连接的所述第三走线包括的所述第二跳选区域用于装配跳选元件。

36．根据权利要求 34 所述的电路板，其特征在于，所述第三类焊盘连接的所述第三走线不包括所述第二跳选区域；

在所述电路板用于承载所述第一存储芯片，且所述第三类焊盘用于与所述第一存储芯片的电源引脚连接的情况下，所述第二电源模块用于对所述第三类焊盘连接的所述第三走线进行上电；在所述电路板用于承载所述第二存储芯片，且所述第三类焊盘用于与所述第二存储芯片的未使用引脚连接的情况下，所述第二电源模块用于对所述第三类焊盘连接的所述第三走线不进行上电；

在所述电路板用于承载所述第一存储芯片，且所述第三类焊盘用于与所述第一存储芯片的未使用引脚连接的情况下，所述第二电源模块用于对所述第三类焊盘连接的所述第三走线不进行上电；在所述电路板用于承载所述第二存储芯片，且所述第三类焊盘用于与所述第二存储芯片的电源引脚连接的情况下，所述第二电源模块用于对所述第三类焊盘连接的所述第三走线进行上电。

37．根据权利要求 33 所述的电路板，其特征在于，所述多个第二焊盘包括第四类焊盘，所述第四类焊盘用于与所述第一存储芯片的未使用引脚和/或所述第二存储芯片的未使用引脚连接，且所述第四类焊盘不用于与所述第一存储芯片的电源引脚或所述第二存储芯片的电源引脚连接。

38．根据权利要求 37 所述的电路板，其特征在于，所述第四类焊盘连接的所述第

三走线包括所述第二跳选区域；

在所述电路板用于承载所述第一存储芯片，且所述第四类焊盘用于与所述第一存储芯片的未使用引脚连接的情况下，所述第四类焊盘连接的所述第三走线包括的所述第二跳选区域不用于装配跳选元件；在所述电路板用于承载所述第二存储芯片，且所述第四类焊盘用于与所述第二存储芯片的接地引脚或信号引脚连接的情况下，所述第四类焊盘连接的所述第三走线包括的所述第二跳选区域用于装配跳选元件；

在所述电路板用于承载所述第一存储芯片，且所述第四类焊盘用于与所述第一存储芯片的接地引脚或信号引脚连接的情况下，所述第四类焊盘连接的所述第三走线包括的所述第二跳选区域用于装配跳选元件或不用于装配跳选元件；在所述电路板用于承载所述第二存储芯片，且所述第四类焊盘用于与所述第二存储芯片的未使用引脚连接的情况下，所述第四类焊盘连接的所述第三走线包括的所述第二跳选区域不用于装配跳选元件。

39. 根据权利要求 37 所述的电路板，其特征在于，所述第四类焊盘连接的所述第三走线不包括所述第二跳选区域。

40. 根据权利要求 33 所述的电路板，其特征在于，所述多个第二焊盘包括第五类焊盘，所述第五类焊盘用于与所述第一存储芯片的接地引脚和所述第二存储芯片的接地引脚连接；

其中，所述第五类焊盘连接的所述第三走线包括所述第二跳选区域；在所述电路板用于承载所述第一存储芯片的情况下，所述第五类焊盘连接的所述第三走线包括的所述第二跳选区域用于装配跳选元件；在所述电路板用于承载所述第二存储芯片的情况下，所述第五类焊盘连接的所述第三走线包括的所述第二跳选区域用于装配跳选元件或不用于装配跳选元件；

或者，所述第五类焊盘连接的所述第三走线不包括所述第二跳选区域。

41. 根据权利要求 33 所述的电路板，其特征在于，所述电路板还包括第二焊盘组，所述第二焊盘组用于与处理器芯片连接，所述电路板还用于承载第三电源模块；

所述多个第二焊盘包括第六类焊盘，所述第六类焊盘用于与所述第一存储芯片的电源引脚和所述第二存储芯片的电源引脚连接；在所述电路板用于承载所述第一存储芯片的情况下，所述第一存储芯片的电源引脚依次通过所述第六类焊盘、所述第三走线和所述第三电源模块与所述处理器芯片的第一电源引脚连接；在所述电路板用于承载所述第二存储芯片的情况下，所述第二存储芯片的电源引脚依次通过所述第六类焊盘、所述第三走线和所述第三电源模块与所述处理器芯片的第二电源引脚连接；所述第一电源引脚和所述第二电源引脚为同一电源引脚；

其中，所述第六类焊盘连接的所述第三走线包括所述第二跳选区域；在所述电路板用于承载所述第一存储芯片或所述第二存储芯片的情况下，所述第六类焊盘连接的所述第三走线包括的所述第二跳选区域用于装配跳选元件；

或者，所述第六类焊盘连接的所述第三走线不包括所述第二跳选区域；在所述电路板用于承载所述第一存储芯片或所述第二存储芯片的情况下，所述第三电源模块用于对所述第六类焊盘连接的所述第三走线进行上电。

42. 根据权利要求 24 至 41 中任一项所述的电路板，其特征在于，所述跳选元件

包括电阻、电容、二极管以及三极管中的任意一种。

43．根据权利要求 24 至 41 中任一项所述的电路板，其特征在于，所述至少两种存储芯片中的各种存储芯片的尺寸均相同。

44．根据权利要求 24 至 41 中任一项所述的电路板，其特征在于，所述至少两种存储芯片包括第一 UFS 存储芯片、第二 UFS 存储芯片以及 EMMC 存储芯片中的至少两者；所述第一 UFS 存储芯片的接口版本与所述第二 UFS 存储芯片的接口版本不同。

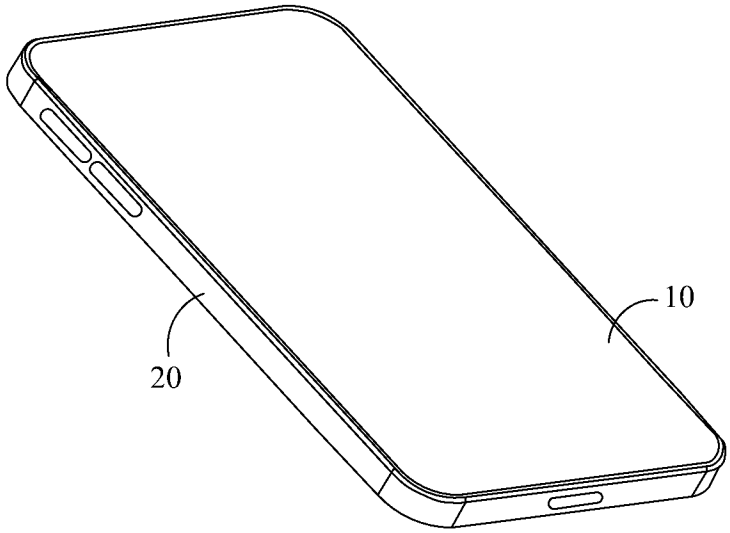


图 1

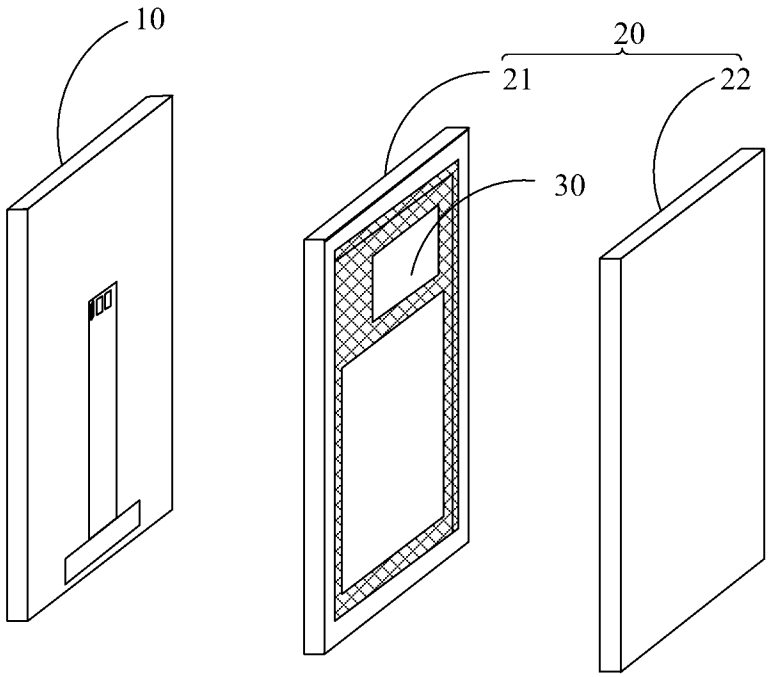


图 2

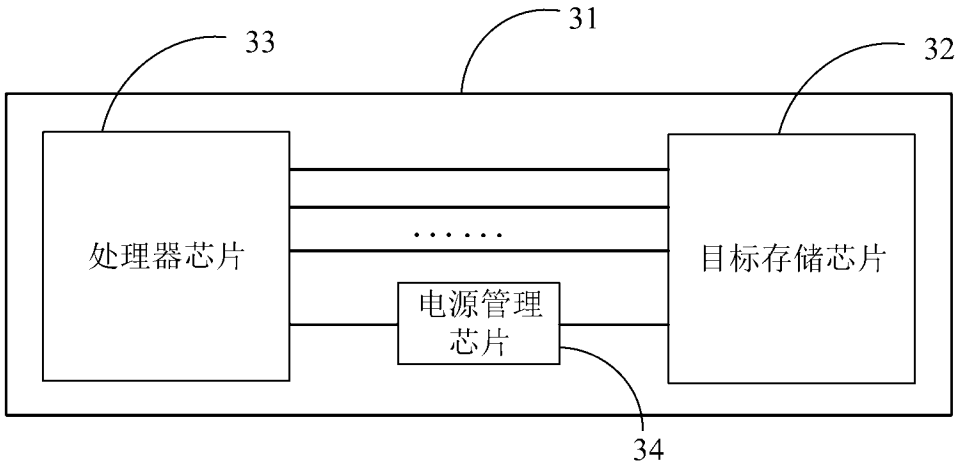

31
33
32
处理器芯片
.....
目标存储芯片
电源管理
芯片
34

图 3

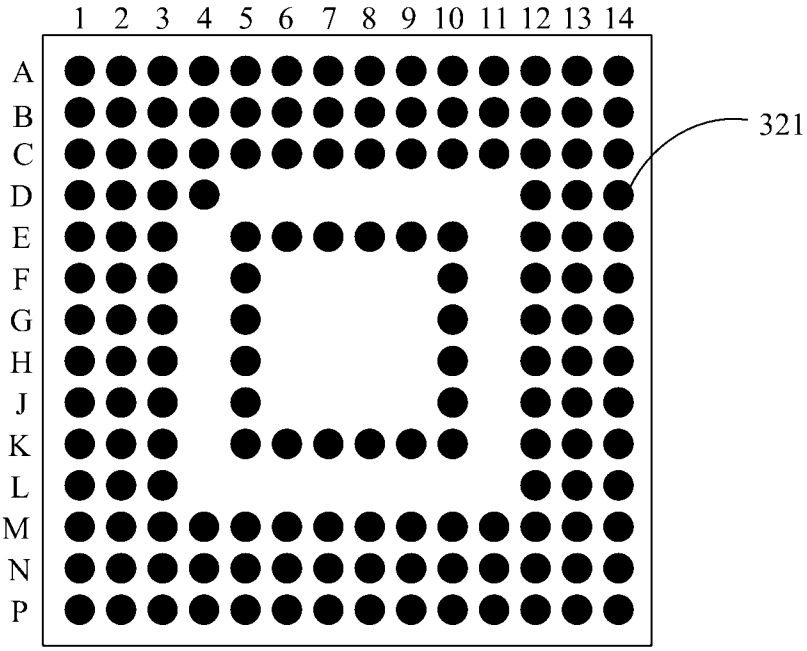

1 2 3 4 5 6 7 8 9 10 11 12 13 14
A
B
C
D
E
F
G
H
J
K
L
M
N
P
321

图 4

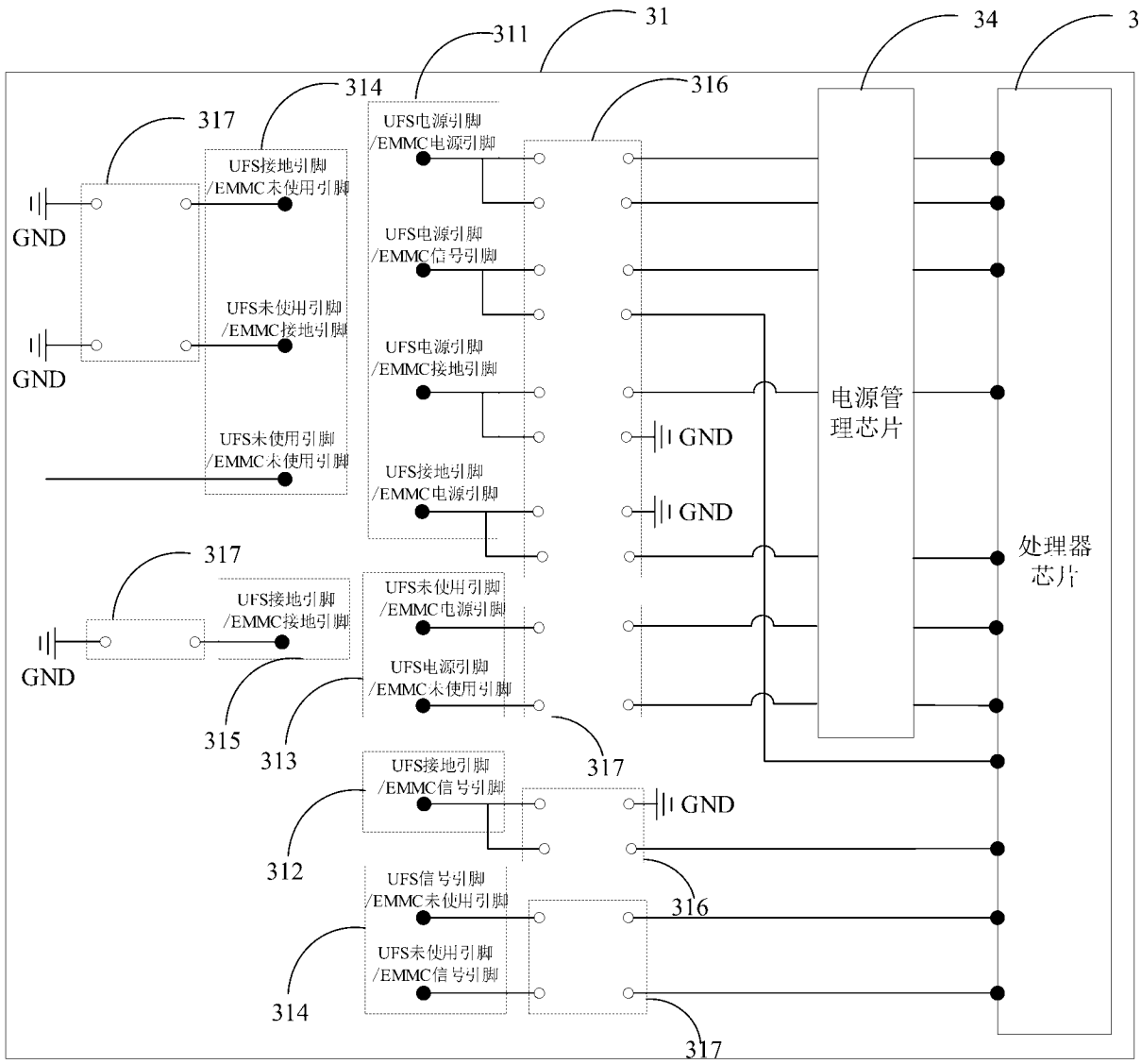

31
311
34
33
314
316
317
UFS接地引脚
/EMMC未使用引脚
GND
UFS电源引脚
/EMMC电源引脚
UFS电源引脚
/EMMC信号引脚
UFS未使用引脚
/EMMC接地引脚
GND
UFS电源引脚
/EMMC接地引脚
电源管
理芯片
UFS未使用引脚
/EMMC未使用引脚
GND
UFS接地引脚
/EMMC电源引脚
GND
处理器
芯片
317
UFS接地引脚
/EMMC接地引脚
GND
UFS未使用引脚
/EMMC电源引脚
315
313
UFS电源引脚
/EMMC未使用引脚
317
UFS接地引脚
/EMMC信号引脚
GND
312
UFS信号引脚
/EMMC未使用引脚
316
UFS未使用引脚
/EMMC信号引脚
314
317

图 5

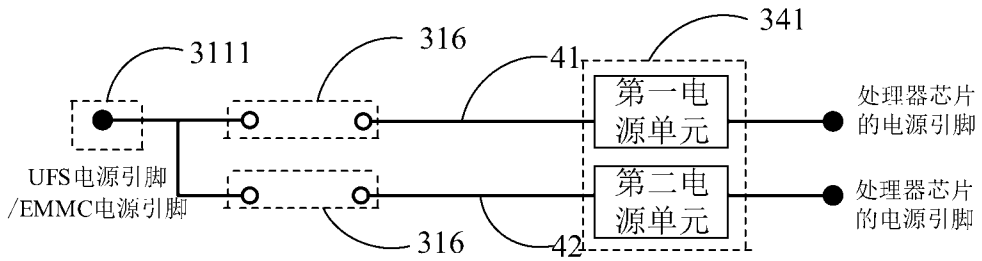

341
3111
316
41
第一电
源单元
处理器芯片
的电源引脚
UFS电源引脚
/EMMC电源引脚
第二电
源单元
处理器芯片
的电源引脚
316
42

图 6

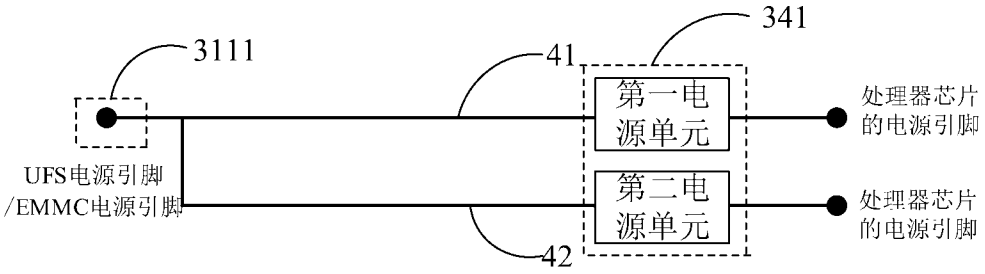


图 7

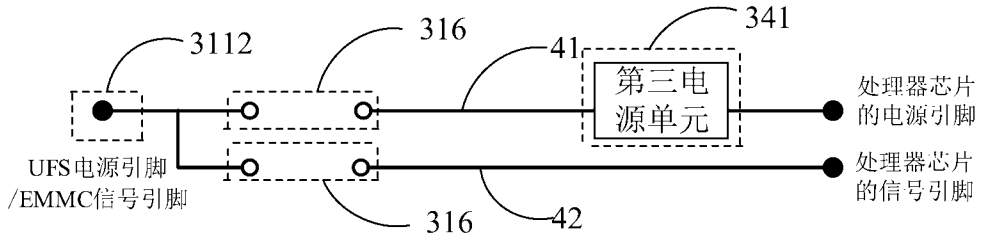


图 8

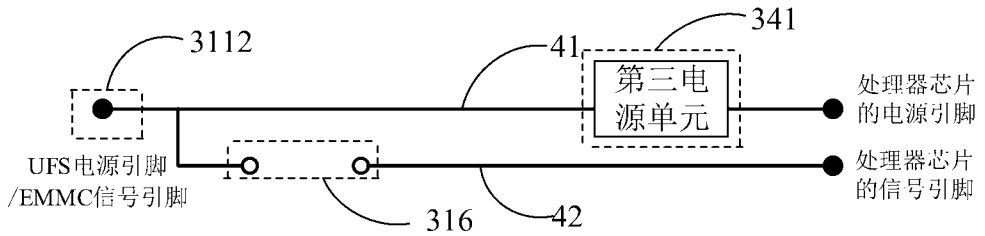


图 9

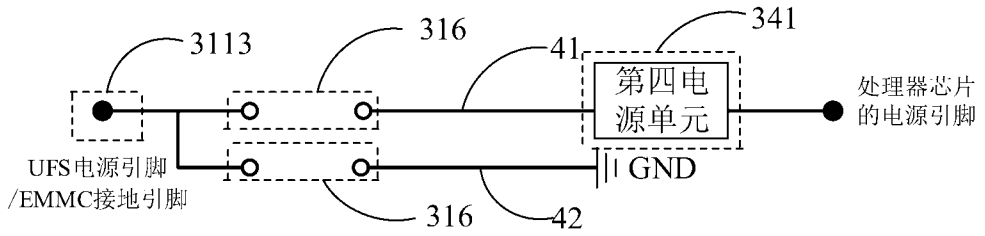


图 10

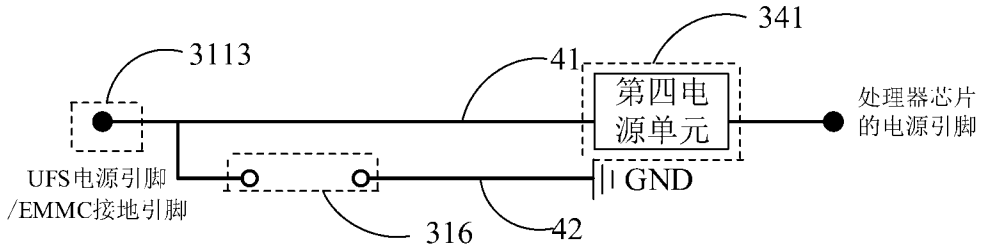


图 11

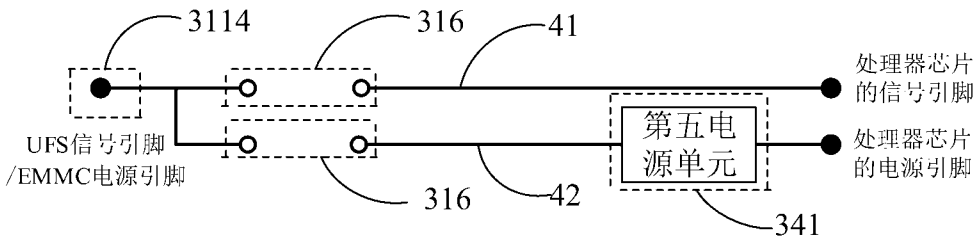


图 12

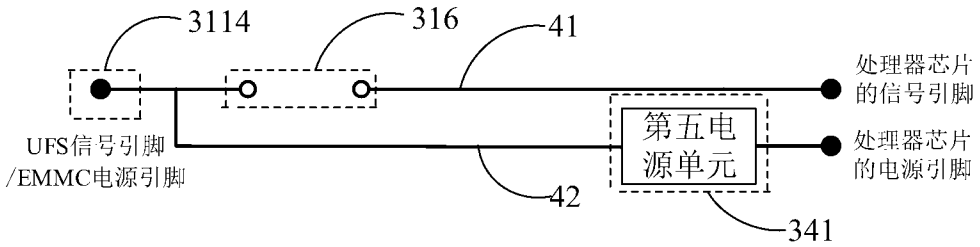


图 13

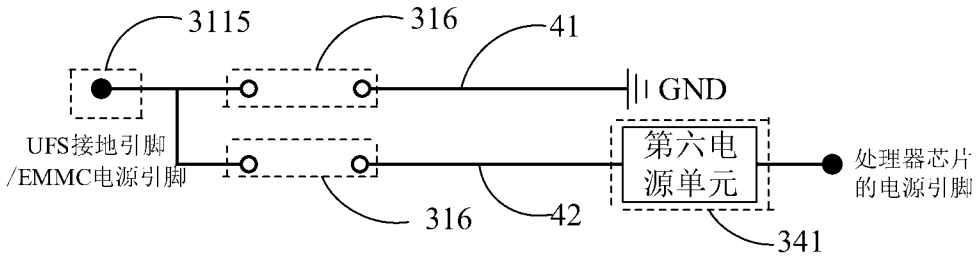


图 14

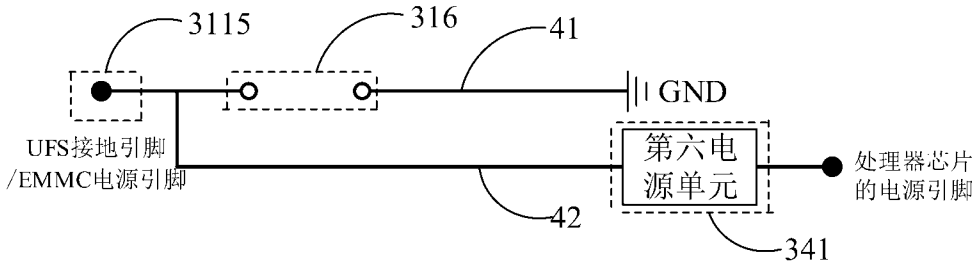


图 15

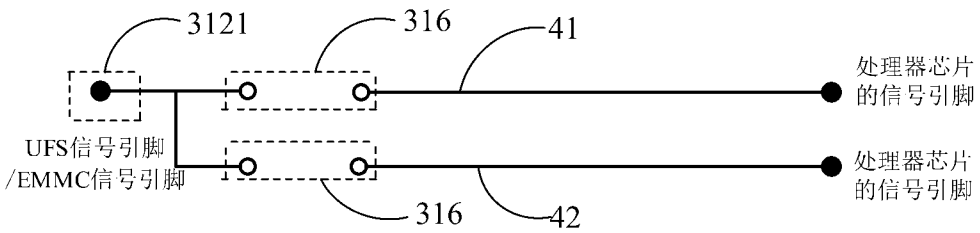


图 16

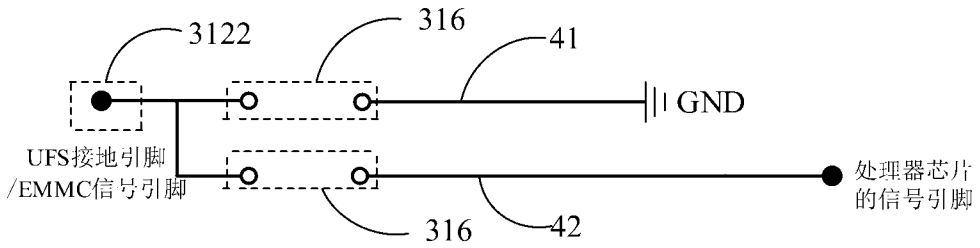


图 17

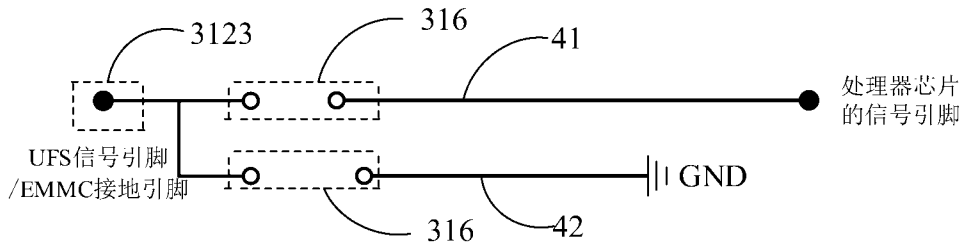


图 18

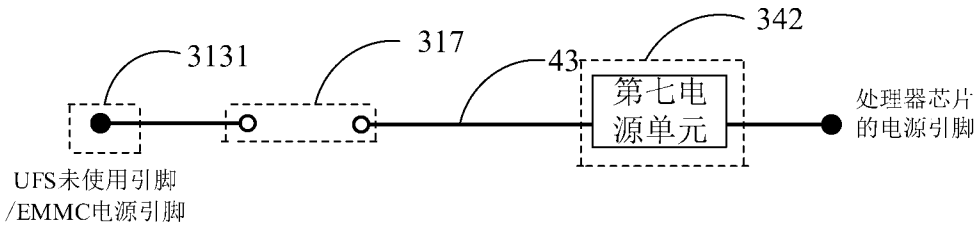


图 19

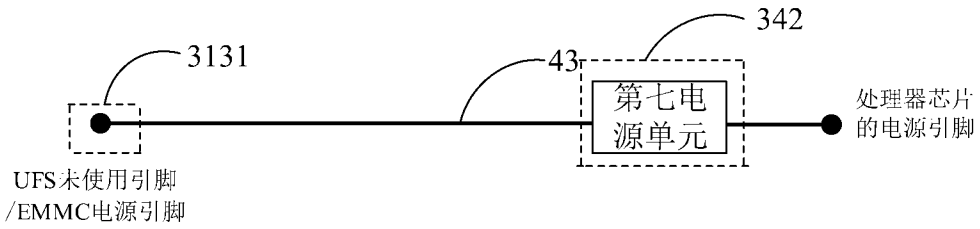


图 20

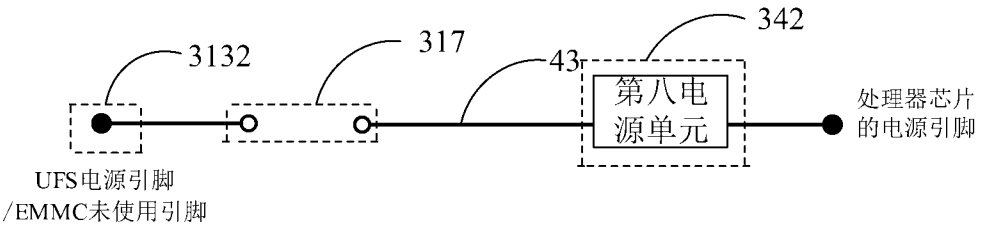


图 21

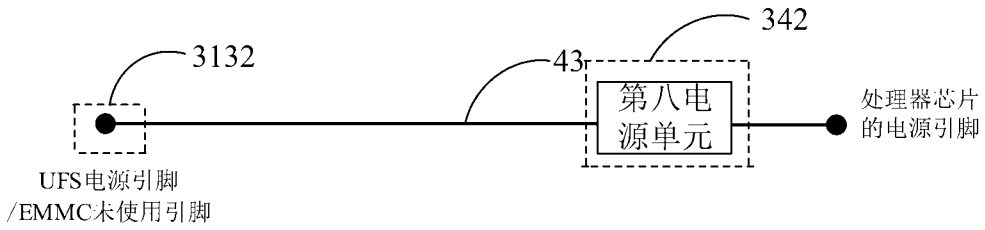


图 22

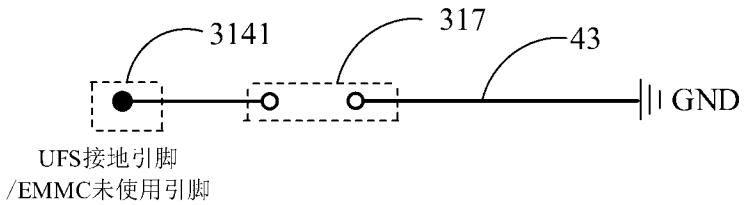


图 23

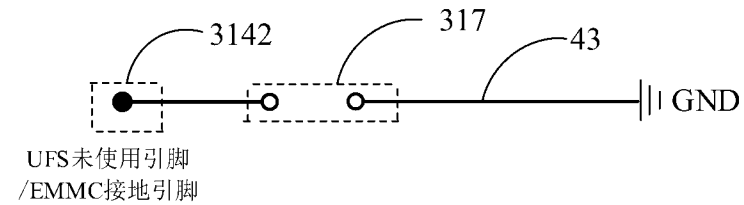


图 24

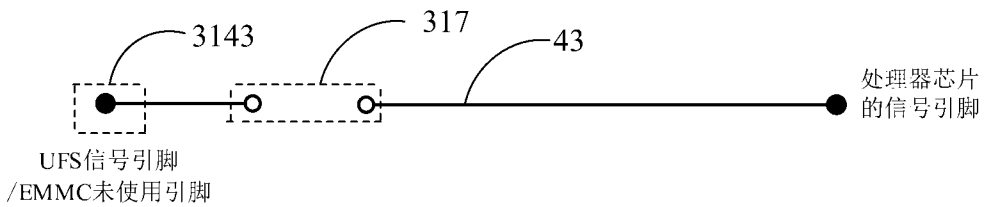


图 25

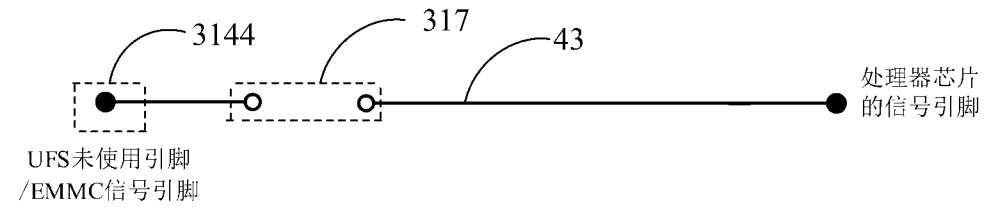


图 26

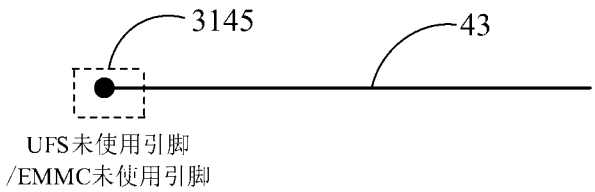

3145
43
UFS未使用引脚
/EMMC未使用引脚

图 27

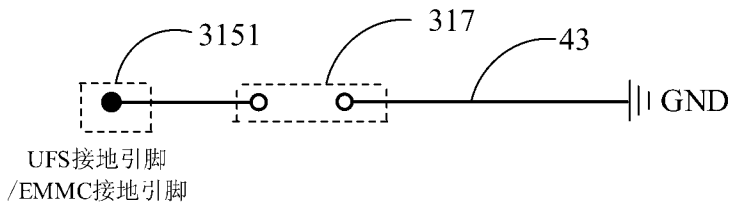

3151
317
43
GND
UFS接地引脚
/EMMC接地引脚

图 28

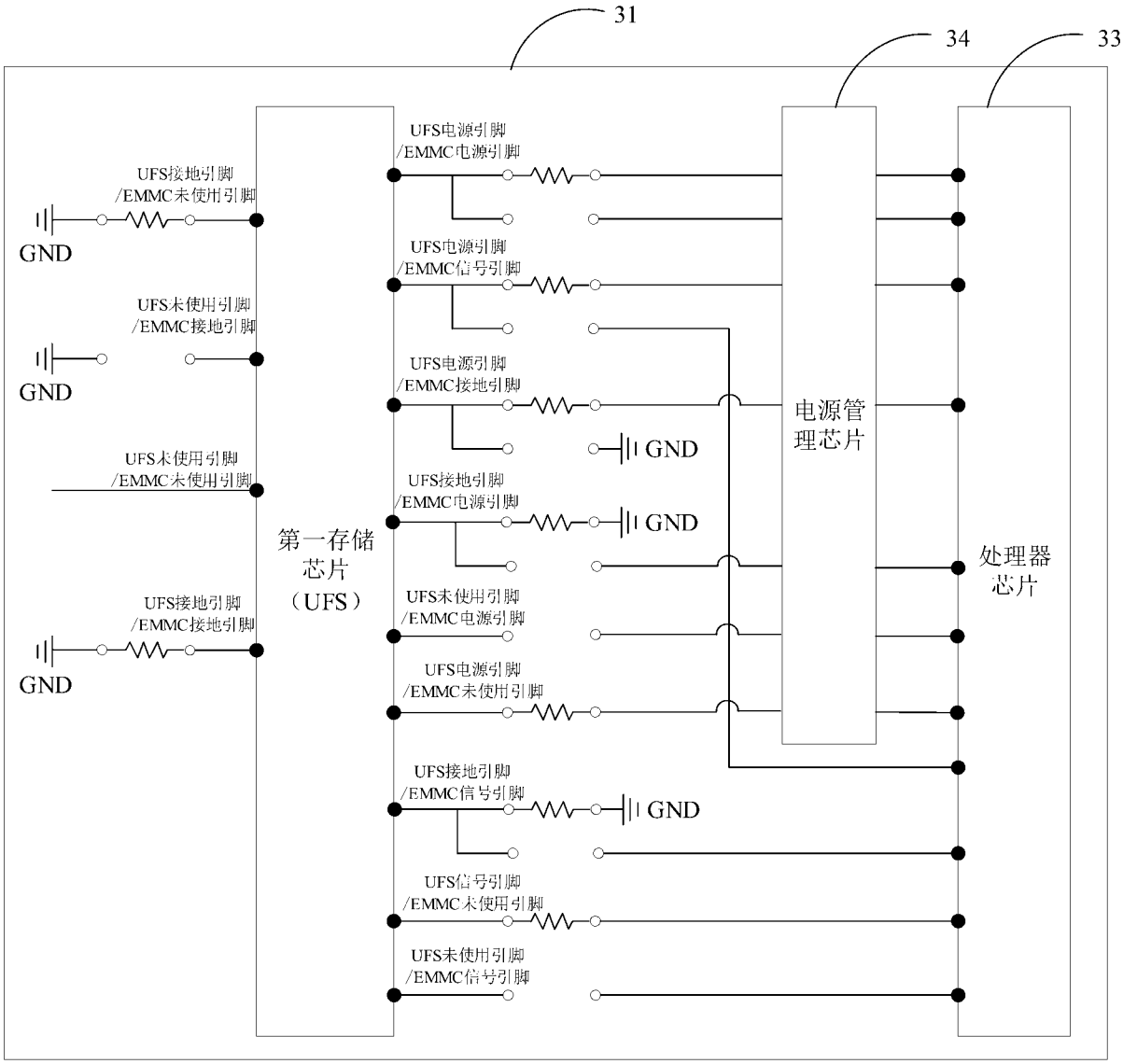

31
34
33
UFS接地引脚
/EMMC未使用引脚
GND
UFS未使用引脚
/EMMC接地引脚
GND
UFS未使用引脚
/EMMC未使用引脚
UFS接地引脚
/EMMC接地引脚
GND
第一存储
芯片
（UFS）
UFS电源引脚
/EMMC电源引脚
UFS电源引脚
/EMMC信号引脚
UFS电源引脚
/EMMC接地引脚
GND
UFS接地引脚
/EMMC电源引脚
GND
UFS未使用引脚
/EMMC电源引脚
UFS电源引脚
/EMMC未使用引脚
UFS接地引脚
/EMMC信号引脚
GND
UFS信号引脚
/EMMC未使用引脚
UFS未使用引脚
/EMMC信号引脚
电源管
理芯片
处理器
芯片

图 29

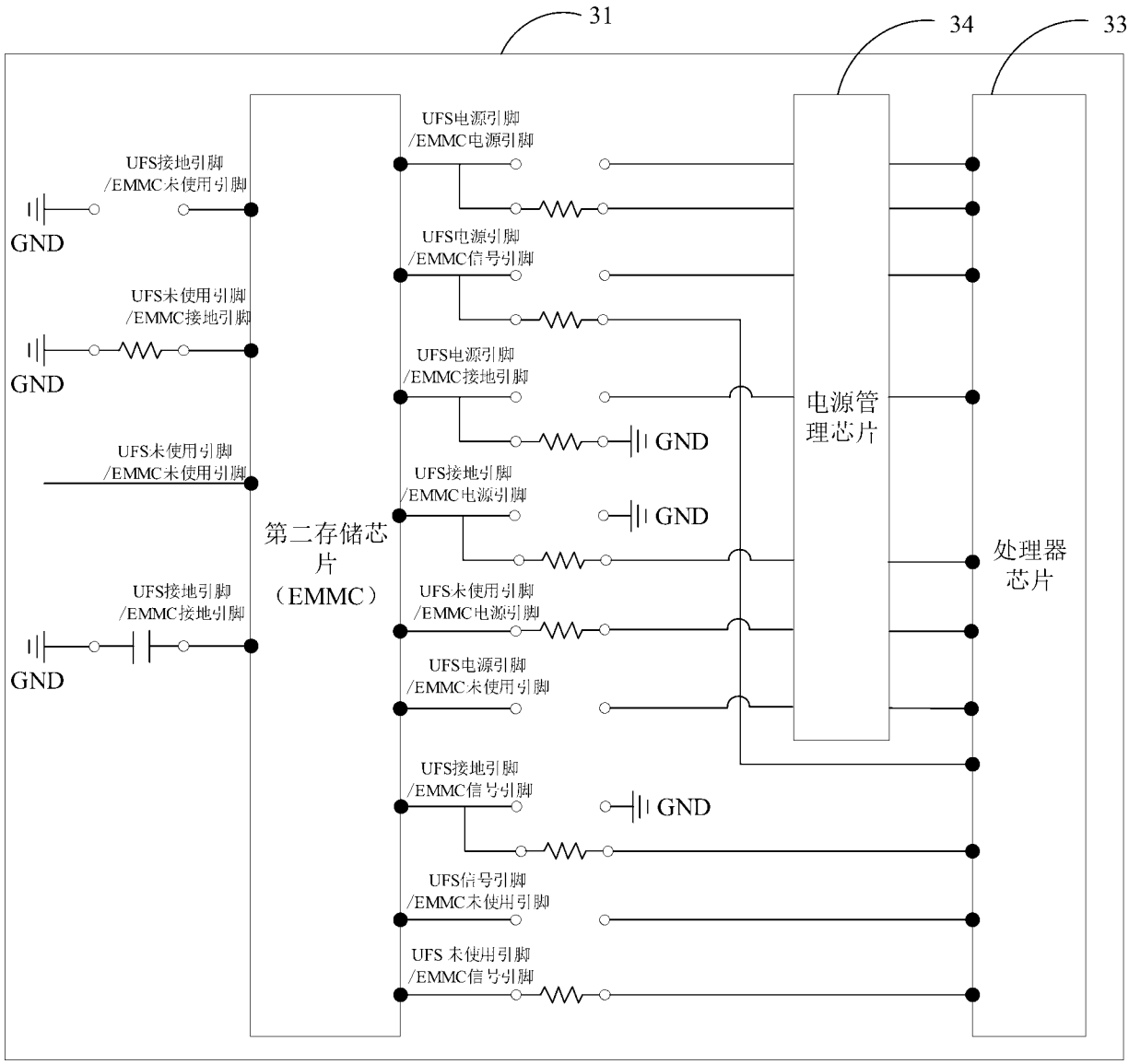

31
34
33
UFS接地引脚
/EMMC未使用引脚
GND
UFS未使用引脚
/EMMC接地引脚
GND
UFS未使用引脚
/EMMC未使用引脚
UFS接地引脚
/EMMC接地引脚
GND
第二存储芯片
（EMMC）
UFS电源引脚
/EMMC电源引脚
UFS电源引脚
/EMMC信号引脚
UFS电源引脚
/EMMC接地引脚
GND
UFS接地引脚
/EMMC电源引脚
GND
UFS未使用引脚
/EMMC电源引脚
UFS电源引脚
/EMMC未使用引脚
UFS接地引脚
/EMMC信号引脚
GND
UFS信号引脚
/EMMC未使用引脚
UFS 未使用引脚
/EMMC信号引脚
电源管理芯片
处理器芯片

图 30

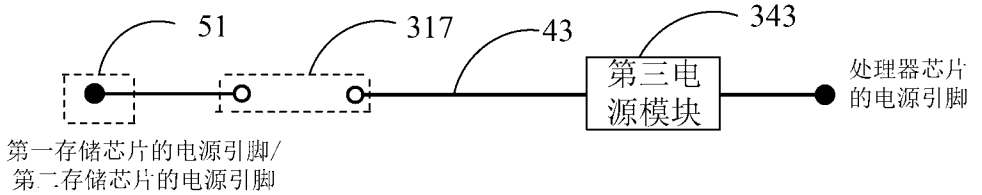

51
317
43
343
第三电源模块
处理器芯片的电源引脚
第一存储芯片的电源引脚/
第二存储芯片的电源引脚

图 31

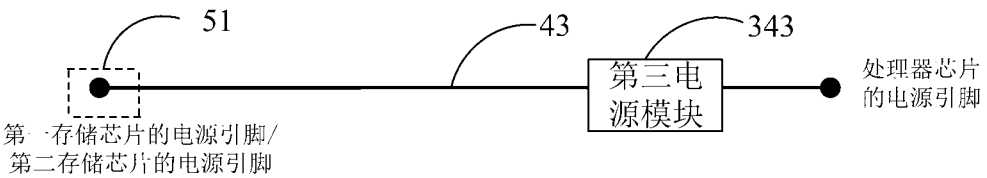

51
43
343
第三电源模块
处理器芯片的电源引脚
第一存储芯片的电源引脚/
第二存储芯片的电源引脚

图 32

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2024/074320

A. CLASSIFICATION OF SUBJECT MATTER

H05K 1/18(2006.01)i; H05K 1/11(2006.01)i; H05K 1/02(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H05K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT, ENTXT, DWPI, CNKI: 电路板, 线路板, 布线板, 存储芯片, 焊盘, 线路, 跳选, 悬空, 浮置, PCB, PWB, printed circuit board, printed wiring board, storage chip, pad, bonding pad, route, jump select+, float+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 218071929 U (FIBOCOM WIRELESS INC.) 16 December 2022 (2022-12-16) description, paragraphs [0004]-[0042], and figures 1-3	1-23
PX	CN 116916530 A (HONOR TERMINAL CO., LTD.) 20 October 2023 (2023-10-20) description, paragraphs [0030]-[0288], and figures 1-32	1-44
A	KR 20170047808 A (MERITECH CO., LTD.) 08 May 2017 (2017-05-08) entire document	1-44
A	CN 115529724 A (HONOR TERMINAL CO., LTD.) 27 December 2022 (2022-12-27) entire document	1-44

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
23 April 2024	**26 April 2024**

Name and mailing address of the ISA/CN	Authorized officer
China National Intellectual Property Administration (ISA/CN) **China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2024/074320

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN 218071929 U	16 December 2022	None	
CN 116916530 A	20 October 2023	None	
KR 20170047808 A	08 May 2017	KR 101798209 B1	16 November 2017
CN 115529724 A	27 December 2022	None	

国际检索报告

国际申请号
PCT/CN2024/074320

A. 主题的分类

H05K 1/18(2006.01)i；H05K 1/11(2006.01)i；H05K 1/02(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC：H05K

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNTXT，ENTXT，DWPI，CNKI：电路板，线路板，布线板，存储芯片，焊盘，线路，跳选，悬空，浮置,PCB, PWB,printed circuit board,printed wiring board,storage chip,pad,bonding pad,route,jump select+,float+

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN 218071929 U (深圳市广和通无线股份有限公司) 2022年12月16日 (2022 - 12 - 16) 说明书[0004]-[0042]段，附图1-3	1-23
PX	CN 116916530 A (荣耀终端有限公司) 2023年10月20日 (2023 - 10 - 20) 说明书[0030]-[0288]段，附图1-32	1-44
A	KR 20170047808 A (MERITECH CO.,LTD.) 2017年5月8日 (2017 - 05 - 08) 全文	1-44
A	CN 115529724 A (荣耀终端有限公司) 2022年12月27日 (2022 - 12 - 27) 全文	1-44

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2024年4月23日	2024年4月26日
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088	受权官员 王磊 电话号码 (+86) 62411577

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2024/074320

检索报告引用的专利文件	公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN 218071929 U	2022年12月16日	无	
CN 116916530 A	2023年10月20日	无	
KR 20170047808 A	2017年5月8日	KR 101798209 B1	2017年11月16日
CN 115529724 A	2022年12月27日	无	