(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第5201967号
(P5201967)

(45)発行日　平成25年6月5日(2013.6.5)　(24)登録日　平成25年2月22日(2013.2.22)

(51)Int.Cl.		F I		
H01L 21/02	(2006.01)	H01L	27/12	B
H01L 27/12	(2006.01)	H01L	21/265	Q
H01L 21/265	(2006.01)	H01L	27/12	F
H01L 21/76	(2006.01)	H01L	27/12	L
H01L 21/762	(2006.01)	H01L	21/265	F

請求項の数 6　(全 25 頁)　最終頁に続く

(21)出願番号　特願2007-318236 (P2007-318236)
(22)出願日　平成19年12月10日 (2007.12.10)
(65)公開番号　特開2009-141249 (P2009-141249A)
(43)公開日　平成21年6月25日 (2009.6.25)
審査請求日　平成22年11月17日 (2010.11.17)

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　古山　将樹
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

審査官　加藤　俊哉

最終頁に続く

(54)【発明の名称】半導体基板の作製方法および半導体装置の作製方法

(57)【特許請求の範囲】
【請求項１】
絶縁表面を有する支持基板上に、単結晶半導体基板から剥離した単結晶半導体層を形成する半導体基板の作製方法であって、
前記単結晶半導体基板にイオンを添加して、前記単結晶半導体基板の表面から所定の深さの領域に損傷層を形成し、
前記支持基板上面に、枠状の第１の絶縁層と、前記第１の絶縁層に囲まれた領域内に島状に設けられた第２の絶縁層と、を形成し、
前記支持基板を、前記第１の絶縁層及び前記第２の絶縁層を介して、前記単結晶半導体基板と重ね合わせ、
前記単結晶半導体基板と前記支持基板を重ね合わせた状態で、前記支持基板及び前記単結晶半導体基板を真空チャンバー内に搬入し、
前記真空チャンバー内を減圧して、前記第１の絶縁層と前記第２の絶縁層とが設けられていない、前記単結晶半導体基板と前記支持基板との間隙を減圧状態とした後、前記真空チャンバー内の前記単結晶半導体基板及び前記支持基板を大気解放し、
前記単結晶半導体基板と前記支持基板を重ね合わせた状態で熱処理を行い、前記損傷層を劈開面として前記単結晶半導体基板の一部を剥離することにより、前記支持基板上の前記第１の絶縁層及び前記第２の絶縁層上に、前記単結晶半導体基板から剥離された前記単結晶半導体層を固定する半導体基板の作製方法。
【請求項２】

絶縁表面を有する支持基板上に、単結晶半導体基板から剥離した単結晶半導体層を形成する半導体基板の作製方法であって、
前記単結晶半導体基板にイオンを添加して、前記単結晶半導体基板の表面から所定の深さの領域に損傷層を形成し、
前記単結晶半導体基板の上面に、枠状の第１の絶縁層と、前記第１の絶縁層に囲まれた領域内に島状に設けられた第２の絶縁層と、を形成し、
前記単結晶半導体基板を、前記第１の絶縁層及び前記第２の絶縁層を介して、前記支持基板と重ね合わせ、
前記単結晶半導体基板と前記支持基板を重ね合わせた状態で、前記支持基板及び前記単結晶半導体基板を真空チャンバー内に搬入し、
前記真空チャンバー内を減圧して、前記第１の絶縁層と前記第２の絶縁層とが設けられていない、前記単結晶半導体基板と前記支持基板との間隙を減圧状態とした後、前記真空チャンバー内の前記単結晶半導体基板及び前記支持基板を大気解放し、
前記単結晶半導体基板と前記支持基板を重ね合わせた状態で熱処理を行い、前記損傷層を劈開面として前記単結晶半導体基板の一部を剥離することにより、前記支持基板上の前記第１の絶縁層及び前記第２の絶縁層上に、前記単結晶半導体基板から剥離された前記単結晶半導体層を固定する半導体基板の作製方法。
【請求項３】
絶縁表面を有する支持基板上に、単結晶半導体基板から剥離した単結晶半導体層を形成する半導体基板の作製方法であって、
前記単結晶半導体基板にイオンを添加して、前記単結晶半導体基板の表面から所定の深さの領域に損傷層を形成し、
前記支持基板の中央に、凹部を形成し、
前記凹部が形成された前記支持基板上面に、枠状の第１の絶縁層と、前記第１の絶縁層に囲まれた領域内に島状に設けられた第２の絶縁層と、を形成し、前記第１の絶縁層は前記凹部以外の前記支持基板上面に設けられ、前記第２の絶縁層は前記凹部上面に設けられ、
前記支持基板を、前記第１の絶縁層及び前記第２の絶縁層を介して、前記単結晶半導体基板と重ね合わせ、
前記単結晶半導体基板と前記支持基板を重ね合わせた状態で、前記支持基板及び前記単結晶半導体基板を真空チャンバー内に搬入し、
前記真空チャンバー内を減圧して、前記第１の絶縁層と前記第２の絶縁層とが設けられていない、前記単結晶半導体基板と前記支持基板との間隙を減圧状態とした後、前記真空チャンバー内の前記単結晶半導体基板及び前記支持基板を大気解放し、
前記単結晶半導体基板と前記支持基板を重ね合わせた状態で熱処理を行い、前記損傷層を劈開面として前記単結晶半導体基板の一部を剥離することにより、前記支持基板上の前記第１の絶縁層及び前記第２の絶縁層上に、前記単結晶半導体基板から剥離された前記単結晶半導体層を固定する半導体基板の作製方法。
【請求項４】
請求項１乃至請求項３のいずれか一において、
前記第１の絶縁層は、１００μｍ乃至１ｃｍの幅で形成されていることを特徴とする半導体基板の作製方法。
【請求項５】
請求項１乃至請求項４のいずれか一において、
大気解放後の前記単結晶半導体基板と前記支持基板との間隙の気圧は、大気圧よりも０．５気圧以上１気圧以下、減圧されていることを特徴とする半導体基板の作製方法。
【請求項６】
請求項１乃至５のいずれか一に記載の作製方法で作製された半導体基板を用いて、半導体装置を作製する方法であり、
前記単結晶半導体層を含む半導体素子を作製する半導体装置の作製方法。

【発明の詳細な説明】
【技術分野】
【０００１】
本発明は絶縁表面に単結晶半導体層が設けられた所謂ＳＯＩ（Ｓｉｌｉｃｏｎ　ｏｎ　Ｉｎｓｕｌａｔｏｒ）構造を有するＳＯＩ基板の製造方法及びＳＯＩ構造を有する半導体装置の作製方法に関する。
【背景技術】
【０００２】
近年、ガラス等の絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百ｎｍ程度）を用いて薄膜トランジスタ（ＴＦＴ）を構成する技術が注目されている。薄膜トランジスタは集積回路や電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。
【０００３】
単結晶半導体のインゴットを薄く切断して作製されるシリコンウエハに代わり、絶縁層の上に薄い単結晶半導体層を設けたシリコン・オン・インシュレータ（Ｓｉｌｉｃｏｎ　ｏｎ　Ｉｎｓｕｌａｔｏｒ：ＳＯＩ）と呼ばれる半導体基板（ＳＯＩ基板）が開発されており、マイクロプロセッサなどを製造する際の基板として普及しつつある。ＳＯＩ基板を使った集積回路は、トランジスタのドレインと基板間における寄生容量を低減し、半導体集積回路の性能を向上させ、低消費電力化を図るものとして注目されている。
【０００４】
ＳＯＩ基板を製造する方法としては、水素イオン注入剥離法が知られている（例えば、特許文献１参照）。例えば表面に酸化シリコン膜が形成されたシリコンウエハに水素等のイオンを注入することによって表面から所定の深さに微小気泡層を形成し劈開面とし、別のウエハに薄膜単結晶シリコン層（ＳＯＩ層）を接合する。さらに熱処理を施すことによりＳＯＩ層を劈開面から剥離することでＳＯＩ基板を形成するという技術である。
【０００５】
一方、ガラスなどの絶縁基板にＳＯＩ層を形成しようとする試みもなされている。ガラス基板上にＳＯＩ層を形成したＳＯＩ基板の一例として、水素イオン注入剥離法を用いて、コーティング膜を有するガラス基板上に薄膜の単結晶シリコン層を形成したものが知られている（例えば、特許文献２参照）。この場合にも、シリコンウエハに水素イオンを注入することによって表面から所定の深さに微小気泡層を形成し、ガラス基板とシリコンウエハを貼り合わせ後に、微小気泡層を劈開面としてシリコンウエハを剥離することで、ガラス基板上に薄い単結晶シリコン層（ＳＯＩ層）を形成している。
【特許文献１】特開２０００－２９４７５４号公報
【特許文献２】特開２００４－１３４６７５号公報
【発明の開示】
【発明が解決しようとする課題】
【０００６】
水素イオン注入剥離法によって支持基板上に形成された単結晶半導体層を半導体素子として使用する場合、単結晶半導体基板全面をガラス基板等の支持基板に貼り合わせ、支持基板上に単結晶半導体層を貼り付けた後に、島状にパターン形成することで、素子分離された単結晶半導体層を得ることができる。または、支持基板または単結晶半導体基板上にあらかじめパターン形成された接着層を設け、この接着層を介して支持基板と単結晶半導体基板とを貼り合わせることで、支持基板上にパターン形成された島状の単結晶半導体層を形成する方法も挙げられる。
【０００７】
このうち、単結晶半導体基板全面を支持基板に貼り合わせて、単結晶半導体層を貼り付けた後に島状にパターン形成する場合は、平坦な基板同士を貼り合わせているために、基板間の空気を簡単に押し出すことができる。そのため、大気圧によって基板同士を簡単に密着させることができる。

【０００８】
一方、単結晶半導体基板または支持基板上にパターン形成された接着層を設けて、支持基板に島状の単結晶半導体層を形成する方法の場合、貼り合わせる基板同士の接地面が狭く、不連続である。また、単結晶半導体基板と、支持基板との間隙には空気が存在しており、基板間の密着性が劣悪である。したがって、広い面積を一度に転置することが困難である。
【０００９】
また、支持基板上に単結晶半導体層を貼り付けた後に、島状にパターン形成する場合であっても、貼り合わせる基板のうちの少なくとも一方に歪みがある場合には、基板間に間隙ができてしまうことがある。さらに、基板間に空気が残ったまま加熱すると、加熱時に空気が膨張して基板間の密着を阻害することがある。
【００１０】
本発明は上述した問題に鑑み、単結晶半導体基板と支持基板とを貼り合わせ、単結晶半導体基板から剥離した薄膜の単結晶半導体層を支持基板に形成する工程において、単結晶半導体基板と支持基板との間に間隙が存在する場合であっても、基板同士の密着性を向上させることを課題の一とする。
【課題を解決するための手段】
【００１１】
本発明の半導体基板の作製方法の一は、単結晶半導体基板にイオンを添加して、単結晶半導体基板の表面から所定の深さの領域に損傷層を形成し、支持基板上面に、枠状の第１の絶縁層と、第１の絶縁層に囲まれた領域内に島状に設けられた第２の絶縁層と、を形成し、支持基板を、第１及び第２の絶縁層を介して単結晶半導体基板と重ね合わせ、支持基板及び単結晶半導体基板を真空チャンバー内に搬入し、単結晶半導体基板と支持基板との間隙を減圧状態とした後、単結晶半導体基板及び支持基板を大気解放し、単結晶半導体基板と支持基板を重ね合わせた状態で熱処理を行い、損傷層を劈開面として単結晶半導体基板を剥離することにより、支持基板上の第１及び第２の絶縁層上に、単結晶半導体基板から剥離された単結晶半導体層を固定する。
【００１２】
また、本発明の半導体基板の作製方法の一は、単結晶半導体基板にイオンを添加して、単結晶半導体基板の表面から所定の深さの領域に損傷層を形成し、単結晶半導体基板の上面に、枠状の第１の絶縁層と、第１の絶縁層に囲まれた領域内に島状に設けられた第２の絶縁層と、を形成し、単結晶半導体基板を、第１及び第２の絶縁層を介して、支持基板と重ね合わせ、支持基板及び単結晶半導体基板を真空チャンバー内に搬入し、単結晶半導体基板と支持基板との間隙を減圧状態とした後、単結晶半導体基板と支持基板を大気解放し、単結晶半導体基板と支持基板を重ね合わせた状態で熱処理を行い、損傷層を劈開面として単結晶半導体基板を剥離することにより、支持基板の第１及び第２の絶縁層上に、単結晶半導体基板から剥離された単結晶半導体層を固定する。
【発明の効果】
【００１３】
本発明の半導体基板の作製方法によって、単結晶半導体基板から薄膜の単結晶半導体層を他の基板に転置する工程において、単結晶半導体基板と支持基板とに間隙が存在する場合であっても、基板同士の密着性を向上させることができる。
【発明を実施するための最良の形態】
【００１４】
以下、本発明の実施の形態における半導体基板の作製方法について、図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその態様及び詳細を様々に変更し得ることは当業者であれば容易に理解される、したがって、本実施の形態の記載内容に限定して解釈されるものではない。
【００１５】

（実施の形態１）
本発明に係る半導体基板を図１に示す。図１（Ａ）は、本発明に係る半導体基板の斜視図であり、また、図１（Ｂ）はその断面図である。
【００１６】
本発明に係る半導体基板は、枠状の第１の絶縁層１０５と、第１の絶縁層１０５に囲まれた領域内に島状に複数形成された第２の絶縁層１０７と、第１の絶縁層１０５上に形成された第１の単結晶半導体層１１４と、第２の絶縁層１０７上に形成された第２の単結晶半導体層１１５と、が支持基板１０１の上面に形成されている。
【００１７】
図１において、支持基板１０１は、絶縁表面を有する基板を用いる。例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われる各種ガラス基板、石英基板、セラミック基板、サファイア基板が挙げられる。好ましくは支持基板１０１としてガラス基板を用いるのがよく、例えば、第３．５世代（６００ｍｍ×７２０ｍｍ、又は６２０ｍｍ×７５０ｍｍ）、第４世代（６８０ｍｍ×８８０ｍｍ、又は７３０ｍｍ×９２０ｍｍ）の液晶用マザーガラス基板を用いることができる。さらに、第６世代（１５００ｍｍ×１８５０ｍｍ）、第７世代（１８７０ｍｍ×２２００ｍｍ）、第８世代（２２００ｍｍ×２４００ｍｍ）といわれる大面積のマザーガラス基板を用いることもできる。大面積のマザーガラス基板を支持基板１０１として用いることで、１枚の基板から製造できる表示パネルの数（面取り数）を増大させることが可能となり、生産性を向上させることができる。
【００１８】
アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われる各種ガラス基板の表面は、研磨面を有しているものを用いると平坦性が頗る良好であり好ましい。ガラス基板の研磨は、例えば酸化セリウム等で行えば良い。
【００１９】
次に、図１に示した本発明に係る半導体基板を作成する方法について、図２を参照して説明する。
【００２０】
図２（Ａ）に示すように、単結晶半導体基板１１１を用意する。単結晶半導体基板１１１の材質は単結晶シリコン、多結晶シリコンなどが適用される。単結晶半導体基板１１１として、例えば、４５０ｍｍシリコンウエハ（１８インチシリコンウエハ）から切り出されたものを適用することができる。単結晶半導体基板１１１の平面形状は略四辺形であり、相対する辺の間隔が、２８０ｍｍ×３５０ｍｍ、３３５ｍｍ×３００ｍｍ、又は３５０ｍｍ×２７０ｍｍなどの外形数法を有しているものを適用することができる。
【００２１】
次いで、図２（Ｂ）に示すように、電界で加速されたイオンでなるイオンビーム１２１を単結晶半導体基板１１１に打ち込み、単結晶半導体基板１１１の一方の面から所定の深さの領域に損傷層１１３を形成する。イオンビーム１２１は、ソースガスを励起して、ソースガスのプラズマを生成し、プラズマから電界の作用により、プラズマに含まれるイオンを引き出すことで生成される。
【００２２】
損傷層１１３が形成される領域の深さは、イオンビーム１２１の加速エネルギーとイオンビーム１２１の入射角によって調節することができる。加速エネルギーは加速電圧、ドーズ量などにより調節できる。イオンの平均侵入深さとほぼ同じ深さの領域に損傷層１１３が形成される。イオンを打ち込む深さで、単結晶半導体基板から分離される単結晶半導体層の厚さが決定される。損傷層１１３が形成される深さは５０ｎｍ以上５００ｎｍ以下であり、好ましい深さの範囲は５０ｎｍ以上２００ｎｍ以下である。
【００２３】
イオンを単結晶半導体基板１１１に添加するには、イオン注入装置、又はイオンドーピ

ング装置を用いることができる。イオン注入装置では、ソースガスを励起しプラズマを生成し、プラズマ中からイオン種を引き出し、イオン種を質量分離して所定の質量を有するイオン種を被処理物に添加する。イオンドーピング装置は、ソースガスを励起しプラズマを生成し、プラズマ中からイオン種を引き出し、イオン種を質量分離せずに被処理物に添加する。なお、質量分離装置を備えているイオンドーピング装置では、イオン注入装置と同様に、質量分離を伴うイオンの添加を行うことができる。

【００２４】

イオンを単結晶半導体基板１１１に添加するには、質量分離を伴うイオン注入法よりも、素子量分離を伴わないイオンドーピング法が好ましい。これにより、単結晶半導体基板１１１に損傷層１１３を形成するタクトタイムを短縮できる。

【００２５】

イオンドーピング装置を用いる場合、ソースガスを励起しプラズマを生成し、プラズマ中からイオン種を引き出し、加速して、イオンビーム１２１を生成する。そのイオンビーム１２１を、単結晶半導体基板１１１に照射することで、所定の深さにイオンが高濃度に導入され、損傷層１１３が形成される。

【００２６】

ソースガスに水素（H_2）を用いる場合、水素ガスを励起してH^+、H_2^+、H_3^+を含むプラズマを生成することができる。ソースガスから生成されるイオン種の割合は、プラズマの励起方法、プラズマを発生させる雰囲気の圧力、ソースガスの供給量などを調節することで、変化させることができる。イオンビーム１２１に、H^+、H_2^+、H_3^+の総量に対してH_3^+が５０％以上含まれるようにすることが好ましく、H_3^+の割合は８０％以上がより好ましい。このようにH_3^+の割合を高めておくことで、損傷層１１３には1×10^{20}ａｔｏｍｓ／ｃｍ^{3}以上の水素を含ませることが可能である。

【００２７】

このような水素濃度で損傷層１１３を形成すると、結晶構造が失われ微小な空孔が形成され、多孔質構造となっている。そのため、比較的低温（６００℃以下）の熱処理によって損傷層１１３に形成された微小な空洞の体積変化が起こり、損傷層１１３に沿って、単結晶半導体層を劈開することができる。

【００２８】

水素ガスを用いて、イオンドーピング法でイオンを添加する場合、加速電圧１０ｋＶ以上２００ｋＶ以下、ドーズ量1×10^{16}ｉｏｎｓ／ｃｍ^{2}以上6×10^{16}ｉｏｎｓ／ｃｍ^{2}以下とすることができる。この条件で水素イオンを打ち込むことで、イオンビーム１２１に含まれるイオン種および、その割合にもよるが、損傷層１１３を単結晶半導体基板１１１の深さ５０ｎｍ以上５００ｎｍ以下の領域に形成することができる。

【００２９】

イオンビーム１２１のソースガスにヘリウム（Ｈｅ）を用いることもできる。ヘリウムを励起して生成されるイオン種がHe^+が殆どであるため、質量分離を伴わないイオンドーピング法でも、He^+を主なイオンとして単結晶半導体基板１１１に打ち込むことができる。よって、イオンドーピング法で、効率良く、微小な空孔を損傷層１１３に形成することができる。ヘリウムを用いて、イオンドーピング法でイオンを添加する場合、加速電圧１０ｋＶ以上２００ｋＶ以下、ドーズ量1×10^{16}ｉｏｎｓ／ｃｍ^{2}以上6×10^{16}ｉｏｎｓ／ｃｍ^{2}以下とすることができる。

【００３０】

ソースガスに塩素ガス（Cl_2ガス）、フッ素ガス（F_2ガス）などのハロゲンガス、フッ素化合物ガス（例えば、BF_3）などのハロゲン化合物ガスから選ばれた一種または複数種類のガスを用いることができる。

【００３１】

また、複数回イオンを添加することで、損傷層１１３を形成することもできる。この場合、イオンを打ち込む度にソースガスを異ならせても良いし、同じソースガスを用いてもよい。例えば、ソースガスとして希ガスを用いてイオンを打ち込んだ後、水素ガスをソー

スガスとして用いてイオンを打ち込むことができる。また、初めにハロゲンガス又はハロゲン化合物ガスを用いてイオンを添加し、次に、水素ガスを用いてイオンを添加することもできる。

【００３２】

また、イオンビームを打ち込む前に、単結晶半導体基板１１１の上面に、窒素を含有する絶縁層を形成しても良い。窒素を含有する絶縁層は、窒化酸化シリコン、窒化シリコン等の絶縁性を有する材料を用いて形成することができる。窒素を含有する絶縁層は、後に単結晶半導体基板１１１の一部を支持基板に貼り合わせて単結晶半導体層を設けた際に、支持基板側からの不純物汚染を防ぐ目的で設けておくことが好ましい。すなわち、窒素を含有する絶縁層は支持基板に含まれる可動イオンや水分等の不純物が単結晶半導体層に拡散することを防ぐためのバリア層として機能する。従って、不純物汚染が問題とならない場合には、窒素を含有する絶縁層は省略することも可能である。

【００３３】

窒素を含有する絶縁層は、プラズマＣＶＤ法、スパッタリング法等を用いて窒化シリコン層、窒化酸化シリコン層又は酸化窒化シリコン層を単層構造又は積層構造で形成する。窒素を含有する絶縁層は、５０ｎｍ乃至２００ｎｍの範囲で設けることが好ましい。例えば、単結晶半導体基板１１１側から酸化窒化シリコン層、窒化酸化シリコン層を積層させて窒素を含有する絶縁層とすることができる。

【００３４】

なお、酸化窒化シリコン膜とは、その組成として、窒素よりも酸素の含有量が多いものであって、濃度範囲として酸素が５５～６５原子％、窒素が１～２０原子％、シリコンが２５～３５原子％、水素が０．１～１０原子％の範囲で含まれるものをいう。また、窒化酸化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多いものであって、濃度範囲として酸素が１５～３０原子％、窒素が２０～３５原子％、シリコンが２５～３５原子％、水素が１５～２５原子％の範囲で含まれるものをいう。

【００３５】

また、窒素を含有する絶縁層は、前記した材質又は物性の異なる絶縁材料でなる層を複数層組み合わせて形成しても良い。例えば、単結晶半導体基板１１１側から窒化シリコン層、酸化シリコン層を積層させても良い。

【００３６】

次に、図２（Ｃ）に示すように、支持基板１０１上に絶縁膜１０３を形成する。絶縁膜１０３は、単結晶半導体基板１１１との接合層として機能し、支持基板１０１が単結晶半導体基板１１１と接合を形成する面に設ける。単層構造としても積層構造としてもよいが、支持基板と接合する面（以下、「接合面」とも記す）が平滑面を有し親水性表面となる絶縁膜を用いることが好ましい。

【００３７】

平滑面を有し親水性表面を形成できる絶縁膜としては、水素を含有する酸化シリコン、水素を含有する窒化シリコン、酸素と水素を含有する窒化シリコン、酸化窒化シリコン、窒化酸化シリコン等を適用することができる。

【００３８】

水素を含有する酸化シリコンとしては、例えば有機シランを用いて化学気相成長法により作製される酸化シリコンは好ましい。有機シランを用いて形成された絶縁膜１０３、例えば酸化シリコン膜を用いることによって、支持基板と単結晶半導体層との接合を強固にすることができるためである。有機シランとしては、テトラエトキシシラン（ＴＥＯＳ：化学式$Si(OC_2H_5)_4$）、テトラメチルシラン（ＴＭＳ：化学式$Si(CH_3)_4$）、テトラメチルシクロテトラシロキサン（ＴＭＣＴＳ）、オクタメチルシクロテトラシロキサン（ＯＭＣＴＳ）、ヘキサメチルジシラザン（ＨＭＤＳ）、トリエトキシシラン（$SiH(OC_2H_5)_3$）、トリスジメチルアミノシラン（$SiH(N(CH_3)_2)_3$）等のシリコン含有化合物を用いることができる。

【００３９】

水素を含有する窒化シリコンは、シランガスとアンモニアガスを用いてプラズマＣＶＤ法により作製することができる。前記ガスに水素が加えられていても良い。酸素と水素を含有する窒化シリコンは、シランガスとアンモニアガスと亜酸化窒素ガスを用いてプラズマＣＶＤ法で作製することができる。いずれにしても、プラズマＣＶＤ法、減圧ＣＶＤ法、常圧ＣＶＤ法等の化学気相成長法により、シランガス等を原料ガスとして用いて作製される酸化シリコン、酸化窒化シリコン、窒化酸化シリコンであって水素が含まれるものであれば適用することができる。いずれにしても絶縁膜１０３としては、平滑面を有し、水酸基が付いた表面を有するものであれば良い。

【００４０】

接合層に用いられる絶縁膜１０３の厚さは１０ｎｍ以上２００ｎｍ以下とすることができる。好ましい厚さは１０ｎｍ以上１００ｎｍ以下であり、より好ましくは２０ｎｍ以上５０ｎｍ以下である。

【００４１】

次に、図２（Ｄ）に示すように、絶縁膜１０３をパターン形成して、枠状の第１の絶縁層１０５と、第１の絶縁層１０５に囲まれた領域内に複数設けられた島状の第２の絶縁層１０７と、を形成する。なお、第１の絶縁層１０５は、１００μｍ乃至１ｃｍの幅で形成することが好ましい。また、第１の絶縁層１０５と第２の絶縁層１０７との距離、または第２の絶縁層１０７同士の距離は、数１０μｍ乃至数１００μｍとすることができる。本実施の形態においては、支持基板１０１と単結晶半導体基板１１１は、同程度の面積を有し、第１の絶縁層１０５は、支持基板１０１の外周を囲むような形状で形成されている。支持基板１０１が、単結晶半導体基板１１１と同程度、又は単結晶半導体基板１１１よりも小さい面積を有している場合、第１の絶縁層１０５を支持基板１０１の外周を囲むような形状で形成すると、支持基板１０１において第２の絶縁層１０７を形成する面積を広くすることができるため、好ましい。

【００４２】

絶縁膜１０３をパターン形成する際には、種々の方法を用いることができるが、ドライエッチングを用いることが好ましい。ドライエッチングを用いることにより、パターン形成された第１の絶縁層１０５及び第２の絶縁層１０７の側壁が鋭くなり、微細なパターンを成膜することができる。

【００４３】

次に、単結晶半導体基板１１１と支持基板１０１とを重ね合わせる。その後、単結晶半導体基板１１１と支持基板１０１とを重ね合わせた状態で、真空チャンバーへと搬送し、その後、真空チャンバー内を減圧する。真空チャンバー内の圧力は、1×10^{-5}Ｔｏｒｒ以下とすることが好ましく、1×10^{-6}Ｔｏｒｒ以下がより好ましい。真空チャンバー内を減圧することで、単結晶半導体基板１１１、または、第１及び第２の絶縁膜が設けられた支持基板１０１の僅かな反りによって、支持基板１０１と単結晶半導体基板１１１との間隙から空気が排出され、間隙を減圧状態とすることができる。なお、単結晶半導体基板１１１及び支持基板１０１をそれぞれあらかじめ真空チャンバーに搬入しておき、真空チャンバー内を減圧状態としてから、真空チャンバー内で当該２枚の基板を重ね合わせても構わない。

【００４４】

支持基板１０１と単結晶半導体基板１１１との間隙が十分減圧状態となった後に、真空チャンバー内を緩やかに大気解放する。大気解放後の２枚の基板の間隙の内外における気圧差は、０．５気圧以上１気圧以下であるのが好ましい。

【００４５】

本発明の半導体基板の作製方法においては、支持基板上に形成され接合層として機能する第１の絶縁層１０５及び第２の絶縁層１０７は、パターン形成されているために、支持基板１０１と単結晶半導体基板１１１との接触面積が小さく、また、支持基板１０１上に形成されたパターンと、単結晶半導体基板１１１との間隙に空気が存在するために、大気圧中で重ね合わせるのみでは、２枚の基板を十分に密着させることができない。しかしなが

ら、支持基板１０１と単結晶半導体基板１１１との間隙を減圧状態とし、その後２枚の基板を大気解放することで、支持基板１０１と単結晶半導体基板１１１には大気圧がかかるが、基板間の間隙には、枠状の第１の絶縁層１０５が壁となるために減圧状態のまま空気が侵入しない。これによって、特別な治具を使用することなく、支持基板１０１と単結晶半導体基板１１１との密着性を向上させることができる（図２（Ｅ））。また、基板間の間隙は減圧状態となっているため、加熱処理時の空気の膨張による基板の剥離を妨げることができる。

【００４６】

支持基板１０１上に形成された第１の絶縁層１０５及び第２の絶縁層１０７の表面と単結晶半導体基板１１１の表面とを密着させることにより接合が形成される。この接合は、水素結合やファン・デル・ワールス力が作用している。水素結合は、基板表面が親水性であること、水酸基や水分子が接着剤として働き、熱処理で水分子が拡散し、残留成分がシラノール基（Ｓｉ－ＯＨ）を形成して水素結合で接合を形成する。さらにこの接合部は、水素が抜けることでシロキサン結合（Ｏ－Ｓｉ－Ｏ）が形成されることで共有結合になり、単結晶半導体基板１１１と支持基板１０１の接合が強固なものとなる。

【００４７】

支持基板１０１及び単結晶半導体基板１１１を大気解放後、加熱処理と加圧処理の一方又は両方を行うことが好ましい。加熱処理や加圧処理を行うことにより支持基板１０１と単結晶半導体基板１１１の接合強度を向上させることが可能となる。加熱処理の温度は、支持基板１０１の耐熱温度以下で行う。加圧処理は、接合面に垂直な方向に圧力が加わるように行い、支持基板１０１及び単結晶半導体基板１１１の耐圧性を考慮して行う。

【００４８】

図２（Ｆ）は、大気解放後の支持基板１０１及び単結晶半導体基板１１１に、加熱処理を行い損傷層１１３を劈開面として単結晶半導体基板１１１の一部を支持基板１０１から剥離する段階を示す。加熱処理の温度は、支持基板１０１の耐熱温度以下で行うことが好ましい。例えば４００℃乃至６００℃の加熱処理を行うことにより、損傷層１０９に形成された微小な空洞の堆積変化が起こり、当該損傷層１０９に沿って劈開する。支持基板１０１上には、第１の絶縁層１０５上に形成された第１の単結晶半導体層１１４と、第２の絶縁層１０７上に形成された第２の単結晶半導体層１１５と、が残存することとなる。第１の単結晶半導体層１１４及び第２の単結晶半導体層１１５は、単結晶半導体基板１１１と同じ結晶性を有する。島状に複数形成された第２の単結晶半導体層１１５を用いて様々な半導体素子を作製することができる。

【００４９】

分離された単結晶半導体基板１１１は、表面を平坦化処理することで再利用することができる。すなわち、本形態によれば、水素のクラスタイオンを添加して、単結晶半導体基板１１１の表面から１μｍ以下、好ましくは５００ｎｍ以下の厚さで単結晶半導体層を剥離することができるので、単結晶半導体基板１１１をリサイクルできる回数を増やすことができる。

【００５０】

以上の工程により、支持基板上に絶縁層を介して複数の島状の単結晶半導体層が設けられた半導体基板が得られる。

【００５１】

なお、本実施の形態では、支持基板１０１と単結晶半導体基板１１１が、同程度の大きさの場合を図示したが、本発明の実施はこれに限られず、支持基板１０１と単結晶半導体基板１１１の大きさが異なる場合にも適用できる。例えば、支持基板１０１として、大判のガラス基板を用いることができる。

【００５２】

なお、支持基板１０１が単結晶半導体基板１１１よりも大きい場合は、図３（Ａ）に示すように、支持基板１０１上に、単結晶半導体基板１１１の接合面の外周を囲む形状で第１の絶縁層１０５を形成し、第１の絶縁層１０５に囲まれた領域内に複数の島状の第２の絶

縁層１０７を形成するのが好ましい。第１の絶縁層１０５を単結晶半導体基板１１１の接合面の外周を囲む形状で形成することで、単結晶半導体基板１１１において、第２の絶縁層１０７の面積を広くすることができる。また、第１の絶縁層１０５を枠状とすることで、図３（Ｂ）に示すように、支持基板１０１と単結晶半導体基板１１１とを重ね合わせ、間隙を減圧状態とした際に、第１の絶縁層１０５が壁となるために、間隙は減圧状態のままで空気が侵入しない。これによって、支持基板１０１と、単結晶半導体基板１１１とを大気圧下で貼り合わせることができる。なお、図３には、支持基板１０１上に第１の絶縁層１０５を１つ設けた例を示したが、支持基板１０１上に、第１の絶縁層１０５を複数設けても良いことはいうまでもないことである。

【００５３】

また、本実施の形態では、第１の絶縁層と第２の絶縁層とは、同じ膜厚を有するが、ハーフトーン露光等により、第１の絶縁層を第２の絶縁層よりも厚い膜厚で形成しても構わない。また、図４に図示するように、支持基板１０１に絶縁膜１０３を形成し（図４（Ａ））、絶縁膜１０３をエッチングして、幅１００μｍ乃至１ｃｍの枠状の絶縁層１０４を形成した後に（図４（Ｂ））、絶縁層１０４及び支持基板１０１上に絶縁膜１０６を形成し（図４（Ｃ））、絶縁膜１０６をエッチングして、枠状の第１の絶縁層１０５と、第１の絶縁層１０５に囲まれた領域内に複数形成された島状の第２の絶縁層１０７と、を形成しても良い（図４（Ｄ））。なお、第１の絶縁層１０５は、支持基板１０１の外周を囲む形状とするのが好ましい。図４において、第１の絶縁層１０５は、先に形成された絶縁層１０４上に形成されており、第２の絶縁層１０７よりも厚い膜厚を有する。なお、絶縁膜１０３または絶縁膜１０６のエッチングは、ウェットエッチングとドライエッチングのどちらを採用しても良いが、微細加工にはドライエッチングが適しているため、ドライエッチングが好ましい。また、絶縁膜１０６は、絶縁膜１０３と同じ材料を用いて作製するのが好ましく、１０ｎｍ以上２００ｎｍ以下、好ましくは１０ｎｍ以上１００ｎｍ以下、より好ましくは２０ｎｍ以上５０ｎｍ以下の膜厚で形成するのが好ましい。

【００５４】

第１の絶縁層１０５の膜厚を第２の絶縁層１０７よりも厚くすることで、支持基板１０１と単結晶半導体基板１１１とを重ね合わせた時に、第２の絶縁層１０７が単結晶半導体基板１１１と接触するのを避けることができるため、支持基板１０１と単結晶半導体基板１１１との間隙を減圧状態とするのが容易になる。また、２枚の基板の間隙を減圧状態とした後に減圧状態を保つためには、第１の絶縁層１０５を厚くするのが望ましい。ただし、第１の絶縁層１０５の最表面と第２の絶縁層１０７の最表面との段差が大きすぎると、支持基板１０１の端部における密着性が悪くなるため、第２の絶縁層１０７の膜厚をd_2としたとき、第１の絶縁層１０５の膜厚d_1は、$d_2 \leqq d_1 \leqq 2d_2$とするのが好ましい。

【００５５】

なお、本実施の形態で示す半導体基板の作製方法は、本明細書の他の実施の形態と適宜組み合わせることができる。

【００５６】

（実施の形態２）

本実施の形態では、上記実施の形態とは異なる、本発明の半導体基板の作製方法について図５を用いて説明する。具体的には、単結晶半導体基板側に、接合層として機能するパターン形成した絶縁層を設けた場合の本発明の半導体基板の作製方法を示す。なお、上記実施の形態１と重複する構成は、簡略化及び一部省略して説明する。

【００５７】

図５（Ａ）に示すように、単結晶半導体基板１１１に、イオンビーム１２１を打ち込み、損傷層１１３を形成する。単結晶半導体基板１１１に損傷層１１３を形成するまでの工程は、上記実施の形態１の作製工程に準ずるため、説明は省略する。

【００５８】

次いで、図５（Ｂ）に示すように、単結晶半導体基板１１１の上面に絶縁膜１１７を形成する。絶縁膜１１７は、支持基板との接合層として機能し、単結晶半導体基板１１１が支

持基板と接合する面に設ける。単層構造としても積層構造としても良いが、接合面が平滑面を有し、親水性表面となる絶縁膜を用いることが好ましい。

【００５９】

平滑面を有し、親水性表面を形成できる絶縁膜１１７としては、実施の形態１で示した絶縁膜１０３の材料と同様なものを適用することができる。

【００６０】

接合層に用いられる絶縁膜１１７の厚さは１０ｎｍ以上２００ｎｍ以下とすることができる。好ましい厚さは１０ｎｍ以上１００ｎｍ以下であり、より好ましくは２０ｎｍ以上５０ｎｍ以下である。

【００６１】

絶縁膜１１７を化学気相成長法で成膜する場合、単結晶半導体基板１１１に形成した損傷層１１３から脱ガスが起こらない程度の温度を適用する。例えば、成膜温度を３５０℃以下とすることが好ましい。なお、単結晶半導体基板１１１から単結晶半導体層を剥離する加熱処理では、化学気相成長法による成膜温度よりも高い加熱温度が適用される。

【００６２】

次いで、図５（Ｃ）に示すように、絶縁膜１１７をパターン形成して、枠状の第１の絶縁層１１８と、第１の絶縁層１１８に囲まれた領域内に複数設けられた島状の第２の絶縁層１１９と、を形成する。なお、第１の絶縁層１１８は、１００μｍ乃至１ｃｍの幅で形成することが好ましい。本実施の形態においては、支持基板１０１と単結晶半導体基板１１１は、同程度の面積を有し、第１の絶縁層１１８は、単結晶半導体基板１１１の外周を囲むような形状で形成されている。単結晶半導体基板１１１が、支持基板１０１と同程度、又は支持基板１０１よりも小さい面積を有している場合、第１の絶縁層１１８を単結晶半導体基板１１１の外周を囲むような形状で形成すると、単結晶半導体基板１１１において第２の絶縁層１１９を形成する面積を広くすることができるため、好ましい。

【００６３】

絶縁膜１１７をパターン形成する際には、種々の方法を用いることができるが、ドライエッチングを用いることが好ましい。ドライエッチングを用いることにより、パターン形成された第１の絶縁層１１８及び第２の絶縁層１１９の側壁が鋭くなり、微細なパターンを成膜することができる。

【００６４】

次いで、パターン形成された絶縁層を有する単結晶半導体基板１１１を、図５（Ｄ）に示した支持基板１０１と重ね合わせる。単結晶半導体基板１１１と支持基板１０１とを重ね合わせた状態で、真空チャンバーへと搬送する。真空チャンバー内を減圧することで、支持基板１０１と単結晶半導体基板１１１との間隙を減圧状態とすることができる。

【００６５】

支持基板１０１と単結晶半導体基板１１１との間隙が十分減圧状態となった後に、真空チャンバー内を緩やかに大気解放する。大気解放後の２枚の基板の間隙の内外における気圧差は、０．５気圧以上１気圧以下であるのが好ましい。支持基板１０１と単結晶半導体基板１１１との間隙を減圧状態とし、その後２枚の基板を大気解放すると、支持基板１０１と単結晶半導体基板１１１とが大気圧により圧迫されるが、基板間の間隙には、枠状の第１の絶縁層１１８が壁となるために減圧状態のまま空気が侵入しない。これによって、特別な治具を使用することなく、支持基板１０１と単結晶半導体基板１１１との密着性を向上させることができる（図５（Ｅ））。

【００６６】

支持基板１０１と単結晶半導体基板１１１を大気解放した後、実施の形態１で示したように、加熱処理又は加圧処理等によって接合強度を高める処理を行う。次いで、図５（Ｆ）に示すように、単結晶半導体基板１１１を加熱処理して、損傷層１１３を劈開面として単結晶半導体基板１１１の一部を支持基板１０１から剥離する。単結晶半導体基板１１１を加熱する温度は、絶縁膜１１７の成膜温度以上で、支持基板１０１の耐熱温度以下が好ましい。支持基板１０１上には、第１の絶縁層１１８上に形成された第１の単結晶半導体層

１１４と、第２の絶縁層１０７上に形成された第２の単結晶半導体層１１５と、が残存することとなる。第１の単結晶半導体層１１４及び第２の単結晶半導体層１１５は、単結晶半導体基板１１１と同じ結晶性を有する。

【００６７】

以上の工程により、支持基板上に絶縁層を介して複数の島状の単結晶半導体層が設けられた半導体基板が得られる。

【００６８】

また、本実施の形態では、第１の絶縁層と第２の絶縁層とは、同じ膜厚を有するが、ハーフトーン露光等により、第１の絶縁層を第２の絶縁層よりも厚い膜厚で形成しても構わない。第１の絶縁層１１８の膜厚を第２の絶縁層１１９よりも厚くすることで、支持基板１０１と単結晶半導体基板１１１とを重ね合わせた時に、第２の絶縁層１１９が単結晶半導体基板１１１と接触するのを避けることができるため、支持基板１０１と単結晶半導体基板１１１との間隙を減圧状態とするのが容易になる。また、２枚の基板の間隙を減圧状態とした後に減圧状態を保つためには、第１の絶縁層１１８を厚くするのが望ましい。ただし、第１の絶縁層１１８の最表面と第２の絶縁層１１９の最表面との段差が大きすぎると、支持基板１０１の端部における密着性が悪くなるため、第２の絶縁層１１９の膜厚をd_2としたとき、第１の絶縁層１１８の膜厚d_1は、$d_2 \leqq d_1 \leqq 2d_2$とするのが好ましい。

【００６９】

なお、本実施の形態で示す半導体基板の作製方法は、本明細書の他の実施の形態と適宜組み合わせることができる。

【００７０】

（実施の形態３）

本実施の形態では、上記実施の形態とは異なる、本発明の半導体基板の作製方法について図６を用いて説明する。なお、上記実施の形態と重複する構成は、簡略化及び一部省略して説明する。

【００７１】

図６（Ａ）に示すように、単結晶半導体基板１１１に、イオンビーム１２１を打ち込み、損傷層１１３を形成する。単結晶半導体基板１１１に損傷層１１３を形成するまでの工程は、上記実施の形態１の作製工程に準ずるため、説明は省略する。

【００７２】

図６（Ｂ）に示すように、支持基板１０１をエッチングして凹部１２３を形成する。凹部１２３の形成には、ウェットエッチングとドライエッチングのどちらを採用しても良いが、微細加工にはドライエッチングが適しているため、ドライエッチングが好ましい。また、凹部１２３は、支持基板１０１の上面の４辺からそれぞれ１００μｍ乃至１ｃｍ内側の４辺を結ぶ四角形状に形成されているのが好ましい。

【００７３】

次いで、図６（Ｃ）に示すように、支持基板１０１の上面に絶縁膜１０３を形成する。絶縁膜１０３は、単結晶半導体基板１１１との接合層として機能し、単結晶半導体基板１１１が支持基板１０１と接合する面に設ける。単層構造としても積層構造としても良いが、接合面が平滑面を有し、親水性表面となる絶縁膜を用いることが好ましい。

【００７４】

平滑面を有し、親水性表面を形成できる絶縁膜としては、実施の形態１で示した絶縁膜１０３の材料と同様なものを適用することができる。

【００７５】

次いで、図６（Ｄ）に示すように、絶縁膜１０３をパターン形成して、枠状の第１の絶縁層１０５と、第１の絶縁層１０５に囲まれた領域内に複数設けられた島状の第２の絶縁層１０７と、を形成する。なお、第１の絶縁層１０５の少なくとも一部は、支持基板１０１上面において、凹部１２３が形成された領域以外の領域と重なるように形成されている。また、第１の絶縁層は、１００μｍ乃至１ｃｍの幅で形成するのが好ましい。また、第２

の絶縁層１０７は、凹部１２３上に形成されている。

【００７６】

絶縁膜１０３をパターン形成する際には、種々の方法を用いることができるが、ドライエッチングを用いることが好ましい。ドライエッチングを用いることにより、微細なパターンを成膜することができる。

【００７７】

次に、単結晶半導体基板１１１と支持基板１０１とを重ね合わせる。その後、単結晶半導体基板１１１と支持基板１０１とを重ね合わせた状態で、真空チャンバーへと搬送する。真空チャンバー内を減圧することで、単結晶半導体基板１１１、または、第１及び第２の絶縁膜が設けられた支持基板１０１の僅かな反りによって、支持基板１０１と単結晶半導体基板１１１との間隙から空気が排出され、間隙を減圧状態とすることができる。

【００７８】

支持基板１０１と単結晶半導体基板１１１との間隙が十分減圧状態となった後に、真空チャンバー内を緩やかに大気解放する。大気解放後の２枚の基板の間隙の内外における気圧差は、０．５気圧以上１気圧以下であるのが好ましい。

【００７９】

支持基板１０１と単結晶半導体基板１１１との間隙を減圧状態とし、その後２枚の基板を大気解放すると、支持基板１０１と単結晶半導体基板１１１とが大気圧により圧迫されるが、基板間の間隙には、枠状の第１の絶縁層１０５が壁となるために減圧状態のまま空気が侵入しない。これによって、特別な治具を使用することなく、支持基板１０１と単結晶半導体基板１１１との密着性を向上させることができる（図６（Ｅ））。

【００８０】

支持基板１０１と単結晶半導体基板１１１を大気解放後、実施の形態１で示したように、加熱処理又は加圧処理等によって接合強度を高める処理を行う。次いで、図６（Ｆ）に示すように、単結晶半導体基板１１１を加熱処理して、損傷層１１３を劈開面として単結晶半導体基板１１１の一部を支持基板１０１から剥離する。単結晶半導体基板１１１を加熱する温度は、支持基板１０１の耐熱温度以下が好ましい。支持基板１０１上には、第１の絶縁層１１８上に形成された第１の単結晶半導体層１１４と、第２の絶縁層１０７上に形成された第２の単結晶半導体層１１５と、が残存することとなる。第１の単結晶半導体層１１４及び第２の単結晶半導体層１１５は、単結晶半導体基板１１１と同じ結晶性を有する。

【００８１】

以上の工程により、支持基板上に絶縁層を介して複数の島状の単結晶半導体層が設けられた半導体基板が得られる。

【００８２】

本実施の形態に示した半導体基板の作製方法を用いることで、支持基板１０１と単結晶半導体基板１１１とを重ね合わせた時に、第２の絶縁層１０７が単結晶半導体基板１１１と接触するのを避けることができるため、支持基板１０１と単結晶半導体基板１１１との間隙を減圧状態とするのが容易になる。ただし、第１の絶縁層１０５の最表面と、第２の絶縁層１０７の最表面との段差が大きすぎると、支持基板１０１の端部における密着性が悪くなるため、第１の絶縁層１０５の最表面と第２の絶縁層１０７の最表面との距離が、第１の絶縁層１０５または第２の絶縁層１０７の膜厚以下となるように、凹部１２３を形成するのが好ましい。

【００８３】

なお、本実施の形態では、支持基板１０１上に凹部１２３を形成したが、単結晶半導体基板１１１をエッチングして凹部を形成してもよい。この場合、単結晶半導体基板１１１上に凹部を覆うように絶縁膜を形成して、当該絶縁膜をパターン形成することで、単結晶半導体基板１１１側に第１の絶縁層及び第２の絶縁層を形成することができる。

【００８４】

なお、本実施の形態で示す半導体基板の作製方法は、本明細書の他の実施の形態と適宜組

み合わせることができる。

【００８５】

（実施の形態４）

本実施の形態では、上記実施の形態で作製した半導体基板を用いて、半導体装置を作製する方法を説明する。

【００８６】

まず、図７および図８を参照して、半導体装置の作製方法として、ｎチャネル型トランジスタ、およびｐチャネル型トランジスタを作製する方法を説明する。複数のトランジスタを組み合わせることで、各種の半導体装置を形成することができる。

【００８７】

図７（Ａ）に示すように、半導体基板の上面には、上記実施の形態で示した方法によって形成した第２の単結晶半導体層１１５を、エッチングした単結晶半導体層１５１、１５２が形成されている。なお、第２の単結晶半導体層１１５のパターンの大きさによっては、島状に形成された第２の単結晶半導体層１１５を、エッチングせずに単結晶半導体層１５１、１５２として利用することもできる。単結晶半導体層１５１はｎチャネル型のトランジスタを構成し、単結晶半導体層１５２はｐチャネル型のトランジスタを構成する。

【００８８】

図７（Ｂ）に示すように、単結晶半導体層１５１、１５２上に絶縁層１５４を形成する。次に、絶縁層１５４を介して単結晶半導体層１５１上にゲート電極１５５を形成し、単結晶半導体層１５２上にゲート電極１５６を形成する。

【００８９】

なお、絶縁層１５４を形成する前に、トランジスタのしきい値電圧を制御するために、硼素、アルミニウム、ガリウムなどのアクセプタとなる不純物元素、またはリン、ヒ素などのドナーとなる不純物元素を単結晶半導体層１５１、１５２に添加することが好ましい。例えば、ｎチャネル型トランジスタが形成される領域にアクセプタを添加し、ｐチャネル型トランジスタが形成される領域にドナーを添加する。

【００９０】

次に、図７（Ｃ）に示すように単結晶半導体層１５１にｎ型の低濃度不純物領域１５７を形成し、単結晶半導体層１５２にｐ型の高濃度不純物領域１５９を形成する。まず、単結晶半導体層１５１にｎ型の低濃度不純物領域１５７を形成する。このため、ｐチャネル型トランジスタとなる単結晶半導体層１５２をレジストでマスクし、ドナーを単結晶半導体層１５１に添加する。ドナーとしてリンまたはヒ素を添加すればよい。イオンドーピング法またはイオン注入法によりドナーを添加することにより、ゲート電極１５５がマスクとなり、単結晶半導体層１５１に自己整合的にｎ型の低濃度不純物領域１５７が形成される。単結晶半導体層１５１のゲート電極１５５と重なる領域はチャネル形成領域１５８となる。

【００９１】

次に、単結晶半導体層１５２を覆うマスクを除去した後、ｎチャネル型トランジスタとなる単結晶半導体層１５１をレジストマスクで覆う。次に、イオンドーピング法またはイオン注入法によりアクセプタを単結晶半導体層１５２に添加する。アクセプタとして、ボロンを添加することができる。アクセプタの添加工程では、ゲート電極１５５がマスクとして機能して、単結晶半導体層１５２にｐ型の高濃度不純物領域１５９が自己整合的に形成される。高濃度不純物領域１５９はソース領域またはドレイン領域として機能する。単結晶半導体層１５２のゲート電極１５６と重なる領域はチャネル形成領域１６０となる。ここでは、ｎ型の低濃度不純物領域１５７を形成した後、ｐ型の高濃度不純物領域１５９を形成する方法を説明したが、先にｐ型の高濃度不純物領域１５９を形成することもできる。

【００９２】

次に、単結晶半導体層１５１を覆うレジストを除去した後、プラズマＣＶＤ法等によって窒化シリコン等の窒素化合物や酸化シリコン等の酸化物からなる単層構造または積層構造

の絶縁膜を形成する。この絶縁層を垂直方向の異方性エッチングすることで、図８（Ａ）に示すように、ゲート電極１５５、１５６の側面に接するサイドウォール絶縁層１６１、１６２を形成する。この異方性エッチングにより、絶縁層１５４もエッチングされる。

【００９３】

次に、図８（Ｂ）に示すように、単結晶半導体層１５２をレジスト１６５で覆う。単結晶半導体層１５１にソース領域またはドレイン領域として機能する高濃度不純物領域を形成するため、イオン注入法またはイオンドーピング法により、単結晶半導体層１５１に高ドーズ量でドナーを添加する。ゲート電極１５５およびサイドウォール絶縁層１６１がマスクとなり、ｎ型の高濃度不純物領域１６７が形成される。次に、ドナーおよびアクセプタの活性化のための加熱処理を行う。

【００９４】

活性化の加熱処理の後、図８（Ｃ）に示すように、水素を含んだ絶縁層１６８を形成する。絶縁層１６８を形成後、３５０℃以上４５０℃以下の温度による加熱処理を行い、絶縁層１６８中に含まれる水素を単結晶半導体層１５１、１５２中に拡散させる。絶縁層１６８は、プロセス温度が３５０℃以下のプラズマＣＶＤ法により窒化シリコンまたは窒化酸化シリコンを堆積することで形成できる。単結晶半導体層１５１、１５２に水素を供給することで、単結晶半導体層１５１、１５２中および絶縁層１５４との界面での捕獲中心となるような欠陥を効果的に補償することができる。

【００９５】

その後、層間絶縁層１６９を形成する。層間絶縁層１６９は、酸化シリコン膜、ＢＰＳＧ（Ｂｏｒｏｎ　Ｐｈｏｓｐｈｏｒｕｓ　Ｓｉｌｉｃｏｎ　Ｇｌａｓｓ）膜などの無機材料でなる絶縁膜、または、ポリイミド、アクリルなどの有機樹脂膜から選ばれた単層構造の膜、積層構造の膜で形成することができる。層間絶縁層１６９にコンタクトホールを形成した後、図８（Ｃ）に示すように配線１７０を形成する。配線１７０の形成には、例えば、アルミニウム膜またはアルミニウム合金膜などの低抵抗金属膜をバリアメタル膜で挟んだ３層構造の導電膜で形成することができる。バリアメタル膜は、モリブデン、クロム、チタンなどの金属膜で形成することができる。

【００９６】

以上の工程により、ｎチャネル型トランジスタとｐチャネル型トランジスタを有する半導体装置を作製することができる。ＳＯＩ基板の作製過程で、チャネル形成領域を構成する単結晶半導体層の金属元素の濃度を低減させているので、オフ電流が小さく、しきい値電圧の変動が抑制されたトランジスタを作製することができる。

【００９７】

図７および図８を参照してトランジスタの作製方法を説明したが、トランジスタの他、容量、抵抗などトランジスタと共になど各種の半導体素子を形成することで、高付加価値の半導体装置を作製することができる。以下、図面を参照しながら半導体装置の具体的な態様を説明する。

【００９８】

まず、半導体装置の一例として、マイクロプロセッサについて説明する。図９はマイクロプロセッサ５００の構成例を示すブロック図である。

【００９９】

マイクロプロセッサ５００は、演算回路５０１（Ａｒｉｔｈｍｅｔｉｃ　ｌｏｇｉｃ　ｕｎｉｔ。ＡＬＵともいう。）、演算回路制御部５０２（ＡＬＵ　Ｃｏｎｔｒｏｌｌｅｒ）、命令解析部５０３（Ｉｎｓｔｒｕｃｔｉｏｎ　Ｄｅｃｏｄｅｒ）、割り込み制御部５０４（Ｉｎｔｅｒｒｕｐｔ　Ｃｏｎｔｒｏｌｌｅｒ）、タイミング制御部５０５（Ｔｉｍｉｎｇ　Ｃｏｎｔｒｏｌｌｅｒ）、レジスタ５０６（Ｒｅｇｉｓｔｅｒ）、レジスタ制御部５０７（Ｒｅｇｉｓｔｅｒ　Ｃｏｎｔｒｏｌｌｅｒ）、バスインターフェース５０８（Ｂｕｓ　Ｉ／Ｆ）、読み出し専用メモリ５０９、およびメモリインターフェース５１０を有している。

【０１００】

バスインターフェース５０８を介してマイクロプロセッサ５００に入力された命令は、命令解析部５０３に入力され、デコードされた後、演算回路制御部５０２、割り込み制御部５０４、レジスタ制御部５０７、タイミング制御部５０５に入力される。演算回路制御部５０２、割り込み制御部５０４、レジスタ制御部５０７、タイミング制御部５０５は、デコードされた命令に基づき様々な制御を行う。

【０１０１】

演算回路制御部５０２は、演算回路５０１の動作を制御するための信号を生成する。また、割り込み制御部５０４は、マイクロプロセッサ５００のプログラム実行中に、外部の入出力装置や周辺回路からの割り込み要求を処理する回路であり、割り込み制御部５０４は、割り込み要求の優先度やマスク状態を判断して、割り込み要求を処理する。レジスタ制御部５０７は、レジスタ５０６のアドレスを生成し、マイクロプロセッサ５００の状態に応じてレジスタ５０６の読み出しや書き込みを行う。タイミング制御部５０５は、演算回路５０１、演算回路制御部５０２、命令解析部５０３、割り込み制御部５０４、およびレジスタ制御部５０７の動作のタイミングを制御する信号を生成する。例えば、タイミング制御部５０５は、基準クロック信号ＣＬＫ１を元に、内部クロック信号ＣＬＫ２を生成する内部クロック生成部を備えている。図９に示すように、内部クロック信号ＣＬＫ２は他の回路に入力される。

【０１０２】

次に、非接触でデータの送受信を行う機能、および演算機能を備えた半導体装置の一例を説明する。図１０は、このような半導体装置の構成例を示すブロック図である。図１０に示す半導体装置は、無線通信により外部装置と信号の送受信を行って動作するコンピュータ（以下、「ＲＦＣＰＵ」という）と呼ぶことができる。

【０１０３】

図１０に示すように、ＲＦＣＰＵ５１１は、アナログ回路部５１２とデジタル回路部５１３を有している。アナログ回路部５１２として、共振容量を有する共振回路５１４、整流回路５１５、定電圧回路５１６、リセット回路５１７、発振回路５１８、復調回路５１９と、変調回路５２０を有している。デジタル回路部５１３は、ＲＦインターフェース５２１、制御レジスタ５２２、クロックコントローラ５２３、インターフェース５２４、中央処理ユニット５２５、ランダムアクセスメモリ５２６、読み出し専用メモリ５２７を有している。

【０１０４】

ＲＦＣＰＵ５１１の動作の概要は以下の通りである。アンテナ５２８が受信した信号は共振回路５１４により誘導起電力を生じる。誘導起電力は、整流回路５１５を経て容量部５２９に充電される。この容量部５２９はセラミックコンデンサーや電気二重層コンデンサーなどのキャパシタで形成されていることが好ましい。容量部５２９は、ＲＦＣＰＵ５１１を構成する基板に集積されている必要はなく、他の部品としてＲＦＣＰＵ５１１に組み込むこともできる。

【０１０５】

リセット回路５１７は、デジタル回路部５１３をリセットし初期化する信号を生成する。例えば、電源電圧の上昇に遅延して立ち上がる信号をリセット信号として生成する。発振回路５１８は、定電圧回路５１６により生成される制御信号に応じて、クロック信号の周波数とデューティー比を変更する。復調回路５１９は、受信信号を復調する回路であり、変調回路５２０は、送信するデータを変調する回路である。

【０１０６】

例えば、復調回路５１９はローパスフィルタで形成され、振幅変調（ＡＳＫ）方式の受信信号を、その振幅の変動をもとに、二値化する。また、送信データを振幅変調（ＡＳＫ）方式の送信信号の振幅を変動させて送信するため、変調回路５２０は、共振回路５１４の共振点を変化させることで通信信号の振幅を変化させている。

【０１０７】

クロックコントローラ５２３は、電源電圧または中央処理ユニット５２５における消費電

流に応じてクロック信号の周波数とデューティー比を変更するための制御信号を生成している。電源電圧の監視は電源管理回路５３０が行っている。

【０１０８】

アンテナ５２８からＲＦＣＰＵ５１１に入力された信号は復調回路５１９で復調された後、ＲＦインターフェース５２１で制御コマンドやデータなどに分解される。制御コマンドは制御レジスタ５２２に格納される。制御コマンドには、読み出し専用メモリ５２７に記憶されているデータの読み出し、ランダムアクセスメモリ５２６へのデータの書き込み、中央処理ユニット５２５への演算命令などが含まれている。

【０１０９】

中央処理ユニット５２５は、インターフェース５２４を介して読み出し専用メモリ５２７、ランダムアクセスメモリ５２６、制御レジスタ５２２にアクセスする。インターフェース５２４は、中央処理ユニット５２５が要求するアドレスより、読み出し専用メモリ５２７、ランダムアクセスメモリ５２６、制御レジスタ５２２のいずれかに対するアクセス信号を生成する機能を有している。

【０１１０】

中央処理ユニット５２５の演算方式は、読み出し専用メモリ５２７にＯＳ（オペレーティングシステム）を記憶させておき、起動とともにプログラムを読み出し実行する方式を採用することができる。また、専用回路で演算回路を構成して、演算処理をハードウェア的に処理する方式を採用することもできる。ハードウェアとソフトウェアを併用する方式では、専用の演算回路で一部の演算処理を行い、プログラムを使って、残りの演算を中央処理ユニット５２５が処理する方式を適用できる。

【０１１１】

次に、図１１～図１３を用いて、半導体装置として表示装置について説明する。

【０１１２】

上記実施の形態で説明した半導体基板の作製工程では、ガラス基板を支持基板に適用することが可能となる。従って、支持基板にガラス基板を用い、複数の単結晶半導体層を貼り合わせることで、一辺が１メートルを超える大面積な半導体基板を製造することができる。

【０１１３】

半導体基板の支持基板に表示パネルを製造するマザーガラスと呼ばれる大面積ガラス基板を用いることができる。図１１は支持基板１０１にマザーガラスを用いた半導体基板の正面図である。このような大面積な半導体基板に複数の半導体素子を形成することで、液晶表示装置、エレクトロルミネッセンス表示装置を作製することができる。また、このような表示装置だけでなく、半導体基板を用いて、太陽電池、フォトＩＣ、半導体記憶装置など各種の半導体装置を製造することができる。

【０１１４】

図１１に示すように、１枚のマザーガラス３０１には、複数の単結晶半導体基板から剥離された単結晶半導体層３０２が貼り合わせられている。マザーガラス３０１から複数の表示パネルを切り出すために、単結晶半導体層３０２に表示パネルの形成領域３１０が含まれるようにすることが好ましい。表示パネルは、走査線駆動回路、信号線駆動回路、画素部を有する。そのため表示パネルの形成領域３１０には、これらが形成される領域（走査線駆動回路形成領域３１１、信号線駆動回路形成領域３１２、画素形成領域３１３）を含んでいる。

【０１１５】

図１２は液晶表示装置を説明するための図面である。図１２（Ａ）は液晶表示装置の画素の平面図であり、図１２（Ｂ）は、Ｊ－Ｋ切断線による図１２（Ａ）の断面図である。

【０１１６】

図１２（Ａ）に示すように、画素は、単結晶半導体層３２０、単結晶半導体層３２０と交差している走査線３２２、走査線３２２と交差している信号線３２３、画素電極３２４、画素電極３２４と単結晶半導体層３２０を電気的に接続する電極３２８を有する。単結晶

半導体層３２０は、支持基板に貼り合わせられた単結晶半導体層３０２から形成された層であり、画素のＴＦＴ３２５を構成する。

【０１１７】

半導体基板には上記実施の形態に示した方法で作製した半導体基板が用いられている。図１２（Ｂ）に示すように、支持基板１０１上に、絶縁層３１５及び単結晶半導体層３２０が積層されている。支持基板１０１は分割されたマザーガラス３０１である。単結晶半導体層３２０には、チャネル形成領域３４１、ドナーが添加されたｎ型の高濃度不純物領域３４２が形成されている。ＴＦＴ３２５のゲート電極は走査線３２２に含まれ、ソース電極およびドレイン電極の一方は信号線３２３に含まれている。

【０１１８】

層間絶縁膜３２７上には、信号線３２３、画素電極３２４および電極３２８が設けられている。層間絶縁膜３２７上には、柱状スペーサ３２９が形成されている。信号線３２３、画素電極３２４、電極３２８および柱状スペーサ３２９を覆って配向膜３３０が形成されている。対向基板３３２には、対向電極３３３、対向電極を覆う配向膜３３４が形成されている。柱状スペーサ３２９は、支持基板１０１と対向基板３３２の隙間を維持するために形成される。柱状スペーサ３２９によって形成される隙間に液晶層３３５が形成されている。信号線３２３および電極３２８と高濃度不純物領域３４２との接続部は、コンタクトホールの形成によって層間絶縁膜３２７に段差が生じるので、この接続部では液晶層３３５の液晶の配向が乱れやすい。そのため、この段差部に柱状スペーサ３２９を形成して、液晶の配向の乱れを防ぐ。

【０１１９】

次に、エレクトロルミネセンス表示装置（以下、ＥＬ表示装置という。）について図１３を参照して説明する。図１３（Ａ）はＥＬ表示装置の画素の平面図であり、図１３（Ｂ）は、Ｊ－Ｋ切断線による図１３（Ａ）の断面図である。

【０１２０】

図１３（Ａ）に示すように、画素は、ＴＦＴでなる選択用トランジスタ４０１、表示制御用トランジスタ４０２、走査線４０５、信号線４０６、および電流供給線４０７、画素電極４０８を含む。エレクトロルミネセンス材料を含んで形成される層（ＥＬ層）が一対の電極間に挟んだ構造の発光素子が各画素に設けられている。発光素子の一方の電極が画素電極４０８である。また、単結晶半導体層４０３は、選択用トランジスタ４０１のチャネル形成領域、ソース領域およびドレイン領域が形成されている。単結晶半導体層４０４は、表示制御用トランジスタ４０２のチャネル形成領域、ソース領域およびドレイン領域が形成されている。単結晶半導体層４０３、４０４は、本発明に係る作製方法によって、単結晶半導体基板から剥離された層である。

【０１２１】

選択用トランジスタ４０１において、ゲート電極は走査線４０５に含まれ、ソース電極またはドレイン電極の一方は信号線４０６に含まれ、他方は電極４１０として形成されている。表示制御用トランジスタ４０２は、ゲート電極４１２が電極４１１と電気的に接続され、ソース電極またはドレイン電極の一方は、画素電極４０８に電気的に接続される電極４１３として形成され、他方は、電流供給線４０７に含まれている。

【０１２２】

表示制御用トランジスタ４０２はｐチャネル型のＴＦＴである。図１３（Ｂ）に示すように、絶縁層４００上に単結晶半導体層４０４が設けられており、単結晶半導体層４０４には、チャネル形成領域４５１、およびｐ型の高濃度不純物領域４５２が形成されている。なお、半導体基板は、上記実施の形態で示した方法で作製した半導体基板が用いられている。

【０１２３】

表示制御用トランジスタ４０２のゲート電極４１２を覆って、層間絶縁膜４２７が形成されている。層間絶縁膜４２７上に、信号線４０６、電流供給線４０７、電極４１１、４１３などが形成されている。また、層間絶縁膜４２７上には、電極４１３に電気的に接続さ

れている画素電極４０８が形成されている。画素電極４０８は周辺部が絶縁性の隔壁層４２８で囲まれている。画素電極４０８上にはＥＬ層４２９が形成され、ＥＬ層４２９上には対向電極４３０が形成されている。補強板として対向基板４３１が設けられており、対向基板４３１は樹脂層４３２により支持基板１０１に固定されている。

【０１２４】

ＥＬ表示装置の階調の制御は、発光素子の輝度を電流で制御する電流駆動方式と、電圧でその基礎を制御する電圧駆動方式とがあるが、電流駆動方式は、画素ごとでトランジスタの特性値の差が大きい場合、採用することは困難であり、そのためには特性のばらつきを補正する補正回路が必要になる。ＳＯＩ基板の作製工程、およびゲッタリング工程を含む製造方法でＥＬ表示を作製することで、選択用トランジスタ４０１および表示制御用トランジスタ４０２は画素ごとに特性のばらつきがなくなるため、電流駆動方式を採用することができる。

【０１２５】

半導体基板を用いることで、様々な電気機器を作製することができる。電気機器としては、ビデオカメラ、デジタルカメラ、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポなど）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍など）、記録媒体を備えた画像再生装置（具体的にはＤＶＤ（ｄｉｇｉｔａｌ　ｖｅｒｓａｔｉｌｅ　ｄｉｓｃ）などの記録媒体に記憶された音声データを再生し、かつ記憶された画像データを表示しうる表示装置を備えた装置などが含まれる。

【０１２６】

図１４を用いて、電気機器の具体的な態様を説明する。図１４（Ａ）は携帯電話機９０１の一例を示す外観図である。この携帯電話機９０１は、表示部９０２、操作スイッチ９０３などを含んで構成されている。表示部９０２に、図１２で説明した液晶表示装置または図１３で説明したＥＬ表示装置を適用することで、表示むらが少なく画質の優れた表示部９０２とすることができる。

【０１２７】

また、図１４（Ｂ）は、デジタルプレーヤー９１１の構成例を示す外観図である。デジタルプレーヤー９１１は、表示部９１２、操作部９１３、イヤホン９１４などを含んでいる。イヤホン９１４の代わりにヘッドホンや無線式イヤホンを用いることができる。表示部９１２に、図１２で説明した液晶表示装置または図１３で説明したＥＬ表示装置を適用することで、画面サイズが０．３インチから２インチ程度の場合であっても。高精細な画像および多量の文字情報を表示することができる。

【０１２８】

また、図１４（Ｃ）は、電子ブック９２１の外観図である。この電子ブック９２１は、表示部９２２、操作スイッチ９２３を含んでいる。電子ブック９２１にはモデムを内蔵していてもよいし、図１０のＲＦＣＰＵを内蔵させて、無線で情報を送受信できる構成としてもよい。表示部９２２には、図１２で説明した液晶表示装置、または図１３で説明したＥＬ表示装置を適用することで、高画質の表示を行うことができる。

【０１２９】

また、図１５は本発明を適用した携帯電話８５００の構成の別の一例であり、図１５（Ａ）が正面図、図１５（Ｂ）が背面図、図１５（Ｃ）が展開図である。携帯電話８５００は、電話と携帯情報端末の双方の機能を備えており、コンピュータを内蔵し、音声通話以外にも様々なデータ処理が可能な所謂スマートフォンである。

【０１３０】

携帯電話８５００は、筐体８５０１及び１００２二つの筐体で構成されている。筐体８５０１には、表示部８５１１、スピーカー８５１２、マイクロフォン８５１３、操作キー８５１４、ポインティングデバイス８５１５、カメラ用レンズ８５１６、外部接続端子８５１７、イヤホン端子８５１８等を備え、筐体８５０２には、キーボード８５２１、外部メモリスロット８５２２、カメラ用レンズ８５２３、ライト８５２４等を備えている。ま

た、アンテナは筐体８５０１内部に内蔵されている。表示部８５１１に、図１２で説明した液晶表示装置または図１３で説明したＥＬ表示装置を適用することで、表示むらが少なく画質の優れた表示部とすることができる。

【０１３１】

また、上記構成に加えて、非接触ＩＣチップ、小型記録装置等を内蔵していてもよい。

【０１３２】

表示部８５１１には、使用形態に応じて表示の方向が適宜変化する。表示部８５１１と同一面上にカメラ用レンズ８５１６を備えているため、テレビ電話が可能である。また、表示部８５１１をファインダーとしカメラ用レンズ８５２３及びライト８５２４で静止画及び動画の撮影が可能である。スピーカー８５１２及びマイクロフォン８５１３は音声通話に限らず、テレビ電話、録音、再生等が可能である。操作キー８５１４では、電話の発着信、電子メール等の簡単な情報入力、画面のスクロール、カーソル移動等が可能である。更に、重なり合った筐体８５０１と筐体８５０２（図１５（Ａ））は、スライドし図１５（Ｃ）のように展開し、携帯情報端末として使用できる。この場合、キーボード８５２１、ポインティングデバイス８５１５を用い円滑な操作が可能である。外部接続端子８５１７はＡＣアダプタ及びＵＳＢケーブル等の各種ケーブルと接続可能であり、充電及びパーソナルコンピュータ等とのデータ通信が可能である。また、外部メモリスロット８５２２に記録媒体を挿入しより大量のデータ保存及び移動に対応できる。

【０１３３】

また、上記機能に加えて、赤外線通信機能、テレビ受信機能等を備えたものであってもよい。

【０１３４】

以上のようにして、本発明に係る発光装置を適用して電子機器や照明器具を得ることができる。本発明に係る発光装置の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。

【０１３５】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【図面の簡単な説明】

【０１３６】

【図１】本発明に係る半導体基板の一例を示す図。
【図２】本発明に係る半導体基板の作製工程を示す断面図。
【図３】本発明に係る半導体基板の作製方法の一例を示す図。
【図４】本発明に係る半導体基板の作製工程を示す断面図。
【図５】本発明に係る半導体基板の作製工程を示す断面図。
【図６】本発明に係る半導体基板の作製工程を示す断面図。
【図７】本発明に係る半導体基板を用いた半導体装置の作製方法の一例を示す図。
【図８】本発明に係る半導体基板を用いた半導体装置の作製方法の一例を示す図。
【図９】本発明に係る半導体基板を用いた半導体装置の一例を示す図。
【図１０】本発明に係る半導体基板を用いた半導体装置の一例を示す図。
【図１１】本発明に係る半導体基板を用いた表示装置の一例を示す図。
【図１２】本発明に係る半導体基板を用いた表示装置の一例を示す図。
【図１３】本発明に係る半導体基板を用いた表示装置の一例を示す図。
【図１４】本発明に係る半導体基板を用いた電子機器を示す図。
【図１５】本発明に係る半導体基板を用いた電子機器を示す図。

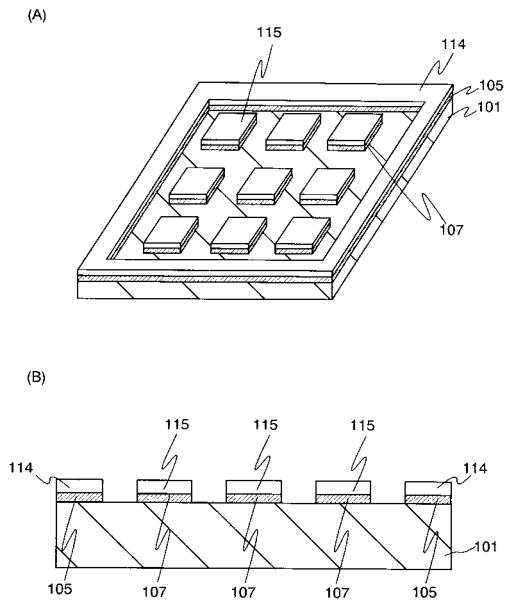
【符号の説明】

【０１３７】

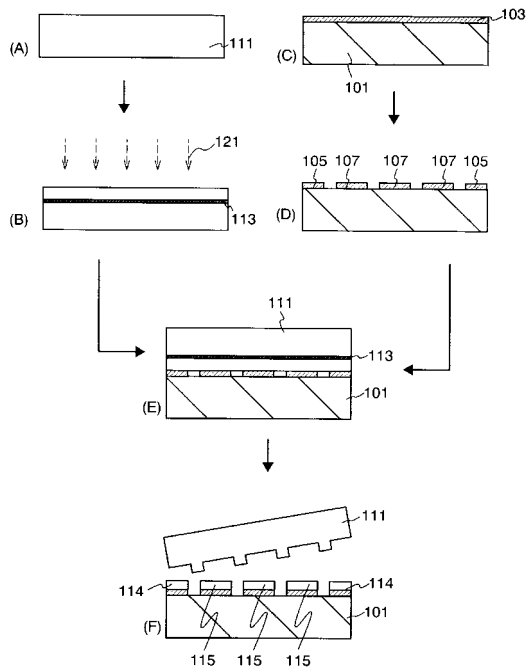
１０１　支持基板
１０３　絶縁膜
１０４　絶縁層

１０５　第１の絶縁層
１０６　絶縁膜
１０７　第２の絶縁層
１０９　損傷層
１１１　単結晶半導体基板
１１３　損傷層
１１４　単結晶半導体層
１１５　単結晶半導体層
１１７　絶縁膜
１１８　第１の絶縁層
１１９　第２の絶縁層
１２１　イオンビーム

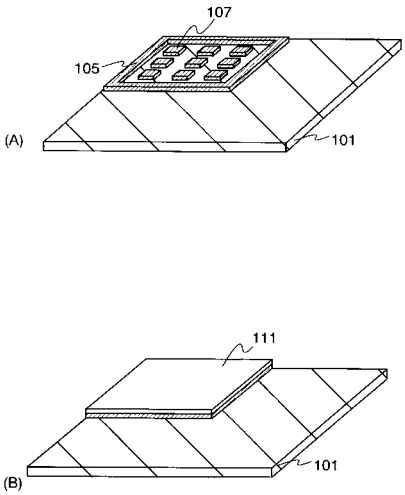
【図１】



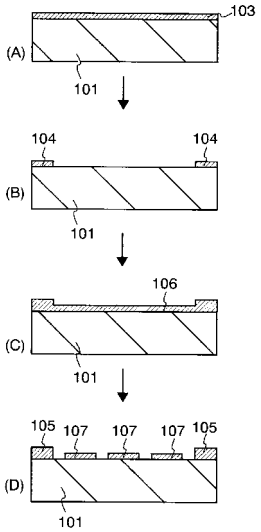
【図２】



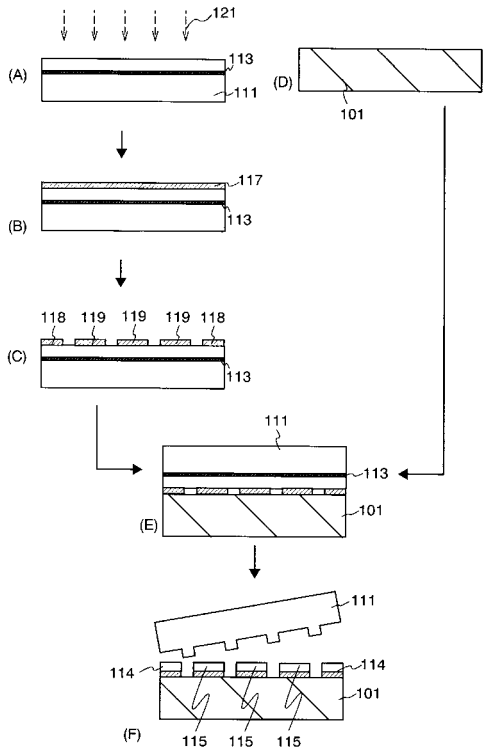
【図３】


107
105
(A)
101
111
(B)
101

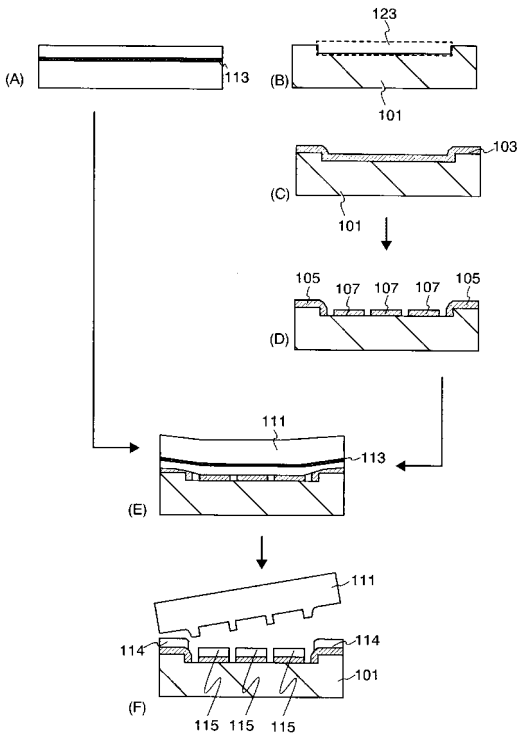
【図４】


103
(A)
101
104
104
(B)
101
106
(C)
101
105
107
107
107
105
(D)
101

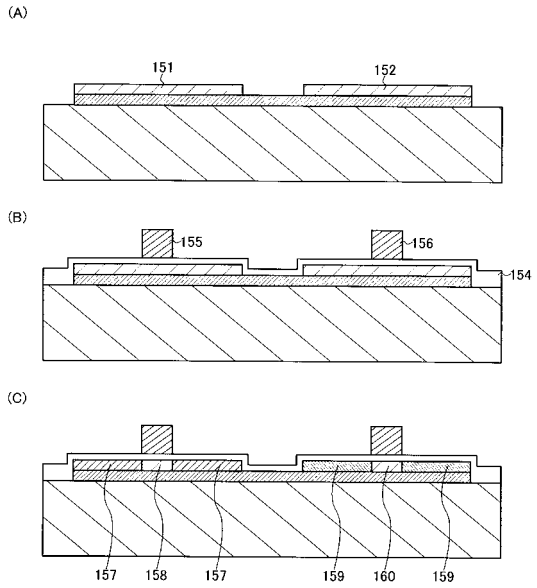
【図５】


121
(A)
113
111
(D)
101
(B)
117
113
118
119
119
119
118
(C)
113
111
113
(E)
101
111
114
114
101
(F)
115
115
115

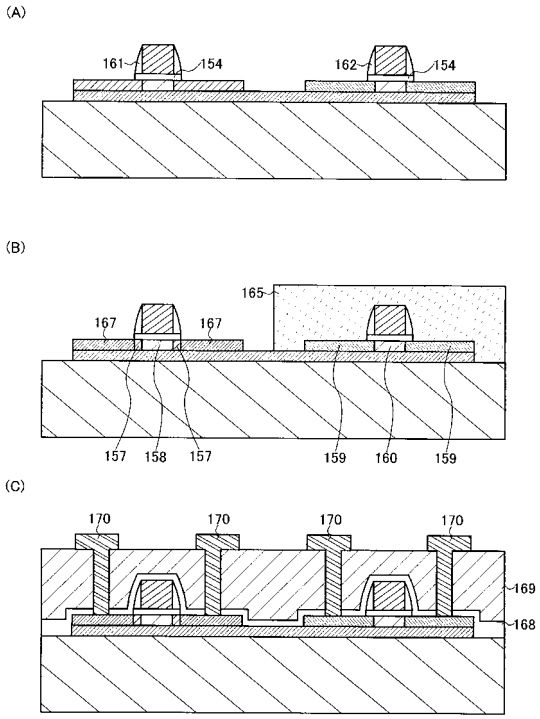
【図６】


(A)
113
123
(B)
101
103
(C)
101
105
107
107
107
105
(D)
111
113
(E)
111
114
114
101
(F)
115
115
115

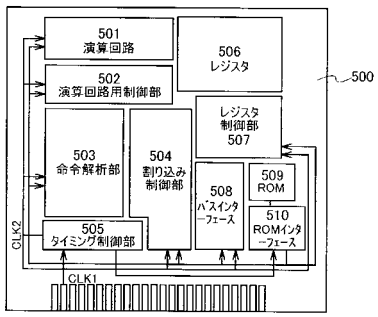
【図７】



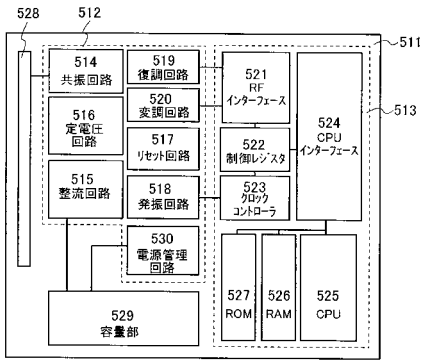
【図８】



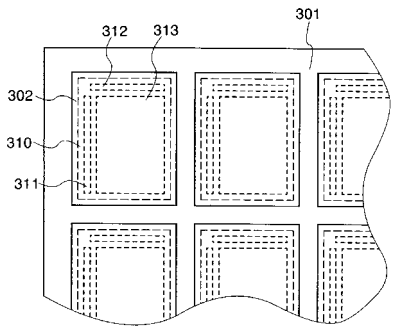
【図９】



【図１０】

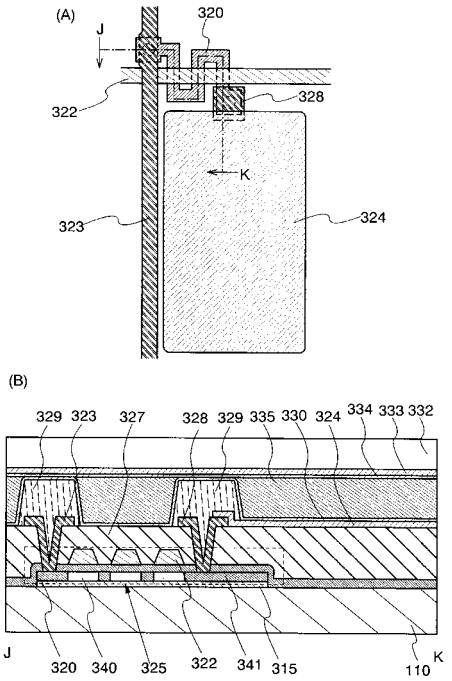


【図１１】

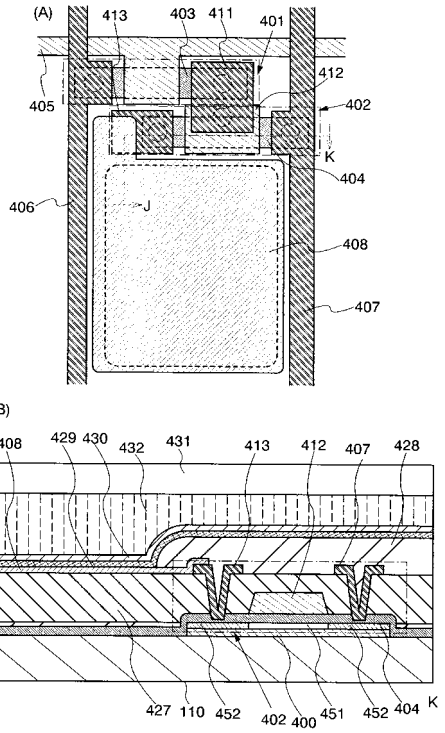


302 半導体層
310 表示パネル形成領域
311 走査線駆動回路形成領域
312 信号線駆動回路形成領域
313 画素形成領域

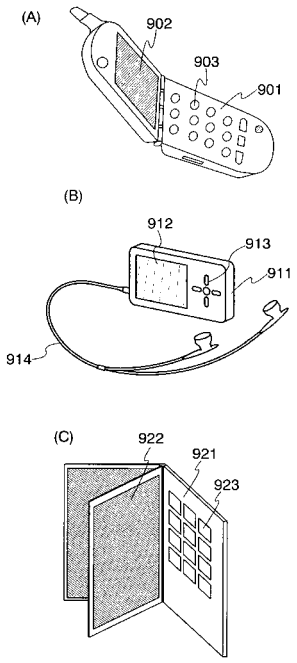
【図１２】



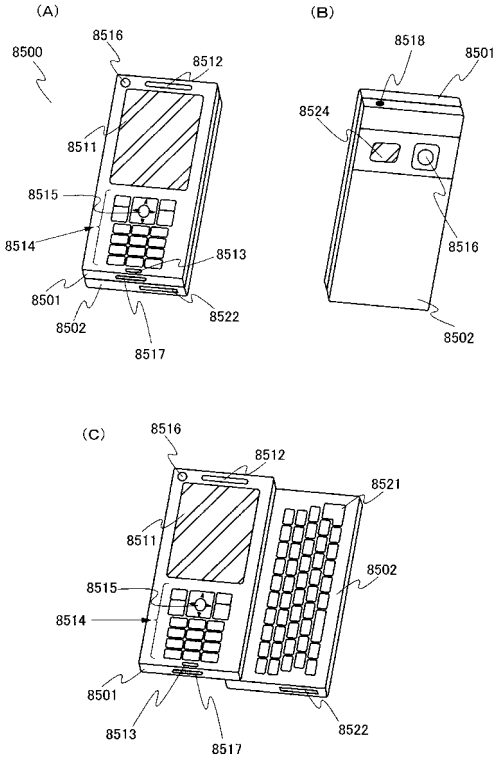
【図１３】



【図１４】



【図１５】



フロントページの続き

(51)Int.Cl.			FI		
H01L	***21/336***	***(2006.01)***	H01L	21/76	D
H01L	***29/786***	***(2006.01)***	H01L	21/76	R
H01L	***51/50***	***(2006.01)***	H01L	29/78	627D
			H05B	33/14	A

(56)参考文献 特開平１１－０４５８６２（ＪＰ，Ａ）
特開２００４－１４６４６１（ＪＰ，Ａ）
特表２００６－５１１０７５（ＪＰ，Ａ）
特開２００７－１５８３７１（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｌ　２１／０２
Ｈ０１Ｌ　２１／２６５
Ｈ０１Ｌ　２１／３３６
Ｈ０１Ｌ　２１／７６
Ｈ０１Ｌ　２１／７６２
Ｈ０１Ｌ　２７／１２
Ｈ０１Ｌ　２９／７８６
Ｈ０１Ｌ　５１／５０