(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 115867968 A
(43)申请公布日 2023.03.28

(21)申请号 202180047447.2
(22)申请日 2021.07.20
(30)优先权数据
2020-131964 2020.08.03 JP
(85)PCT国际申请进入国家阶段日
2023.01.03
(86)PCT国际申请的申请数据
PCT/IB2021/056525 2021.07.20
(87)PCT国际申请的公布数据
WO2022/029534 JA 2022.02.10
(71)申请人 株式会社半导体能源研究所
地址 日本神奈川
(72)发明人 山崎舜平 木村肇 国武宽司
(74)专利代理机构 中国贸促会专利商标事务所有限公司 11038
专利代理师 张丹
(51)Int.Cl.
G11C 11/56(2006.01)

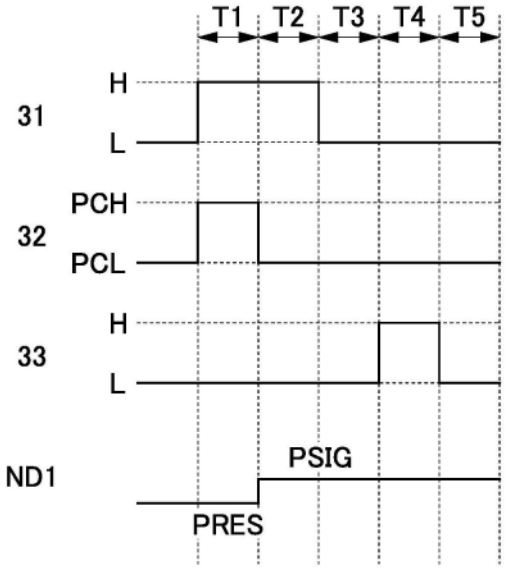
权利要求书1页 说明书51页 附图34页

(54)发明名称

半导体装置的驱动方法

(57)摘要

提供一种能够长期间保持数据的半导体装置。该半导体装置包括设置有电容、第一晶体管以及第二晶体管的单元，电容包括第一电极、第二电极及铁电层，铁电层设置在第一电极与第二电极之间，通过施加第一饱和极化电压或其极性与第一饱和极化电压不同的第二饱和极化电压发生极化转换，第一电极、第一晶体管的源极和漏极中的一个及第二晶体管的栅极彼此电连接。在第一期间，对铁电层施加第一饱和极化电压。在第二期间，对铁电层施加第一饱和极化电压与第二饱和极化电压之间的值的电压作为数据电压。



CN 115867968 A

1.一种半导体装置的驱动方法,该半导体装置包括设置有电容、第一晶体管以及第二晶体管的单元,

其中,所述电容包括第一电极、第二电极以及铁电层,

所述铁电层设置在所述第一电极与所述第二电极之间,

所述铁电层通过施加第一饱和极化电压或其极性与所述第一饱和极化电压不同的第二饱和极化电压发生极化反转,

所述第一电极、所述第一晶体管的源极和漏极中的一个及所述第二晶体管的栅极彼此电连接,

所述驱动方法,包括:

在第一期间,所述铁电层被施加所述第一饱和极化电压;以及

并且,在第二期间,所述铁电层被施加所述第一饱和极化电压与所述第二饱和极化电压之间的值的电压作为数据电压。

2.根据权利要求1所述的半导体装置的驱动方法,

其中在所述第一期间的所述第一电极的电位与在所述第二期间的所述第一电极的电位不同,

并且在所述第一期间的所述第二电极的电位与在所述第二期间的所述第二电极的电位不同。

3.根据权利要求1或2所述的半导体装置的驱动方法,

其中在所述第一期间及所述第二期间使所述第一晶体管处于开启状态,

并且在第三期间使所述第一晶体管处于关闭状态。

4.根据权利要求3所述的半导体装置的驱动方法,

其中所述单元包括第三晶体管,

所述第二晶体管的源极和漏极中的一个与所述第三晶体管的源极和漏极中的一个电连接,

在所述第一至第三期间,使所述第三晶体管处于关闭状态,

并且在第四期间,使所述第三晶体管处于开启状态。

5.根据权利要求4所述的半导体装置的驱动方法,

其中所述第二电极的电位在所述第二至第四期间不变动。

6.根据权利要求5所述的半导体装置的驱动方法,

其中在所述第一至第四期间对所述第二晶体管的源极和漏极中的另一个供应恒电位。

7.根据权利要求1至6中任一项所述的半导体装置的驱动方法,

其中在所述第一期间的所述铁电层的极化量的极性与所述第二期间的所述铁电层的极化量的极性同一。

8.根据权利要求1至7中任一项所述的半导体装置的驱动方法,

其中所述数据电压表示模拟数据。

9.根据权利要求1至8中任一项所述的半导体装置的驱动方法,

其中所述第一晶体管在沟道形成区域中包含金属氧化物。

半导体装置的驱动方法

技术领域

[0001] 本发明的一个方式涉及一种半导体装置的驱动方法等。

[0002] 注意,本发明的一个方式不局限于上述技术领域。作为本说明书等所公开的本发明的一个方式的技术领域的例子,可以举出半导体装置、摄像装置、显示装置、发光装置、蓄电装置、存储装置、显示系统、电子设备、照明装置、输入装置、输入输出装置、其驱动方法或者其制造方法。

背景技术

[0003] 作为可用于晶体管的半导体,金属氧化物受到关注。被称为“IGZO”等的In-Ga-Zn氧化物是多元系金属氧化物的典型例子。通过对IGZO的研究,发现了既不是单晶也不是非晶的CAAC(c-axis aligned crystalline)结构及nc(nanocrystalline)结构(例如,非专利文献1)。

[0004] 报告了沟道形成区域中包含金属氧化物半导体的晶体管(下面有时称为“氧化物半导体晶体管”或“OS晶体管”)具有极小的关态电流(例如,非专利文献1、2)。使用OS晶体管的各种半导体装置(例如,非专利文献3、4)被制造。

[0005] 此外,已提出了利用OS晶体管的极小关态电流的存储器(有时称为OS存储器)。例如在专利文献1中公开了NOSRAM的电路结构。另外,“NOSRAM(注册商标)”是“Nonvolatile Oxide Semiconductor RAM”的简称。NOSRAM是指单元为两个晶体管型(2T)或三个晶体管型(3T)增益单元且存取晶体管为OS晶体管的存储器。OS晶体管在关闭状态下流过源极与漏极间的电流,即,泄漏电流极小。NOSRAM通过利用泄漏电流极小这一特性将对应于数据的电荷保持在存储单元内,而可以用作非易失性存储器。

[0006] [先行技术文献]

[0007] [专利文献]

[0008] [专利文献1]美国专利申请公开第2011/0176348号说明书

[0009] [非专利文献]

[0010] [非专利文献1]S.Yamazaki et al.,“Properties of crystalline In-Ga-Zn-oxide semiconductor and its transistor characteristics,”Jpn.J.Appl.Phys.,vol.53,04ED18(2014).

[0011] [非专利文献2]K.Kato et al.,“Evaluation of Off-State Current Characteristics of Transistor Using Oxide Semiconductor Material,Indium-Gallium-Zinc Oxide,”Jpn.J.Appl.Phys.,vol.51,021201(2012).

[0012] [非专利文献3]S.Amano et al.,“Low Power LC Display Using In-Ga-Zn-Oxide TFTs Based on Variable Frame Frequency,“SID Symp.Dig.Papers,vol.41,pp.626-629(2010).

[0013] [非专利文献4]T.Ishizu et al.,“Embedded Oxide Semiconductor Memories:A Key Enabler for Low-Power ULSI,”ECS Tran.,vol.79,pp.149-156(2017).

发明内容

[0014] 发明所要解决的技术问题

[0015] 在NOSRAM等存储器中，在单元所包括的电容中保持对应于数据的电荷。因此，在电容能够保持的电荷量小时，因来自电容的电荷的泄漏导致的数据读出精度的降低很显著。因此，有时在单元中不能长期间保持数据。

[0016] 本发明的一个方式的目的之一是提供一种能够长期间保持数据的半导体装置及其驱动方法。本发明的一个方式的目的之一是提供一种低功耗的半导体装置及其驱动方法。本发明的一个方式的目的之一是提供一种能够施加高电压的半导体装置及其驱动方法。本发明的一个方式的目的之一是提供一种可靠性高的半导体装置及其驱动方法。本发明的一个方式的目的之一是提供一种新颖的半导体装置及其驱动方法。

[0017] 注意，本发明的一个方式并不需要实现所有上述目的，只要可以实现至少一个目的即可。此外，上述目的的记载不妨碍其他目的的存在。可以从说明书、权利要求书、附图等的记载显而易见地看出并抽出上述以外的目的。

[0018] 解决技术问题的手段

[0019] 本发明的一个方式是一种半导体装置的驱动方法，该半导体装置包括设置有电容、第一晶体管以及第二晶体管的单元，其中，电容包括第一电极、第二电极以及铁电层，铁电层设置在第一电极与第二电极之间，铁电层通过施加第一饱和极化电压或其极性与第一饱和极化电压不同的第二饱和极化电压发生极化反转，第一电极、第一晶体管的源极和漏极中的一个及第二晶体管的栅极彼此电连接，在第一期间，铁电层被施加第一饱和极化电压，并且，在第二期间，铁电层被施加第一饱和极化电压与第二饱和极化电压之间的值的电压作为数据电压。

[0020] 在上述方式中，也可以在第一期间的第一电极的电位与在第二期间的第一电极的电位不同，并且也可以在第一期间的第二电极的电位与在第二期间的第二电极的电位不同。

[0021] 在上述方式中，也可以在第一期间及第二期间使第一晶体管处于开启状态，并且也可以在第三期间使第一晶体管处于关闭状态。

[0022] 在上述方式中，单元也可以包括第三晶体管，第二晶体管的源极和漏极中的一个也可以与第三晶体管的源极和漏极中的一个电连接，也可以在第一至第三期间使第三晶体管处于关闭状态，并且也可以在第四期间使第三晶体管处于开启状态。

[0023] 在上述方式中，第二电极的电位也可以在第二至第四期间不变动。

[0024] 在上述方式中，也可以在第一至第四期间对第二晶体管的源极和漏极中的另一个供应恒电位。

[0025] 在上述方式中，也可以在第一期间的铁电层的极化量的极性与第二期间的铁电层的极化量的极性同一。

[0026] 在上述方式中，数据电压也可以表示模拟数据。

[0027] 在上述方式中，第一晶体管也可以在沟道形成区域中包含金属氧化物。

[0028] 发明效果

[0029] 根据本发明的一个方式可以提供一种能够长期间保持数据的半导体装置及其驱动方法。根据本发明的一个方式可以提供一种低功耗的半导体装置及其驱动方法。根据本

发明的一个方式可以提供一种能够施加高电压的半导体装置及其驱动方法。根据本发明的一个方式可以提供一种可靠性高的半导体装置及其驱动方法。根据本发明的一个方式可以提供一种新颖的半导体装置及其驱动方法。

[0030] 多个效果的记载不妨碍彼此的效果的存在。此外，本发明的一个方式并不需要具有所有上述效果。在本发明的一个方式中，上述之外的目的、效果及新颖的特征可从本说明书中的描述及附图自然得知。

附图说明

[0031] 图1A是示出单元的结构例子的电路图。图1B1至图1B4是示出电容的结构例子的图。

[0032] 图2是示出铁电体的滞后特性的图。

[0033] 图3是示出单元的驱动方法的一个例子的时序图。

[0034] 图4A及图4B是示出单元的驱动方法的一个例子的电路图。

[0035] 图5A及图5B是示出单元的驱动方法的一个例子的电路图。

[0036] 图6是示出单元的驱动方法的一个例子的时序图。

[0037] 图7A及图7B是示出单元的驱动方法的一个例子的电路图。

[0038] 图8A及图8B是示出单元的驱动方法的一个例子的电路图。

[0039] 图9是示出单元的驱动方法的一个例子的时序图。

[0040] 图10A及图10B是示出单元的结构例子的电路图。

[0041] 图11A及图11B是示出单元的结构例子的电路图。

[0042] 图12A及图12B是示出单元的结构例子的电路图。

[0043] 图13是示出半导体装置的结构例子的方框图。

[0044] 图14A及图14B是说明分层神经网络的图。

[0045] 图15A是示出半导体装置的结构例子的方框图。图15B是示出半导体装置所包括的电路的结构例子的电路图。

[0046] 图16A至图16C是示出半导体装置的工作例子的时序图。

[0047] 图17A至图17C是示出半导体装置的工作例子的时序图。

[0048] 图18A至图18C是示出半导体装置的工作例子的时序图。

[0049] 图19是示出半导体装置的结构例子的图。

[0050] 图20A至图20C是示出晶体管的结构例子的图。

[0051] 图21A是说明IGZO的结晶结构的分类的图。图21B是说明结晶性IGZO的XRD谱的图。图21C是说明结晶性IGZO的纳米束电子衍射图案的图。

[0052] 图22A是示出半导体晶片的一个例子的立体图。图22B是示出芯片的一个例子的立体图。图22C及图22D是示出电子构件的一个例子的立体图。

[0053] 图23A至图23J是说明电子设备的一个例子的图。

[0054] 图24A至图24E是说明电子设备的一个例子的图。

[0055] 图25A至图25C是说明电子设备的一个例子的图。

[0056] 图26是说明实施例的关态电流测量TEG的概况的电路图。

[0057] 图27A是说明实施例的电容的结构的截面图。图27B是说明实施例的电容泄漏电流

测量TEG的概况的电路图。

[0058] 图28是示出实施例的泄漏电流的温度依赖性的图表。

具体实施方式

[0059] 以下说明本发明的实施方式。但是，本发明的一个方式不局限于以下说明，所属技术领域的普通技术人员可以很容易地理解一个事实，就是本发明在不脱离其宗旨及其范围的条件下，其方式及详细内容可以被变换为各种各样的形式。因此，本发明的一个方式不应该被解释为仅局限在以下所示的实施方式所记载的内容中。

[0060] 注意，在本说明书等中，“第一”、“第二”、“第三”等序数词是为了避免构成要素的混淆而附加上的。因此，该序数词不限制构成要素的个数。此外，该序数词不限制构成要素的顺序。例如，本说明书等的实施方式之一中附有“第一”的构成要素有可能在其他的实施方式或权利要求书中附有“第二”的序数词。此外，例如，在本说明书等中，一个实施方式中的“第一”所指的构成要素有可能在其他实施方式或权利要求书中被省略。

[0061] 在附图中，有时使用同一附图标记表示同一构成要素、具有相同功能的构成要素、由同一材料形成的构成要素或者同时形成的构成要素等，并且有时省略重复说明。

[0062] 在本说明书等中，金属氧化物(metal oxide)是指广义上的金属的氧化物。金属氧化物被分类为氧化物绝缘体、氧化物导电体(包括透明氧化物导电体)和氧化物半导体(Oxide Semiconductor，也可以简称为OS)等。例如，在将金属氧化物用于晶体管的活性层的情况下，有时将该金属氧化物称为氧化物半导体。换言之，在金属氧化物能够构成具有放大作用、整流作用及开关作用中的至少一个的晶体管的沟道形成区域时，可以将该金属氧化物称为金属氧化物半导体(metal oxide semiconductor)。另外，可以将OS FET或OS晶体管称为包含金属氧化物或氧化物半导体的晶体管。

[0063] 此外，在本说明书等中，有时将包含氮的金属氧化物也称为金属氧化物(metal oxide)。此外，也可以将包含氮的金属氧化物称为金属氧氮化物(metal oxynitride)。

[0064] (实施方式1)

[0065] 在本实施方式中说明本发明的一个方式的半导体装置及其驱动方法。

[0066] 本发明的一个方式涉及一种具有单元的半导体装置。单元具有保持数据的功能。具体而言，通过单元包括电容且在该电容中保持电荷，可以保持写入到单元中的数据。因此，单元可以说是存储单元，半导体装置可以说是存储装置。

[0067] 在本发明的一个方式中，电容包括第一电极、第二电极以及铁电层。铁电层设置在第一电极与第二电极之间。通过电容采用这种结构，可以使能够保持在该电容中的电荷量比在第一电极与第二电极之间设置顺电体层的结构的电容大。因此，本发明的一个方式的半导体装置可以长期间保持数据。由此，由于可以降低刷新(对于单元的数据的改写)的频率，所以可以降低本发明的一个方式的半导体装置的功耗。

[0068] 在本说明书等中，铁电体是指即使施加电压进行极化之后停止电压施加也保持极化状态的物质。此外，顺电体是指在施加电压进行极化之后停止电压施加时不维持极化状态而消失的物质。

[0069] <单元的结构例子_1>

[0070] 图1A是示出本发明的一个方式的半导体装置所包括的单元10的结构例子的电路

图。

[0071] 单元10包括电容11、晶体管21、晶体管22以及晶体管23。电容11包括铁电层12、电极13a以及电极13b，铁电层12设置在电极13a与电极13b之间。

[0072] 电极13a与晶体管21的源极和漏极中的一个电连接。晶体管21的源极和漏极中的一个与晶体管22的栅极电连接。晶体管22的源极和漏极中的一个与晶体管23的源极和漏极中的一个电连接。这里，将电极13a、晶体管21的源极和漏极中的一个及晶体管22的栅极电连接的节点称为节点ND1。

[0073] 晶体管21的栅极与布线31电连接。电极13b与布线32电连接。晶体管23的栅极与布线33电连接。晶体管21的源极和漏极中的另一个与布线41电连接。晶体管22的源极和漏极中的另一个与布线42电连接。晶体管23的源极和漏极中的另一个与布线43电连接。这里，布线42可以被供应恒电位。

[0074] 注意，图1A所示的晶体管21至晶体管23中不设置背栅极，但也可以设置背栅极。例如，晶体管21至晶体管23的一部分或全部中可以设置背栅极。

[0075] 在图1A所示的单元10中，布线31的电位可以为晶体管21的栅极的电位。此外，布线32的电位可以为电极13b的电位。再者，布线33的电位可以为晶体管23的栅极的电位。例如，在晶体管21为n沟道型晶体管的情况下，在布线31的电位为高电位时，可以使晶体管21处于开启状态，在布线31的电位为低电位时，可以使晶体管21处于关闭状态。晶体管23与布线33的关系也是同样的。

[0076] 在使晶体管21处于开启状态时，节点ND1与布线41导通。因此，可以将布线41的电位写入到节点ND1。具体而言，可以将对应于布线41的电位的电荷储存在节点ND1中。由此，在使晶体管21处于开启状态且布线41被供应信号时，可以将该信号表示的数据写入到单元10。因此，布线41可以说是写入线。

[0077] 在对单元10写入数据之后，使晶体管21成为关闭状态，由此保持节点ND1的电荷。因此，可以在单元10中保持数据。

[0078] 晶体管22的栅极的电位为节点ND1的电位。因此，当在单元10中保持数据的状态下使晶体管23成为开启状态时，对应于该数据的大小的电流通过晶体管22及晶体管23流过布线43。由此，可以读出保持在单元10中的数据。因此，布线43可以说是读出线。

[0079] 如上所述，电容11在电极13a与电极13b之间设置铁电层12。由此，将在后面说明其详细内容，与在电极13a与电极13b之间不设置铁电层12而设置顺电体层的情况相比，在铁电层12与该顺电体层的介电常数相等时，电容11的电容值增大。由此，能够储存在电容11中的电荷量增大。因此，因来自电容11的电荷的泄漏导致的节点ND1的电位的变动变小。因此，可以在单元10中长期间保持数据。由此，由于可以降低刷新(对于单元10的数据的改写)的频率，所以可以降低本发明的一个方式的半导体装置的功耗。

[0080] 这里，由于因来自电容11的电荷的泄漏导致的节点ND1的电位的变动变小，所以单元10所保持的数据可以为模拟数据。此外，单元10所保持的数据可以为多值数字数据，具体而言可以为3值以上的数字数据。当然，单元10也可以保持2值的数字数据。

[0081] 作为铁电层12，例如可以使用钛酸钡、锆钛酸铅、钽酸锶铋等。

[0082] 晶体管21优选为OS晶体管。OS晶体管具有关态电流极小的特性。因此，通过作为晶体管21使用OS晶体管，可以抑制储存在节点ND1中的电荷通过晶体管21泄漏。由此，由于可

以在节点ND1中长期间保持电荷，所以可以长期间保持单元10的数据。由此，由于可以降低刷新频率，因此可以降低本发明的一个方式的半导体装置的功耗。

[0083] 晶体管22及晶体管23可以为在沟道形成区域中包含硅的晶体管(以下，称为Si晶体管)。作为硅例如可以使用非晶硅(有时称为氢化非晶硅)、微晶硅、多晶硅、单晶硅等。

[0084] 通过作为晶体管22及晶体管23使用Si晶体管，可以增大晶体管22及晶体管23的通态电流。如上所述，通过对应于节点ND1的电位的大小的电流经过晶体管22及晶体管23流过布线43，可以读出保持在单元10中的数据。如上所述，通过作为晶体管22及晶体管23使用Si晶体管，可以高速读出数据。

[0085] 注意，作为晶体管21可以使用Si晶体管。此外，作为晶体管22及晶体管23可以使用OS晶体管。这里，OS晶体管具有高耐压特性。因此，通过晶体管21至晶体管23为OS晶体管，可以对节点ND1供应高电压。由此，可以增大能够供应给布线41的信号的电位的最小值与最大值之差。

[0086] 图1B1至图1B4是示出电容11的结构例子的图。图1B1至图1B4所示的电容11与图1A所示的电容11的不同之处在于设置在电极13a与电极13b之间的层不同。

[0087] 图1B1所示的电容11及图1B2所示的电容11中除了铁电层12以外还设置有顺电体层14。图1B1示出铁电层12包括与电极13a接触的区域且顺电体层14包括与电极13b接触的区域的结构。另一方面，图1B2示出顺电体层14包括与电极13a接触的区域且铁电层12包括与电极13b接触的区域的结构。

[0088] 图1B3所示的电容11中设置有铁电层12a及铁电层12b以及顺电体层14。铁电层12a包括与电极13a接触的区域，铁电层12b包括与电极13b接触的区域。顺电体层14设置在铁电层12a与铁电层12b之间。铁电层12a及铁电层12b可以使用与铁电层12同样的材料。

[0089] 图1B4所示的电容11中设置有铁电层12以及顺电体层14a及顺电体层14b。顺电体层14a包括与电极13a接触的区域，顺电体层14b包括与电极13b接触的区域。铁电层12设置在顺电体层14a与顺电体层14b之间。

[0090] 作为顺电体层14、顺电体层14a及顺电体层14b，例如可以使用氧化铝、氧化铪、氧化钽、氧化锆等高介电常数(high-k)材料。由此，可以使电容11的电容值变大。

[0091] 如图1B1至图1B4所示，通过电容11具有层叠多个介电常数层设置的结构，可以抑制储存在电容11中的电荷的泄漏。由此，由于可以在节点ND1中长期间保持电荷，所以可以长期间保持单元10的数据。由此，由于可以降低刷新的频率，所以可以降低本发明的一个方式的半导体装置的功耗。

[0092] <铁电层12的特性>

[0093] 铁电层12具有滞后特性。图2是示出铁电层12的滞后特性的图表。在图2中，横轴示出施加到铁电层12的电压，具体而言，示出从电极13a的电位减去电极13b的电位的值。此外，纵轴示出铁电层12的极化量，在极化量为正值时，正电荷偏于电极13b一侧，负电荷偏于电极13a一侧。另一方面，在极化量为负值时，正电荷偏于电极13a一侧，负电荷偏于电极13b一侧。注意，图2的图表的横轴所示的电压也可以为从电极13b的电位减去电极13a的电位的值。此外，图2的图表的纵轴所示的极化量在正电荷偏于电极13a一侧且负电荷偏于电极13b一侧时也可以为正值并且在正电荷偏于电极13b一侧且负电荷偏于电极13a一侧时也可以为负值。

[0094] 如图2所示，铁电层12的滞后特性可以以曲线51及曲线52表示。将曲线51与曲线52的交点的电压作为电压VSP1及电压VSP2。在图2中，电压VSP1的值为负，电压VSP2的值为正。电压VSP1与电压VSP2的极性可以不同。

[0095] 在对铁电层12施加电压VSP1之后提高施加到铁电层12的电压时，铁电层12的极化量根据曲线51增加。另一方面，在对铁电层12施加电压VSP2之后降低施加到铁电层12的电压时，铁电层12的极化量根据曲线52减少。因此，电压VSP1及电压VSP2可以说是饱和极化电压。

[0096] 在此，将在铁电层12的极化量根据曲线51变化的情况下的铁电层12的极化量为0时施加到铁电层12的电压设为电压V1。此外，将在铁电层12的极化量根据曲线52变化的情况下的铁电层12的极化量为0时施加到铁电层12的电压设为电压V2。如图2所示，电压V1可以为正值，电压V2可以为负值。电压V1的值及电压V2的值可以为电压VSP1与电压VSP2之间的值。

[0097] <单元的驱动方法的一个例子_1>

[0098] 图3是示出单元10的驱动方法的一个例子的时序图。在图3所示的时序图中，“H”表示高电位，“L”表示低电位。注意，在图3所示的时序图中，没有考虑到布线电阻、晶体管的漏极-源极间的电阻等导致的电位变化及信号迟延等。以上内容与其他时序图中也是同样的。

[0099] 在期间T1，布线31的电位为高电位，布线32的电位为电位PCH，布线33的电位为低电位。通过布线31的电位为高电位，晶体管21成为开启状态，通过布线33的电位为低电位，晶体管23成为关闭状态。在此状态下，布线41的电位为电位PRES。由于晶体管21为开启状态，所以节点ND1的电位成为电位PRES。因此，施加到铁电层12的电压，具体而言电极13a的电位与电极13b的电位之差成为电压“PRES-PCH”。在以后的说明中，施加到铁电层12的电压也是指电极13a的电位与电极13b的电位之差。

[0100] 图4A是示出在期间T1的单元10的状态的电路图。在图4A中，对关闭状态的晶体管附上叉号。有时也对其他附图进行相同记载。

[0101] 如图4A所示，在期间T1，对铁电层12施加电压VSP1。具体而言，以电压“PRES-PCH”的值与电压VSP1的值相等的方式设定电位PRES及电位PCH的值。例如，在电压VSP1为-3.3V时，电位PRES为0V，电位PCH为3.3V。

[0102] 注意，在图4A中以点划线围绕示出施加到铁电层12的电压。有时也对其他附图进行相同记载。

[0103] 在期间T1，通过对铁电层12施加饱和极化电压的电压VSP1，可以使铁电层12的极化状态复位。因此，在期间T1供应给节点ND1的电位PRES可以说是复位电位。此外，在期间T1进行的工作可以说是复位工作。

[0104] 在期间T2，布线32的电位为电位PCL。在此状态下，布线41被供应数据信号。具体而言，布线41的电位为电位PSIG。由于晶体管21处于开启状态，所以节点ND1的电位成为电位PSIG。由此，施加到铁电层12的电压成为电压“PSIG-PCL”。这里，电位PCL可以为比电位PCH低的电位。

[0105] 图4B是示出在期间T2的单元10的状态的电路图。注意，在图4B中，以双点划线围绕示出从期间T1变化的电位及电压。有时也对其他附图进行相同记载。

[0106] 如图4B所示，在期间T2施加到铁电层12的电压为电压VSIG。在期间T2供应给节点

ND1的电位PSIG是对应于数据信号的电位，因此电压VSIG可以说是数据电压。在期间T1对铁电层12施加电压VSP1，因此在期间T2铁电层12的极化量成为如图2所示的曲线51那样的值。

[0107] 这里，以电压VSIG的值高于电压VSP1且低于电压VSP2的方式设定电位PSIG及电位PCL的值。尤其是，电容11的电容值成为对应于曲线51的倾斜的值，具体而言例如成为对应于曲线51的切线的倾斜的值，因此电压VSIG的值优选以曲线51的倾斜成为一定以上的大小的方式设定。由此，可以增大电容11的电容值。具体而言，如上所述，与在电极13a与电极13b之间不设置铁电层12而设置顺电体层的情况相比，在铁电层12与该顺电体层的介电常数相等时，电容11的电容值增大。

[0108] 具体而言，例如电压VSIG的值优选为曲线51的倾斜成为一定值以上时的电压以上且曲线51的拐点的电压以下。此外，电压VSIG的值优选为期间T1的铁电层12的极化量的极性与期间T2的铁电层12的极化量的极性相同的值。也就是说，在期间T1的铁电层12的极性为负，具体而言，正电荷偏于电极13a一侧，负电荷偏于电极13b一侧的情况下，在期间T2的铁电层12的极性优选也是负。因此，电压VSIG优选为图2所示的电压V1以下。在图4B等中，电压VSIG为电压V1以下。

[0109] 由此，电压VSIG的值例如优选为曲线51的倾斜成为一定值以上时的电压以上且电压V1以下。例如，在电压V1为1.2V且电位PCL为0V时，优选的是电位PSIG为0V以上且1.2V以下。此时，电压VSIG为0V以上且1.2V以下。

[0110] 由此，在期间T2可以对单元10写入数据。

[0111] 在期间T3布线31的电位为低电位。由此，由于晶体管21成为关闭状态，所以保持储存在节点ND1中的电荷。因此，节点ND1的电位保持在电位PSIG中。

[0112] 图5A是示出在期间T3的单元10的状态的电路图。如图5A所示，在期间T3，施加到铁电层12的电压保持在电压VSIG中。

[0113] 通过由期间T1及期间T2所示的方法对单元10写入数据，如上所述，可以增大电容11的电容值。由此，可以增大储存在电容11中的电荷量。因此，在期间T3，可以减小因来自电容11的电荷的泄漏导致的节点ND1的电位的变动。因此，可以在单元10中长期间保持数据。由此，由于可以降低刷新频率，因此可以降低本发明的一个方式的半导体装置的功耗。此外，如上所述，单元10所保持的数据可以为模拟数据。此外，单元10所保持的数据可以为多值数字数据，具体而言可以为3值以上的数字数据。当然，单元10也可以保持2值的数字数据。

[0114] 在期间T4，布线33的电位为高电位。由此，由于晶体管23成为开启状态，所以对应于节点ND1的电位PSIG的大小的电流通过晶体管22及晶体管23流过布线43。由此，可以读出保持在单元10中的数据。

[0115] 图5B是示出在期间T4的单元10的状态的电路图。晶体管23成为开启状态，保持在单元10中的数据从布线43读出。

[0116] 在期间T5，布线33的电位为低电位。由此，晶体管23成为关闭状态，保持在单元10中的数据的读出结束。注意，由于数据的读出而节点ND1的电位不变化，因此该读出是非破坏读出。

[0117] 以上是单元10的驱动方法的一个例子。

[0118] <单元的驱动方法的一个例子_2>

[0119] 在图3至图5所示的驱动方法中，在期间T1对铁电层12施加电压VSP1，但也可以在期间T1对铁电层12施加其极性与电压VSP1不同的饱和极化电压的电压VSP2。图6是示出在期间T1对铁电层12施加电压VSP2时的单元10的驱动方法的一个例子的时序图。此外，图7A、图7B、图8A及图8B分别是示出图6所示的期间T1至期间T4的单元10的状态的电路图。

[0120] 如图6所示，布线32的电位在期间T1可以为电位PCL，在期间T2至期间T5可以为电位PCH。此外，在图3所示的驱动方法中，例如电位PRES比电位PSIG低，但在图6所示的驱动方法中电位PRES也可以比电位PSIG高。

[0121] 在由图6所示的方法驱动单元10时，以电压“PRES-PCL”的值与电压VSP2的值相等的方式设定电位PRES及电位PCL的值。例如，在电压VSP2为3.3V时，电位PRES为3.3V，电位PCL为0V。

[0122] 在由图6所示的方法驱动单元10时，在期间T2施加到铁电层12的电压成为电压“PSIG-PCH”。在期间T1对铁电层12施加电压VSP2，因此在期间T2铁电层12的极化量成为如图2所示的曲线52那样的值。

[0123] 在由图6所示的方法驱动单元10时，电压VSIG的值例如优选为图2所示的电压V2以上且曲线52的倾斜(具体而言例如曲线52的切线的倾斜)成为一定值以上时的电压以下。例如，在电压V2为-1.2V且电位PCH为3.3V时，电位PSIG优选为2.1V以上且3.3V以下。此时，电压VSIG为-1.2V以上且0V以下。注意，在图7B等中，电压VSIG为电压V2以上。

[0124] <单元的驱动方法的一个例子_3>

[0125] 在图3至图5所示的驱动方法中，布线32的电位变动，但布线32的电位也可以为恒电位。图9是示出在期间T1至期间T5对布线32作为恒电位供应电位PCL时的单元10的驱动方法的一个例子的时序图。

[0126] 在由图9所示的方法驱动单元10时，在期间T1的节点ND1的电位为电位PRESa。电位PRESa可以为比图3等所示的电位PRES低的电位。例如，在电压VSP1为-3.3V且电位PCL为0V时，电位PRESa可以为-3.3V。如上所述，例如在电压VSP1为-3.3V时，电位PRES可以为0V。因此，在电压VSP1具有相等的电位时，电位PRESa可以比电位PRES低。

[0127] 在由图9所示的方法驱动单元10时，优选作为晶体管21使用OS晶体管。如上所述，OS晶体管具有高耐压特性。因此，在作为晶体管21使用OS晶体管时，可以降低电位PRESa。同样地，晶体管22也优选使用OS晶体管。再者，晶体管23也可以使用OS晶体管。

[0128] <单元的结构例子_2>

[0129] 在图1A所示的单元10中，晶体管21至晶体管23都是n沟道型晶体管，但本发明的一个方式不局限于此。图10A是示出晶体管22及晶体管23为p沟道晶体管时的单元10的结构例子的电路图。在图10A所示的单元10中，晶体管21例如可以为OS晶体管或Si晶体管。此外，晶体管22及晶体管23可以为Si晶体管。

[0130] 图10B是示出晶体管21至晶体管23都是p沟道型晶体管时的单元10的结构例子的电路图。在图10B所示的单元10中，晶体管21至晶体管23例如可以为Si晶体管。

[0131] 通过适当地调换电位的大小关系等即使单元10具有图10A或图10B所示的结构也可以使用图3至图9所示的驱动方法。

[0132] 图1A所示的单元10包括晶体管23，但也可以不包括晶体管23。图11A是示出省略晶体管23的单元10的结构例子的电路图。在图11A所示的结构的单元10中晶体管22的源极和

漏极中的一个与布线43电连接。在驱动图11A所示的单元10时，即使不进行在图3等所示的期间T4的工作，也可以从布线43读出保持在单元10中的数据。

[0133] 在图11A等所示的单元10中，被用作写入线的布线为布线41，被用作读出线的布线为布线43，但也可以共用写入线及读出线。图11B所示的单元10与图11A所示的单元10的不同之处在于共用被用作写入线的布线及被用作读出线的布线作为布线44。

[0134] 在图11B所示的单元10中，晶体管21的源极和漏极中的另一个及晶体管22的源极和漏极中的一个与布线44电连接。如此，通过共用写入线及读出线，可以减少设置在包括单元10的半导体装置中的布线的个数。由此，可以实现半导体装置的小型化。

[0135] 图12A是图1A所示的单元10的变形例子，图12A与图1A所示的单元10的不同之处在于共用被用作写入线的布线及被用作读出线的布线作为布线44。在图12A所示的结构的单元10中，晶体管21的源极和漏极中的另一个及晶体管23的源极和漏极中的另一个与布线44电连接。

[0136] 图12B是图12A所示的单元10的变形例子，图12B与图12A所示的单元10的不同之处在于晶体管21的源极和漏极中的另一个与晶体管22的源极和漏极中的一个及晶体管23的源极和漏极中的一个电连接。

[0137] 在由图3等所示的方法驱动图12B所示的单元10时，在期间T1及期间T2，对布线31及布线33供应高电位。由此，晶体管21及晶体管23成为开启状态。因此，布线44与节点ND1成为导通状态，可以对节点ND1供应电位PRES及电位PSIG等。

[0138] 通过单元10具有图12B所示的结构，可以抑制晶体管21的栅极与布线44之间产生寄生电容。因此，可以抑制在写入到单元10的数据中产生噪声。

[0139] <半导体装置的结构例子_1>

[0140] 图13是示出包括单元10的半导体装置60的结构例子的方框图。在半导体装置60中，由m行n列(m、n为2以上的整数)的单元10构成单元阵列61。此外，半导体装置60包括电路62及电路63。

[0141] 图13所示的[1,1]、[i,1]、[m,1]、[1,j]、[i,j]、[m,j]、[1,n]、[i,n]、[m,n](i为1以上m以下的整数，j为1以上且n以下的整数)为单元10的地址。例如，记为[i,j]的单元10为第i行第j列的单元10。以后例如将地址为[i,j]的单元10记为单元10[i,j]。

[0142] 单元10通过布线31、布线32及布线33与电路62电连接，通过布线41及布线43与电路63电连接。例如，单元10[i,j]通过布线31(i)、布线32(i)及布线33(i)与电路62电连接，通过布线41(j)及布线43(j)与电路63电连接。

[0143] 电路62具有生成单元10的驱动所需的电位并将其供应给布线31、布线32或布线33的功能。可以由电路62对第1行至第m行的单元10依次进行数据的写入以及保持在单元10中的数据的读出。注意，如图9所示，在对布线32供应恒电位时，布线32也可以不与电路62电连接。

[0144] 这里，在期间T1进行的工作的复位工作例如可以对所有的单元10同时进行。例如，在由图9所示的方法驱动单元10时，在期间T1的布线41的电位的电位PRESa较低。例如，电位PRESa为负值。因此，在使晶体管21成为关闭状态的情况下，在不降低晶体管21的栅极的电位时，有时晶体管21的栅极的电位与源极的电位PRESa之差成为晶体管21的阈值电压以上，由此不能成为关闭状态。例如，在电位PRESa为-3.3V时，即使晶体管21的栅极作为低电位被

供应0V的电位，有时也不能使晶体管处于关闭状态。在期间T1进行的工作的复位工作对单元10的每个行依次进行时，不进行复位工作的单元10有时进行数据的读出工作。在进行数据的读出工作的单元10所包括的晶体管21不处于关闭状态时，节点ND1的电位成为电位PRESa，有时不能正确地进行数据的读出。由此，在由图9所示的方法驱动单元10时，在期间T1进行的工作的复位工作例如优选对所有的单元10同时进行。

[0145] 电路63具有对单元10写入数据的功能及从单元10读出数据的功能。例如，电路63具有生成电位PRES及电位PSIG等并将其通过布线41供应给单元10的功能。此外，电路63具有根据布线43的电位从单元10读出数据的功能。注意，在单元10具有图11B、图12A或图12B所示的结构时，电路63通过布线44与单元10电连接。例如，单元10[i,j]可以通过布线44(j)与电路63电连接。

[0146] 在图13所示的半导体装置60中，供应给布线31的电位、供应给布线32的电位及供应给布线33的电位都是由电路62生成的，但也可以由不同电路生成各电位。例如，生成供应给布线32的电位的电路也可以与生成供应给布线31的电位及供应给布线33的电位的电路不同。此外，电路63具有对单元10写入数据的功能及从单元10读出数据的功能的双方，但具有对单元10写入数据的功能的电路与具有从单元10读出数据的功能的电路也可以不同。

[0147] 本实施方式所示的结构、方法等的至少一部分可以与本说明书所记载的其他实施方式及其他实施例等适当地组合而实施。

[0148] (实施方式2)

[0149] 在本实施方式中说明本发明的一个方式的半导体装置及其驱动方法。具体而言，说明具有进行神经网络的运算的功能的半导体装置。

[0150] 〈分层神经网络〉

[0151] 首先，说明分层神经网络。分层神经网络例如包括一个输入层、一个或多个中间(隐藏层)及一个输出层，由共三个以上的层构成。图14A所示的分层神经网络100是其一个例子，神经网络100包括第一层至第R层(在此，R可以为4以上的整数。)。尤其是，第一层相当于输入层，第R层相当于输出层，其他层相当于中间层。注意，在图14A中，作为中间层示出第(k-1)层、第k层(在此，k是3以上且R-1以下的整数。)，而省略其他中间层。

[0152] 神经网络100的各层包括一个或多个神经元。在图14A中，第一层包括神经元$N_1^{(1)}$至神经元$N_p^{(1)}$(在此，p是1以上的整数。)，第(k-1)层包括神经元$N_1^{(k-1)}$至神经元$N_m^{(k-1)}$(在此，m是1以上的整数。)，第k层包括神经元$N_1^{(k)}$至神经元$N_n^{(k)}$(在此，n是1以上的整数。)，第R层包括神经元$N_1^{(R)}$至神经元$N_q^{(R)}$(在此，q是1以上的整数。)。

[0153] 另外，图14A除了神经元$N_1^{(1)}$、神经元$N_p^{(1)}$、神经元$N_1^{(k-1)}$、神经元$N_m^{(k-1)}$、神经元$N_1^{(k)}$、神经元$N_n^{(k)}$、神经元$N_1^{(R)}$、神经元$N_q^{(R)}$以外，还示出第(k-1)层的神经元$N_i^{(k-1)}$(在此，i是1以上且m以下的整数。)、第k层的神经元$N_j^{(k)}$(在此，j是1以上且n以下的整数。)，而省略示出其他神经元。

[0154] 接着，说明从前一层的神经元向下一层的神经元的信号的传送以及向每个神经元输入或输出到每个神经元的信号。注意，在本说明中，着眼于第k层的神经元$N_j^{(k)}$。

[0155] 图14B示出第k层的神经元$N_j^{(k)}$、输入到神经元$N_j^{(k)}$的信号以及从神经元$N_j^{(k)}$输出的信号。

[0156] 具体而言，第(k-1)层的神经元$N_1^{(k-1)}$至神经元$N_m^{(k-1)}$的每一个的输出信号的$z_1^{(k-1)}$

至$z_m^{(k-1)}$向神经元$N_j^{(k)}$输出。然后，神经元$N_j^{(k)}$根据$z_1^{(k-1)}$至$z_m^{(k-1)}$生成$z_j^{(k)}$而将$z_j^{(k)}$作为输出信号向第(k+1)层(未图示。)的各神经元输出。

[0157] 从前一层的神经元向后一层的神经元输入的信号的传送强度根据使它们连接的神经突触的结合强度(以下称为权系数。)决定。在神经网络100中，将从前一层的神经元输出的信号被乘以对应的权系数而输入到后一层的神经元。在i设定为1以上且m以下的整数且第(k-1)层的神经元$N_i^{(k-1)}$与第k层的神经元$N_j^{(k)}$之间的神经突触的权系数设定为$w_i^{(k-1)}{}_j^{(k)}$时，输入到第k层的神经元$N_j^{(k)}$的信号可以以算式(1)表示。

[0158] [算式1]

[0159] $$w_i^{(k-1)}{}_j^{(k)} \cdot z_i^{(k-1)} \quad \cdots(1)$$

[0160] 换言之，在从第(k-1)层的神经元$N_1^{(k-1)}$至神经元$N_m^{(k-1)}$的每一个向第k层的神经元$N_j^{(k)}$传送信号时，作为该信号的$z_1^{(k-1)}$至$z_m^{(k-1)}$被乘以对应于各信号的权系数($w_1^{(k-1)}{}_j^{(k)}$至$w_m^{(k-1)}{}_j^{(k)}$)。然后，对第k层的神经元$N_j^{(k)}$输入$w_1^{(k-1)}{}_j^{(k)} \cdot z_1^{(k-1)}$至$w_m^{(k-1)}{}_j^{(k)} \cdot z_m^{(k-1)}$。此时，对第k层的神经元$N_j^{(k)}$输入的信号的总和$u_j^{(k)}$成为算式(2)。

[0161] [算式2]

[0162] $$u_j^{(k)} = \sum_{i=1}^{m} w_i^{(k-1)}{}_j^{(k)} \cdot z_i^{(k-1)} \quad \cdots(2)$$

[0163] 也可以对权系数$w_1^{(k-1)}{}_j^{(k)}$至$w_m^{(k-1)}{}_j^{(k)}$及神经元的信号$z_1^{(k-1)}$至$z_m^{(k-1)}$的积和的结果作为偏差供应偏置。在偏置为b时，算式(2)可以改写为如下算式。

[0164] [算式3]

[0165] $$u_j^{(k)} = \sum_{i=1}^{m} w_i^{(k-1)}{}_j^{(k)} \cdot z_i^{(k-1)} + b \quad \cdots(3)$$

[0166] 神经元$N_j^{(k)}$根据$u_j^{(k)}$生成输出信号$z_j^{(k)}$。在此，以以下算式定义来自神经元$N_j^{(k)}$的输出信号$z_j^{(k)}$。

[0167] [算式4]

[0168] $$z_j^{(k)} = f(u_j^{(k)}) \quad \cdots(4)$$

[0169] 函数$f(u_j^{(k)})$是分层神经网络中的激活函数，可以使用阶梯函数、线性斜坡函数、sigmoid函数等。既可以在所有神经元中使用相同的激活函数，也可以在神经元中使用不同的激活函数。此外，神经元的激活函数也可以在各层中相同或不同。

[0170] 各层的神经元所输出的信号、权系数w或偏置b既可以为模拟值又可以为数字值。作为数字值，例如既可以为2值又可以为3值。此外，也可以为更大的位数。作为一个例子，在信号为模拟值时，作为激活函数，例如使用线性斜坡函数、sigmoid函数等即可。在信号为数字值的2值时，例如，使用使输出为-1或1、或者0或1的阶梯函数即可。另外，各层的神经元所输出的信号也可以为3值以上，此时激活函数为3值以上，例如使用使输出为-1、0或1的阶梯函数，或者0、1或2的阶梯函数等即可。此外，例如，作为输出5值以上的激活函数，使用-2、-1、0、1或2的阶梯函数等。通过作为各层的神经元所输出的信号、权系数w和偏置b中的至少一个使用数字值，可以减少电路规模、降低功耗或提高运算速度。此外，通过作为各层的神

经元所输出的信号、权系数w和偏置b中的至少一个使用模拟值，可以提高运算的精度。

[0171] 神经网络100通过对第一层(输入层)输入输入信号，在从第一层(输入层)到最后层(输出层)的各层中，依次进行根据从前一层输入的信号使用算式(1)、算式(2)(或算式(3))、算式(4)生成输出信号而将该输出信号输出到后一层的工作。从最后层(输出层)输出的信号相当于神经网络100所计算的结果。

[0172] <运算电路的结构例子>

[0173] 在此，说明在上述神经网络100中能够进行算式(2)(或算式(3))及算式(4)的运算的运算电路的一个例子。注意，在该运算电路中，作为一个例子，将神经网络100的神经突触电路的权系数设定为2值(“-1”、“+1”的组合或“0”、“+1”的组合等)、3值(“-1”、“0”、“1”的组合等)或者4值以上的多值(5值时，“-2”、“-1”、“0”、“1”、“2”的组合等)，并且神经元的激活函数输出2值(“-1”、“+1”的组合或“0”、“+1”的组合等)、3值(“-1”、“0”、“1”的组合等)、4值以上的多值(4值时，“0”、“1”、“2”、“3”的组合等)。另外，在本说明书等中，有时将权系数称为第一数据且将从前一层的神经元向后一层的神经元输入的信号的值(有时称为运算值)称为第二数据。注意，神经网络100的突触电路的权系数及运算值不局限于数字值，其中至少一个也可以使用模拟值。

[0174] 例如，图15A所示的运算电路110是包括阵列部ALP、电路ILD、电路WLD、电路XLD、电路AFP的半导体装置。运算电路110是对输入到图14A及图14B中的第k层的神经元$N_1^{(k)}$至神经元$N_n^{(k)}$的信号$z_1^{(k-1)}$至$z_m^{(k-1)}$进行处理而生成从神经元$N_1^{(k)}$至神经元$N_n^{(k)}$的每一个输出的信号$z_1^{(k)}$至$z_n^{(k)}$的电路。

[0175] 另外，运算电路110整体或一部分可以用于神经网络或AI以外的用途。例如，当在图像处理用计算或科学计算用计算等中进行积和运算处理或矩阵运算处理时，也可以使用运算电路110整体或一部分进行处理。换言之，运算电路110整体或一部分除了AI用计算以外还可以用于一般的计算。

[0176] 电路ILD例如与布线IL[1]至布线IL[n]、布线ILB[1]至布线ILB[n]电连接。电路WLD例如与布线WLS[1]至布线WLS[m]电连接。电路XLD例如与布线XLS[1]至布线XLS[m]电连接。电路AFP例如与布线OL[1]至布线OL[n]、布线OLB[1]至布线OLB[n]电连接。

[0177] 《阵列部ALP》

[0178] 阵列部ALP例如包括m×n个电路MP。电路MP例如在阵列部ALP内配置为m行n列的矩阵状。在图15A中，将位于i行j列(在此，i是1以上且m以下的整数，j是1以上且n以下的整数。)的电路MP表示为电路MP[i,j]。注意，在图15A中，只示出电路MP[1,1]、电路MP[m,1]、电路MP[i,j]、电路MP[1,n]、电路MP[m,n]，而省略示出其他电路MP。

[0179] 电路MP[i,j]例如与布线IL[j]、布线ILB[j]、布线WLS[i]、布线XLS[i]、布线OL[j]及布线OLB[j]电连接。

[0180] 电路MP[i,j]例如具有保持神经元$N_i^{(k-1)}$与神经元$N_j^{(k)}$之间的权系数(第一数据)的功能。具体而言，电路MP[i,j]保持对应于从布线IL[j]及布线ILB[j]输入的第一数据(权系数)的数据(例如，电位、电阻值、电流值等)。此外，电路MP[i,j]具有输出从神经元$N_i^{(k-1)}$输出的信号$z_i^{(k-1)}$(第二数据)与第一数据之积的功能。作为具体例子，电路MP[i,j]通过从布线XLS[i]被输入对应于第二数据$z_i^{(k-1)}$的数据(例如，电位、电阻值、电流值等)，将对应于第一数据与第二数据之积的数据(例如，电位、电阻值、电流值等)输出到布线OL[j]及布线

OLB[j]。注意，示出配置有布线IL[j]及布线ILB[j]的双方的例子，但本发明的一个方式不局限于此，也可以只配置有布线IL[j]和布线ILB[j]中的任一个。

[0181] 《电路ILD》

[0182] 电路ILD例如具有通过布线IL[1]至布线IL[n]及布线ILB[1]至布线ILB[n]对电路MP[1,1]至电路MP[m,n]的每一个输入对应于权系数的第一数据$w_1^{(k-1)}{}_1^{(k)}$至$w_m^{(k-1)}{}_n^{(k)}$的数据(例如，电位、电阻值、电流值等)的功能。作为具体例子，电路ILD通过布线IL[j]、布线ILB[j]对电路MP[i,j]供应将对应于权系数的第一数据$w_i^{(k-1)}{}_j^{(k)}$的数据(例如，电位、电阻值或电流值等)。

[0183] 《电路XLD》

[0184] 电路XLD例如具有通过布线XLS[1]至布线XLS[m]对电路MP[1,1]至电路MP[m,n]的每一个供应相当于从神经元$N_1^{(k-1)}$至神经元$N_m^{(k-1)}$输出的运算值的第二数据$z_1^{(k-1)}$至$z_m^{(k-1)}$的功能。具体而言，电路XLD通过布线XLS[i]对电路MP[i,1]至电路MP[i,n]的每一个供应对应于从神经元$N_i^{(k-1)}$输出的第二数据$z_i^{(k-1)}$的数据(例如，电位、电流值等)。

[0185] 《电路WLD》

[0186] 电路WLD例如具有选择从电路ILD输入的对应于第一数据的数据(例如，电位、电阻值、电流值等)被写入的电路MP的功能。例如，在对位于阵列部ALP的第i行的电路MP[i,1]至电路MP[i,n]写入数据(例如，电位、电阻值、电流值等)时，电路WLD例如对布线WLS[i]供应用来使包括在电路MP[i,1]至电路MP[i,n]中的写入用开关元件处于开启状态或关闭状态的信号，对布线WLS供应用来使第i行以外的电路MP所包括的写入用开关元件处于关闭状态的电位。注意，除了布线WLS[i]以外例如也可以另行配置传送对布线WLS[i]输入的信号的反转信号的布线。

[0187] 《电路AFP》

[0188] 电路AFP例如包括电路ACTF[1]至电路ACTF[n]。电路ACTF[j]例如电连接于布线OL[j]和布线OLB[j]。电路ACTF[j]例如生成对应于从布线OL[j]及布线OLB[j]输入的各数据(例如，电位、电流值等)的信号。例如，对从布线OL[j]及布线OLB[j]输入的各数据(例如，电位或电流值等)进行比较，来生成对应于其比较结果的信号。该信号相当于从神经元$N_j^{(k)}$输出的信号$z_j^{(k)}$。换言之，电路ACTF[1]至电路ACTF[n]例如被用作进行上述神经网络的激活函数的运算的电路。注意，本发明的一个方式不局限于此。例如，电路ACTF[1]至电路ACTF[n]也可以具有将模拟信号转换为数字信号的功能。或者，例如，电路ACTF[1]至电路ACTF[n]可以具有将模拟信号放大而输出的功能，即将输出阻抗转换的功能。注意，示出配置有电路ACTF的例子，但是本发明的一个方式不局限于此，也可以不配置有电路ACTF。或者，例如，电路ACTF[1]至电路ACTF[n]也可以具有将电流或电荷转换电压的功能。或者，例如，电路ACTF[1]至电路ACTF[n]也可以具有使布线OL[j]及布线OLB[j]的电位初始化的功能。

[0189] 《电路MP》

[0190] 图15B是电路MP的结构的一个例子。电路MP包括电路MC及电路MCr。电路MC例如包括晶体管M1至M4及电容C1。电路MCr例如包括晶体管M1r至M4r及电容C1r。电容C1及电容C1r可以具有与实施方式1所示的电容11同样的结构。此外，例如由晶体管M2及电容C1构成保持部HC。此外，例如由晶体管M2r及电容C1r构成保持部HCr。

[0191] 图15B所示的晶体管M1至M4及晶体管M1r至M4r例如为沟道的上下包括栅极的多栅

结构的n沟道型晶体管。晶体管M1至M4及晶体管M1r至M4r的每一个包括第一栅极及第二栅极。尤其是,作为一个例子,晶体管M3的尺寸优选与晶体管M4的尺寸相等,晶体管M3r的尺寸优选与晶体管M4r的尺寸相等。

[0192] 在图15B的电路MP中,晶体管M1的源极和漏极中的一个与布线VE电连接。晶体管M1的源极和漏极中的另一个与晶体管M3的源极和漏极中的一个及晶体管M4的源极和漏极中的一个电连接。晶体管M1的栅极与电容C1的第一电极及晶体管M2的源极和漏极中的一个电连接。电容C1的第二电极与布线VE电连接。晶体管M2的源极和漏极中的另一个与布线OL电连接。晶体管M2的栅极与布线WL电连接。晶体管M3的源极和漏极中的另一个与布线OL电连接,晶体管M3的栅极与布线WX1L电连接。晶体管M4的源极和漏极中的另一个与布线OLB电连接,晶体管M4的栅极与布线X2L电连接。

[0193] 对在电路MCr中与电路MC不同的连接结构进行说明。晶体管M3r的源极和漏极中的另一个与布线OLB电连接而不与布线OL电连接,晶体管M4r的源极和漏极中的另一个与布线OL电连接而不与布线OLB电连接。晶体管M1r的源极和漏极中的一个及电容C1r的第二电极与布线VEr电连接。

[0194] 注意,在图15B所示的保持部HC中,将晶体管M1的栅极、电容C1的第一电极及晶体管M2的源极和漏极中的一个的电连接点记为节点n1。此外,在图15B所示的保持部HCr中,将晶体管M1r的栅极、电容C1r的第一电极及晶体管M2r的源极和漏极中的一个的电连接点记为节点n1r。

[0195] 保持部HC例如具有保持对应于第一数据的电位的功能。通过在使晶体管M2、M3处于开启状态时从布线OL输入电位而对电容C1写入该电位然后使晶体管M2处于关闭状态,包括在图15B的电路MC中的保持部HC保持该电位。由此,可以将节点n1的电位作为对应于第一数据的电位保持。此时,从布线OL输入电流,可以在电容C1保持对应于该电流的大小的电位。因此,可以减少晶体管M1的电流特性的偏差的影响。

[0196] 由于晶体管M1长时间保持节点n1的电位,所以优选使用OS晶体管等的关态电流少的晶体管。另外,也可以作为晶体管M1使用包括背栅极的晶体管,对背栅极施加低电位而使阈值电压向正一侧漂移,来降低关态电流。

[0197] 为了在后面说明的工作例子中简单地说明输入到电路MP或从电路MP输出的电流,将图15B所示的布线OL的两端记为节点ina、outa,将布线OLB的两端记为节点inb、outb。

[0198] 布线VE及布线VEr例如具有供应恒电位的布线的功能。作为该恒电位,在晶体管M3、晶体管M3r、晶体管M4或晶体管M4r为n沟道型晶体管时,例如可以为低电位的VSS、接地电位或这些以外的低电位等。

[0199] 《工作例子》

[0200] 接着,说明图15B所示的电路MP的工作例子。图16A至图16C、图17A至图17C及图18A至图18C是示出电路MP的工作例子的时序图,其中分别示出布线WL、WX1L、X2L、节点n1、n1r的电位的变动。注意,图16A至图18C所记载的"H"示出高电位,"L"示出低电位。此外,在本工作例子中,将从布线OL输出到节点outa(或者,从节点outa输出到布线OL)的电流量记为I_{OL}。此外,将从布线OLB输出到节点outb(或者,从节点outb输出到布线OLB)的电流量记为I_{OLB}。图16A至图18C所示的时序图还示出电流I_{OL}、I_{OLB}的变化量。

[0201] 注意,在本工作例子中,布线VE及布线VEr作为恒电位被供应VSS(低电位)。

[0202] 在图15B所示的电路MP中，在晶体管M2、M3处于开启状态时，晶体管M1具有二极管连接的结构。因此，在电流从布线OL向电路MC流过时，晶体管M1的源极和漏极中的另一个与晶体管M1的栅极的每一个的电位几乎相等。该电位根据从布线OL向电路MC流过的电流量及晶体管M1的源极和漏极中的一个的电位(这里VSS)等决定。这里，在电容C1中保持晶体管M1的栅极的电位，然后使晶体管M2处于关闭状态，由此晶体管M1被用作根据晶体管M1的栅极的电位流过电流的电流源。因此，可以减少晶体管M1的电流特性的偏差的影响。

[0203] 例如，当在晶体管M2、M3处于开启状态下I_1的电流量从布线OL通过电路MC向布线VE流过时，晶体管M1的栅极(节点n1)的电位成为V_1。这里，通过使晶体管M2处于关闭状态，V_1被保持部HC保持。由此，晶体管M1可以将晶体管M1的源极和漏极中的一个的电位VSS及对应于晶体管M1的栅极的电位V_1的电流的I_1向晶体管M1的源极与漏极间流过。在本说明书等中，将这种工作称为“在晶体管M1中将晶体管M1的源极与漏极间流过的电流量被编程为I_1”等。

[0204] 在本工作例子中，从布线OL向电路MC流过的电流量为0、I_1、I_2的三种。因此，晶体管M1的电流量被编程为0、I_1、I_2的三种。例如，在保持在保持部HC中的晶体管M1的栅极的电位为VSS时，由于晶体管M1的源极和漏极中的一个、源极和漏极中的另一个的每一个的电位也为VSS，因此若晶体管M1的阈值电压高于0，则晶体管M1处于关闭状态。因此，由于电流不在晶体管M1的源极与漏极间流过。因此可以说在晶体管M1的源极与漏极间流过的电流量被编程为0。此外，例如，在保持在保持部HC中的晶体管M1的栅极的电位为V_1时，若晶体管M1的阈值电压低于V_1-VSS，则晶体管M1成为开启状态。此时，在晶体管M1中流过的电流量为I_1。因此，在晶体管M1的栅极的电位为V_1时，可以说流在晶体管M1的源极与漏极间的电流量被编程为I_1。另外，例如，在保持在保持部HC中的晶体管M1的栅极的电位为V_2时，若晶体管M1的阈值电压低于V_2-VSS，则晶体管M1成为开启状态。此时，在晶体管M1中流过的电流量为I_2。因此，在晶体管M1的栅极的电位为V_2时，可以说流在晶体管M1的源极与漏极间的电流量被编程为I_2。

[0205] 注意，I_1的电流量大于0且小于I_2。此外，电位V_1高于VSS且低于V_2。另外，晶体管M1的阈值电压高于0且低于V_1-VSS。

[0206] 在说明工作例子之前，电路MP所保持的第一数据(例如，这里是权系数)定义为如下。当在保持部HC的节点n1保持VSS且在保持部HCr的节点n1r保持VSS时，保持部MP作为第一数据(权系数)保持“0”。当在保持部HC的节点n1保持V_1且在保持部HCr的节点n1r保持VSS时，保持部MP作为第一数据(权系数)保持“+1”。当在保持部HC的节点n1保持V_2且在保持部HCr的节点n1r保持VSS时，保持部MP作为第一数据(权系数)保持“+2”。当在保持部HC的节点n1保持VSS且在保持部HCr的节点n1r保持V_1时，保持部MP作为第一数据(权系数)保持“-1”。当在保持部HC的节点n1保持VSS且在保持部HCr的节点n1r保持V_2时，保持部MP作为第一数据(权系数)保持“-2”。

[0207] 输入到电路MP的第二数据(例如，这里是神经元的信号的值(运算值))例如定义为如下。在对布线WX1L施加高电位且对布线X2L施加低电位时，对电路MP作为第二数据(神经元的信号的值)输入“+1”。在对布线WX1L施加低电位且对布线X2L施加高电位时，对电路MP作为第二数据(神经元的信号的值)输入“-1”。在对布线WX1L施加低电位且对布线X2L施加低电位时，对电路MP作为第二数据(神经元的信号的值)输入“0”。注意，例如，高电位为VDD、比VDD高10％以上或20％以上的电位。

[0208] 以下按第一数据(例如,以下是权系数)及第二数据(例如,以下是神经元的信号的值(运算值)等)的每一个所取得的值的组合说明电路MP的工作例子。

[0209] [条件1]

[0210] 首先,作为一个例子,考虑第一数据(权系数)为“0”且输入到电路MP的第二数据(神经元的信号的值(运算值))为“+1”的情况。图16A是此时的电路MP的时序图。

[0211] 在期间T11在保持部HC、HCr中保持初始电位。在图16A中,例如,在节点n1、n1r作为初始电位保持比电位VSS高的电位。

[0212] 此外,对布线WL、WX1L、X2L施加低电位。由此,由于对晶体管M2、M2r、M3、M3r、M4、M4r的每一个的栅极输入低电位,所以晶体管M2、M2r、M3、M3r、M4、M4r都处于关闭状态。

[0213] 在期间T12,对布线WL、布线WX1L施加高电位。由此,由于对晶体管M2、M2r、M3、M3r的每一个的栅极输入高电位,所以晶体管M2、M2r、M3、M3r都处于开启状态。

[0214] 此外,虽然在图16A中未图示,但是对布线OL、OLB的每一个作为初始化电位施加V_{ini}。由于晶体管M2、M2r、M3、M3r的每一个处于开启状态,所以保持部HC的节点n1及保持部HCr的节点n1r的每一个的电位成为V_{ini}。也就是说,在期间T12,进行保持部HC的节点n1及保持部HCr的节点n1r的每一个的电位的初始化。

[0215] 注意,作为初始化电位的V_{ini}例如优选为接地电位。此外,作为初始化电位的V_{ini},也可以为VSS、比接地电位高的电位或比接地电位低的电位。此外,对布线OL、OLB的每一个供应的初始化电位V_{ini}也可以为彼此不同的电位。注意,也可以不对布线OL、OLB的每一个输入初始化电位V_{ini}。注意,不一定必需设置期间T12。或者,不一定必需在期间T12进行初始化。

[0216] 在期间T13,从布线OL对电路MC输入电位VSS,从布线OLB对电路MCr输入电位VSS。由此,保持部HC的节点n1的电位为VSS,保持部HCr的节点n1r的电位为VSS。由此,由于在电路MC中将晶体管M1编程为被提供电流量0,所以电流不从布线OL通过电路MC向布线VE流过。此外,由于在电路MCr中将晶体管M1r编程为被提供电流量0,所以电流不从布线OLB通过电路MCr向布线VEr流过。换言之,在期间T13,由于晶体管M1、M1r处于关闭状态,所以在布线OL与布线VE之间成为非导通状态,在布线OLB与布线VEr之间成为非导通状态。

[0217] 在期间T14,对布线WL及布线WX1L施加低电位。由此,由于对晶体管M2、M2r、M3、M3r的每一个的栅极输入低电位,所以晶体管M2、M2r、M3、M3r都处于关闭状态。通过晶体管M2、M2r成为关闭状态,保持保持部HC的节点n1的电位VSS,且保持保持部HCr的节点n1r的电位VSS。此外,通过晶体管M3成为关闭状态,电流不从布线OL通过电路MC向布线VE流过。另外,同样地,通过晶体管M3r成为关闭状态,电流不从布线OLB通过电路MCr向布线VEr流过。

[0218] 根据期间T11至期间T14的工作作为电路MP的第一数据(权系数)设定“0”。

[0219] 在期间T15,作为对电路MP的神经元的信号(运算值)“+1”的输入,对布线WX1L输入高电位,对布线X2L输入低电位。此时,对晶体管M3、M3r的每一个的栅极输入高电位,对晶体管M4、M4r的每一个的栅极输入低电位。因此,晶体管M3、M3r都成为开启状态,M4、M4r都成为关闭状态。也就是说,通过该工作,在电路MC与布线OL之间及在电路MCr与布线OLB之间成为导通状态,在电路MC与布线OLB之间及在电路MCr与布线OL之间成为非导通状态。

[0220] 注意,由于晶体管M1处于关闭状态(编程为被提供电流量0),所以在电路MC中电流不在布线OL、OLB与布线VE之间流过。同样地,由于晶体管M1r处于关闭状态(编程为被提供

电流量0)，所以在电路MCr中电流不在布线OL、OLB与布线VEr之间流过。如上所述，从布线OL的节点outa输出的电流I_{OL}及从布线OLB的节点outb输出的电流I_{OLB}在期间T14与期间T15之间不变化。

[0221] 在本条件中，由于第一数据(权系数)为“0”且输入到电路MP的第二数据(神经元的信号的值(运算值))为“+1”，所以在使用算式(1)时第一数据(权系数)与第二数据(神经元的信号的值)之积为“0”。第一数据(权系数)与第二数据(神经元的信号的值)之积为“0”的结果对应于在电路MP的工作中在期间T15电流I_{OL}及电流I_{OLB}都不变化的情况。

[0222] 注意，通过一旦输入第一数据(例如，权系数等)就不更新该数据的值而只改变第二数据(神经元的信号的值或运算值等)，也可以进行多个积和运算处理。在此情况下，不需要第一数据(权系数)的更新，所以可以降低功耗。另外，为了减少第一数据(权系数)的更新频率，需要长期间保持第一数据(权系数)。此时，例如在使用OS晶体管时，由于关态电流低，所以可以长期间保持第一数据(权系数)。

[0223] [条件2]

[0224] 接着，作为一个例子，考虑第一数据(权系数)为“+1”且输入到电路MP的第二数据(神经元的信号的值(运算值))为“+1”的情况。图16B是此时的电路MP的时序图。

[0225] 由于期间T11及期间T12的工作与条件1的期间T11及期间T12的工作同样，所以参照条件1的期间T11及期间T12的工作的说明。

[0226] 在期间T13，从布线OL对电路MC作为电流量输入I_1，从布线OLB对电路MCr输入电位VSS。由此，保持部HC的节点n1的电位为V_1，保持部HCr的节点n1r的电位为VSS。由此，由于在电路MC中将晶体管M1编程为被提供电流量I_1，所以电流量I_1从布线OL通过电路MC向布线VE流过。此外，由于在电路MCr中将晶体管M1r编程为被提供电流量0，所以电流不从布线OLB通过电路MCr向布线VEr流过。

[0227] 在期间T14，对布线WL及布线WX1L施加低电位。由此，由于对晶体管M2、M2r、M3、M3r的每一个的栅极输入低电位，所以晶体管M2、M2r、M3、M3r都处于关闭状态。通过晶体管M2、M2r成为关闭状态，保持保持部HC的节点n1的电位V_1，且保持保持部HCr的节点n1r的电位VSS。此外，通过晶体管M3成为关闭状态，电流不从布线OL通过电路MC向布线VE流过。另外，同样地，通过晶体管M3r成为关闭状态，电流不从布线OLB通过电路MCr向布线VEr流过。

[0228] 根据期间T11至期间T14的工作作为电路MP的第一数据(权系数)设定“+1”。

[0229] 在期间T15，作为对电路MP的第二数据(神经元的信号的值(运算值))“+1”的输入，对布线WX1L输入高电位，对布线X2L输入低电位。此时，对晶体管M3、M3r的每一个的栅极输入高电位，对晶体管M4、M4r的每一个的栅极输入低电位。因此，晶体管M3、M3r都成为开启状态，M4、M4r都成为关闭状态。也就是说，通过该工作，在电路MC与布线OL之间及在电路MCr与布线OLB之间成为导通状态，在电路MC与布线OLB之间及在电路MCr与布线OL之间成为非导通状态。

[0230] 由于在电路MC中晶体管M3成为开启状态且晶体管M1r成为开启状态(编程为被提供电流量I_1)，在布线OL至布线VE之间电流流过。此外，由于在电路MC中晶体管M4处于关闭状态，所以在布线OLB至布线VE之间电流不流过。另一方面，由于在电路MCr中晶体管M3r处于开启状态而晶体管M1处于关闭状态(编程为被提供电流量0)，所以在布线OLB至布线VEr之间电流不流过。此外，由于在电路MCr中晶体管M4r处于关闭状态，所以在布线OL至布线

VEr之间电流不流过。如上所述，从布线OL的节点outa输出的电流I_{0L}在期间T15增加I_1，从布线OLB的节点outb输出的电流I_{0LB}在期间T14与期间T15之间不变化。

[0231] 在本条件中，由于第一数据(权系数)为“+1”且输入到电路MP的第二数据(神经元的信号的值(运算值))为“+1”，所以在使用算式(1)时第一数据(权系数)与第二数据(神经元的信号的值)之积为“+1”。第一数据(权系数)与第二数据(神经元的信号的值)之积为“+1”的结果对应于在电路MP的工作中在期间T15电流I_{0L}增加I_1且电流I_{0LB}不变化的情况。

[0232] 注意，在本条件的期间T13，例如，通过将从布线OL向电路MC流过的电流编程为I_2而不是I_1，可以在保持部HC保持V_2。由此，作为电路MP的第一数据(权系数)设定“+2”。当将第一数据(权系数)设定为“+2”，且将输入到电路MP的神经元的信号设定为“+1”时，通过算式(1)第一数据(权系数)与第二数据(神经元的信号的值)之积为“+2”。第一数据(权系数)与第二数据(神经元的信号的值)之积为“+2”的结果对应于在电路MP的工作中在期间T15电流I_{0L}增加I_2而电流I_{0LB}不变化的情况。如此，在电路MCr中在保持部HCr保持VSS，且在电路MC中编程电流I_1以外的电流，作为电路MP的第一数据(权系数)设定“+1”以外的正值。

[0233] [条件3]

[0234] 接着，作为一个例子，考虑第一数据(权系数)为“-1”且输入到电路MP的第二数据(神经元的信号的值(运算值))为“+1”的情况。图16C是此时的电路MP的时序图。

[0235] 由于期间T11及期间T12的工作与条件1的期间T11及期间T12的工作同样，所以参照条件1的期间T11及期间T12的工作的说明。

[0236] 在期间T13，从布线OL对电路MC输入电位VSS，从布线OLB对电路MCr作为电流量输入I_1。由此，保持部HC的节点n1的电位为VSS，保持部HCr的节点n1r的电位为V_1。由此，由于在电路MCr中将晶体管M1编程为被提供电流量0，所以电流不从布线OL通过电路MC向布线VE流过。此外，由于在电路MCr中将晶体管M1r编程为被提供电流量I_1，所以电流量I_1从布线OLB通过电路MCr向布线VEr流过。

[0237] 在期间T14，对布线WL及布线WX1L施加低电位。由此，由于对晶体管M2、M2r、M3、M3r的每一个的栅极输入低电位，所以晶体管M2、M2r、M3、M3r都处于关闭状态。通过晶体管M2、M2r成为关闭状态，保持保持部HC的节点n1的电位VSS，且保持保持部HCr的节点n1r的电位V_1。此外，通过晶体管M3成为关闭状态，电流不从布线OL通过电路MC向布线VE流过。另外，同样地，通过晶体管M3r成为关闭状态，电流不从布线OLB通过电路MCr向布线VEr流过。

[0238] 根据期间T11至期间T14的工作作为电路MP的第一数据(权系数)设定“-1”。

[0239] 在期间T15，作为对电路MP的第二数据(神经元的信号(运算值))“+1”的输入，对布线WX1L输入高电位，对布线X2L输入低电位。此时，对晶体管M3、M3r的每一个的栅极输入高电位，对晶体管M4、M4r的每一个的栅极输入低电位。因此，晶体管M3、M3r都成为开启状态，M4、M4r都成为关闭状态。也就是说，通过该工作，在电路MC与布线OL之间及在电路MCr与布线OLB之间成为导通状态，在电路MC与布线OLB之间及在电路MCr与布线OL之间成为非导通状态。

[0240] 此时，由于在电路MC中晶体管M3处于开启状态且晶体管M1处于关闭状态(编程为被提供电流量0)，在布线OL至布线VE之间电流不流过。此外，由于在电路MC中晶体管M4处于关闭状态，所以在布线OLB至布线VE之间电流不流过。另一方面，由于在电路MCr中晶体管M3r成为开启状态且晶体管M1r成为开启状态(编程为被提供电流量I_1)，所以在布线OLB至

布线VEr之间电流流过。此外，由于在电路MCr中晶体管M4r处于关闭状态，所以在布线OL至布线VEr之间电流不流过。如上所述，从布线OL的节点outa输出的电流I_{OL}在期间T14与期间T15之间不变化，从布线OLB的节点outb输出的电流I_{OLB}在期间T15增加I_1。

[0241] 在本条件中，由于第一数据(权系数)为“-1”且输入到电路MP的第二数据(神经元的信号的值(运算值))为“+1”，所以在使用算式(1)时第一数据(权系数)与第二数据(神经元的信号的值)之积为“-1”。第一数据(权系数)与第二数据(神经元的信号的值)之积为“-1”的结果对应于在电路MP的工作中在期间T15电流I_{OL}不变化且电流I_{OLB}增加I_1的情况。

[0242] 注意，在本条件的期间T13，例如，通过将从布线OLB向电路MCr流过的电流编程为I_2而不是I_1，可以在保持部HCr保持V_2。由此，作为电路MP的第一数据(权系数)设定“-2”。当将第一数据(权系数)设定为“-2”，且将输入到电路MP的第二数据(神经元的信号的值)设定为“+1”时，通过算式(1)第一数据(权系数)与第二数据(神经元的信号的值)之积为“-2”。第一数据(权系数)与第二数据(神经元的信号的值)之积为“-2”的结果对应于在电路MP的工作中在期间T15电流I_{OL}不变化而电流I_{OLB}增加I_2的情况。如此，在电路MC中在保持部HC保持VSS，且在电路MCr中作为电流量编程I_1以外的电流量，作为电路MP的权系数设定“+1”以外的正值。

[0243] [条件4]

[0244] 在本条件中，作为一个例子，考虑第一数据(权系数)为“0”且输入到电路MP的第二数据(神经元的信号的值(运算值))为“-1”的情况的电路MP的工作。图17A是此时的电路MP的时序图。

[0245] 由于期间T11至期间T14的工作与条件1的期间T11至期间T14的工作同样，所以参照条件1的期间T11至期间T14的工作的说明。

[0246] 在期间T15，作为对电路MP的第二数据(神经元的信号的值(运算值))“-1”的输入，对布线WX1L输入低电位，对布线X2L输入高电位。此时，对晶体管M3、M3r的每一个的栅极输入低电位，对晶体管M4、M4r的每一个的栅极输入高电位。因此，晶体管M3、M3r都成为关闭状态，M4、M4r都成为开启状态。也就是说，通过该工作，在电路MC与布线OL之间及在电路MCr与布线OLB之间成为非导通状态，在电路MC与布线OLB之间及在电路MCr与布线OL之间成为导通状态。

[0247] 注意，由于晶体管M1处于关闭状态(编程为被提供电流量0)，所以在电路MC中电流不在布线OL、OLB与布线VE之间流过。也就是说，从布线OL的节点outa输出的电流I_{OL}及从布线OLB的节点outb输出的电流I_{OLB}在期间T14与期间T15之间不变化。同样地，由于晶体管M1r处于关闭状态(编程为被提供电流量0)，所以在电路MCr中电流不在布线OL、OLB与布线VEr之间流过。换言之，从布线OL的节点outa输出的电流I_{OL}及从布线OLB的节点outb输出的电流I_{OLB}也在期间T14与期间T15之间不变化。

[0248] 在本条件中，由于第一数据(权系数)为“0”且输入到电路MP的第二数据(神经元的信号的值(运算值))为“-1”，所以在使用算式(1)时第一数据(权系数)与第二数据(神经元的信号的值)之积为“0”。第一数据(权系数)与第二数据(神经元的信号的值)之积为“0”的结果对应于在电路MP的工作中在期间T14与期间T15之间电流I_{OL}及电流I_{OLB}都不变化的情况，该结果与条件1的电路工作的结果一致。

[0249] [条件5]

[0250] 在本条件中，作为一个例子，考虑第一数据(权系数)为“+1”且输入到电路MP的第二数据(神经元的信号的值(运算值))为“-1”的情况的电路MP的工作。图17B是此时的电路MP的时序图。

[0251] 由于期间T11至期间T14的工作与条件2的期间T11至期间T14的工作同样，所以说明条件2的期间T11至期间T14的工作的说明。

[0252] 在期间T15，作为对电路MP的第二数据(神经元的信号的值(运算值))“-1”的输入，对布线WX1L输入低电位，对布线X2L输入高电位。此时，对晶体管M3、M3r的每一个的栅极输入低电位，对晶体管M4、M4r的每一个的栅极输入高电位。因此，晶体管M3、M3r都成为关闭状态，M4、M4r都成为开启状态。也就是说，通过该工作，在电路MC与布线OL之间及在电路MCr与布线OLB之间成为非导通状态，在电路MC与布线OLB之间及在电路MCr与布线OL之间成为导通状态。

[0253] 此时，由于在电路MC中晶体管M3处于关闭状态，所以在布线OL至布线VE之间电流不流过。另外，由于在电路MC中晶体管M4成为开启状态且晶体管M1r成为开启状态(编程为被提供电流量I_1)，在布线OLB至布线VE之间电流流过。另一方面，由于在电路MCr中晶体管M3r处于关闭状态，所以在布线OLB至布线VEr之间电流不流过。此外，由于在电路MCr中晶体管M4r处于开启状态且晶体管M1处于关闭状态(编程为被提供电流量0)，在布线OL至布线VEr之间电流不流过。如上所述，从布线OL的节点outa输出的电流I_{0L}在期间T14与期间T15之间不变化，从布线OLB的节点outb输出的电流I_{0LB}在期间T15增加I_1。

[0254] 在本条件中，由于第一数据(权系数)为“+1”且输入到电路MP的第二数据(神经元的信号的值(运算值))为“-1”，所以在使用算式(1)时第一数据(权系数)与第二数据(神经元的信号的值)之积为“-1”。第一数据(权系数)与第二数据(神经元的信号的值)之积为“-1”的结果对应于在电路MP的工作中在期间T15电流I_{0L}不变化且电流I_{0LB}增加I_1的情况，该结果与条件3的电路工作的结果一致。

[0255] 注意，如也在条件2中说明，在本条件的期间T13，例如，通过将从布线OL向电路MC流过的电流编程为I_2而不是I_1，也可以在保持部HC保持V_2。由此，作为电路MP的第一数据(权系数)设定“+2”。当将第一数据(权系数)设定为“+2”，且将输入到电路MP的神经元的信号设定为“-1”时，通过算式(1)第一数据(权系数)与第二数据(神经元的信号的值)之积为“-2”。第一数据(权系数)与第二数据(神经元的信号的值)之积为“-2”的结果对应于在电路MP的工作中在期间T15电流I_{0L}不变化而电流I_{0LB}增加I_2的情况。如此，在电路MCr中在保持部HCr保持VSS，且在电路MC中编程电流I_1以外的电流，作为电路MP的权系数设定“+1”以外的正值。

[0256] [条件6]

[0257] 在本条件中，作为一个例子，考虑第一数据(权系数)为“-1”且输入到电路MP的第二数据(神经元的信号的值(运算值))为“-1”的情况的电路MP的工作。图17C是此时的电路MP的时序图。

[0258] 由于期间T11至期间T14的工作与条件3的期间T11至期间T14的工作同样，所以参照条件3的期间T11至期间T14的工作的说明。

[0259] 在期间T15，作为对电路MP的第二数据(神经元的信号的值(运算值))“-1”的输入，对布线WX1L输入低电位，对布线X2L输入高电位。此时，对晶体管M3、M3r的每一个的栅极输

入低电位，对晶体管M4、M4r的每一个的栅极输入高电位。因此，晶体管M3、M3r都成为关闭状态，M4、M4r都成为开启状态。也就是说，通过该工作，在电路MC与布线OL之间及在电路MCr与布线OLB之间成为非导通状态，在电路MC与布线OLB之间及在电路MCr与布线OL之间成为导通状态。

[0260] 此时，由于在电路MC中晶体管M3处于关闭状态，所以在布线OL至布线VE之间电流不流过。此外，由于在电路MC中晶体管M4处于开启状态而晶体管M1处于关闭状态(编程为被提供电流量0)，在布线OLB至布线VE之间电流不流过。另一方面，由于在电路MCr中晶体管M3r处于关闭状态，所以在布线OLB至布线VEr之间电流不流过。此外，由于在电路MCr中晶体管M4r成为开启状态且晶体管M1成为开启状态(编程为被提供电流量I_1)，在布线OL至布线VEr之间电流流过。如上所述，从布线OL的节点outa输出的电流I_{OL}在期间T15增加I_1，从布线OLB的节点outb输出的电流I_{OLB}在期间T14与期间T15之间不变化。

[0261] 在本条件中，由于第一数据(权系数)为“-1”且输入到电路MP的第二数据(神经元的信号的值(运算值))为“-1”，所以在使用算式(1)时第一数据(权系数)与第二数据(神经元的信号的值)之积为“+1”。第一数据(权系数)与第二数据(神经元的信号的值)之积为“+1”的结果对应于在电路MP的工作中在期间T14与期间T15之间电流I_{OL}变化且电流I_{OLB}不变化的情况，该结果与条件2的电路工作的结果一致。

[0262] 注意，如也在条件3中说明，在本条件的期间T13，例如，通过将从布线OLB向电路MCr流过的电流编程为I_2而不是I_1，也可以在保持部HC保持V_2。由此，作为电路MP的第一数据(权系数)设定“-2”。当将第一数据(权系数)设定为“-2”，且将输入到电路MP的第二数据(神经元的信号的值)设定为“-1”时，通过算式(1)第一数据(权系数)与第二数据(神经元的信号的值)之积为“+2”。第一数据(权系数)与第二数据(神经元的信号的值)之积为“+2”的结果对应于在电路MP的工作中在期间T15电流I_{OL}不变化而电流I_{OLB}增加I_2的情况。如此，在电路MC中在保持部HC保持VSS，且在电路MCr中编程电流I_1以外的电流，作为电路MP的权系数设定“+1”以外的正值。

[0263] [条件7]

[0264] 在本条件中，作为一个例子，将第一数据(权系数)为“0”且对电路MP输入的第二数据(神经元的信号的值(运算值))为“0”的情况作为条件7考虑电路MP的工作。图18A是此时的电路MP的时序图。

[0265] 由于期间T11至期间T14的工作与条件1的期间T11至期间T14的工作同样，所以参照条件1的期间T11至期间T14的工作的说明。

[0266] 在期间T15，作为对电路MP的第二数据(神经元的信号的值(运算值))“0”的输入，对布线WX1L输入低电位，对布线X2L输入低电位。此时，对晶体管M3、M3r、M4、M4r的每一个的栅极输入低电位。因此，晶体管M3、M3r、M4、M4r的每一个处于关闭状态。也就是说，通过该工作，在电路MC与布线OL之间、电路MCr与布线OLB之间、电路MC与布线OLB之间及电路MCr与布线OL之间成为非导通状态。

[0267] 由此，在电路MC中，无论在晶体管M1中流过的被编程的电流的量如何都在布线OL至布线VE和布线VEr中的一个之间电流不流过。同样地，在电路MCr中，无论在晶体管M1r中流过的被编程的电流的量如何都在布线OLB至布线VE和布线VEr中的另一个之间电流不流过。也就是说，从布线OL的节点outa输出的电流I_{OL}及从布线OLB的节点outb输出的电流I_{OLB}

的每一个在期间T14与期间T15之间不变化。

[0268] 在本条件中，由于第一数据(权系数)为“0”且输入到电路MP的第二数据(神经元的信号的值(运算值))为“0”，所以在使用算式(1)时第一数据(权系数)与第二数据(神经元的信号的值)之积为“0”。第一数据(权系数)与第二数据(神经元的信号的值)之积为“0”的结果对应于在电路MP的工作中在期间T15电流I_{OL}及电流I_{OLB}都不变化的情况，该结果与条件1、4的电路工作的结果一致。

[0269] [条件8]

[0270] 在本条件中，作为一个例子，将第一数据(权系数)为“+1”且对电路MP输入的第二数据(神经元的信号的值(运算值))为“0”的情况作为条件8考虑电路MP的工作。图18B是此时的电路MP的时序图。

[0271] 由于期间T11至期间T14的工作与条件2的期间T11至期间T14的工作同样，所以参照条件2的期间T11至期间T14的工作的说明。

[0272] 在期间T15，作为对电路MP的第二数据(神经元的信号的值(运算值))“0”的输入，对布线WX1L输入低电位，对布线X2L输入低电位。此时，对晶体管M3、M3r、M4、M4r的每一个的栅极输入低电位。因此，晶体管M3、M3r、M4、M4r的每一个处于关闭状态。也就是说，与条件7同样地，通过该工作，无论在晶体管M1、M1r的每一个中流过的被编程的电流的量如何，都在电路MC与布线OL之间、电路MCr与布线OLB之间、电路MC与布线OLB之间及电路MCr与布线OL之间成为非导通状态。因此，由于在布线OL至布线VE和布线VEr中的一个之间电流不流过且在布线OLB至布线VE和布线VEr中的另一个之间电流也不流过。如上所述，从布线OL的节点outa输出的电流I_{OL}及从布线OLB的节点outb输出的电流I_{OLB}的每一个在期间T14与期间T15之间不变化。

[0273] 在本条件中，由于第一数据(权系数)为“+1”且输入到电路MP的第二数据(神经元的信号(运算值))为“0”，所以在使用算式(1)时第一数据(权系数)与第二数据(神经元的信号的值)之积为“0”。第一数据(权系数)与第二数据(神经元的信号的值)之积为“0”的结果对应于在电路MP的工作中在期间T15电流I_{OL}及电流I_{OLB}都不变化的情况，该结果与条件1、4、7的电路工作的结果一致。

[0274] [条件9]

[0275] 在本条件中，作为一个例子，将第一数据(权系数)为“-1”且对电路MP输入的第二数据(神经元的信号的值(运算值))为“0”的情况作为条件9考虑电路MP的工作。图18C是此时的电路MP的时序图。

[0276] 由于期间T11至期间T14的工作与条件3的期间T11至期间T14的工作同样，所以参照条件3的期间T11至期间T14的工作的说明。

[0277] 在期间T15，作为对电路MP的第二数据(神经元的信号的值(运算值))“0”的输入，对布线WX1L输入低电位，对布线X2L输入低电位。此时，对晶体管M3、M3r、M4、M4r的每一个的栅极输入低电位。因此，晶体管M3、M3r、M4、M4r的每一个处于关闭状态。也就是说，与条件7同样地，通过该工作，无论在晶体管M1、M1r的每一个中流过的被编程的电流的量如何，都在电路MC与布线OL之间、电路MCr与布线OLB之间、电路MC与布线OLB之间及电路MCr与布线OL之间成为非导通状态。因此，由于在布线OL至布线VE和布线VEr中的一个之间电流不流过且在布线OLB至布线VE和布线VEr中的另一个之间电流也不流过。如上所述，从布线OL的节点

outa输出的电流I_{OL}及从布线OLB的节点outb输出的电流I_{OLB}的每一个在期间T14与期间T15之间不变化。

[0278] 在本条件中，由于第一数据(权系数)为“-1”且输入到电路MP的第二数据(神经元的信号的值(运算值))为“0”，所以在使用算式(1)时第一数据(权系数)与第二数据(神经元的信号的值)之积为“0”。第一数据(权系数)与第二数据(神经元的信号的值)之积为“0”的结果对应于在电路MP的工作中在期间T14与期间T15电流I_{OL}及电流I_{OLB}都不变化的情况，该结果与条件1、4、7、8的电路工作的结果一致。

[0279] 下表示出上述条件1至条件9的工作例子的结果。注意，在下表中，将高电位记为“H”，将低电位记为“L”。

[0280] [表1]

[0281]

条件	权系数	n1	n1r	信号	X1L	X2L	权系数×信号	I_{OL}的变化量	I_{OLB}的变化量
条件1	0	VSS	VSS	+1	H	L	0	0	0
条件2	+1	V_1	VSS	+1	H	L	+1	I_1	0
条件3	-1	VSS	V_1	+1	H	L	-1	0	I_1
条件4	0	VSS	VSS	-1	L	H	0	0	0
条件5	+1	V_1	VSS	-1	L	H	-1	0	I_1
条件6	-1	VSS	V_1	-1	L	H	+1	I_1	0
条件7	0	VSS	VSS	0	L	L	0	0	0
条件8	+1	V_1	VSS	0	L	L	0	0	0
条件9	-1	VSS	V_1	0	L	L	0	0	0

[0282] 在此，示出对布线OL、OLB的每一个连接有一个电路MC和一个电路MCr的例子。如图15A等所示，在布线OL、OLB的每一个连接有多个电路MC和多个电路MCr的情况下，从各电路MC及各电路MCr输出的电流根据基尔霍夫的电流定律合在一起。其结果，进行和运算。换言之，在电路MC、电路MCr中进行积运算，通过将来自多个电路MC及多个电路MCr的电流合在一起，进行和运算。其结果，进行积和运算处理。

[0283] 在此，在电路MP的工作中，通过进行将第一数据(权系数)设定为只有“+1”、“-1”的2值且将第二数据(神经元的信号的值)设定为只有“+1”、“-1”的2值的计算，电路MP可以进行与异或非电路(符合电路)相同的工作。

[0284] 另外，在电路MP的工作中，通过进行将第一数据(权系数)设定为只有“+1”、“0”的2值，将第二数据(神经元的信号的值)设定为只有“+1”、“0”的2值的计算，电路MP可以进行与逻辑乘电路同样的工作。

[0285] 在本工作例子中，将保持在电路MP的电路MC、MCr所包括的保持部HC、HCr中的电位设定为VSS、V_1、V_2等多值，但是在保持部HC、HCr中保持2值或表示模拟值的电位。例如，在第一数据(权系数)为“正模拟值”时，在保持部HC的节点n1保持有高电平模拟电位，在保持部HCr的节点n1r保持有低电位。第一数据(权系数)为“负模拟值”时，保持部HC的节点n1保持有低电位，保持部HCr的节点n1r保持有高电平模拟电位。电流I_{OL}及电流I_{OLB}的电流的高低成为对应于模拟电位的高低。

[0286] 本实施方式所示的结构、方法等的至少一部分可以与本说明书所记载的其他实施

方式及其他实施例等适当地组合而实施。

[0287] (实施方式3)

[0288] 在本实施方式中,对能够应用于上述实施方式中说明的半导体装置的晶体管的结构例子进行说明。作为一个例子,说明层叠具有不同的电特性的晶体管的结构。通过采用上述结构,可以提高半导体装置的设计自由度。此外,通过层叠具有不同的电特性的晶体管,可以提高半导体装置的集成度。

[0289] 图19示出半导体装置的部分截面结构。图19所示的半导体装置包括晶体管550、晶体管500及电容600。图20A是晶体管500的俯视图。图20B是沿着图20A的由点划线表示的部位L1-L2的截面图,也是晶体管500的沟道长度方向的截面图。图20C是沿着图20A的由点划线表示的部位W1-W2的截面图,也是晶体管500的沟道宽度方向的截面图。例如,晶体管500相当于上述实施方式所示的半导体装置所包括的OS晶体管,例如相当于晶体管21。另外,晶体管550相当于上述实施方式所示的半导体装置所包括的Si晶体管,例如相当于晶体管22。

[0290] 如上所述,晶体管500为OS晶体管。OS晶体管的关态电流极小。因此,可以长期保持通过晶体管500被写入到存储节点的数据电位或电荷。换言之,由于减少存储节点的刷新工作的频率或者不需要刷新工作,所以可以降低半导体装置的功耗。

[0291] 在图19中,晶体管500设置在晶体管550的上方,电容600设置在晶体管550及晶体管500的上方。

[0292] 晶体管550设置在衬底371上。衬底371例如是p型硅衬底。衬底371也可以是n型硅衬底。氧化物层374优选为通过埋氧化(Burried oxide)而形成在衬底371中的绝缘层(也称为BOX层),例如为氧化硅。晶体管550设置在SOI(Silicon On Insulator)衬底上,SOI衬底是在衬底371上隔着氧化物层374设置有单晶硅的衬底。

[0293] 被用作元件分离层的绝缘体373设置在SOI衬底中的衬底371中。此外,衬底371包括阱区域372。阱区域372为根据晶体管550的导电类型而被赋予n型或p型导电性的区域。半导体区域375、被用作源区域或漏区域的低电阻区域376a、低电阻区域376b设置在SOI衬底中的单晶硅中。此外,低电阻区域376c设置在阱区域372上。

[0294] 晶体管550可以与添加有赋予导电性的杂质元素的阱区域372重叠而设置。通过低电阻区域376c独立地控制电位,可以将阱区域372用作晶体管550的底栅电极。因此,可以控制晶体管550的阈值电压。尤其是,通过对阱区域372施加负电位,可以进一步提高晶体管550的阈值电压,并降低关态电流。因此,通过对阱区域372施加负电位,可以减少施加到Si晶体管的栅电极的电位为0V时的漏极电流。其结果是,可以降低包括晶体管550的运算电路中的基于贯穿电流等的功耗,并可以提高运算效率。

[0295] 晶体管550优选为导电体378隔着绝缘体377覆盖半导体层的顶面及沟道宽度方向上的侧面的所谓的Fin型结构。如此,通过使晶体管550具有Fin型结构,实效沟道宽度增加,从而可以提高晶体管550的通态特性。此外,由于可以增强栅电极的电场的作用,所以可以提高晶体管550的关态特性。

[0296] 此外,晶体管550既可为p沟道晶体管又可为n沟道晶体管。

[0297] 在此,导电体378有时被用作第一栅(也称为顶栅极)电极。此外,阱区域372有时被用作第二栅(也称为底栅极)电极。在此情况下,可以通过低电阻区域376c控制施加到阱区域372的电位。

[0298] 半导体区域375的沟道形成区域或其附近的区域、被用作源区域或漏区域的低电阻区域376a及低电阻区域376b、与控制阱区域372的电位的电极连接的低电阻区域376c等优选包含硅类半导体等半导体，更优选包含单晶硅。此外，也可以使用包含Ge(锗)、SiGe(硅锗)、GaAs(砷化镓)、GaAlAs(镓铝砷)等的材料形成。可以使用对晶格施加应力，改变晶面间距而控制有效质量的硅。此外，晶体管550也可以是使用GaAs和GaAlAs等的HEMT。

[0299] 在阱区域372、低电阻区域376a、低电阻区域376b以及低电阻区域376c中，除了应用于半导体区域375的半导体材料之外，还包含砷、磷等赋予n型导电性的元素或硼等赋予p型导电性的元素。

[0300] 作为被用作栅电极的导电体378，可以使用包含砷、磷等赋予n型导电性的元素或硼等赋予p型导电性的元素的硅等半导体材料、金属材料、合金材料或金属氧化物材料等导电性材料。此外，导电体378也可以使用镍硅化物等硅化物。

[0301] 此外，由于导电体的材料决定功函数，所以通过选择该导电体的材料，可以调整晶体管的阈值电压。具体而言，作为导电体优选使用氮化钛或氮化钽等材料。为了兼具导电性和嵌入性，作为导电体优选使用钨或铝等金属材料的叠层，尤其在耐热性方面上优选使用钨。

[0302] 低电阻区域376a、低电阻区域376b以及低电阻区域376c也可以另外层叠导电体，例如，镍硅化物等硅化物而设置。通过采用该结构，可以提高被用作电极的区域的导电性。此时，也可以在被用作栅电极的导电体378的侧面及被用作栅极绝缘膜的绝缘体的侧面设置被用作侧壁间隔物(也称为侧壁绝缘层)的绝缘体。通过采用该结构，可以防止导电体378与低电阻区域376a及低电阻区域376b成为导通状态。

[0303] 以覆盖晶体管550的方式依次层叠有绝缘体379、绝缘体381、绝缘体383及绝缘体385。

[0304] 作为绝缘体379、绝缘体381、绝缘体383及绝缘体385，例如可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧氮化铝、氮氧化铝、氮化铝等。

[0305] 注意，在本说明书中，“氧氮化硅”是指在其组成中氧含量多于氮含量的材料，而“氮氧化硅”是指在其组成中氮含量多于氧含量的材料。注意，在本说明书中，“氧氮化铝”是指氧含量多于氮含量的材料，“氮氧化铝”是指氮含量多于氧含量的材料。

[0306] 绝缘体381也可以用作用来使因设置在其下方的晶体管550等而产生的台阶平坦化的平坦化膜。例如，为了提高绝缘体381的顶面的平坦性，也可以通过利用化学机械抛光(CMP)法等的平坦化处理实现平坦化。

[0307] 作为绝缘体383，优选使用能够防止氢及杂质从衬底371或晶体管550等扩散到设置有晶体管500的区域中的具有阻挡性的膜。

[0308] 作为对氢具有阻挡性的膜的一个例子，例如可以使用通过CVD法形成的氮化硅。在此，有时氢扩散到晶体管500等具有氧化物半导体的半导体元件中，导致该半导体元件的特性下降。因此，优选在晶体管500与晶体管550之间设置抑制氢的扩散的膜。具体而言，抑制氢的扩散的膜是指氢的脱离量少的膜。

[0309] 氢的脱离量例如可以利用热脱附谱分析法(TDS)等分析。例如，在TDS分析中的膜表面温度为50℃至500℃的范围内，当将换算为氢原子的脱离量换算为绝缘体383的单位面积的量时，绝缘体383中的氢的脱离量为10×10^{15}atoms/cm^{2}以下，优选为5×10^{15}atoms/cm^2

以下，即可。

[0310] 另外，绝缘体385的介电常数优选低于绝缘体383。例如，绝缘体385的相对介电常数优选低于4，更优选低于3。例如，绝缘体385的相对介电常数优选为绝缘体383的相对介电常数的0.7倍以下，更优选为0.6倍以下。通过将介电常数低的材料用于层间膜，可以减少产生在布线之间的寄生电容。

[0311] 此外，在绝缘体379、绝缘体381、绝缘体383及绝缘体385中埋入与电容600或晶体管500连接的导电体328、导电体330等。此外，导电体328及导电体330具有插头或布线的功能。注意，有时使用同一符号表示具有插头或布线的功能的多个导电体。此外，在本说明书等中，布线、与布线连接的插头也可以是一个构成要素。就是说，导电体的一部分有时被用作布线，并且导电体的一部分有时被用作插头。

[0312] 作为各插头及布线(导电体328、导电体330等)的材料，可以使用金属材料、合金材料、金属氮化物材料或金属氧化物材料等导电材料的单层或叠层。优选使用兼具耐热性和导电性的钨或钼等高熔点材料，尤其优选使用钨。或者，优选使用铝或铜等低电阻导电材料形成。通过使用低电阻导电材料可以降低布线电阻。

[0313] 另外，也可以在绝缘体385及导电体330上形成布线层。例如，在图19中，依次层叠有绝缘体350、绝缘体352及绝缘体354。另外，绝缘体350、绝缘体352及绝缘体354中形成有导电体356。导电体356具有与晶体管550连接的插头或布线的功能。此外，导电体356可以使用与导电体328及导电体330同样的材料形成。

[0314] 此外，与绝缘体383同样，绝缘体350例如优选使用对氢具有阻挡性的绝缘体。此外，导电体356优选包含对氢具有阻挡性的导电体。尤其是，在对氢具有阻挡性的绝缘体350所具有的开口部中形成对氢具有阻挡性的导电体。通过采用该结构，可以使用阻挡层将晶体管550与晶体管500分离，从而可以抑制氢从晶体管550扩散到晶体管500中。

[0315] 注意，作为对氢具有阻挡性的导电体，例如优选使用氮化钽等。此外，通过层叠氮化钽和导电性高的钨，不但可以保持作为布线的导电性而且可以抑制氢从晶体管550扩散。此时，对氢具有阻挡性的氮化钽层优选与对氢具有阻挡性的绝缘体350接触。

[0316] 另外，也可以在绝缘体354及导电体356上形成布线层。例如，在图19中，依次层叠有绝缘体360、绝缘体362及绝缘体364。另外，绝缘体360、绝缘体362及绝缘体364中形成有导电体366。导电体366具有插头或布线的功能。此外，导电体366可以使用与导电体328及导电体330同样的材料形成。

[0317] 此外，与绝缘体383同样，绝缘体360例如优选使用对氢具有阻挡性的绝缘体。此外，导电体366优选包含对氢具有阻挡性的导电体。尤其是，在对氢具有阻挡性的绝缘体360所具有的开口部中形成对氢具有阻挡性的导电体。通过采用该结构，可以使用阻挡层将晶体管550与晶体管500分离，从而可以抑制氢从晶体管550扩散到晶体管500中。

[0318] 另外，也可以在绝缘体364及导电体366上形成布线层。例如，在图19中，依次层叠有绝缘体370、绝缘体369及绝缘体368。另外，绝缘体370、绝缘体369及绝缘体368中形成有导电体376。导电体376具有插头或布线的功能。此外，导电体376可以使用与导电体328及导电体330同样的材料形成。

[0319] 此外，与绝缘体383同样，绝缘体370例如优选使用对氢具有阻挡性的绝缘体。此外，导电体376优选包含对氢具有阻挡性的导电体。尤其是，在对氢具有阻挡性的绝缘体370

所具有的开口部中形成对氢具有阻挡性的导电体。通过采用该结构，可以使用阻挡层将晶体管550与晶体管500分离，从而可以抑制氢从晶体管550扩散到晶体管500中。

[0320] 另外，也可以在绝缘体368及导电体376上形成布线层。例如，在图19中，依次层叠有绝缘体380、绝缘体382及绝缘体384。另外，绝缘体380、绝缘体382及绝缘体384中形成有导电体386。导电体386具有插头或布线的功能。此外，导电体386可以使用与导电体328及导电体330同样的材料形成。

[0321] 此外，与绝缘体383同样，绝缘体380例如优选使用对氢具有阻挡性的绝缘体。此外，导电体386优选包含对氢具有阻挡性的导电体。尤其是，在对氢具有阻挡性的绝缘体380所具有的开口部中形成对氢具有阻挡性的导电体。通过采用该结构，可以使用阻挡层将晶体管550与晶体管500分离，从而可以抑制氢从晶体管550扩散到晶体管500中。

[0322] 在上面说明包括导电体356的布线层、包括导电体366的布线层、包括导电体376的布线层及包括导电体386的布线层，但是本实施方式的半导体装置不局限于此。既可以使与包括导电体356的布线层同样的布线层具有三层以下的结构，又可以使与包括导电体356的布线层同样的布线层具有五层以上的结构。

[0323] 在绝缘体384上依次层叠有绝缘体510、绝缘体512、绝缘体514及绝缘体516。作为绝缘体510、绝缘体512、绝缘体514及绝缘体516中的任意个，优选使用对氧及氢具有阻挡性的物质。

[0324] 例如，作为绝缘体510及绝缘体514，优选使用对从衬底371或设置有晶体管550的区域等到设置有晶体管500的区域的氢或杂质具有阻挡性的膜。因此，可以使用与绝缘体383同样的材料。

[0325] 作为对氢具有阻挡性的膜的一个例子，例如可以使用通过CVD法形成的氮化硅。在此，有时氢扩散到晶体管500等具有氧化物半导体的半导体元件中，导致该半导体元件的特性下降。因此，优选在晶体管500与晶体管550之间设置抑制氢的扩散的膜。

[0326] 另外，例如，作为对氢具有阻挡性的膜，绝缘体510及绝缘体514优选使用氧化铝、氧化铪、氧化钽等金属氧化物。

[0327] 尤其是，氧化铝的不使氧及导致晶体管的电特性变动的氢、水分等杂质透过膜的阻挡效果高。因此，在晶体管的制造工序中及制造工序之后，氧化铝可以防止氢、水分等杂质进入晶体管500中。此外，氧化铝可以抑制氧从构成晶体管500的氧化物释放。因此，氧化铝适合用于晶体管500的保护膜。

[0328] 例如，作为绝缘体512和绝缘体516，可以使用与绝缘体379同样的材料。此外，通过对上述绝缘体使用介电常数较低的材料，可以减少产生在布线之间的寄生电容。例如，作为绝缘体512及绝缘体516，可以使用氧化硅膜或氧氮化硅膜等。

[0329] 此外，在绝缘体510、绝缘体512、绝缘体514及绝缘体516中嵌入导电体518、构成晶体管500的导电体(例如，导电体503)等。此外，导电体518被用作与电容600或晶体管550连接的插头或布线。导电体518可以使用与导电体328及导电体330同样的材料形成。

[0330] 尤其是，与绝缘体510及绝缘体514接触的区域的导电体518优选为对氧、氢及水具有阻挡性的导电体。通过采用该结构，可以利用对氧、氢及水具有阻挡性的层将晶体管550与晶体管500分离，从而可以抑制氢从晶体管550扩散到晶体管500中。

[0331] 在绝缘体516的上方设置有晶体管500。

[0332] 如图20A及图20B所示，晶体管500包括以嵌入绝缘体514及绝缘体516的方式配置的导电体503、配置在绝缘体516及导电体503上的绝缘体520、配置在绝缘体520上的绝缘体522、配置在绝缘体522上的绝缘体524、配置在绝缘体524上的氧化物530a、配置在氧化物530a上的氧化物530b、彼此分开地配置在氧化物530b上的导电体542a及导电体542b、配置在导电体542a及导电体542b上并以重叠于导电体542a和导电体542b之间的方式形成开口的绝缘体580、配置在开口的底面及侧面的绝缘体545以及配置在绝缘体545的形成面上的导电体560。

[0333] 此外，如图20A及图20B所示，优选在氧化物530a、氧化物530b、导电体542a及导电体542b与绝缘体580之间配置有绝缘体544。此外，如图20A及图20B所示，导电体560优选包括设置在绝缘体545的内侧的导电体560a及以嵌入导电体560a的内侧的方式设置的导电体560b。此外，如图20A及图20B所示，优选在绝缘体580、导电体560及绝缘体545上配置绝缘体574。

[0334] 注意，在本说明书等中，有时将氧化物530a及氧化物530b统称为氧化物530。

[0335] 在晶体管500中，在形成沟道的区域及其附近层叠有氧化物530a及氧化物530b的两层，但是本发明不局限于此。例如，可以具有氧化物530b的单层结构，也可以具有三层以上的叠层结构。

[0336] 此外，在晶体管500中，导电体560具有两层结构，但是本发明不局限于此。例如，导电体560也可以具有单层结构或三层以上的叠层结构。注意，图19、图20A及图20B所示的晶体管500的结构只是一个例子而不局限于上述结构，可以根据电路结构或驱动方法等使用适当的晶体管。

[0337] 在此，导电体560被用作晶体管的栅电极，导电体542a及导电体542b被用作源电极或漏电极。如上所述，导电体560以嵌入绝缘体580的开口中及夹在导电体542a与导电体542b之间的区域的方式设置。导电体560、导电体542a及导电体542b的配置根据绝缘体580的开口而自对准地被选择。换言之，在晶体管500中，可以在源电极与漏电极之间自对准地配置栅电极。由此，可以在不设置用于对准的余地的方式形成导电体560，所以可以实现晶体管500的占有面积的缩小。由此，可以实现半导体装置的微型化及高集成化。

[0338] 再者，导电体560自对准地形成在导电体542a与导电体542b之间的区域，所以导电体560不包括与导电体542a或导电体542b重叠的区域。由此，可以降低形成在导电体560与导电体542a及导电体542b之间的寄生电容。因此，可以提高晶体管500的开关速度，从而晶体管500可以具有高频率特性。

[0339] 导电体560有时被用作第一栅(也称为栅极或顶栅极)电极。导电体503有时被用作第二栅(也称为背栅极或底栅极)电极。在此情况下，通过独立地改变施加到导电体503的电位而不使其与施加到导电体560的电位联动，可以控制晶体管500的阈值电压。尤其是，通过对导电体503施加负电位，可以使晶体管500的阈值电压更大并且可以减小关态电流。因此，与不对导电体503施加负电位时相比，在对导电体503施加负电位的情况下，可以减小对导电体560施加的电位为0V时的漏极电流。

[0340] 导电体503以与氧化物530及导电体560重叠的方式配置。由此，在对导电体560及导电体503施加电位的情况下，从导电体560产生的电场和从导电体503产生的电场连接，可以覆盖形成在氧化物530中的沟道形成区域。

[0341] 在本说明书等中,将由一对栅电极(第一栅电极和第二栅电极)的电场电围绕沟道形成区域的晶体管的结构称为surrounded channel(S-channel:围绕沟道)结构。此外,本说明书等中公开的S-channel结构与Fin型结构及平面型结构不同。通过采用S-channel结构,可以提高对于短沟道效应的耐性,换言之,可以实现不容易发生短沟道效应的晶体管。

[0342] 此外,导电体503具有与导电体518相同的结构,以与绝缘体514及绝缘体516的开口的内壁接触的方式形成有导电体503a,其内侧形成有导电体503b。此外,在晶体管500中,层叠有导电体503a与导电体503b,但是本发明不局限于此。例如,导电体503可以具有单层结构,也可以具有三层以上的叠层结构。

[0343] 在此,作为导电体503a优选使用具有抑制氢原子、氢分子、水分子、铜原子等杂质的扩散的功能(不容易使上述杂质透过)的导电材料。此外,优选使用具有抑制氧(例如,氧原子、氧分子等中的至少一个)的扩散的功能(不容易使上述氧透过)的导电材料。在本说明书中,抑制杂质或氧的扩散的功能是指抑制上述杂质和上述氧中的任一个或全部的扩散的功能。

[0344] 例如,通过使导电体503a具有抑制氧的扩散的功能,可以抑制因导电体503b氧化而导致导电率的下降。

[0345] 此外,在导电体503还具有布线的功能的情况下,作为导电体503b,优选使用以钨、铜或铝为主要成分的导电性高的导电材料。此外,虽然在本实施方式中示出由导电体503a及导电体503b的叠层构成的导电体503,但是导电体503也可以具有单层结构。

[0346] 绝缘体520、绝缘体522及绝缘体524被用作第二栅极绝缘膜。

[0347] 在此,与氧化物530接触的绝缘体524优选使用包含超过化学计量组成的氧的绝缘体。该氧通过加热容易从膜中释放。在本说明书等中,有时将通过加热释放的氧称为“过剩氧”。就是说,在绝缘体524中优选形成有包含过剩氧的区域(也称为“过剩氧区域”)。通过以与氧化物530接触的方式设置上述包含过剩氧的绝缘体,可以减少氧化物530中的氧空位(V_0:oxygen vacancy),从而可以提高晶体管500的可靠性。此外,在氢进入氧化物530的氧空位中的情况下,有时该缺陷(以下,有时称为V_0H)被用作供体而产生作为载流子的电子。此外,有时由于氢的一部分与键合于金属原子的氧键合,产生作为载流子的电子。因此,使用包含多量的氢的氧化物半导体的晶体管容易具有常开启特性。此外,因为氧化物半导体中的氢因受热、电场等作用而容易移动,所以当氧化物半导体包含多量的氢时可能会导致晶体管的可靠性降低。在本发明的一个方式中,优选尽量降低氧化物530中的V_0H而成为高纯度本征或实质上高纯度本征。如此,为了得到这种V_0H被充分减少的氧化物半导体,重要的是:去除氧化物半导体中的水分、氢等杂质(有时也称为脱水、脱氢化处理);以及对氧化物半导体供应氧来填补氧空位(有时也称为加氧化处理)。通过将V_0H被充分减少的氧化物半导体用于晶体管的沟道形成区域,可以赋予稳定的电特性。

[0348] 具体而言,作为具有过剩氧区域的绝缘体,优选使用通过加热使一部分的氧脱离的氧化物材料。通过加热使氧脱离的氧化物是指在TDS(Thermal Desorption Spectroscopy)分析中换算为氧原子的氧的脱离量为1.0×10^{18}atoms/cm^{3}以上,优选为1.0×10^{19}atoms/cm^{3}以上,更优选为2.0×10^{19}atoms/cm^{3}以上,或者3.0×10^{20}atoms/cm^{3}以上的氧化物膜。此外,进行上述TDS分析时的膜的表面温度优选在100℃以上且700℃以下,或者100℃以上且400℃以下的范围内。

[0349] 此外，也可以以使上述具有过剩氧区域的绝缘体和氧化物530彼此接触的方式进行加热处理、微波处理或RF处理中的任一个或多个处理。通过进行该处理，可以去除氧化物530中的水或氢。例如，在氧化物530中发生VoH键合被切断的反应，换言之，发生“$V_0H \rightarrow Vo+H$”的反应而可以进行脱氢化。此时产生的氢的一部分有时与氧键合并从氧化物530或氧化物530附近的绝缘体被去除作为H_2O。另外，氢的一部分有时被导电体542a及导电体542b吸杂。

[0350] 此外，作为上述微波处理，例如优选使用包括产生高密度等离子体的电源的装置或包括对衬底一侧施加RF的电源的装置。例如，通过使用包含氧的气体及高密度等离子体，可以生成高密度的氧自由基，并且通过对衬底一侧施加RF，可以将由高密度等离子体生成的氧自由基高效地导入氧化物530或氧化物530附近的绝缘体中。此外，在上述微波处理中，压力为133Pa以上，优选为200Pa以上，更优选为400Pa以上。此外，作为对进行微波处理的装置内导入的气体，例如使用氧及氩，并且氧流量比($O_2/(O_2+Ar)$)为50％以下，优选为10％以上且30％以下。

[0351] 此外，在晶体管500的制造工序中，优选在氧化物530的表面露出的状态下进行加热处理。该加热处理例如以100℃以上且450℃以下，更优选以350℃以上且400℃以下进行，即可。此外，加热处理在氮气体或惰性气体的气氛或包含10ppm以上、1％以上或10％以上的氧化性气体的气氛下进行。例如，加热处理优选在氧气氛下进行。由此，可以对氧化物530供应氧来减少氧空位(V_0)。此外，加热处理也可以在减压状态下进行。或者，也可以在氮气体或惰性气体的气氛下进行加热处理，然后为了填补脱离的氧而在包含10ppm以上、1％以上或10％以上的氧化性气体的气氛下进行加热处理。或者，也可以在包含10ppm以上、1％以上或10％以上的氧化性气体的气氛下进行加热处理，然后在氮气体或惰性气体的气氛下连续进行加热处理。

[0352] 此外，通过对氧化物530进行加氧化处理，可以由被供应的氧填补氧化物530中的氧空位，换言之，可以促进“Vo+O→null”的反应。再者，通过使残留在氧化物530中的氢与被供应的氧起反应，可以去除该氢作为H_2O(脱水化)。由此，可以抑制残留在氧化物530中的氢与氧空位重新键合而形成V_0H。

[0353] 当绝缘体524具有过剩氧区域时，绝缘体522优选具有抑制氧(例如，氧原子、氧分子等)的扩散的功能(不容易使上述氧透过)。

[0354] 当绝缘体522具有抑制氧及杂质的扩散的功能时，氧化物530所包含的氧不扩散到绝缘体520一侧，所以是优选的。此外，可以抑制导电体503与绝缘体524或氧化物530所包含的氧起反应。

[0355] 作为绝缘体522，例如优选使用包含氧化铝、氧化铪、含有铝及铪的氧化物(铝酸铪)、氧化钽、氧化锆、锆钛酸铅(PZT)、钛酸锶($SrTiO_3$)或(Ba,Sr)TiO_3(BST)等所谓的high-k材料的绝缘体的单层或叠层。当进行晶体管的微型化及高集成化时，由于栅极绝缘膜的薄膜化，有时发生泄漏电流等问题。通过作为被用作栅极绝缘膜的绝缘体使用high-k材料，可以在保持物理厚度的同时降低晶体管工作时的栅极电位。

[0356] 尤其是，优选使用作为具有抑制杂质及氧等的扩散的功能(不容易使上述氧透过)的绝缘材料的包含铝和铪中的一方或双方的氧化物的绝缘体。作为包含铝和铪中的一方或双方的氧化物的绝缘体，优选使用氧化铝、氧化铪、包含铝及铪的氧化物(铝酸铪)等。当使

用这种材料形成绝缘体522时，绝缘体522被用作抑制氧从氧化物530释放或者氢等杂质从晶体管500的周围部进入氧化物530的层。

[0357] 或者，例如也可以对上述绝缘体添加氧化铝、氧化铋、氧化锗、氧化铌、氧化硅、氧化钛、氧化钨、氧化钇、氧化锆。此外，也可以对上述绝缘体进行氮化处理。此外，还可以在上述绝缘体上层叠氧化硅、氧氮化硅或氮化硅。

[0358] 绝缘体520优选具有热稳定性。例如，因为氧化硅及氧氮化硅具有热稳定性，所以是优选的。此外，通过组合high-k材料的绝缘体与氧化硅或氧氮化硅，可以形成具有热稳定性且相对介电常数高的叠层结构的绝缘体520。

[0359] 此外，在图20A及图20B的晶体管500中，作为由三层的叠层结构而成的第二栅极绝缘膜示出绝缘体520、绝缘体522及绝缘体524，但是第二栅极绝缘膜也可以具有单层结构、两层结构或四层以上的叠层结构。此时，不局限于采用由相同材料而成的叠层结构，也可以采用由不同材料而成的叠层结构。

[0360] 在晶体管500中，将起到氧化物半导体作用的金属氧化物用作包含沟道形成区域的氧化物530。例如，作为氧化物530，优选使用In-M-Zn氧化物(元素M为选自铝、镓、钇、铜、钒、铍、硼、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨和镁等中的一种或多种)等金属氧化物。

[0361] 被用作氧化物半导体的金属氧化物可以使用溅射法形成，也可以使用ALD(Atomic Layer Deposition:原子层沉积)法形成。在其他实施方式中详细地说明被用作氧化物半导体的金属氧化物。

[0362] 此外，作为在氧化物530中被用作沟道形成区域的金属氧化物，优选使用其带隙优选为2eV以上，更优选为2.5eV以上的金属氧化物。如此，通过使用带隙较宽的金属氧化物，可以减小晶体管的关态电流。

[0363] 在氧化物530中，当在氧化物530b之下设置有氧化物530a时，可以抑制杂质从形成在氧化物530a下方的结构物扩散到氧化物530b。

[0364] 此外，氧化物530优选具有各金属原子的原子个数比互不相同的多个氧化物层的叠层结构。具体而言，用于氧化物530a的金属氧化物的构成元素中的元素M的原子个数比优选大于用于氧化物530b的金属氧化物的构成元素中的元素M的原子个数比。此外，用于氧化物530a的金属氧化物中的相对于In的元素M的原子个数比优选大于用于氧化物530b的金属氧化物中的相对于In的元素M的原子个数比。此外，用于氧化物530b的金属氧化物中的相对于元素M的In的原子个数比优选大于用于氧化物530a的金属氧化物中的相对于元素M的In的原子个数比。

[0365] 优选的是，使氧化物530a的导带底的能量高于氧化物530b的导带底的能量。换言之，氧化物530a的电子亲和势优选小于氧化物530b的电子亲和势。

[0366] 在此，在氧化物530a及氧化物530b的接合部中，导带底的能级平缓地变化。换言之，也可以将上述情况表述为氧化物530a及氧化物530b的接合部的导带底的能级连续地变化或者连续地接合。为此，优选降低形成在氧化物530a与氧化物530b的界面的混合层的缺陷态密度。

[0367] 具体而言，通过使氧化物530a与氧化物530b除了氧之外还包含共同元素(为主要成分)，可以形成缺陷态密度低的混合层。例如，在氧化物530b为In-Ga-Zn氧化物的情况下，

作为氧化物530a优选使用In-Ga-Zn氧化物、Ga-Zn氧化物及氧化镓等。

[0368] 此时，载流子的主要路径为氧化物530b。通过使氧化物530a具有上述结构，可以降低氧化物530a与氧化物530b的界面的缺陷态密度。因此，界面散射对载流子传导的影响减少，可以提高晶体管500的通态电流。

[0369] 在氧化物530b上设置有被用作源电极及漏电极的导电体542a及导电体542b。作为导电体542a及导电体542b，优选使用选自铝、铬、铜、银、金、铂、钽、镍、钛、钼、钨、铪、钒、铌、锰、镁、锆、铍、铟、钌、铱、锶和镧中的金属元素、以上述金属元素为成分的合金或者组合上述金属元素的合金等。例如，优选使用氮化钽、氮化钛、钨、包含钛和铝的氮化物、包含钽和铝的氮化物、氧化钌、氮化钌、包含锶和钌的氧化物、包含镧和镍的氧化物等。此外，氮化钽、氮化钛、包含钛和铝的氮化物、包含钽和铝的氮化物、氧化钌、氮化钌、包含锶和钌的氧化物、包含镧和镍的氧化物是不容易氧化的导电材料或者吸收氧也维持导电性的材料，所以是优选的。氮化钽等的金属氮化物膜对氢或氧具有阻挡性，所以是更优选的。

[0370] 此外，虽然在图20B示出导电体542a及导电体542b的单层结构，但是也可以采用两层以上的叠层结构。例如，优选层叠氮化钽膜及钨膜。此外，也可以层叠钛膜及铝膜。此外，也可以采用在钨膜上层叠铝膜的两层结构、在铜-镁-铝合金膜上层叠铜膜的两层结构、在钛膜上层叠铜膜的两层结构、在钨膜上层叠铜膜的两层结构。

[0371] 此外，也可以使用：在钛膜或氮化钛膜上层叠铝膜或铜膜并在其上形成钛膜或氮化钛膜的三层结构、在钼膜或氮化钼膜上层叠铝膜或铜膜并在其上形成钼膜或氮化钼膜的三层结构等。此外，也可以使用包含氧化铟、氧化锡或氧化锌的透明导电材料。

[0372] 此外，如图20B所示，有时在氧化物530与导电体542a(导电体542b)的界面及其附近作为低电阻区域形成有区域543a及区域543b。此时，区域543a被用作源区域和漏区域中的一个，区域543b被用作源区域和漏区域中的另一个。此外，沟道形成区域形成在夹在区域543a和区域543b之间的区域中。

[0373] 通过以与氧化物530接触的方式设置上述导电体542a(导电体542b)，区域543a(区域543b)的氧浓度有时降低。此外，在区域543a(区域543b)中有时形成含有包含在导电体542a(导电体542b)中的金属及氧化物530的成分的金属化合物层。在此情况下，区域543a(区域543b)的载流子密度增加，区域543a(区域543b)成为低电阻区域。

[0374] 绝缘体544以覆盖导电体542a及导电体542b的方式设置，抑制导电体542a及导电体542b的氧化。此时，绝缘体544也可以以覆盖氧化物530的侧面且与绝缘体524接触的方式设置。

[0375] 作为绝缘体544，可以使用包含选自铪、铝、镓、钇、锆、钨、钛、钽、镍、锗、钕、镧或镁等中的一种或两种以上的金属氧化物。此外，作为绝缘体544也可以使用氮氧化硅或氮化硅等。

[0376] 尤其是，作为绝缘体544，优选使用作为包含铝和铪中的一方或双方的氧化物的绝缘体的氧化铝、氧化铪、包含铝及铪的氧化物(铝酸铪)等。尤其是，铝酸铪的耐热性比氧化铪膜高。因此，在后面的工序的热处理中不容易晶化，所以是优选的。此外，在导电体542a及导电体542b是具有耐氧化性的材料或者吸收氧也其导电性不会显著降低的材料的情况下，不需要必须设置绝缘体544。根据所需要的晶体管特性，适当地设计即可。

[0377] 通过包括绝缘体544，可以抑制绝缘体580所包含的水及氢等杂质扩散到氧化物

530b。此外，可以抑制绝缘体580所包含的过剩氧使导电体542a及导电体542b氧化。

[0378] 绝缘体545被用作第一栅极绝缘膜。绝缘体545优选与上述绝缘体524同样地使用包含过剩的氧并通过加热而释放氧的绝缘体形成。

[0379] 具体而言，可以使用包含过剩氧的氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅。尤其是，氧化硅及氧氮化硅具有热稳定性，所以是优选的。

[0380] 通过作为绝缘体545设置包含过剩氧的绝缘体，可以从绝缘体545对氧化物530b的沟道形成区域有效地供应氧。此外，与绝缘体524同样，优选降低绝缘体545中的水或氢等杂质的浓度。绝缘体545的厚度优选为1nm以上且20nm以下。此外，也可以在形成绝缘体545之前及/或后进行上述微波处理。

[0381] 此外，为了将绝缘体545所包含的过剩氧高效地供应到氧化物530，也可以在绝缘体545与导电体560之间设置金属氧化物。该金属氧化物优选抑制从绝缘体545到导电体560的氧扩散。通过设置抑制氧的扩散的金属氧化物，从绝缘体545到导电体560的过剩氧的扩散受到抑制。换言之，可以抑制供应到氧化物530的过剩氧量减少。此外，可以抑制因过剩氧导致的导电体560的氧化。作为该金属氧化物，可以使用可用于绝缘体544的材料。

[0382] 此外，与第二栅极绝缘膜同样，绝缘体545也可以具有叠层结构。由于当进行晶体管的微型化及高集成化时，有时栅极绝缘膜的薄膜化导致泄漏电流等问题，因此通过使被用作栅极绝缘膜的绝缘体具有high-k材料与具有热稳定性的材料的叠层结构，可以在保持物理厚度的同时降低晶体管工作时的栅极电位。此外，可以实现具有热稳定性及高相对介电常数的叠层结构。

[0383] 在图20B及图20C中，被用作第一栅电极的导电体560具有两层结构，但是也可以具有单层结构或三层以上的叠层结构。

[0384] 作为导电体560a，优选使用具有抑制氢原子、氢分子、水分子、氮原子、氮分子、氧化氮分子(N_2O、NO、NO_2等)、铜原子等杂质的扩散的功能的导电材料。此外，优选使用具有抑制氧(例如，氧原子、氧分子等中的至少一个)的扩散的功能的导电材料。通过使导电体560a具有抑制氧的扩散的功能，可以抑制因绝缘体545所包含的氧导致导电体560b氧化而导电率下降。作为具有抑制氧的扩散的功能的导电材料，例如，优选使用钽、氮化钽、钌或氧化钌等。此外，作为导电体560a可以使用可应用于氧化物530的氧化物半导体。在此情况下，通过采用溅射法形成导电体560b，可以降低导电体560a的电阻值来使其成为导电体。其可以称为OC(Oxide Conductor)电极。

[0385] 作为导电体560b，优选使用以钨、铜或铝为主要成分的导电材料。由于导电体560b还被用作布线，所以优选使用导电性高的导电体。导电体560b也可以具有叠层结构，例如，可以采用钛或氮化钛和上述导电材料的叠层结构。

[0386] 绝缘体580优选隔着绝缘体544设置在导电体542a及导电体542b上。绝缘体580优选具有过剩氧区域。例如，绝缘体580优选包含氧化硅、氧氮化硅、氮氧化硅、氮化硅、添加有氟的氧化硅、添加有碳的氧化硅、添加有碳及氮的氧化硅、具有空孔的氧化硅或树脂等。尤其是，氧化硅及氧氮化硅具有热稳定性，所以是优选的。尤其是，氧化硅和具有空孔的氧化硅容易在后面的工序中形成过剩氧区域，所以是优选的。

[0387] 绝缘体580优选具有过剩氧区域。通过设置通过加热而释放氧的绝缘体580，可以

将绝缘体580中的氧高效地供应给氧化物530。此外，优选降低绝缘体580中的水或氢等杂质的浓度。

[0388] 绝缘体580的开口以与导电体542a和导电体542b之间的区域重叠的方式形成。由此，导电体560以嵌入绝缘体580的开口中及夹在导电体542a与导电体542b之间的区域的方式设置。

[0389] 在进行半导体装置的微型化时，需要缩短栅极长度，但是需要防止导电体560的导电性的下降。为此，在增大导电体560的厚度的情况下，导电体560有可能具有纵横比高的形状。在本实施方式中，由于将导电体560以嵌入绝缘体580的开口的方式设置，所以即使导电体560具有纵横比高的形状，在工序中也不发生导电体560的倒塌。

[0390] 绝缘体574优选以与绝缘体580的顶面、导电体560的顶面及绝缘体545的顶面接触的方式设置。通过利用溅射法形成绝缘体574，可以在绝缘体545及绝缘体580中形成过剩氧区域。由此，可以将氧从该过剩氧区域供应到氧化物530中。

[0391] 例如，作为绝缘体574，可以使用包含选自铪、铝、镓、钇、锆、钨、钛、钽、镍、锗和镁等中的一种或两种以上的金属氧化物。

[0392] 尤其是，氧化铝具有高阻挡性，即使是0.5nm以上且3.0nm以下的薄膜，也可以抑制氢及氮的扩散。由此，通过利用溅射法形成的氧化铝可以在被用作氧供应源的同时还具有氢等杂质的阻挡膜的功能。

[0393] 此外，优选在绝缘体574上设置被用作层间膜的绝缘体581。与绝缘体524等同样，优选降低绝缘体581中的水或氢等杂质的浓度。

[0394] 此外，在形成于绝缘体581、绝缘体574、绝缘体580及绝缘体544中的开口配置导电体540a及导电体540b。导电体540a及导电体540b以隔着导电体560彼此对置的方式设置。导电体540a及导电体540b具有与后面说明的导电体546及导电体548同样的结构。

[0395] 在绝缘体581上设置有绝缘体582。绝缘体582优选使用对氧或氢具有阻挡性的物质。因此，作为绝缘体582可以使用与绝缘体514同样的材料。例如，作为绝缘体582优选使用氧化铝、氧化铪、氧化钽等金属氧化物。

[0396] 尤其是，氧化铝的不使氧及导致晶体管的电特性变动的氢、水分等杂质透过膜的阻挡效果高。因此，在晶体管的制造工序中及制造工序之后，氧化铝可以防止氢、水分等杂质进入晶体管500中。此外，氧化铝可以抑制氧从构成晶体管500的氧化物释放。因此，氧化铝适合用于晶体管500的保护膜。

[0397] 此外，在绝缘体582上设置有绝缘体586。作为绝缘体586可以使用与绝缘体379同样的材料。此外，通过作为这些绝缘体应用介电常数较低的材料，可以减少产生在布线之间的寄生电容。例如，作为绝缘体586，可以使用氧化硅膜或氧氮化硅膜等。

[0398] 此外，在绝缘体520、绝缘体522、绝缘体524、绝缘体544、绝缘体580、绝缘体574、绝缘体581、绝缘体582及绝缘体586中嵌入导电体546及导电体548等。

[0399] 导电体546及导电体548被用作与电容600、晶体管500或晶体管550连接的插头或布线。导电体546及导电体548可以使用与导电体328及导电体330同样的材料设置。

[0400] 此外，也可以在形成晶体管500之后，以围绕晶体管500的方式形成开口，并以覆盖该开口的方式形成对氢或水具有高阻挡性的绝缘体。通过由上述高阻挡性的绝缘体包裹晶体管500，可以防止水分及氢从外部进入。或者，也可以使用对氢或水具有高阻挡性的绝缘

体包裹多个晶体管500。此外，在围绕晶体管500地形成开口的情况下，例如，当形成到达绝缘体522或绝缘体514的开口并接触于绝缘体522或绝缘体514地形成上述高阻挡性的绝缘体时可以兼作晶体管500的制造工序的一部分，所以是优选的。此外，作为对氢或水具有高阻挡性的绝缘体，例如使用与绝缘体522或绝缘体514同样的材料即可。

[0401] 接着，在晶体管500的上方设置有电容600。电容600包括导电体610、导电体620及绝缘体630。

[0402] 此外，也可以在导电体546及导电体548上设置导电体612。导电体612被用作与晶体管500连接的插头或者布线。导电体610被用作电容600的电极。此外，可以同时形成导电体612及导电体610。

[0403] 作为导电体612及导电体610可以使用包含选自钼、钛、钽、钨、铝、铜、铬、钕、钪中的元素的金属膜或以上述元素为成分的金属氮化物膜(氮化钽膜、氮化钛膜、氮化钼膜、氮化钨膜)等。或者，也可以使用铟锡氧化物、包含氧化钨的铟氧化物、包含氧化钨的铟锌氧化物、包含氧化钛的铟氧化物、包含氧化钛的铟锡氧化物、铟锌氧化物、添加有氧化硅的铟锡氧化物等导电材料。

[0404] 在本实施方式中，导电体612及导电体610具有单层结构，但是不局限于此，也可以具有两层以上的叠层结构。例如，也可以在具有阻挡性的导电体与导电性高的导电体之间形成对具有阻挡性的导电体及导电性高的导电体具有高紧密性的导电体。

[0405] 绝缘体630可以使用铁电体。绝缘体630例如可以使用与可用于上述实施方式所示的铁电层12的材料同样的材料。此外，绝缘体630如图1B1至图1B4所示那样也可以具有铁电层和顺电体层的叠层结构。

[0406] 以隔着绝缘体630重叠于导电体610的方式设置导电体620。作为导电体620可以使用金属材料、合金材料、金属氧化物材料等导电材料。优选使用兼具耐热性和导电性的钨或钼等高熔点材料，尤其优选使用钨。当与导电体等其他构成要素同时形成导电体620时，使用低电阻金属材料的Cu(铜)或Al(铝)等即可。

[0407] 在导电体620及绝缘体630上设置有绝缘体640。绝缘体640可以使用与绝缘体379同样的材料。此外，绝缘体640可以被用作覆盖其下方的凹凸形状的平坦化膜。

[0408] 通过采用本结构，可以实现使用包含氧化物半导体的晶体管的半导体装置的微型化或高集成化。

[0409] 本实施方式所示的结构、方法等的至少一部分可以与本说明书所记载的其他实施方式及其他实施例等适当地组合而实施。

[0410] (实施方式4)

[0411] 在本实施方式中，说明可以用于上述实施方式所说明的OS晶体管的金属氧化物(以下，也称为氧化物半导体)。

[0412] 金属氧化物优选包含铟和锌中的至少一个。尤其优选包含铟和锌中的一个。此外，除了铟及锌之外，优选还包含铝、镓、钇、锡等。此外，也可以包含选自硼、硅、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨、镁及钴等中的一种或多种。

[0413] <结晶结构的分类>

[0414] 首先，对氧化物半导体中的结晶结构的分类参照图21A进行说明。图21A是说明氧化物半导体，典型为IGZO(包含In、Ga、Zn的金属氧化物)的结晶结构的分类的图。

[0415] 如图21A所示,氧化物半导体大致分为“Amorphous(无定形)”、“Crystalline(结晶性)”、“Crystal(结晶)”。此外,completely amorphous包含在“Amorphous”中。此外,在“Crystalline”中包含CAAC(c-axis-aligned crystalline)、nc(nanocrystalline)及CAC(Cloud-Aligned Composite)。此外,在“Crystalline”的分类中不包含single crystal、poly crystal及completely amorphous。此外,在“Crystal”中包含single crystal及poly crystal。

[0416] 此外,图21A所示的外框线被加粗的部分中的结构是介于“Amorphous(无定形)”与“Crystal(结晶)”之间的中间状态,是属于新的边界区域(New crystalline phase)的结构。换言之,该结构与“Crystal(结晶)”及在能量性上不稳定的“Amorphous(无定形)”可以说是完全不同的结构。

[0417] 可以使用X射线衍射(XRD:X-Ray Diffraction)谱对膜或衬底的结晶结构进行评价。在此,图21B示出被分类为“Crystalline”的CAAC-IGZO膜的通过GIXD(Grazing-Incidence XRD)测量而得到的XRD谱。此外,将GIXD法也称为薄膜法或Seemann-Bohlin法。下面,将图21B所示的通过GIXD测量而得到的XRD谱简单地记为XRD谱。图21B的纵轴是Intensity,横轴是2θ。此外,图21B所示的CAAC-IGZO膜的组成是In:Ga:Zn=4:2:3[原子个数比]附近。此外,图21B所示的CAAC-IGZO膜的厚度为500nm。

[0418] 如图21B所示,在CAAC-IGZO膜的XRD谱中检测出表示明确的结晶性的峰值。具体而言,在CAAC-IGZO膜的XRD谱中,2θ=31°附近检测出表示c轴取向的峰值。此外,如图21B所示那样,2θ=31°附近的峰值在以检测出峰值强度的角度为轴时左右非对称。

[0419] 此外,可以使用纳米束电子衍射法(NBED:Nano Beam Electron Diffraction)观察的衍射图案(也称为纳米束电子衍射图案)对膜或衬底的结晶结构进行评价。图21C示出CAAC-IGZO膜的衍射图案。图21C是将电子束向平行于衬底的方向入射的NBED观察的衍射图案。此外,图21C所示的CAAC-IGZO膜的组成是In:Ga:Zn=4:2:3[原子个数比]附近。此外,在纳米束电子衍射法中,进行束径为1nm的电子衍射法。

[0420] 如图21C所示那样,在CAAC-IGZO膜的衍射图案中观察到表示c轴取向的多个斑点。

[0421] 《氧化物半导体的结构》

[0422] 此外,在注目于氧化物半导体的结晶结构的情况下,有时氧化物半导体的分类与图21A不同。例如,氧化物半导体可以分类为单晶氧化物半导体和除此之外的非单晶氧化物半导体。作为非单晶氧化物半导体,例如可以举出上述CAAC-OS及nc-OS。此外,在非单晶氧化物半导体中包含多晶氧化物半导体、a-like OS(amorphous-like oxide semiconductor)及非晶氧化物半导体等。

[0423] 在此,对上述CAAC-OS、nc-OS及a-like OS的详细内容进行说明。

[0424] [CAAC-OS]

[0425] CAAC-OS是包括多个结晶区域的氧化物半导体,该多个结晶区域的c轴取向于特定的方向。此外,特定的方向是指CAAC-OS膜的厚度方向、CAAC-OS膜的被形成面的法线方向、或者CAAC-OS膜的表面的法线方向。此外,结晶区域是具有原子排列的周期性的区域。注意,在将原子排列看作晶格排列时结晶区域也是晶格排列一致的区域。再者,CAAC-OS具有在a-b面方向上多个结晶区域连接的区域,有时该区域具有畸变。此外,畸变是指在多个结晶区域连接的区域中,晶格排列一致的区域和其他晶格排列一致的区域之间的晶格排列的方向

变化的部分。换言之,CAAC-OS是指c轴取向并在a-b面方向上没有明显的取向的氧化物半导体。

[0426] 此外,上述多个结晶区域的每一个由一个或多个微小结晶(最大径小于10nm的结晶)构成。在结晶区域由一个微小结晶构成的情况下,该结晶区域的最大径小于10nm。此外,结晶区域由多个微小结晶构成的情况下,有时该结晶区域的尺寸为几十nm左右。

[0427] 另外,在In-M-Zn氧化物(元素M为选自铝、镓、钇、锡、钛等中的一种或多种)中,CAAC-OS有包括含有层叠有铟(In)及氧的层(以下,In层)、含有元素M、锌(Zn)及氧的层(以下,(M,Zn)层)的层状结晶结构(也称为层状结构)的趋势。此外,铟和元素M可以彼此置换。因此,有时(M,Zn)层包含铟。此外,有时In层包含元素M。注意,有时In层包含Zn。该层状结构例如在高分辨率TEM图像中被观察作为晶格像。

[0428] 例如,当对CAAC-OS膜使用XRD装置进行结构分析时,在使用θ/2θ扫描的Out-of-plane XRD测量中,在2θ=31°或其附近检测出表示c轴取向的峰值。注意,表示c轴取向的峰值的位置(2θ值)有时根据构成CAAC-OS的金属元素的种类、组成等变动。

[0429] 此外,例如,在CAAC-OS膜的电子衍射图案中观察到多个亮点(斑点)。此外,在以透过样品的入射电子束的斑点(也称为直接斑点)为对称中心时,某一个斑点和其他斑点被观察在点对称的位置。

[0430] 在从上述特定的方向观察结晶区域的情况下,虽然该结晶区域中的晶格排列基本上是六方晶格,但是单位晶格并不局限于正六角形,有是非正六角形的情况。此外,在上述畸变中,有时具有五角形、七角形等晶格排列。此外,在CAAC-OS的畸变附近观察不到明确的晶界(grain boundary)。也就是说,晶格排列的畸变抑制晶界的形成。这可能是由于CAAC-OS因为a-b面方向上的氧原子的排列的低密度或因金属原子被取代而使原子间的键合距离产生变化等而能够包容畸变。

[0431] 此外,确认到明确的晶界的结晶结构被称为所谓的多晶(polycrystal)。晶界成为复合中心而载流子被俘获,因而有可能导致晶体管的通态电流的降低、场效应迁移率的降低等。因此,确认不到明确的晶界的CAAC-OS是使晶体管的半导体层具有优异的结晶结构的结晶性氧化物之一。注意,为了构成CAAC-OS,优选包含Zn。例如,与In氧化物相比,In-Zn氧化物及In-Ga-Zn氧化物能够进一步地抑制晶界的发生,所以是优选的。

[0432] CAAC-OS是结晶性高且确认不到明确的晶界的氧化物半导体。因此,可以说在CAAC-OS中,不容易发生起因于晶界的电子迁移率的降低。此外,氧化物半导体的结晶性有时因杂质的混入或缺陷的生成等而降低,因此可以说CAAC-OS是杂质或缺陷(氧空位等)少的氧化物半导体。因此,包含CAAC-OS的氧化物半导体的物理性质稳定。因此,包含CAAC-OS的氧化物半导体具有高耐热性及可靠性良好。此外,CAAC-OS对制造工序中的高温度(所谓热积存;thermal budget)也很稳定。由此,通过在OS晶体管中使用CAAC-OS,可以扩大制造工序的自由度。

[0433] [nc-OS]

[0434] 在nc-OS中,微小的区域(例如1nm以上且10nm以下的区域,特别是1nm以上且3nm以下的区域)中的原子排列具有周期性。换言之,nc-OS具有微小的结晶。此外,例如,该微小的结晶的尺寸为1nm以上且10nm以下,尤其为1nm以上且3nm以下,将该微小的结晶称为纳米晶。此外,nc-OS在不同的纳米晶之间观察不到结晶取向的规律性。因此,在膜整体中观察不

到取向性。所以，有时nc-OS在某些分析方法中与a-like OS或非晶氧化物半导体没有差别。例如，在对nc-OS膜使用XRD装置进行结构分析时，在使用θ/2θ扫描的Out-of-plane XRD测量中，不检测出表示结晶性的峰值。此外，在对nc-OS膜进行使用其束径比纳米晶大(例如，50nm以上)的电子束的电子衍射(也称为选区电子衍射)时，观察到类似光晕图案的衍射图案。另一方面，在对nc-OS膜进行使用其束径近于或小于纳米晶的尺寸(例如1nm以上且30nm以下)的电子束的电子衍射(也称为纳米束电子衍射)的情况下，有时得到在以直接斑点为中心的环状区域内观察到多个斑点的电子衍射图案。

[0435] [a-like OS]

[0436] a-like OS是具有介于nc-OS与非晶氧化物半导体之间的结构的氧化物半导体。a-like OS包含空洞或低密度区域。也就是说，a-like OS的结晶性比nc-OS及CAAC-OS的结晶性低。此外，a-like OS的膜中的氢浓度比nc-OS及CAAC-OS的膜中的氢浓度高。

[0437] 《氧化物半导体的构成》

[0438] 接着，说明上述的CAC-OS的详细内容。注意，CAC-OS与材料构成有关。

[0439] [CAC-OS]

[0440] CAC-OS例如是指包含在金属氧化物中的元素不均匀地分布的构成，其中包含不均匀地分布的元素的材料的尺寸为0.5nm以上且10nm以下，优选为1nm以上且3nm以下或近似的尺寸。注意，在下面也将在金属氧化物中一个或多个金属元素不均匀地分布且包含该金属元素的区域混合的状态称为马赛克状或补丁(patch)状，该区域的尺寸为0.5nm以上且10nm以下，优选为1nm以上且3nm以下或近似的尺寸。

[0441] 再者，CAC-OS是指其材料分开为第一区域与第二区域而成为马赛克状且该第一区域分布于膜中的结构(以下，也称为云状)。就是说，CAC-OS是指该第一区域和该第二区域混合的复合金属氧化物。

[0442] 在此，将相对于构成In-Ga-Zn氧化物的CAC-OS的金属元素的In、Ga及Zn的原子个数比的每一个记为[In]、[Ga]及[Zn]。例如，在In-Ga-Zn氧化物的CAC-OS中，第一区域是其[In]大于CAC-OS膜的组成中的[In]的区域。此外，第二区域是其[Ga]大于CAC-OS膜的组成中的[Ga]的区域。此外，例如，第一区域是其[In]大于第二区域中的[In]且其[Ga]小于第二区域中的[Ga]的区域。此外，第二区域是其[Ga]大于第一区域中的[Ga]且其[In]小于第一区域中的[In]的区域。

[0443] 具体而言，上述第一区域是以铟氧化物、铟锌氧化物等为主要成分的区域。此外，上述第二区域是以镓氧化物、镓锌氧化物等为主要成分的区域。换言之，可以将上述第一区域称为以In为主要成分的区域。此外，可以将上述第二区域称为以Ga为主要成分的区域。

[0444] 注意，有时观察不到上述第一区域和上述第二区域的明确的边界。

[0445] 例如，在In-Ga-Zn氧化物的CAC-OS中，根据通过能量分散型X射线分析法(EDX：Energy Dispersive X-ray spectroscopy)取得的EDX面分析(mapping)图像，可确认到以In为主要成分的区域(第一区域)及以Ga为主要成分的区域(第二区域)不均匀地分布而混合。

[0446] 在将CAC-OS用于晶体管的情况下，通过起因于第一区域的导电性和起因于第二区域的绝缘性的互补作用，可以使CAC-OS具有开关功能(开启/关闭的功能)。换言之，在CAC-OS的材料的一部分中具有导电性的功能且在另一部分中具有绝缘性的功能，在材料的整体

中具有半导体的功能。通过使导电性的功能和绝缘性的功能分离，可以最大限度地提高各功能。因此，通过将CAC-OS用于晶体管，可以实现高通态电流(I_{on})、高场效应迁移率(μ)及良好的开关工作。

[0447] 氧化物半导体具有各种结构及各种特性。本发明的一个方式的氧化物半导体也可以包括非晶氧化物半导体、多晶氧化物半导体、a-likeOS、CAC-OS、nc-OS、CAAC-OS中的两种以上。

[0448] <包括氧化物半导体的晶体管>

[0449] 接着，说明将上述氧化物半导体用于晶体管的情况。

[0450] 通过将上述氧化物半导体用于晶体管，可以实现场效应迁移率高的晶体管。此外，可以实现可靠性高的晶体管。

[0451] 此外，优选将载流子浓度低的氧化物半导体用于晶体管。例如，氧化物半导体的载流子浓度为$1\times10^{17}cm^{-3}$以下，优选为$1\times10^{15}cm^{-3}$以下，更优选为$1\times10^{13}cm^{-3}$以下，进一步优选为$1\times10^{11}cm^{-3}$以下，还进一步优选低于$1\times10^{10}cm^{-3}$且为$1\times10^{-9}cm^{-3}$以上。在以降低氧化物半导体膜的载流子浓度为目的的情况下，可以降低氧化物半导体膜中的杂质浓度以降低缺陷态密度。在本说明书等中，将杂质浓度低且缺陷态密度低的状态称为“高纯度本征”或“实质上高纯度本征”。此外，有时将载流子浓度低的氧化物半导体称为“高纯度本征”或“实质上高纯度本征”的氧化物半导体。

[0452] 因为高纯度本征或实质上高纯度本征的氧化物半导体膜具有较低的缺陷态密度，所以有可能具有较低的陷阱态密度。

[0453] 此外，被氧化物半导体的陷阱能级俘获的电荷到消失需要较长的时间，有时像固定电荷那样动作。因此，有时在陷阱态密度高的氧化物半导体中形成沟道形成区域的晶体管的电特性不稳定。

[0454] 因此，为了使晶体管的电特性稳定，降低氧化物半导体中的杂质浓度是有效的。为了降低氧化物半导体中的杂质浓度，优选还降低附近膜中的杂质浓度。作为杂质有氢、氮、碱金属、碱土金属、铁、镍、硅等。

[0455] <杂质>

[0456] 在此，说明氧化物半导体中的各杂质的影响。

[0457] 在氧化物半导体包含第14族元素之一的硅或碳时，氧化物半导体中形成缺陷能级。因此，将氧化物半导体中的硅或碳的浓度、与氧化物半导体的界面附近的硅或碳的浓度(通过二次离子质谱分析法(SIMS:Secondary Ion Mass Spectrometry)测得的浓度)设定为$2\times10^{18}atoms/cm^3$以下，优选为$2\times10^{17}atoms/cm^3$以下。

[0458] 此外，当氧化物半导体包含碱金属或碱土金属时，有时形成缺陷能级而形成载流子。因此，使用包含碱金属或碱土金属的氧化物半导体的晶体管容易具有常开启特性。由此，将利用SIMS分析测得的氧化物半导体中的碱金属或碱土金属的浓度设定为$1\times10^{18}atoms/cm^3$以下，优选为$2\times10^{16}atoms/cm^3$以下。

[0459] 另外，当氧化物半导体包含氮时，容易产生作为载流子的电子，使载流子浓度增高，而被n型化。其结果，将含有氮的氧化物半导体用于半导体的晶体管容易具有常开启型特性。或者，在氧化物半导体包含氮时，有时形成陷阱能级。其结果，有时晶体管的电特性不稳定。因此，将利用SIMS测得的氧化物半导体中的氮浓度设定为低于$5\times10^{19}atoms/cm^3$，优

选为5×10^{18}atoms/cm^3以下，更优选为1×10^{18}atoms/cm^3以下，进一步优选为5×10^{17}atoms/cm^3以下。

[0460] 包含在氧化物半导体中的氢与键合于金属原子的氧起反应生成水，因此有时形成氧空位。当氢进入该氧空位时，有时生成作为载流子的电子。此外，有时由于氢的一部分与键合于金属原子的氧键合，产生作为载流子的电子。因此，具有含有氢的氧化物半导体的晶体管容易具有常开启特性。由此，优选尽可能减少氧化物半导体中的氢。具体而言，在氧化物半导体中，将利用SIMS测得的氢浓度设定为低于1×10^{20}atoms/cm^3，优选低于1×10^{19}atoms/cm^3，更优选低于5×10^{18}atoms/cm^3，更进一步优选低于1×10^{18}atoms/cm^3。

[0461] 通过将杂质被充分降低的氧化物半导体用于晶体管的沟道形成区域，可以使晶体管具有稳定的电特性。

[0462] 本实施方式所示的结构、方法等的至少一部分可以与本说明书所记载的其他实施方式及其他实施例等适当地组合而实施。

[0463] (实施方式5)

[0464] 本实施方式示出形成上述实施方式所示的半导体装置等的半导体晶片及组装有该半导体装置的电子构件的一个例子。

[0465] <半导体晶片>

[0466] 首先，使用图22A说明形成有半导体装置等的半导体晶片的例子。

[0467] 图22A所示的半导体晶片4800包括晶片4801及设置在晶片4801的顶面的多个电路部4802。在晶片4801的顶面上没设置有电路部4802的部分相当于空隙4803，其为用于切割的区域。

[0468] 半导体晶片4800可以通过在前工序中在晶片4801的表面上形成多个电路部4802来制造。此外，也可以之后对晶片4801的形成有多个电路部4802的面的背面进行抛光来减薄晶片4801。通过上述工序，可以减少晶片4801翘曲等而实现构件的小型化。

[0469] 下面进行切割工序。沿点划线所示的划分线SCL1及划分线SCL2(有时称为切割线或截断线)进行切割。为了容易进行切割工序，优选以多个划分线SCL1平行，多个划分线SCL2平行，且划分线SCL1与划分线SCL2垂直的方式设置空隙4803。

[0470] 通过进行切割工序，可以从半导体晶片4800切割出图22B所示的芯片4800a。芯片4800a包括晶片4801a、电路部4802以及空隙4803a。此外，空隙4803a优选尽可能小。在此情况下，相邻的电路部4802之间的空隙4803的宽度只要与划分线SCL1的划分用部或划分线SCL2的划分用部大致相等即可。

[0471] 此外，本发明的一个方式的元件衬底的形状不局限于图22A所示的半导体晶片4800的形状。例如，可以为矩形形状的半导体晶片。此外，可以根据元件的制造工序及制造用设备适当地改变元件衬底的形状。

[0472] <电子构件>

[0473] 图22C示出电子构件4700及安装有电子构件4700的衬底(安装衬底4704)的立体图。图22C所示的电子构件4700在模子4711中包括芯片4800a。作为芯片4800a可以使用根据本发明的一个方式的存储装置等。

[0474] 在图22C中，省略电子构件4700的一部分以表示其内部。电子构件4700在模子4711的外侧包括连接盘(land)4712。连接盘4712与电极焊盘4713电连接，电极焊盘4713通过引

线4714与芯片4800a电连接。电子构件4700例如安装于印刷电路板4702。通过组合多个该电子构件并使其分别在印刷电路板4702上电连接，由此完成安装衬底4704。

[0475] 图22D示出电子构件4730的立体图。电子构件4730是SiP(System in package:系统封装)或MCM(Multi Chip Module:多芯片封装)的一个例子。在电子构件4730中，封装衬底4732(印刷电路板)上设置有插板(interposer)4731，插板4731上设置有半导体装置4735及多个半导体装置4710。

[0476] 半导体装置4710例如可以使用芯片4800a、在上述实施方式中说明的半导体装置、高带宽存储器(HBM:High Bandwidth Memory)等。此外，半导体装置4735可以使用CPU、GPU、FPGA、存储装置等集成电路(半导体装置)。

[0477] 封装衬底4732可以使用陶瓷衬底、塑料衬底或玻璃环氧衬底等。插板4731可以使用硅插板、树脂插板等。

[0478] 插板4731具有多个布线且具有与端子间距不同的多个集成电路电连接的功能。多个布线由单层或多层构成。此外，插板4731具有将设置于插板4731上的集成电路与设置于封装衬底4732上的电极电连接的功能。因此，有时也将插板称为“重布线衬底(rewiring substrate)”或“中间衬底”。此外，有时通过在插板4731中设置贯通电极，通过该贯通电极使集成电路与封装衬底4732电连接。此外，在使用硅插板的情况下，也可以使用TSV(Through Silicon Via:硅通孔)作为贯通电极。

[0479] 作为插板4731优选使用硅插板。由于硅插板不需要设置有源元件，所以可以以比集成电路更低的成本制造。硅插板的布线形成可以在半导体工艺中进行，因此很容易形成在使用树脂插板时很难形成的微细布线。

[0480] 在HBM中，为了实现宽存储器带宽需要连接许多布线。为此，要求安装HBM的插板上能够高密度地形成微细的布线。因此，作为安装HBM的插板优选使用硅插板。

[0481] 此外，在使用硅插板的SiP或MCM等中，不容易发生因集成电路与插板间的膨胀系数的不同而导致的可靠性下降。此外，由于硅插板的表面平坦性高，所以设置在硅插板上的集成电路与硅插板间不容易产生连接不良。尤其优选将硅插板用于2.5D封装(2.5D安装)，其中多个集成电路横着排放并配置于插板上。

[0482] 此外，也可以与电子构件4730重叠地设置散热器(散热板)。在设置散热器的情况下，优选使设置于插板4731上的集成电路的高度一致。例如，在本实施方式所示的电子构件4730中，优选使半导体装置4710与半导体装置4735的高度一致。

[0483] 为了将电子构件4730安装在其他的衬底上，可以在封装衬底4732的底部设置电极4733。图22D示出用焊球形成电极4733的例子。通过在封装衬底4732的底部以矩阵状设置焊球，可以实现BGA(Ball Grid Array:球栅阵列)安装。此外，电极4733也可以使用导电针形成。通过在封装衬底4732的底部以矩阵状设置导电针，可以实现PGA(Pin Grid Array:针栅阵列)安装。

[0484] 电子构件4730可以通过各种安装方式安装在其他衬底上，而不局限于BGA及PGA。例如，可以采用SPGA(Staggered Pin Grid Array:交错针栅阵列)、LGA(Land Grid Array:地栅阵列)、QFP(Quad Flat Package:四侧引脚扁平封装)、QFJ(Quad Flat J-leaded package:四侧J形引脚扁平封装)或QFN(Quad Flat Non-leaded package:四侧无引脚扁平封装)等安装方法。

[0485] 本实施方式所示的结构、方法等的至少一部分可以与本说明书所记载的其他实施方式及其他实施例等适当地组合而实施。

[0486] (实施方式6)

[0487] 在本实施方式中说明根据本发明的一个方式的半导体装置的应用例子。

[0488] 根据本发明的一个方式的半导体装置例如可以应用于各种电子设备(例如,信息终端、计算机、智能手机、电子书阅读器终端、数码相机、录像再现装置、导航系统、游戏机等)的存储装置。此外,可以用于图像传感器、IoT(Internet of Things:物联网)以及医疗等。这里,计算机包括平板电脑、笔记型计算机、台式计算机以及大型计算机诸如服务器系统。

[0489] 对包括根据本发明的一个方式的半导体装置的电子设备的一个例子进行说明。图23A至图23J、图24A至图24E示出具有该半导体装置的电子构件4700或电子构件4730包括在各电子设备中的情况。

[0490] [移动电话机]

[0491] 图23A所示的信息终端5500是信息终端之一的移动电话机(智能手机)。信息终端5500包括外壳5510及显示部5511,作为输入界面在显示部5511中包括触摸面板,并且在外壳5510上设置有按钮。

[0492] 通过将根据本发明的一个方式的半导体装置应用于信息终端5500,可以保持在执行程序时生成的临时文件(例如,使用网页浏览器时的缓存等)。

[0493] [可穿戴终端]

[0494] 此外,图23B示出可穿戴终端的一个例子的信息终端5900。信息终端5900包括外壳5901、显示部5902、操作开关5903、操作开关5904、表带5905等。

[0495] 与上述信息终端5500同样,通过将根据本发明的一个方式的半导体装置应用于可穿戴终端,可以保持在执行程序时生成的临时文件。

[0496] [信息终端]

[0497] 图23C示出台式信息终端5300。台式信息终端5300包括信息终端主体5301、显示部5302及键盘5303。

[0498] 与上述信息终端5500同样,通过将根据本发明的一个方式的半导体装置应用于台式信息终端5300,可以保持在执行程序时生成的临时文件。

[0499] 注意,在上述例子中,图23A至图23C分别示出智能手机、可穿戴终端及台式信息终端作为电子设备的例子,但是也可以应用智能手机、可穿戴终端及台式信息终端以外的信息终端。作为智能手机、可穿戴终端及台式信息终端以外的信息终端,例如可以举出PDA(Personal Digital Assistant:个人数码助理)、笔记本式信息终端、工作站等。

[0500] [电器产品]

[0501] 此外,图23D示出电器产品的一个例子的电冷藏冷冻箱5800。电冷藏冷冻箱5800包括外壳5801、冷藏室门5802及冷冻室门5803等。例如,电冷藏冷冻箱5800是对应于IoT(Internet of Things:物联网)的电冷藏冷冻箱。

[0502] 可以将根据本发明的一个方式的半导体装置应用于电冷藏冷冻箱5800。通过利用互联网等,可以使电冷藏冷冻箱5800对信息终端等发送储存在电冷藏冷冻箱5800中的食品或该食品的消费期限等的信息。电冷藏冷冻箱5800可以在该半导体装置中保持在发送该信

息时生成的临时文件。

[0503] 在上述例子中，作为电器产品说明电冷藏冷冻箱，但是作为其他电器产品，例如可以举出吸尘器、微波炉、电烤箱、电饭煲、热水器、IH炊具、饮水机、包括空气调节器的冷暖空調机、洗衣机、干衣机、视听设备等。

[0504] [游戏机]

[0505] 此外，图23E示出游戏机的一个例子的便携式游戏机5200。便携式游戏机5200包括外壳5201、显示部5202、按钮5203等。

[0506] 此外，图23F示出游戏机的一个例子的固定式游戏机7500。固定式游戏机7500包括主体7520及控制器7522。主体7520可以以无线方式或有线方式与控制器7522连接。此外，虽然在图23F中未图示，但是控制器7522可以包括显示游戏的图像的显示部、作为按钮以外的输入接口的触摸面板及控制杆、旋转式抓手、滑动式抓手等。此外，控制器7522不局限于图23F所示的形状，也可以根据游戏的种类改变控制器7522的形状。例如，在FPS(First Person Shooter，第一人称射击类游戏)等射击游戏中，作为扳机使用按钮，可以使用模仿枪的形状的控制器。此外，例如，在音乐游戏等中，可以使用模仿乐器、音乐器件等的形状的控制器。再者，固定式游戏机也可以设置照相机、深度传感器、麦克风等，由游戏玩者的手势及/或声音等操作以代替控制器操作。

[0507] 此外，上述游戏机的影像可以由电视装置、个人计算机用显示器、游戏用显示器、头戴显示器等显示装置输出。

[0508] 通过将上述实施方式所说明的半导体装置用于便携式游戏机5200或固定式游戏机7500，可以实现低功耗的便携式游戏机5200或固定式游戏机7500。此外，借助于低功耗，可以降低来自电路的发热，由此可以减少因发热而给电路本身、外围电路以及模块带来的负面影响。

[0509] 并且，通过将上述实施方式所说明的半导体装置用于便携式游戏机5200或固定式游戏机7500，可以保持在执行游戏时生成的用于运算用的临时文件。

[0510] 在图23E中，作为游戏机的例子示出便携式游戏机。另外，图23F示出家用固定式游戏机。本发明的一个方式的电子设备不局限于此。作为本发明的一个方式的电子设备，例如可以举出设置在娱乐设施(游戏中心，游乐园等)的街机游戏机、设置在体育设施的击球练习用投球机等。

[0511] [移动体]

[0512] 上述实施方式所说明的半导体装置可以应用于作为移动体的汽车及汽车的驾驶座位附近。

[0513] 图23G示出作为移动体的一个例子的汽车5700。

[0514] 汽车5700的驾驶座位附近设置有能够显示速度表或转速计以及行驶距离、加油量、排档状态、空调的设定等以提供各种信息的仪表板。此外，驾驶座位附近也可以设置有表示上述信息的显示装置。

[0515] 尤其是，通过将由设置在汽车5700上的摄像装置(未图示)拍摄的影像显示在上述显示装置上，可以补充被支柱等遮挡的视野、驾驶座位的死角等，从而可以提高安全性。也就是说，通过显示设置在汽车5700外侧的拍摄装置所拍摄的图像，可以补充视野来避免死角，以提高安全性。

[0516] 上述实施方式所说明的半导体装置能够暂时储存信息。因此，可以将该半导体装置应用于汽车5700的自动驾驶系统或进行导航、危险预测等的系统等来暂时储存必要信息。此外，也可以在该显示装置上暂时显示导航、危险预测等信息。此外，也可以保持安装在汽车5700上的行车记录仪的录像。

[0517] 虽然在上述例子中作为移动体的一个例子说明汽车，但是移动体不局限于汽车。例如，作为移动体，也可以举出电车、单轨铁路、船舶、飞行物(直升机、无人驾驶飞机(无人机)、飞机、火箭)等。

[0518] [照相机]

[0519] 上述实施方式所说明的半导体装置可以应用于照相机。

[0520] 图23H示出摄像装置的一个例子的数码相机6240。数码相机6240包括外壳6241、显示部6242、操作开关6243、快门按钮6244等，并且安装有可装卸的镜头6246。在此，数码相机6240采用能够从外壳6241拆卸下镜头6246的结构，但是镜头6246及外壳6241也可以被形成为一体。此外，数码相机6240还可以包括另外安装的闪光灯装置或取景器等。

[0521] 通过将上述实施方式所说明的半导体装置用于数码相机6240，可以实现低功耗的数码相机6240。此外，借助于低功耗，可以降低来自电路的发热，由此可以减少因发热而给电路本身、外围电路以及模块带来的负面影响。

[0522] [视频摄像机]

[0523] 上述实施方式所说明的半导体装置可以应用于视频摄像机。

[0524] 图23I示出摄像装置的一个例子的视频摄像机6300。视频摄像机6300包括第一外壳6301、第二外壳6302、显示部6303、操作开关6304、镜头6305、连接部6306等。操作开关6304及镜头6305设置在第一外壳6301上，显示部6303设置在第二外壳6302上。第一外壳6301与第二外壳6302由连接部6306连接，第一外壳6301与第二外壳6302间的角度可以由连接部6306改变。显示部6303的图像也可以根据连接部6306中的第一外壳6301与第二外壳6302间的角度切换。

[0525] 当记录由视频摄像机6300拍摄的图像时，需要进行根据数据记录方式的编码。借助于上述半导体装置，上述视频摄像机6300可以保持在进行编码时生成的临时文件。

[0526] [ICD]

[0527] 可以将上述实施方式所说明的半导体装置应用于埋藏式心律转复除颤器(ICD)。

[0528] 图23J是示出ICD的一个例子的截面示意图。ICD主体5400至少包括电池5401、电子构件4700、调节器、控制电路、天线5404、向右心房的金属丝5402、向右心室的金属丝5403。

[0529] ICD主体5400通过手术设置在体内，两个金属丝穿过人体的锁骨下静脉5405及上腔静脉5406，并且其中一个金属丝的先端设置于右心室，另一个金属丝的先端设置于右心房。

[0530] ICD主体5400具有心脏起搏器的功能，并在心律在规定范围之外时对心脏进行起搏。此外，在即使进行起搏也不改善心律而快速的心室频脉或心室颤动等继续发生时进行利用去颤的治疗。

[0531] 为了适当地进行起搏及去颤，ICD主体5400需要经常监视心律。因此，ICD主体5400包括用来检测心律的传感器。此外，ICD主体5400可以在电子构件4700中储存通过该传感器测得的心律的数据、利用起搏进行治疗的次数、时间等。

[0532] 此外,因为由天线5404接收电力,且该电力被充电到电池5401。此外,通过使ICD主体5400包括多个电池,可以提高安全性。具体而言,即使ICD主体5400中的部分电池产生故障,其他电池可以起作用而被用作辅助电源。

[0533] 此外,除了能够接收电力的天线5404,还可以包括能够发送生理信号的天线,例如,也可以构成能够由外部的监视装置确认脉搏、呼吸数、心律、体温等生理信号的监视心脏活动的系统。

[0534] [PC用扩展装置]

[0535] 上述实施方式所说明的半导体装置可以应用于PC(Personal Computer;个人计算机)等计算机、信息终端用扩展装置。

[0536] 图24A示出该扩展装置的一个例子的可以携带且安装有能够储存信息的芯片的设置在PC的外部的扩展装置6100。扩展装置6100例如通过由USB(Universal Serial Bus;通用串行总线)等连接于PC,可以利用该芯片储存信息。注意,虽然图24A示出可携带的扩展装置6100,但是根据本发明的一个方式的扩展装置不局限于此,例如也可以采用安装冷却风机等的较大结构的扩展装置。

[0537] 扩展装置6100包括外壳6101、盖子6102、USB连接器6103及衬底6104。衬底6104被容纳在外壳6101中。衬底6104设置有驱动上述实施方式所说明的半导体装置等的电路。例如,衬底6104安装有电子构件4700、控制器芯片6106。USB连接器6103被用作连接于外部装置的接口。

[0538] [SD卡]

[0539] 上述实施方式所说明的半导体装置可以应用于能够安装在信息终端及数码相机等电子设备上的SD卡。

[0540] 图24B是SD卡的外观示意图,图24C是SD卡的内部结构的示意图。SD卡5110包括外壳5111、连接器5112及衬底5113。连接器5112具有连接到外部装置的接口的功能。衬底5113被容纳在外壳5111中。衬底5113设置有半导体装置及驱动该半导体装置的电路。例如,衬底5113安装有电子构件4700、控制器芯片5115。此外,电子构件4700及控制器芯片5115的各电路结构不局限于上述记载,可以根据情况适当地改变电路结构。例如,电子构件所包括的写入电路、行驱动器、读出电路等也可以不安装在电子构件4700上而安装在控制器芯片5115上。

[0541] 通过在衬底5113的背面一侧也设置电子构件4700,可以增大SD卡5110的容量。此外,也可以将具有无线通信功能的无线芯片设置于衬底5113。由此,可以进行外部装置与SD卡5110之间的无线通信,可以进行电子构件4700的数据的读出及写入。

[0542] [SSD]

[0543] 上述实施方式所说明的半导体装置可以应用于能够安装在信息终端等电子设备上的SSD(Solid State Drive:固态驱动器)。

[0544] 图24D是SSD的外观示意图,图24E是SSD的内部结构的示意图。SSD5150包括外壳5151、连接器5152及衬底5153。连接器5152具有连接到外部装置的接口的功能。衬底5153被容纳在外壳5151中。衬底5153设置有半导体装置及驱动该半导体装置的电路。例如,衬底5153安装有电子构件4700、存储器芯片5155、控制器芯片5156。通过在衬底5153的背面一侧也设置电子构件4700,可以增大SSD5150的容量。存储器芯片5155中安装有工作存储器。例

如,可以将DRAM芯片用于存储器芯片5155。控制器芯片5156中安装有处理器、ECC电路等。注意,电子构件4700、存储器芯片5155及控制器芯片5156的各电路结构不局限于上述记载,可以根据情况适当地改变电路结构。例如,控制器芯片5156中也可以设置用作工作存储器的存储器。

[0545] [计算机]

[0546] 图25A所示的计算机5600是大型计算机的例子。在计算机5600中,多个机架式计算机5620收纳在机架5610中。

[0547] 计算机5620例如可以具有图25B所示的立体图的结构。在图25B中,计算机5620包括母板5630,母板5630包括多个插槽5631以及多个连接端子等。插槽5631插入有个人计算机卡5621。并且,个人计算机卡5621包括连接端子5623、连接端子5624、连接端子5625,它们连接到母板5630。

[0548] 图25C所示的个人计算机卡5621是包括CPU、GPU、半导体装置等的处理板的一个例子。个人计算机卡5621具有板5622。此外,板5622包括连接端子5623、连接端子5624、连接端子5625、半导体装置5626、半导体装置5627、半导体装置5628以及连接端子5629。注意,图25C示出半导体装置5626、半导体装置5627以及半导体装置5628以外的半导体装置,关于这些半导体装置的说明,参照以下记载的半导体装置5626、半导体装置5627以及半导体装置5628的说明。

[0549] 连接端子5629具有可以插入母板5630的插槽5631的形状,连接端子5629被用作连接个人计算机卡5621与母板5630的接口。作为连接端子5629的规格例如可以举出PCIe等。

[0550] 连接端子5623、连接端子5624、连接端子5625例如可以用作用来对个人计算机卡5621供电或输入信号等的接口。此外,例如,可以用作用来进行个人计算机卡5621所计算的信号的输出等的接口。作为连接端子5623、连接端子5624、连接端子5625各自的规格例如可以举出USB(Universal Serial Bus:通用串行总线)、SATA(Serial ATA:串行ATA)、SCSI(Small Computer System Interface:小型计算机系统接口)等。此外,当从连接端子5623、连接端子5624、连接端子5625输出视频信号时,作为各规格可以举出HDMI(注册商标)等。

[0551] 半导体装置5626包括进行信号的输入及输出的端子(未图示),通过将该端子插入板5622所包括的插座(未图示),可以电连接半导体装置5626与板5622。

[0552] 半导体装置5627包括多个端子,通过将该端子以回流焊方式焊接到板5622所包括的布线,可以电连接半导体装置5627与板5622。作为半导体装置5627,例如,可以举出FPGA(Field Programmable Gate Array:现场可编程门阵列)、GPU、CPU等。作为半导体装置5627,例如可以使用电子构件4730。

[0553] 半导体装置5628包括多个端子,通过将该端子以回流焊方式焊接到板5622所包括的布线,可以电连接半导体装置5628与板5622。作为半导体装置5628,例如,可以举出存储装置等。作为半导体装置5628,例如可以使用电子构件4700。

[0554] 计算机5600可以用作并行计算机。通过将计算机5600用作并行计算机,例如可以进行人工智能的学习及推理所需要的大规模计算。

[0555] 通过将本发明的一个方式的半导体装置用于上述各种电子设备等,可以降低电子设备的功耗。

[0556] 本实施方式所示的结构、方法等的至少一部分可以与本说明书所记载的其他实施

方式及其他实施例等适当地组合而实施。

[0557] [实施例]

[0558] 在本实施例中，制造包括图20A至图20C所示的晶体管500的关态电流测量TEG(Test Element Group)样品及电容泄漏电流测量TEG样品评价温度依赖性。

[0559] [关态电流测量]

[0560] 首先，说明包括晶体管500的关态电流测量TEG样品的结构。如图20A至图20C所示，样品包括配置在衬底(未图示)上的绝缘体512、绝缘体512上的绝缘体514、配置在绝缘体514的上的绝缘体516、以嵌入在绝缘体516中的方式配置的导电体503、配置在绝缘体516及导电体503上的绝缘体520、配置在绝缘体520上的绝缘体522、配置在绝缘体522上的绝缘体524、配置在绝缘体524上的氧化物530a、配置在氧化物530a上的氧化物530b、在氧化物530b中分开设置的区域543a及区域543b、配置在区域543a上的导电体542a、配置在区域543b上的导电体542b、配置在导电体542a、导电体524b及绝缘体524上的绝缘体544、配置在绝缘体544上的绝缘体580、配置在氧化物530b上的绝缘体545、配置在绝缘体545上的导电体560、配置在绝缘体580及导电体560上的绝缘体574以及配置在绝缘体574上的绝缘体581。

[0561] 作为氧化物530a，使用利用DC溅射法沉积的厚度为10nm的In-Ga-Zn氧化物。注意，在沉积氧化物530a时使用In:Ga:Zn＝1:3:4[原子数比]的靶材。

[0562] 作为氧化物530b，使用利用DC溅射法沉积的厚度为15nm的In-Ga-Zn氧化物。注意，在沉积氧化物530b时使用In:Ga:Zn＝1:1:2[原子数比]的靶材。

[0563] 绝缘体545具有四层的叠层结构。绝缘体545的第一层是利用ALD法沉积的厚度为1nm的氧化铝。绝缘体545的第二层是利用CVD法沉积的厚度为5nm的氧氮化硅。绝缘体545的第三层是利用ALD法沉积的厚度为1.5nm的氧化铪。绝缘体545的第四层是利用ALD法沉积的厚度为1nm的氮化硅。在沉积绝缘体545的第二层之后以及沉积绝缘体545的第三层之后，分别进行微波处理。在微波处理中，作为处理气体使用氩气体及氧气体，处理温度为400℃，处理时间为600秒。

[0564] 注意，样品除了上述结构以外还包括导电体540。此外，在制造样品之后在氮气氛下以400℃进行8小时的热处理。如上所述，制造包括晶体管500的关态电流测量TEG样品。

[0565] 接着，图26是示出关态电流测量TEG的概况的电路图。关态电流TEG包括端子A至E、晶体管901、晶体管902、读出电路903及节点ND2。晶体管901是用来对节点ND2供应电位的写入晶体管。此外，晶体管902是关态电流测量的对象晶体管。作为晶体管902，具有沟道长度60nm及沟道宽度60nm的设计值的两万个晶体管并联连接。也就是说晶体管902具有沟道长度60nm及沟道宽度(60nm×20000＝1.2mm)的设计值。

[0566] 晶体管901的源极和漏极中的一个与端子A电连接。晶体管901的源极和漏极中的另一个与节点ND2电连接。晶体管901的栅极与端子B电连接。晶体管902的源极和漏极中的一个与节点ND2电连接。晶体管902的源极和漏极中的另一个与端子D电连接。晶体管902的栅极与端子C电连接。晶体管902的底栅极与端子E电连接。此外，读出电路903与节点ND2电连接。读出电路903可以不断读取节点ND2的电位。

[0567] 接着，说明关态电流的测量方法。首先，将晶体管901成为开启状态的电位V11供应给端子B而使晶体管901成为开启状态。接着，直到节点ND2的电位成为V12为止对端子A供应电位V12。在本实施例中V12为1.2V。接着，将晶体管901成为关闭状态的电位V13供应给端子

B而使晶体管901成为关闭状态。注意，晶体管902通过电位-2V供应给端子C、电位-3V供应给端子E以及电位0V供应给端子D，一直成为关闭状态。

[0568] 如此通过由读出电路903读取随着使晶体管901处于关闭状态之后经过的时间的节点ND2的电位变化，可以算出晶体管902的泄漏电流，也就是说可以算出关态电流。具体而言，在晶体管902的关态电流为I_{off}、节点ND2的电容为C_{ND}、节点ND2的电位变化为ΔV_{ND}以及经过时间为t时，以$I_{off}=C_{ND}\times\Delta V_{ND}/t$算出。注意，具有晶体管901的沟道长度为500nm、沟道宽度为60nm的设计值且晶体管901的沟道宽度为晶体管902的沟道宽度的1/20000，由此可以忽略晶体管901的关态电流。

[0569] 在温度150℃的测量环境下读取经过时间1小时的节点ND2的电位变化ΔV_{ND}，在温度125℃的测量环境下读取经过时间1小时的节点ND2的电位变化ΔV_{ND}，在温度100℃的测量环境下读取经过时间2小时的节点ND2的电位变化ΔV_{ND}，在温度85℃的测量环境下读取经过时间4小时的节点ND2的电位变化ΔV_{ND}。

[0570] 图28示出晶体管902的关态电流的温度依赖性的图表。图28的横轴示出绝对温度T[K]的倒数的1000倍，纵轴示出泄漏电流(关态电流)。图28以菱形标绘出各温度的晶体管902的关态电流。在温度150℃下得到1.4×10^{-20}(A)的关态电流，在温度125℃下得到2.9×10^{-21}(A)的关态电流，在温度100℃下得到6.9×10^{-22}(A)的关态电流，在温度85℃下得到2.9×10^{-22}(A)的关态电流。此外，以实线示出近似直线。在将近似直线外推至室温(RT)时，在室温下被推定为非常小的关态电流，即大约为2×10^{-24}(A)。由此确认到关态电流的温度依赖性。

[0571] [电容泄漏电流测量]

[0572] 接着，说明包括晶体管500的电容泄漏电流测量TEG样品的结构。电容泄漏电流测量TEG样品除了上述[关态电流测量]中说明的关态电流测量TEG样品的结构以外还包括电容的结构。

[0573] 图27A示出电容的结构的截面图。电容包括晶体管500(未图示)上的导电体910a、导电体910a上的导电体910b、覆盖导电体910a及导电体910b的介电体930a、介电体930a上的介电体930b、介电体930b上的导电体920a、导电体920a上的导电体920b、覆盖导电体920a及导电体920b的绝缘体983a以及绝缘体983a上的绝缘体983b。

[0574] 作为导电体910a使用利用溅射法沉积的厚度为30nm的钨。此外，作为导电体910b使用利用CVD法沉积的厚度为5nm的氮化钛。注意，导电体910a及导电体910b被用作电容的下部电极。

[0575] 作为介电体930a使用利用ALD法沉积的厚度为14nm的氧化铝。作为介电体930b使用利用CVD法沉积的厚度为7nm的氧氮化硅。注意，介电体930a及介电体930b被用作电容的介电体。

[0576] 作为导电体920a使用利用CVD法沉积的厚度为10nm的氮化钛。作为导电体920b使用利用溅射法沉积的厚度为20nm的钨。注意，导电体920a及导电体920b被用作电容的上部电极。

[0577] 作为绝缘体983a使用利用ALD法沉积的厚度为5nm的氧化铝。作为绝缘体983b使用利用溅射法沉积的厚度为35nm的氧化铝。注意，绝缘体983a及绝缘体983b被用作钝化膜。在形成电容之后在氮气氛下以400℃的温度进行8小时的热处理。如上所述，制造电容泄漏电

流测量TEG样品。

[0578] 接着，图27B是示出电容泄漏电流测量TEG的概况的电路图。电容泄漏电流测量TEG包括端子A、端子B、端子D、晶体管901、电容904、读出电路903及节点ND2。晶体管901是用来对节点ND2供应电位的写入晶体管。此外，电容904是电容泄漏电流测量对象的电容。作为电容904，静电电容为4.26fF的图27A所示的结构的60000个电容并联连接。

[0579] 晶体管901的源极和漏极中的一个与端子A电连接。晶体管901的源极和漏极中的另一个与节点ND2电连接。晶体管901的栅极与端子B电连接。电容904的一个电极与节点ND2电连接。电容904的另一个电极与端子D电连接。此外，读出电路903与节点ND2电连接。读出电路903可以不断读取节点ND2的电位。

[0580] 接着，说明电容泄漏的测量方法。首先，将晶体管901成为开启状态的电位V11供应给端子B而使晶体管901成为开启状态。接着，直到节点ND2的电位成为V12为止对端子A供应电位V12。在本实施例中V12为1.2V。此外，端子D被供应0V。

[0581] 如此通过由读出电路903读取随着使晶体管901处于关闭状态之后经过的时间的节点ND2的电位变化，可以算出电容904的泄漏电流。具体而言，在电容泄漏电流为I_{CS}、电容904的电容为C_{CS}、节点ND2的电位变化为ΔV_{ND}以及经过时间为t时，以$I_{CS}=C_{CS}\times\Delta V_{ND}/t$算出。注意，因晶体管901的关态电流导致的节点ND2的电位变动小到忽略的程度。

[0582] 在温度150℃的测量环境下，读取经过时间1小时的节点ND2的电位变化ΔV_{ND}，在温度125℃的测量环境下，读取经过时间4小时的节点ND2的电位变化ΔV_{ND}，在温度100℃的测量环境下，读取经过时间8小时的节点ND2的电位变化ΔV_{ND}。

[0583] 图28示出电容904的泄漏电流的温度依赖性的图表。如上所述，图28的横轴示出绝对温度T[K]的倒数的1000倍，纵轴示出泄漏电流。图28以白圆标绘出各温度的电容904的泄漏电流。在温度150℃下得到2.2×10^{-20}(A)的泄漏电流，在温度125℃下得到1.2×10^{-21}(A)的泄漏电流，在温度100℃下得到3.3×10^{-22}(A)的泄漏电流。此外，以虚线示出近似直线。从近似直线可确认到温度越低电容泄漏电流越减少。在室温下被推定为非常小的电容泄漏电流。如上所述，可确认到电容泄漏电流的温度依赖性。

[0584] 以上，本实施例所示的结构、方法等的至少一部分可以与本说明书所记载的其他实施方式等适当地组合而实施。

[0585] [符号说明]

[0586] 10:单元、11:电容、12:铁电层、12a:铁电层、12b:铁电层、13a:电极、13b:电极、14:顺电体层、14a:顺电体层、14b:顺电体层、21:晶体管、22:晶体管、23:晶体管、31:布线、32:布线、33:布线、41:布线、42:布线、43:布线、44:布线、51:曲线、52:曲线、60:半导体装置、61:单元阵列、62:电路、63:电路、100:神经网络、110:运算电路、328:导电体、330:导电体、350:绝缘体、352:绝缘体、354:绝缘体、356:导电体、360:绝缘体、362:绝缘体、364:绝缘体、366:导电体、368:绝缘体、369:绝缘体、370:绝缘体、371:衬底、372:阱区域、373:绝缘体、374:氧化物层、375:半导体区域、376:导电体、376a:低电阻区域、376b:低电阻区域、376c:低电阻区域、377:绝缘体、378:导电体、379:绝缘体、380:绝缘体、381:绝缘体、382:绝缘体、383:绝缘体、384:绝缘体、385:绝缘体、386:导电体、500:晶体管、503:导电体、503a:导电体、503b:导电体、510:绝缘体、512:绝缘体、514:绝缘体、516:绝缘体、518:导电体、520:绝缘体、522:绝缘体、524:绝缘体、524b:导电体、530:氧化物、530a:氧化物、530b:氧化物、

540:导电体、540a:导电体、540b:导电体、542a:导电体、542b:导电体、543a:区域、543b:区域、544:绝缘体、545:绝缘体、546:导电体、548:导电体、550:晶体管、560:导电体、560a:导电体、560b:导电体、574:绝缘体、580:绝缘体、581:绝缘体、582:绝缘体、586:绝缘体、600:电容、610:导电体、612:导电体、620:导电体、630:绝缘体、640:绝缘体、901:晶体管、902:晶体管、903:读出电路、904:电容、910a:导电体、910b:导电体、920a:导电体、920b:导电体、930a:介电体、930b:介电体、983a:绝缘体、983b:绝缘体、4700:电子构件、4702:印刷电路板、4704:安装衬底、4710:半导体装置、4711:模子、4712:连接盘、4713:电极焊盘、4714:引线、4730:电子构件、4731:插板、4732:封装衬底、4733:电极、4735:半导体装置、4800:半导体晶片、4800a:芯片、4801:晶片、4801a:晶片、4802:电路部、4803:空隙、4803a:空隙、5110:SD卡、5111:外壳、5112:连接器、5113:衬底、5115:控制器芯片、5150:SSD、5151:外壳、5152:连接器、5153:衬底、5155:存储器芯片、5156:控制器芯片、5200:便携式游戏机、5201:外壳、5202:显示部、5203:按钮、5300:台式信息终端、5301:主体、5302:显示部、5303:键盘、5400:ICD主体、5401:电池、5402:金属丝、5403:金属丝、5404:天线、5405:锁骨下静脉、5406:上腔静脉、5500:信息终端、5510:外壳、5511:显示部、5600:计算机、5610:机架、5620:计算机、5621:计算机卡、5622:板、5623:连接端子、5624:连接端子、5625:连接端子、5626:半导体装置、5627:半导体装置、5628:半导体装置、5629:连接端子、5630:母版、5631:插槽、5700:汽车、5800:电冷藏冷冻箱、5801:外壳、5802:冷藏室门、5803:冷冻室门、5900:信息终端、5901:外壳、5902:显示部、5903:操作开关、5904:操作开关、5905:表带、6100:扩展装置、6101:外壳、6102:盖子、6103:USB连接器、6104:衬底、6106:控制器芯片、6240:数码相机、6241:外壳、6242:显示部、6243:操作开关、6244:快门按钮、6246:镜头、6300:视频摄像机、6301:外壳、6302:外壳、6303:显示部、6304:操作开关、6305:镜头、6306:连接部、7500:固定式游戏机、7520:主体、7522:控制器。

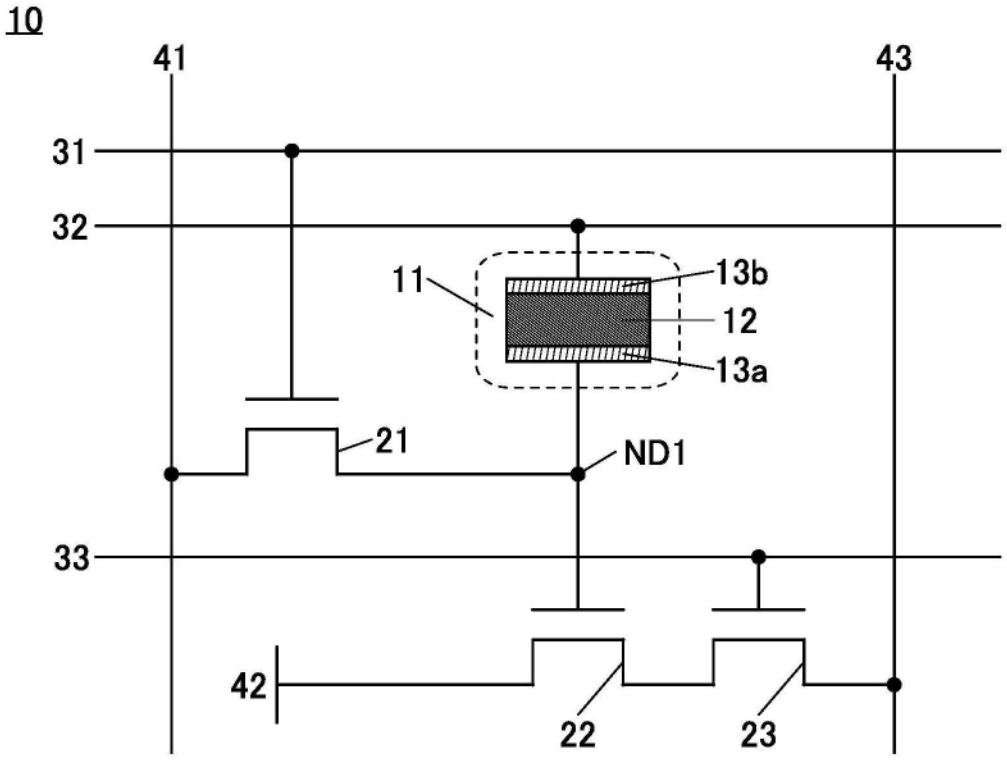


图1A

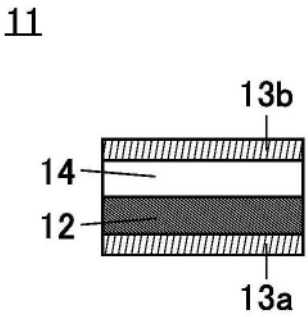


图1B1

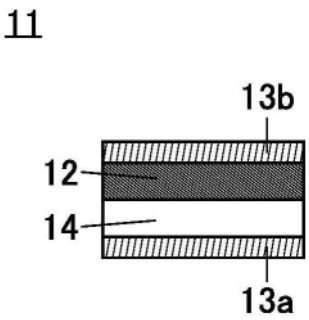


图1B2

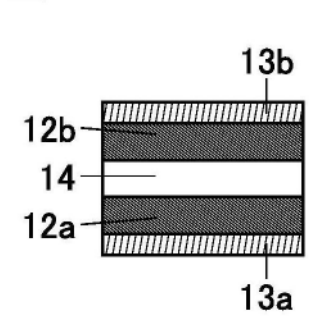


图1B3

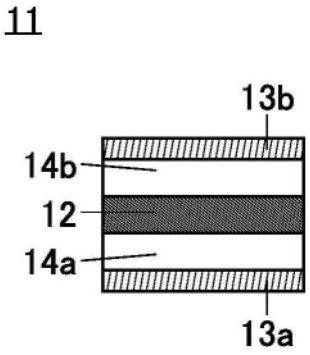


图1B4

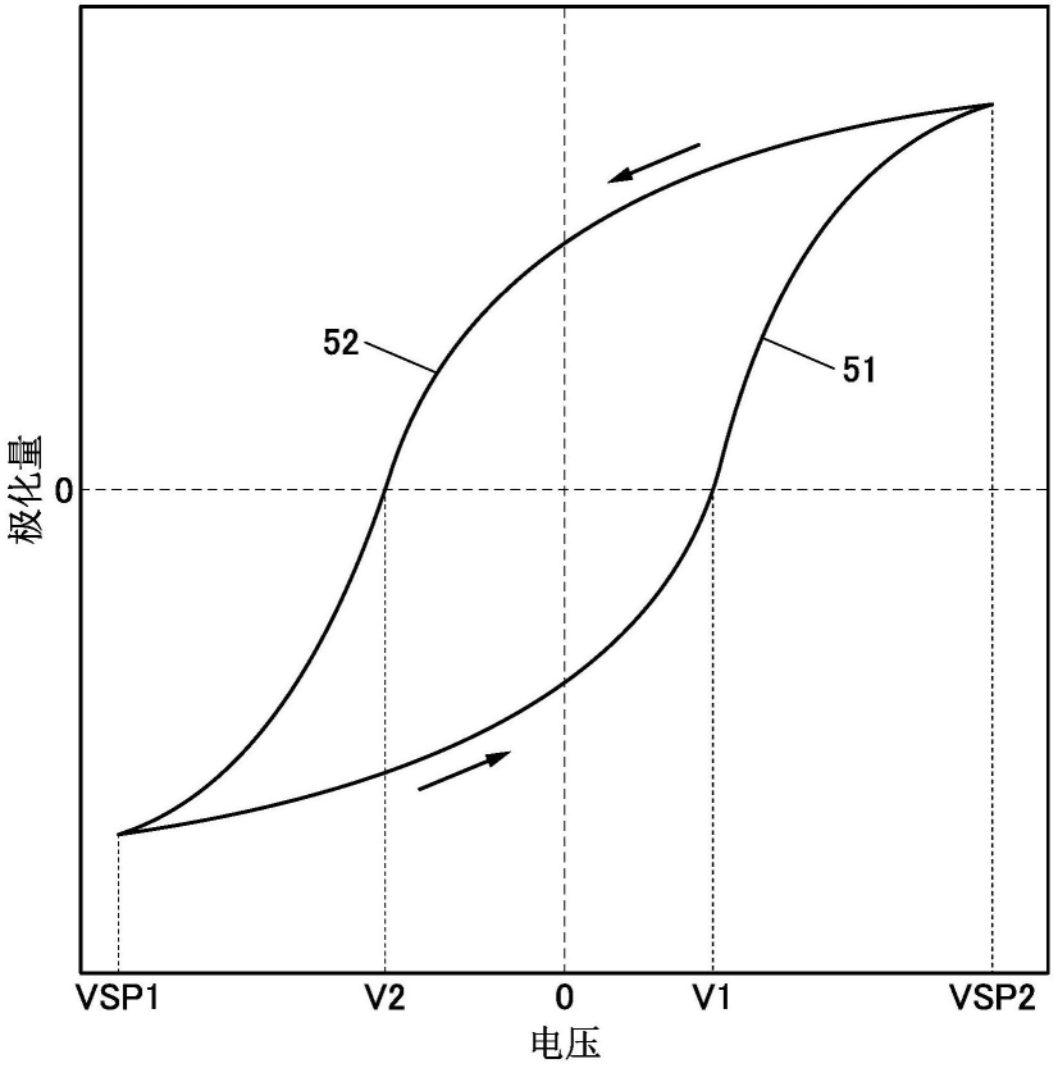


图2

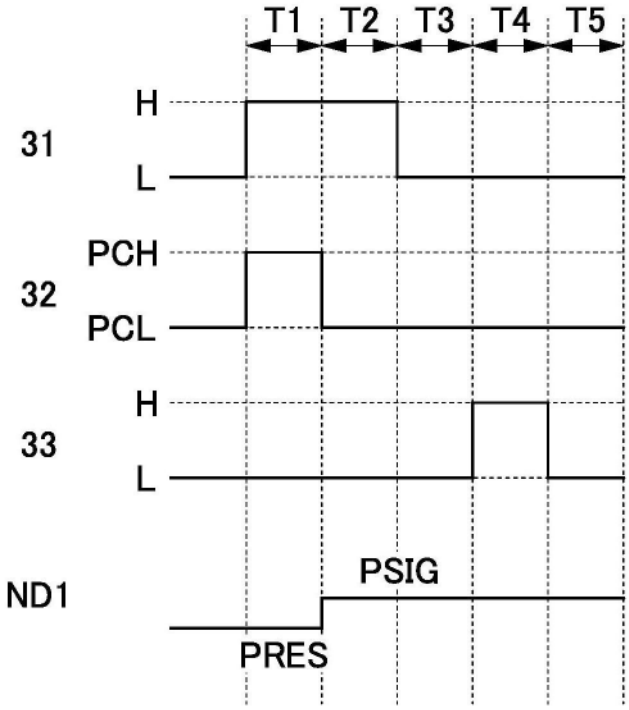

T1
T2
T3
T4
T5
H
31
L
PCH
32
PCL
H
33
L
PSIG
ND1
PRES

图3

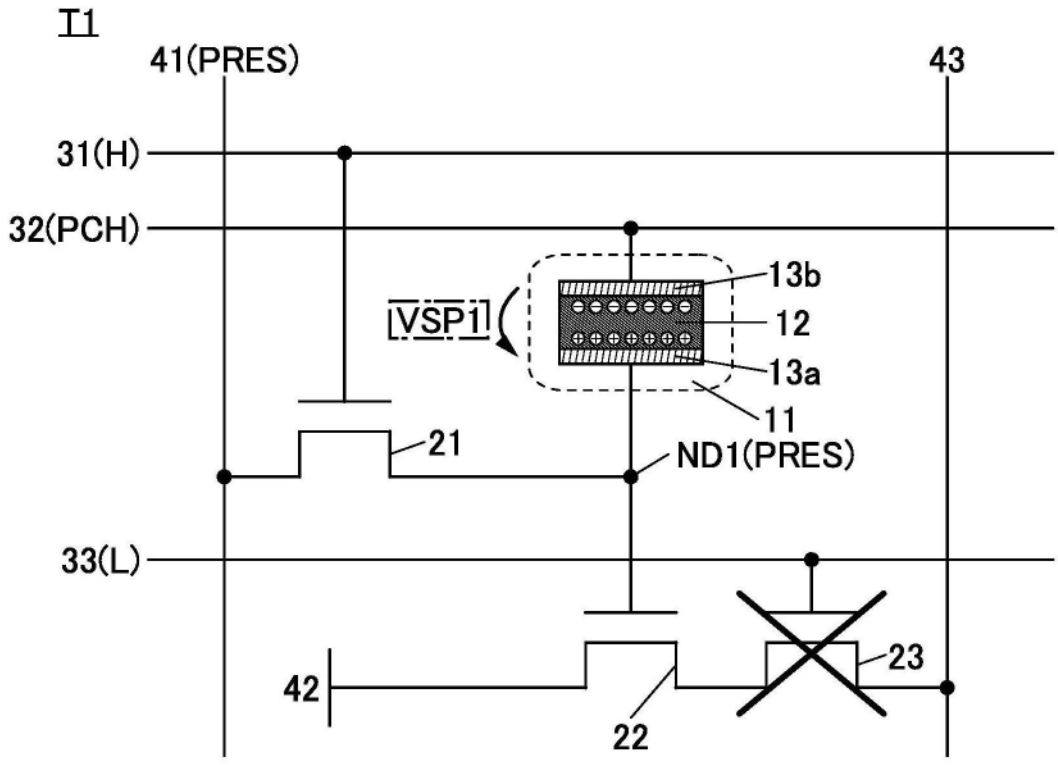

T1
41(PRES)
43
31(H)
32(PCH)
VSP1
13b
12
13a
11
21
ND1(PRES)
33(L)
42
22
23

图4A

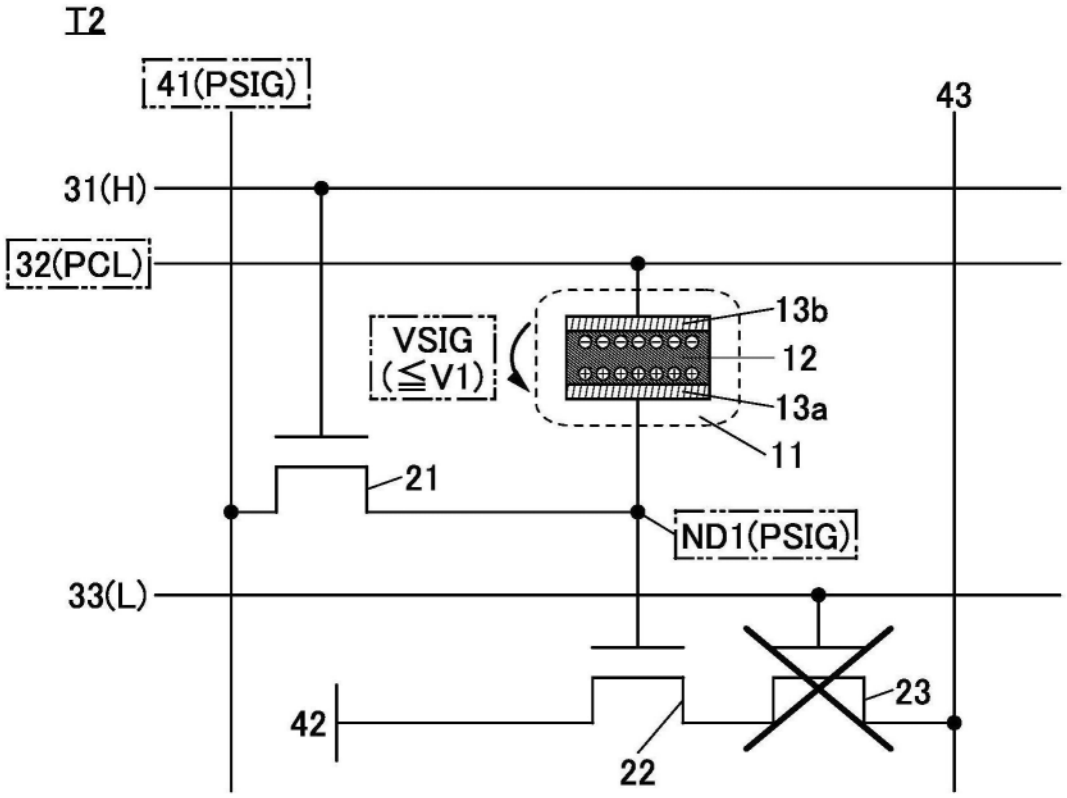

T2
41(PSIG)
43
31(H)
32(PCL)
VSIG
(≦V1)
13b
12
13a
11
21
ND1(PSIG)
33(L)
42
22
23

图4B

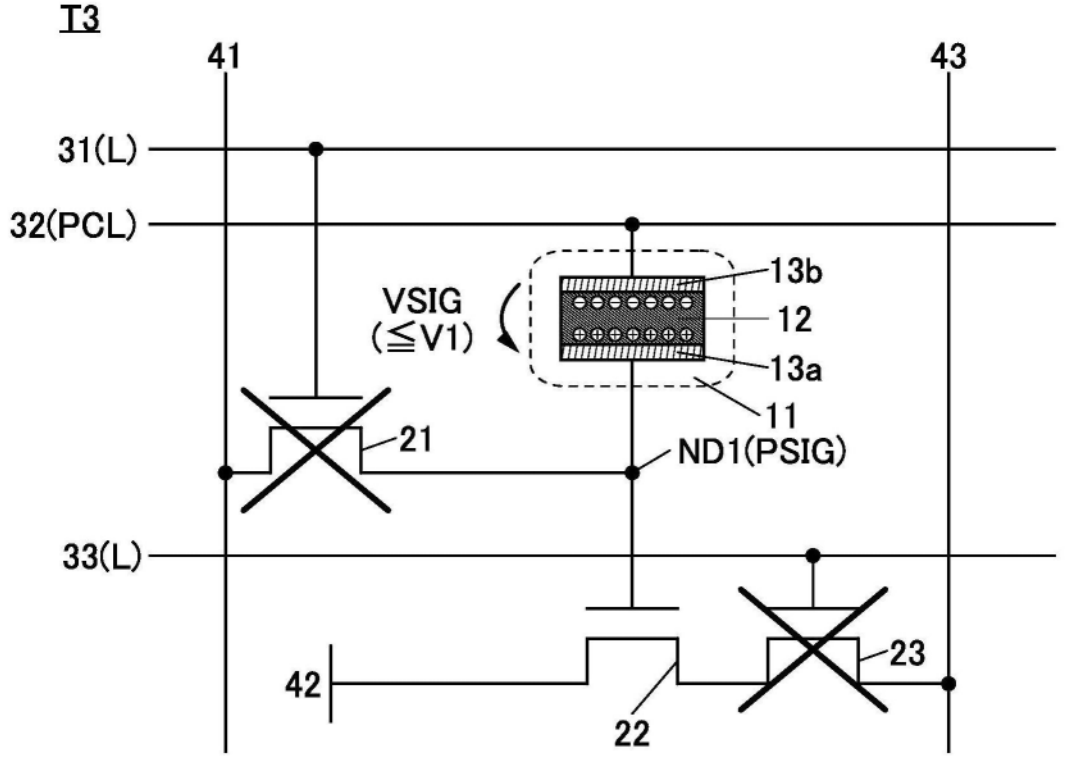

T3
41
43
31(L)
32(PCL)
VSIG
(≦V1)
13b
12
13a
11
21
ND1(PSIG)
33(L)
42
22
23

图5A

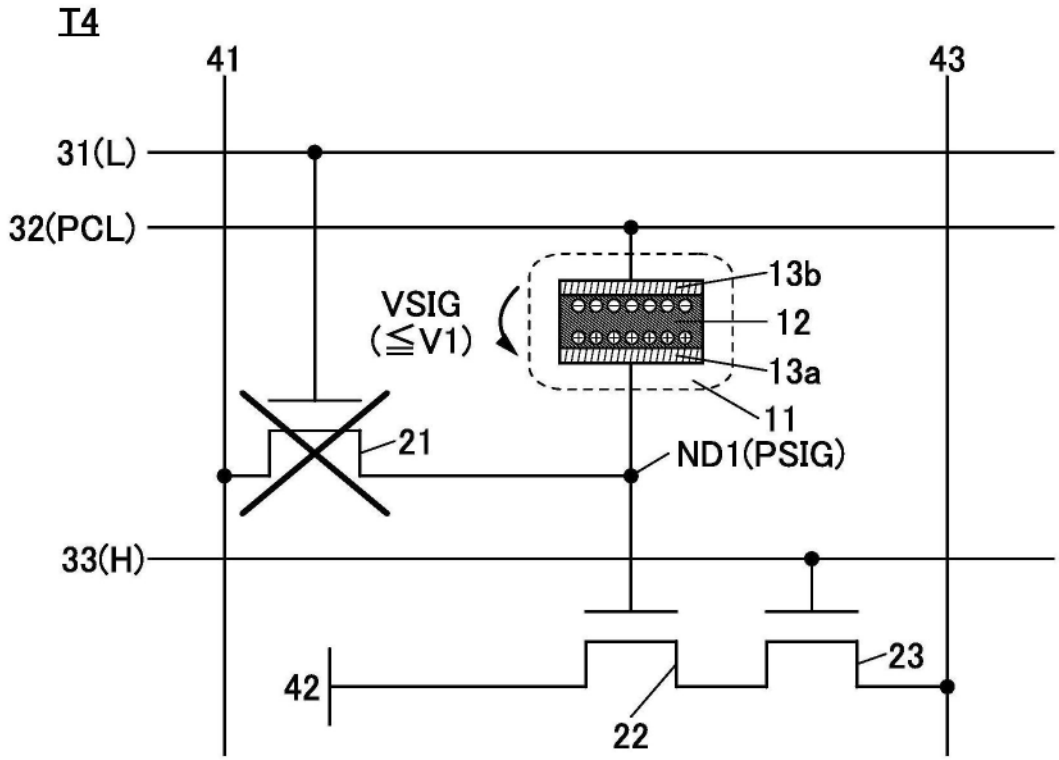

T4
41
43
31(L)
32(PCL)
VSIG
(≦V1)
13b
12
13a
11
21
ND1(PSIG)
33(H)
42
22
23

图5B

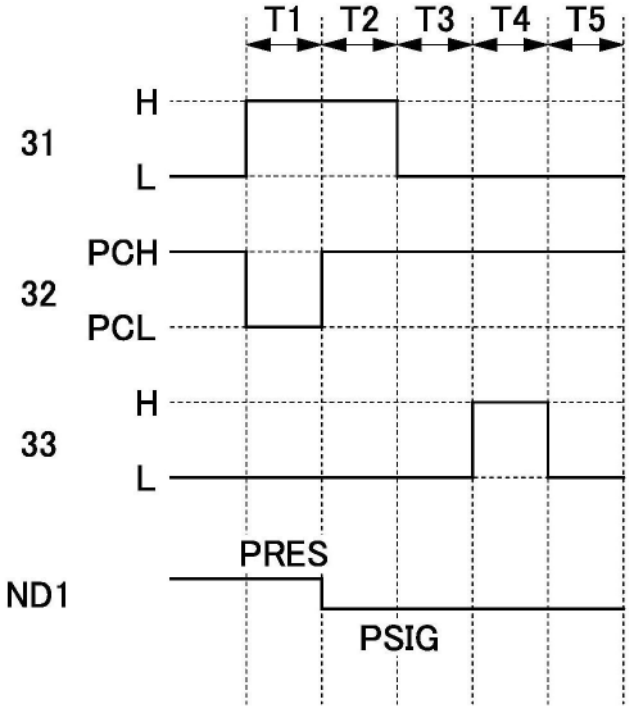

T1
T2
T3
T4
T5
31
H
L
32
PCH
PCL
33
H
L
ND1
PRES
PSIG

图6

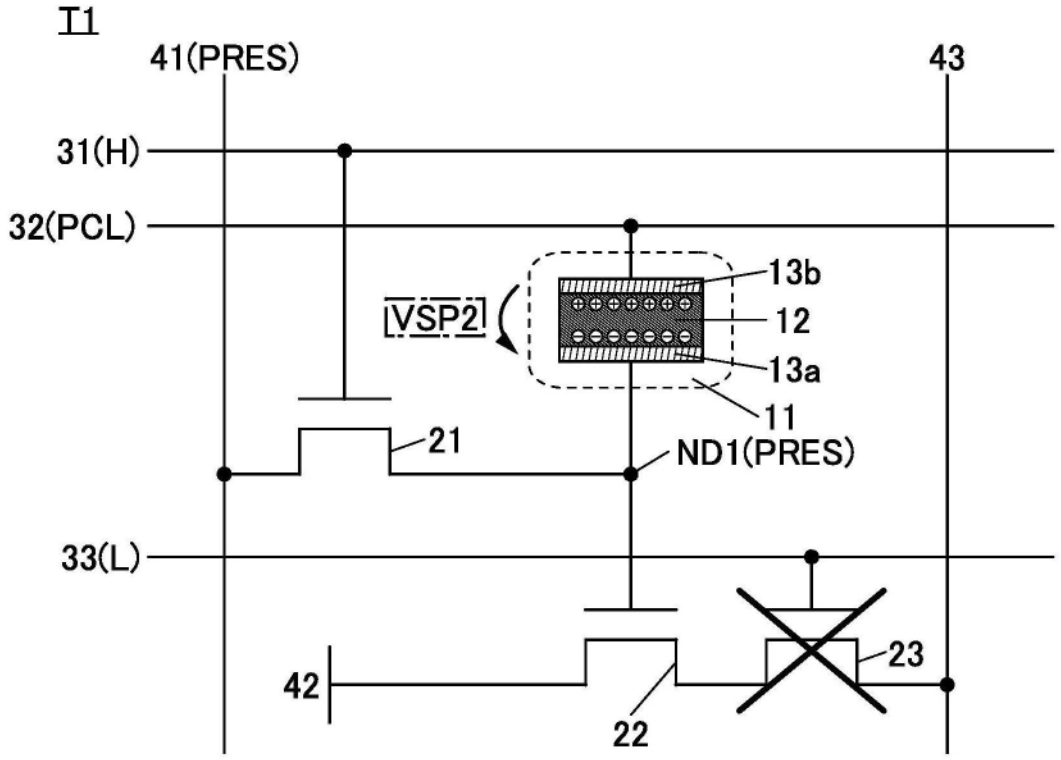

T1
41(PRES)
43
31(H)
32(PCL)
VSP2
13b
12
13a
11
21
ND1(PRES)
33(L)
23
42
22

图7A

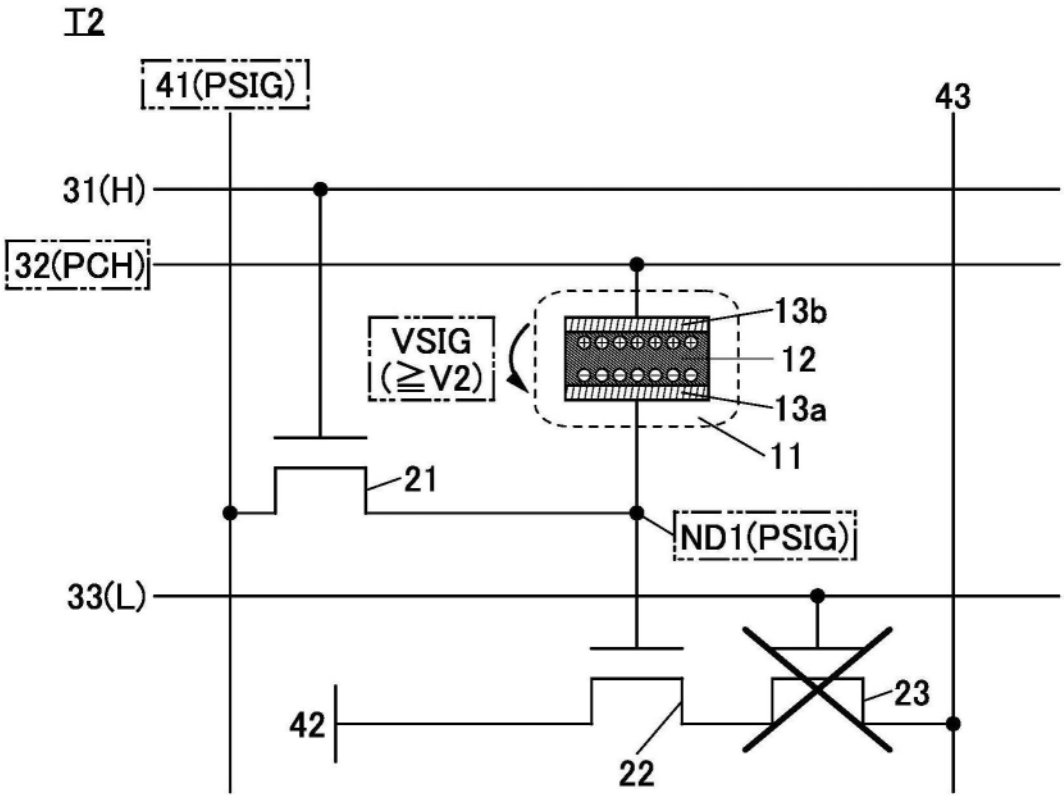

T2
41(PSIG)
43
31(H)
32(PCH)
VSIG
(≧V2)
13b
12
13a
11
21
ND1(PSIG)
33(L)
23
42
22

图7B

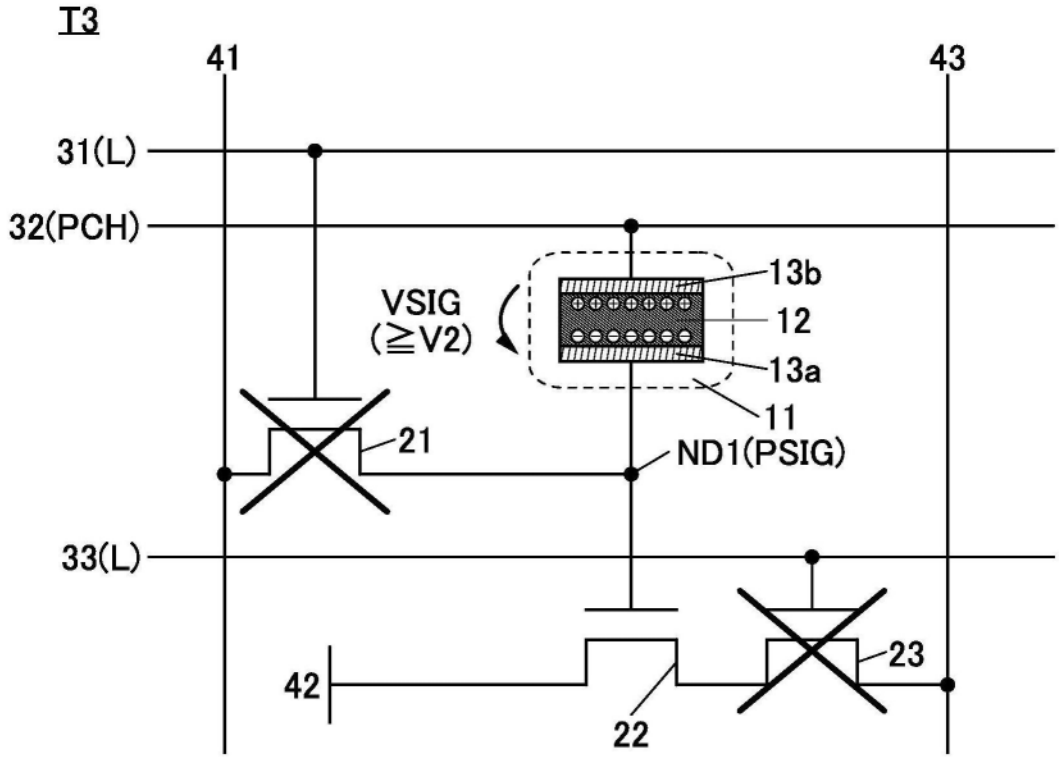

T3
41
43
31(L)
32(PCH)
VSIG
(≧V2)
13b
12
13a
11
21
ND1(PSIG)
33(L)
42
22
23

图8A

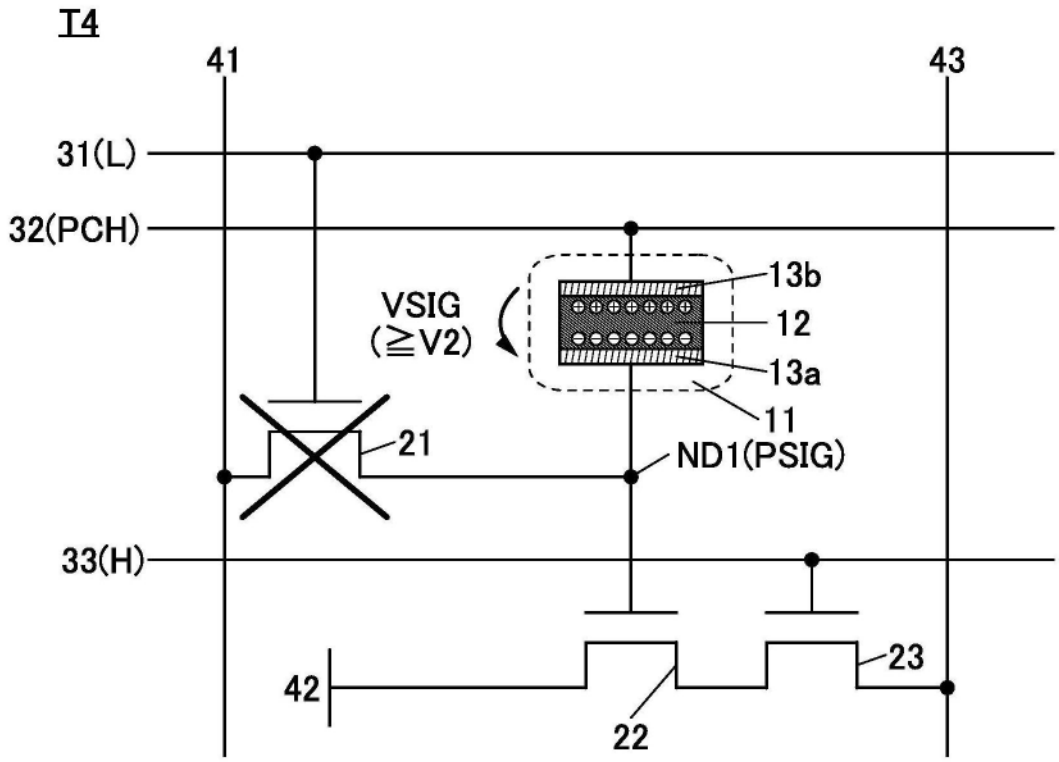

T4
41
43
31(L)
32(PCH)
VSIG
(≧V2)
13b
12
13a
11
21
ND1(PSIG)
33(H)
42
22
23

图8B

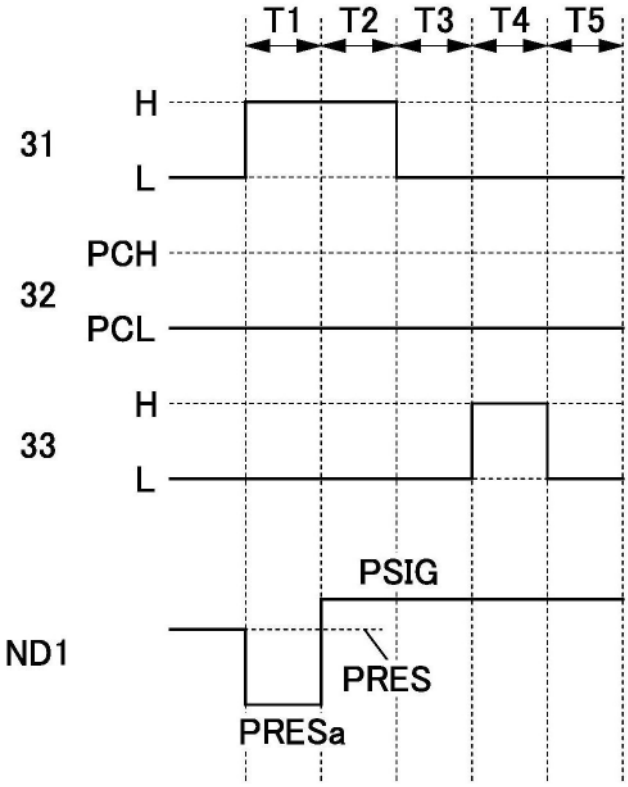

T1
T2
T3
T4
T5
H
31
L
PCH
32
PCL
H
33
L
PSIG
ND1
PRES
PRESa

图9

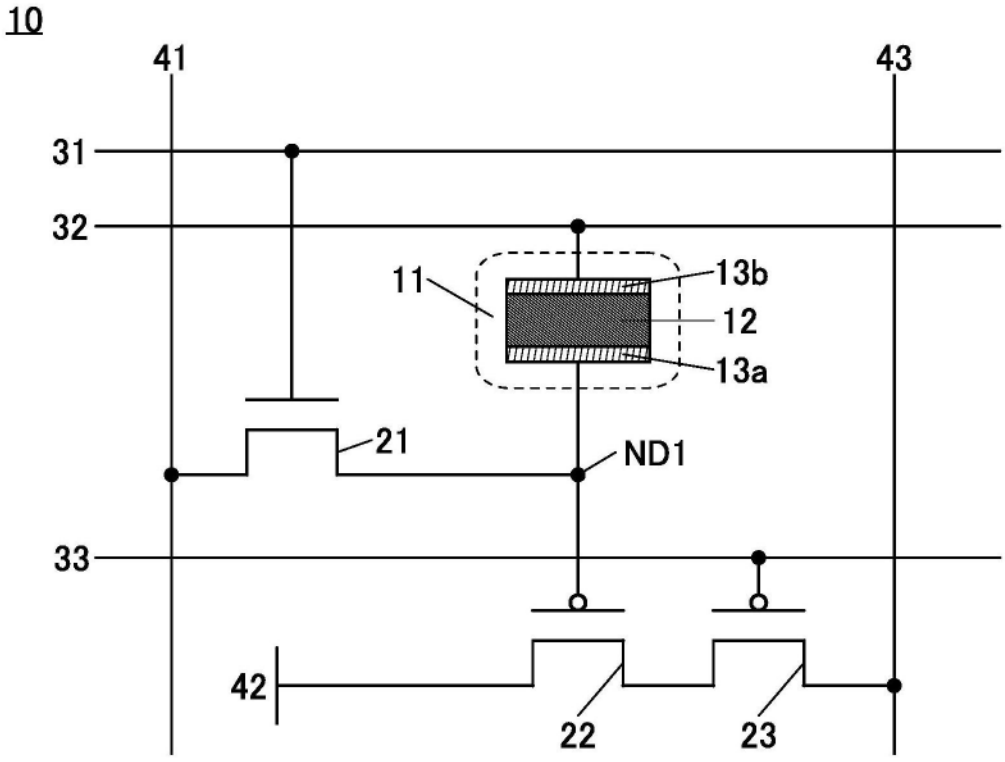

10
41
43
31
32
11
13b
12
13a
21
ND1
33
42
22
23

图10A

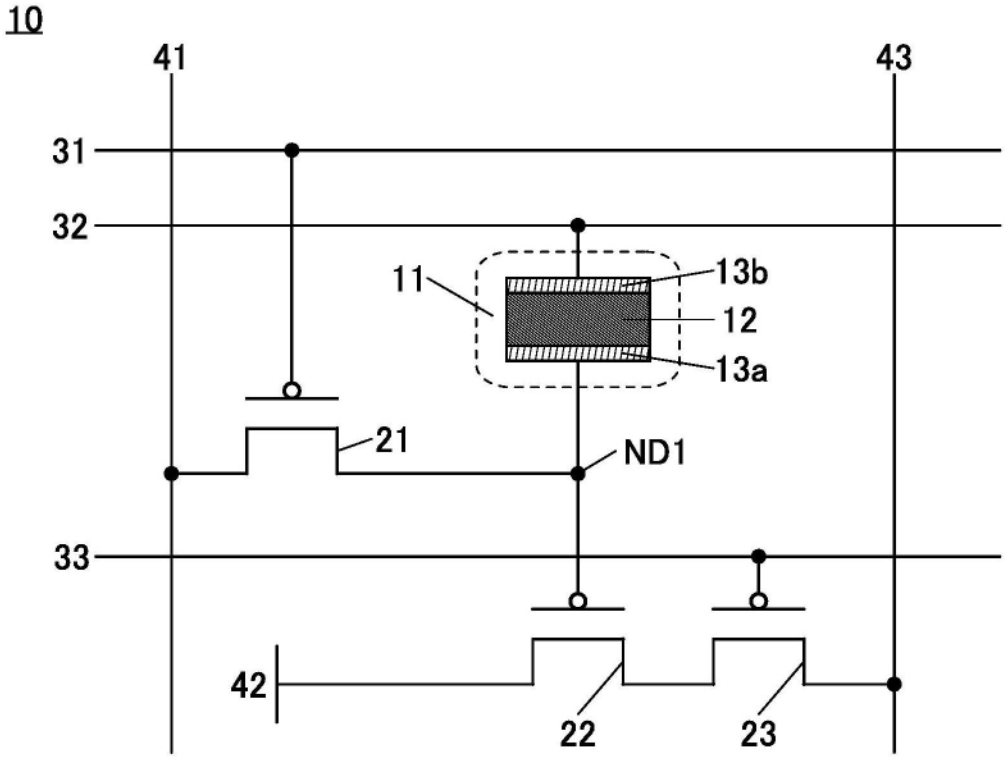

10
41
43
31
32
11
13b
12
13a
21
ND1
33
42
22
23

图10B

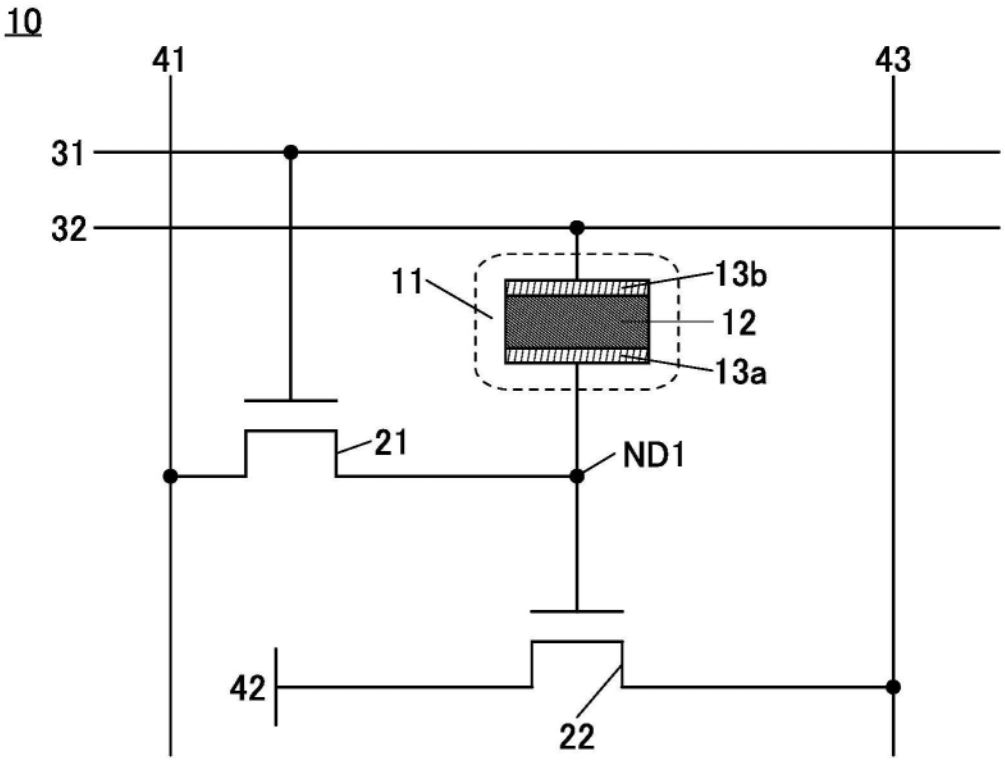

10
41
43
31
32
11
13b
12
13a
21
ND1
42
22

图11A

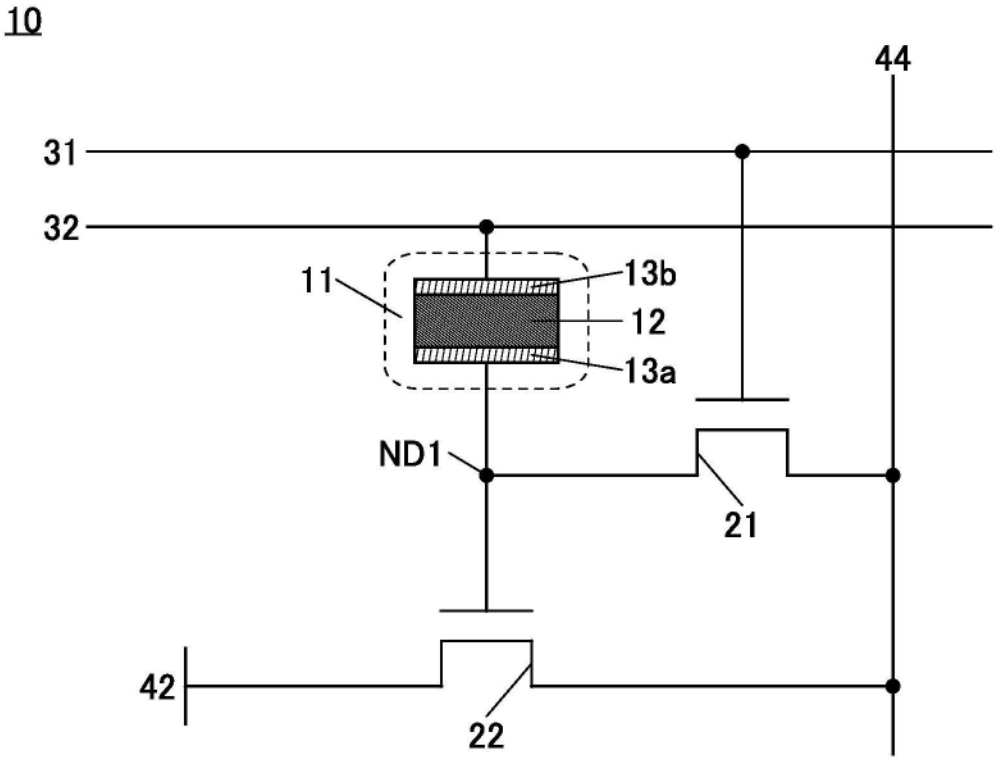

10
44
31
32
11
13b
12
13a
ND1
21
42
22

图11B

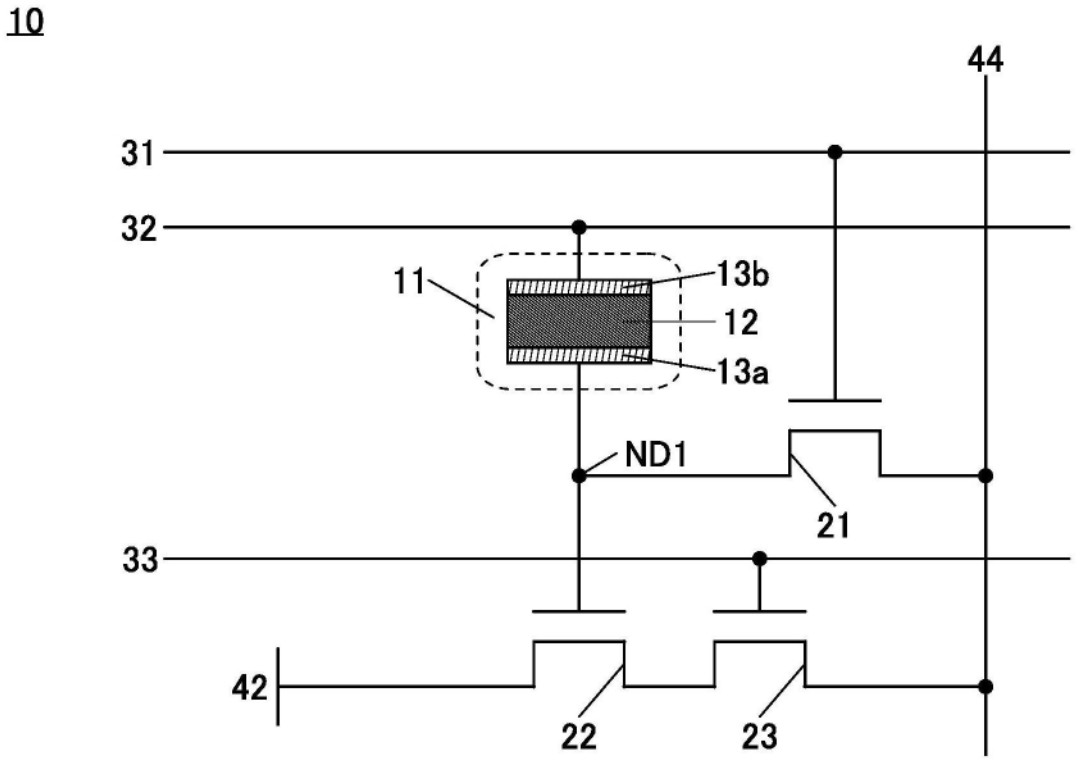

10
44
31
32
11
13b
12
13a
ND1
21
33
42
22
23

图12A

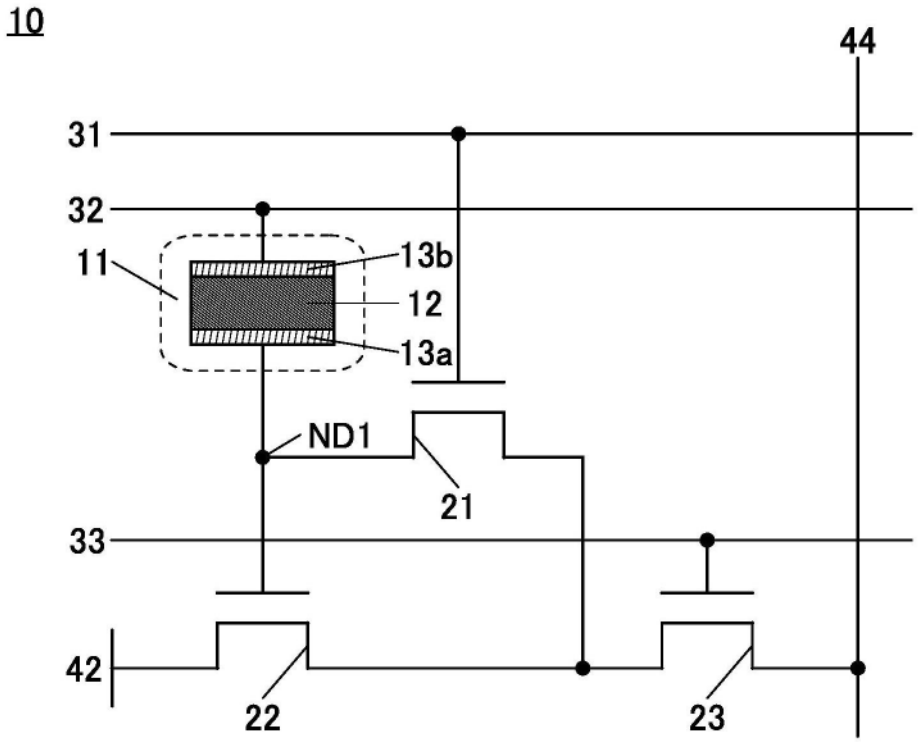


图12B

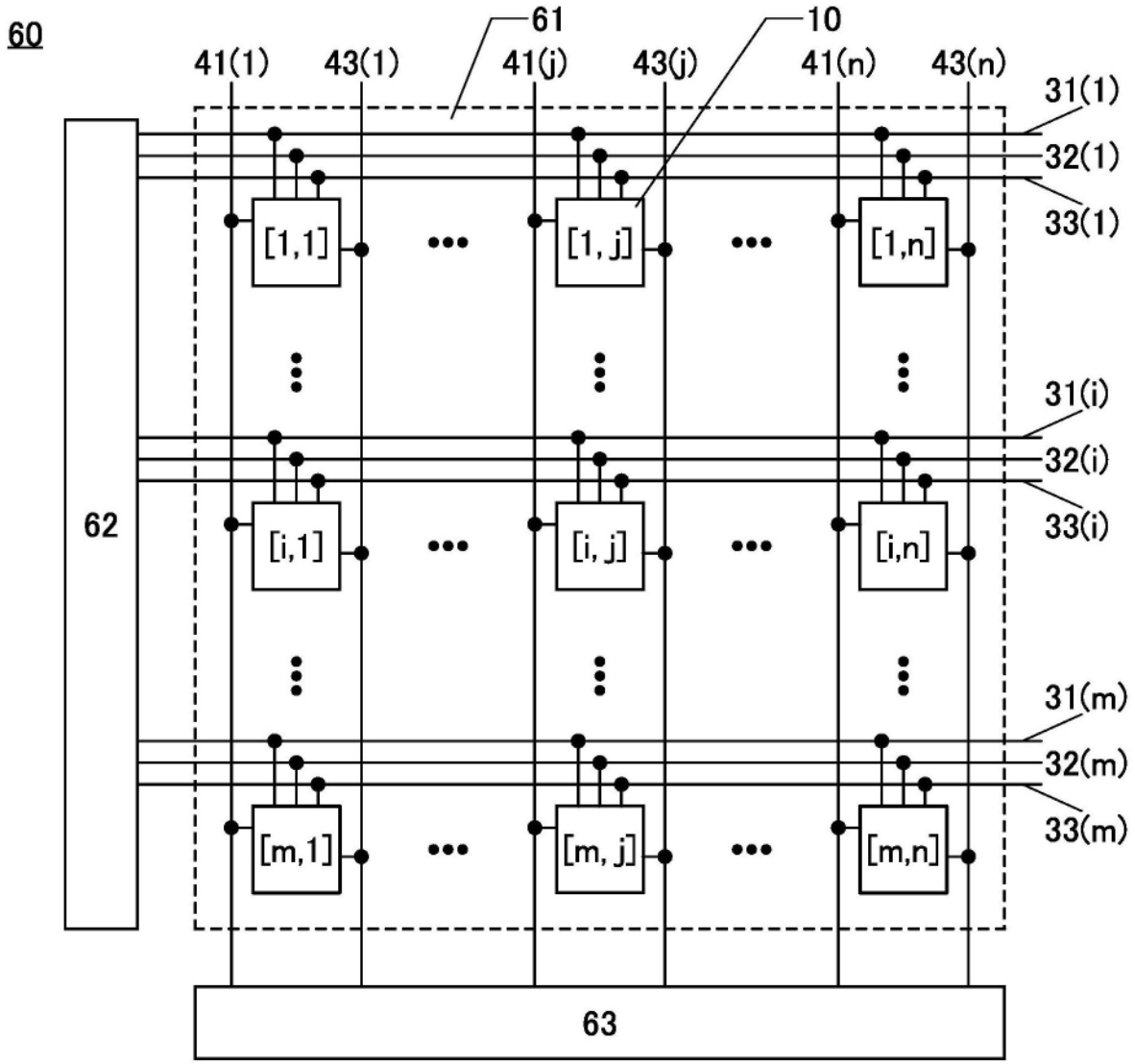

60
61
10
41(1)
43(1)
41(j)
43(j)
41(n)
43(n)
31(1)
32(1)
33(1)
[1,1]
[1, j]
[1,n]
31(i)
32(i)
33(i)
62
[i,1]
[i, j]
[i,n]
31(m)
32(m)
33(m)
[m,1]
[m, j]
[m,n]
63

图13

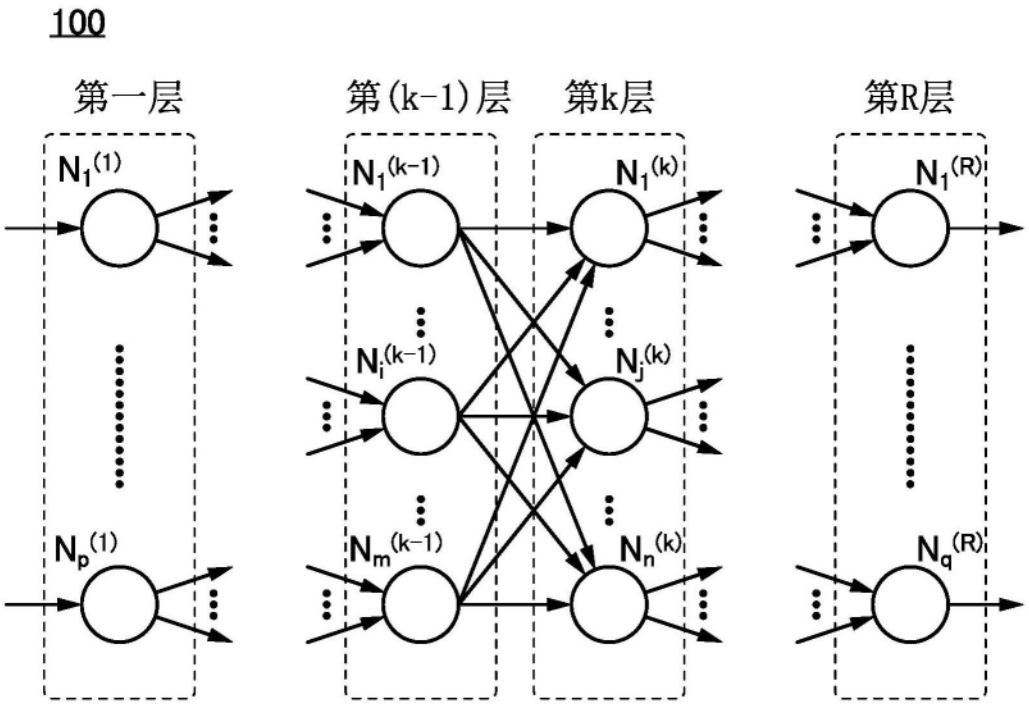

100
第一层
第(k-1)层
第k层
第R层
$N_1^{(1)}$
$N_p^{(1)}$
$N_1^{(k-1)}$
$N_i^{(k-1)}$
$N_m^{(k-1)}$
$N_1^{(k)}$
$N_j^{(k)}$
$N_n^{(k)}$
$N_1^{(R)}$
$N_q^{(R)}$

图14A

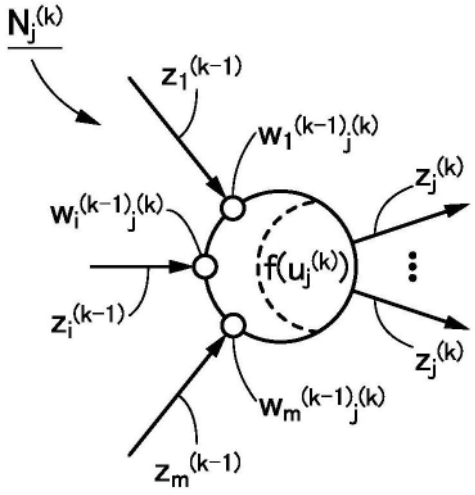

$N_j^{(k)}$
$z_1^{(k-1)}$
$w_1^{(k-1)}{}_j^{(k)}$
$w_i^{(k-1)}{}_j^{(k)}$
$z_i^{(k-1)}$
$f(u_j^{(k)})$
$z_j^{(k)}$
$z_j^{(k)}$
$w_m^{(k-1)}{}_j^{(k)}$
$z_m^{(k-1)}$

图14B

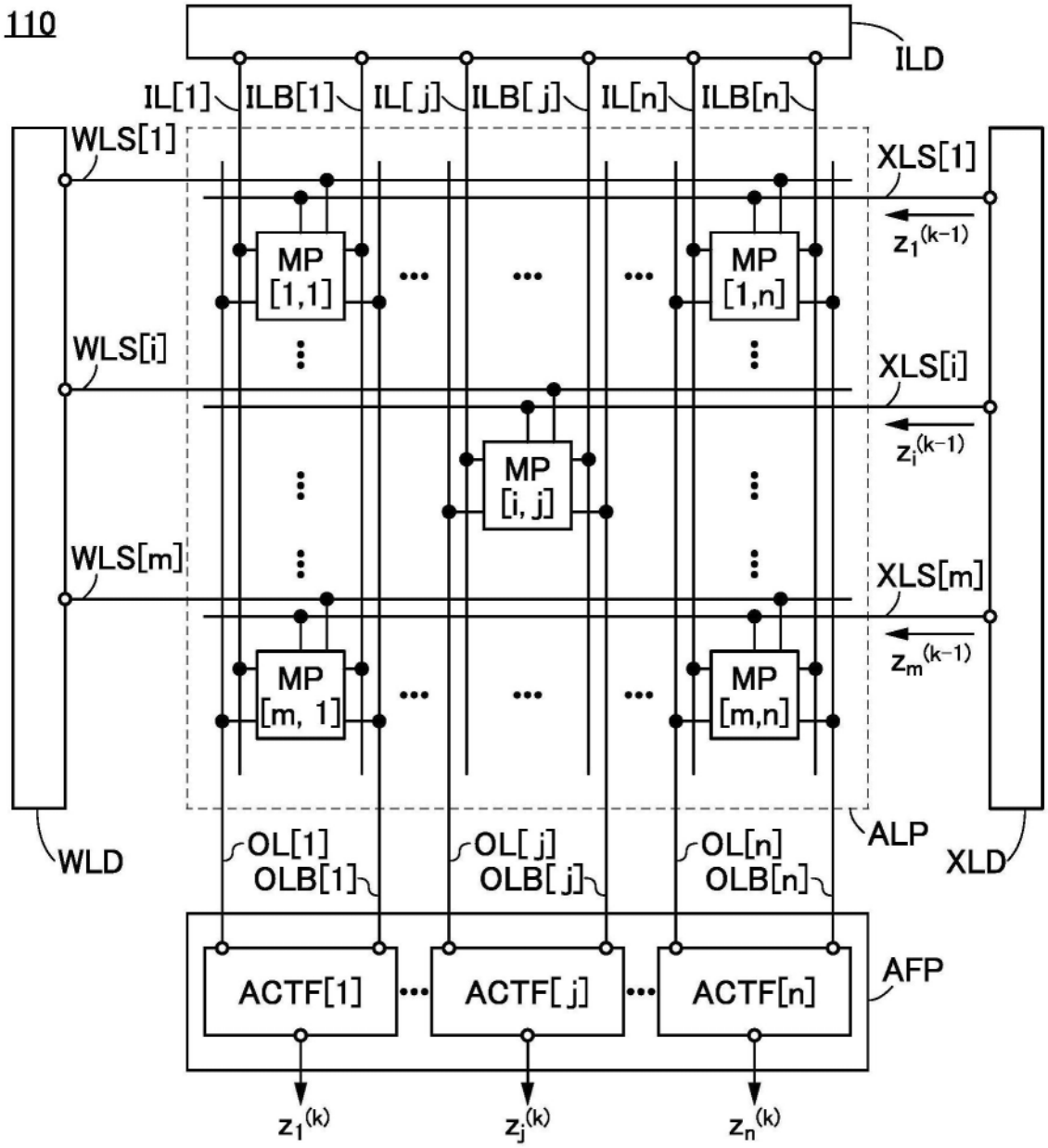

110
ILD
IL[1]
ILB[1]
IL[j]
ILB[j]
IL[n]
ILB[n]
WLS[1]
WLS[i]
WLS[m]
XLS[1]
XLS[i]
XLS[m]
MP [1,1]
MP [1,n]
MP [i, j]
MP [m, 1]
MP [m,n]
WLD
XLD
ALP
AFP
OL[1]
OLB[1]
OL[j]
OLB[j]
OL[n]
OLB[n]
ACTF[1]
ACTF[j]
ACTF[n]

图15A

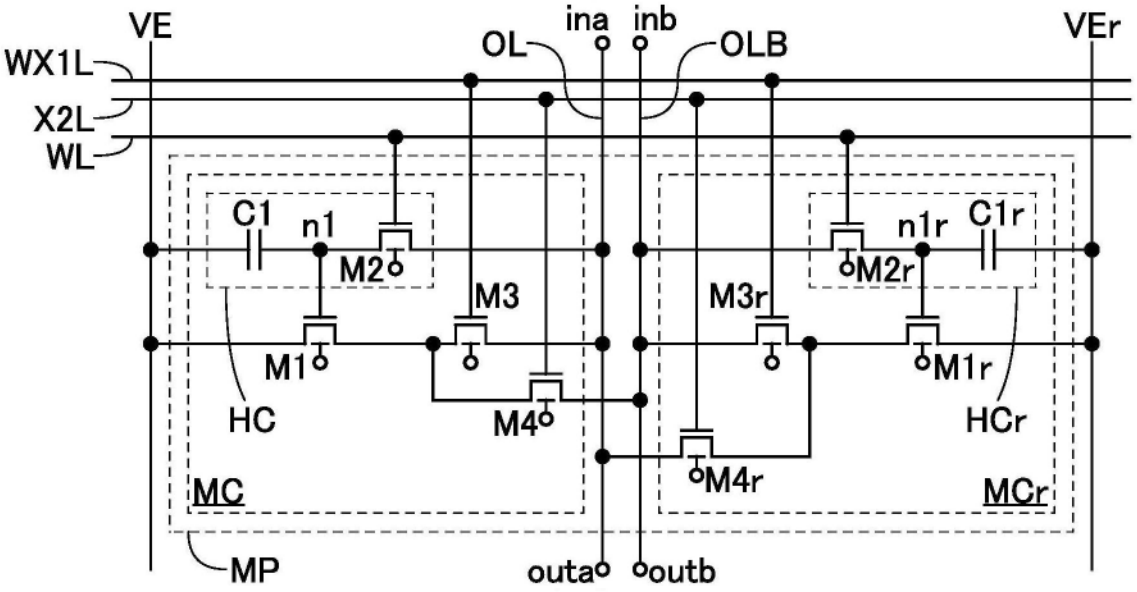

VE
WX1L
X2L
WL
OL
ina
inb
OLB
VEr
C1
n1
M2
M3
M3r
n1r
C1r
M2r
M1
M1r
HC
M4
HCr
M4r
MC
MCr
MP
outa
outb

图15B

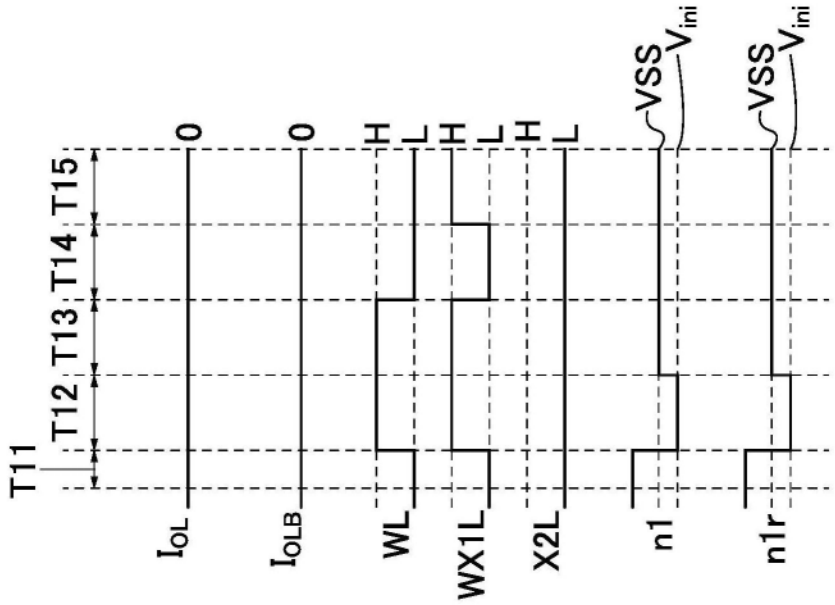

T11
T12
T13
T14
T15
0
0
H
L
H
L
H
L
VSS
Vini
VSS
Vini
IOL
IOLB
WL
WX1L
X2L
n1
n1r

图16A

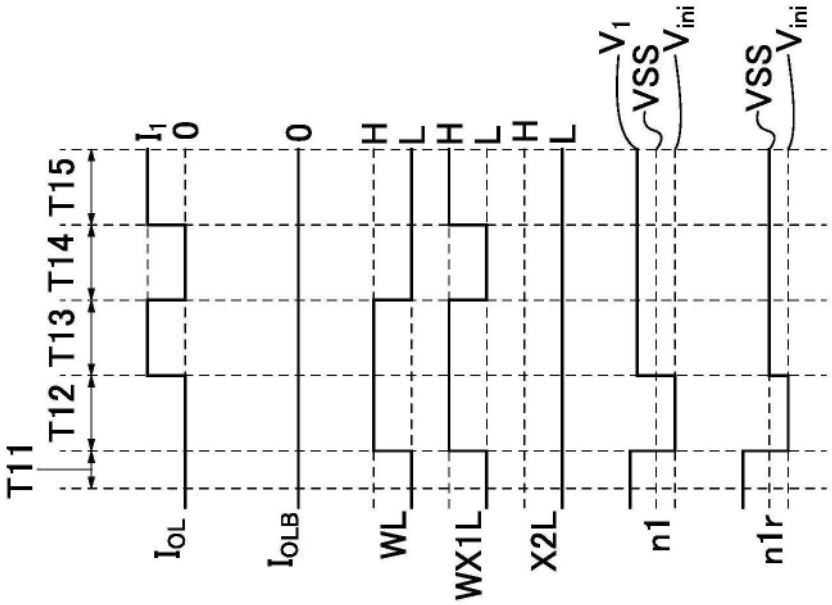

T11
T12
T13
T14
T15
I_{OL}
I_{OLB}
WL
WX1L
X2L
n1
n1r
I_1
0
H
L
V_1
VSS
V_{ini}

图16B

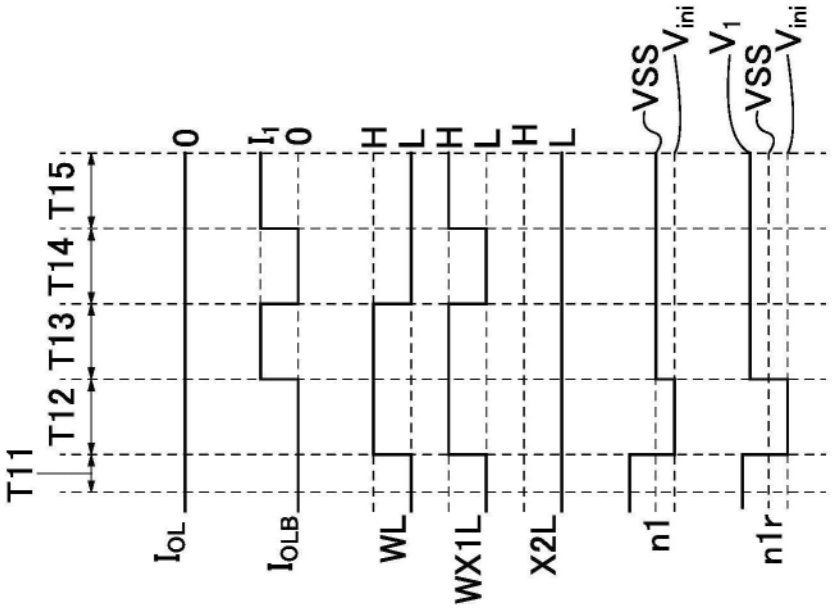

T11
T12
T13
T14
T15
I_{OL}
I_{OLB}
WL
WX1L
X2L
n1
n1r
0
I_1
H
L
VSS
V_{ini}
V_1

图16C

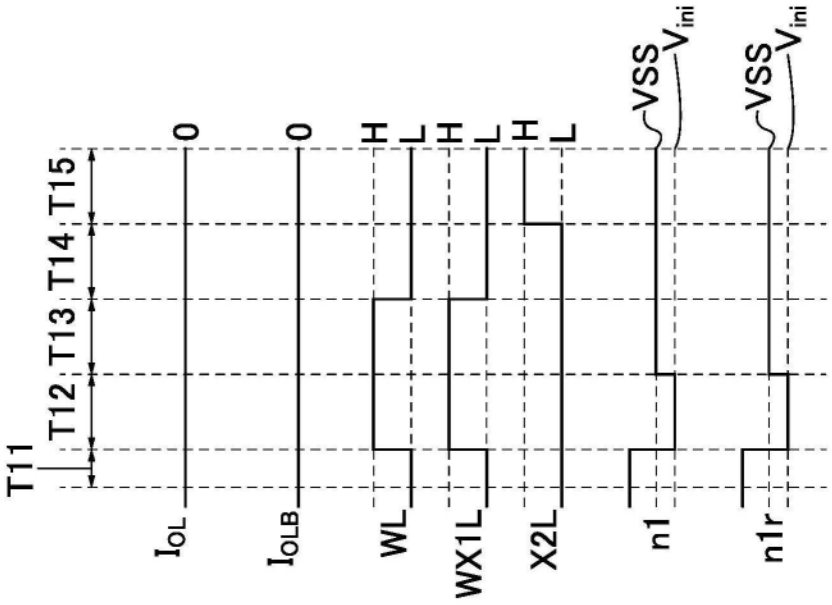

T11
T12
T13
T14
T15
0
0
H
L
H
L
H
L
VSS
Vini
VSS
Vini
IOL
IOLB
WL
WX1L
X2L
n1
n1r

图17A

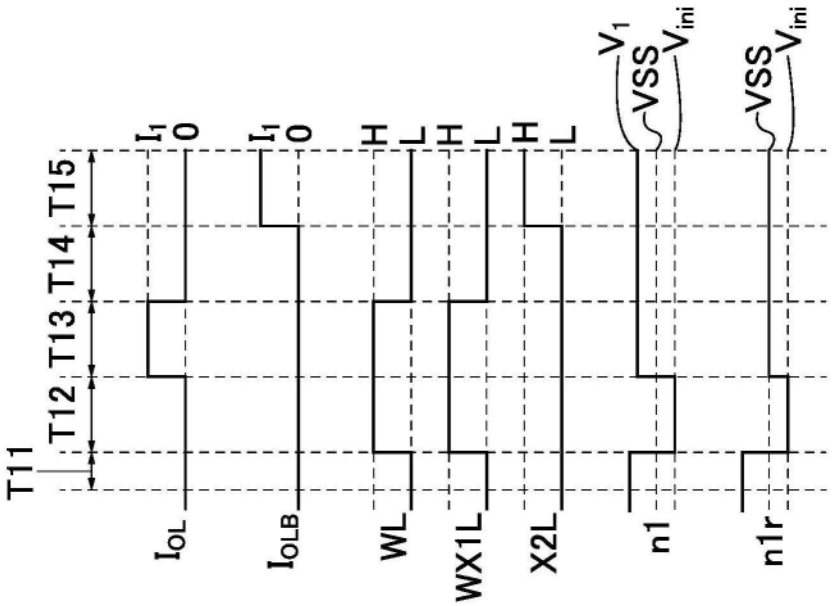

T11
T12
T13
T14
T15
I1
0
I1
0
H
L
H
L
H
L
V1
VSS
Vini
VSS
Vini
IOL
IOLB
WL
WX1L
X2L
n1
n1r

图17B

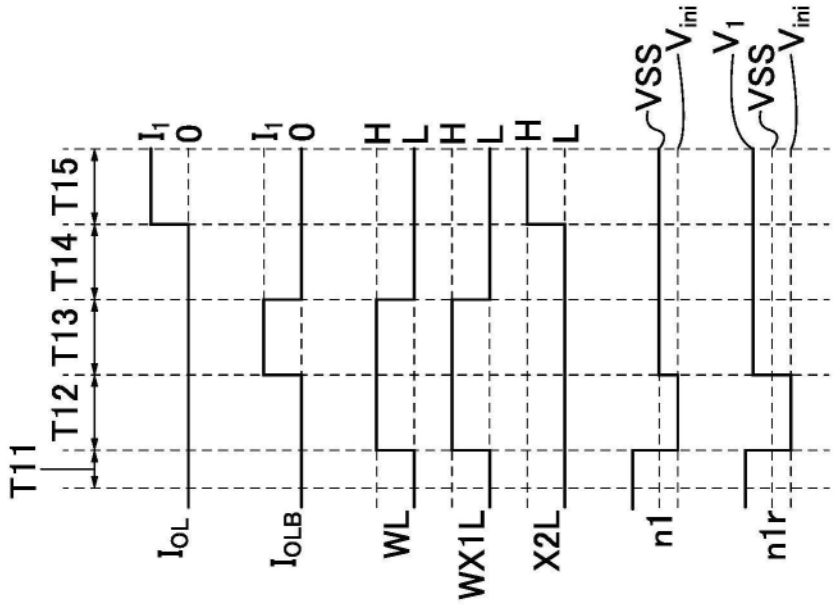

T11
T12
T13
T14
T15
I_{OL}
I_{OLB}
WL
WX1L
X2L
n1
n1r
I_1
0
H
L
VSS
V_{ini}
V_1

图17C

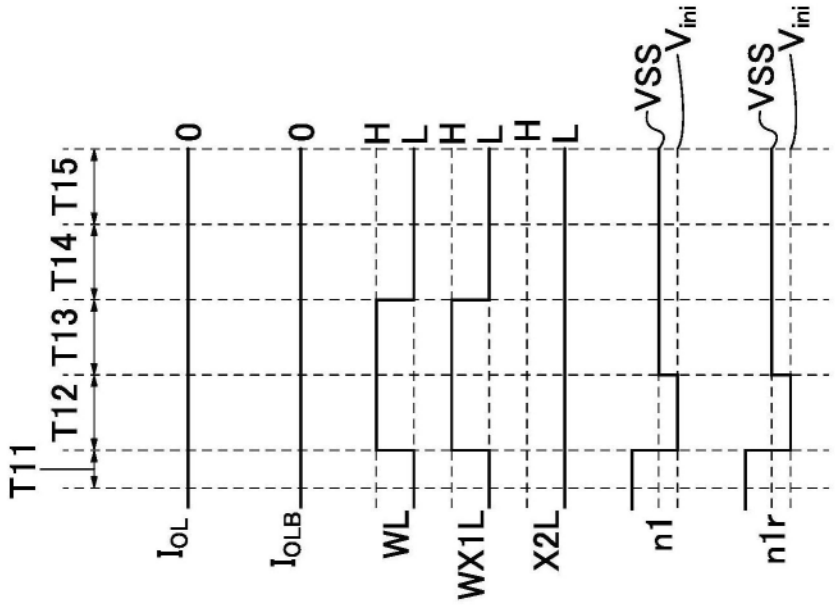

T11
T12
T13
T14
T15
I_{OL}
I_{OLB}
WL
WX1L
X2L
n1
n1r
0
H
L
VSS
V_{ini}

图18A

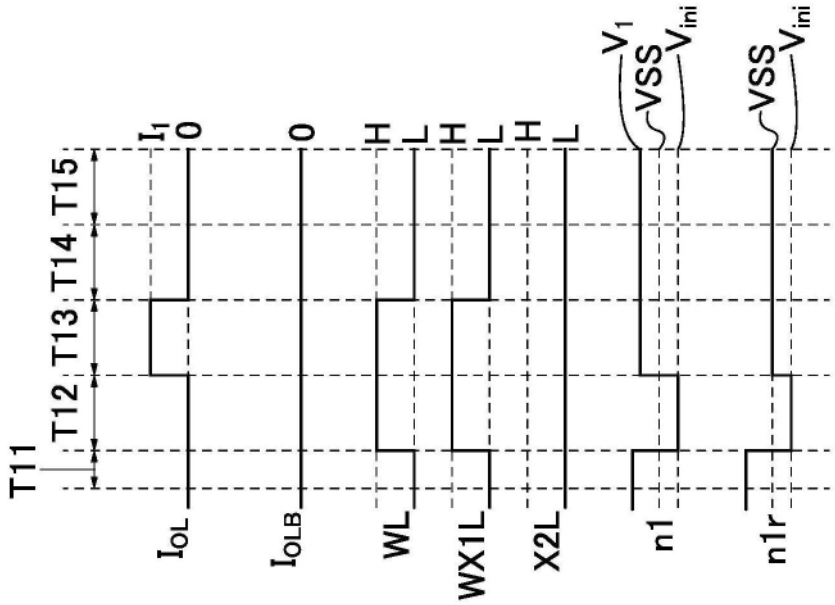

T11
T12
T13
T14
T15
I_{OL}
I_{OLB}
WL
WX1L
X2L
n1
n1r
I_1
0
H
L
V_1
VSS
V_{ini}

图18B

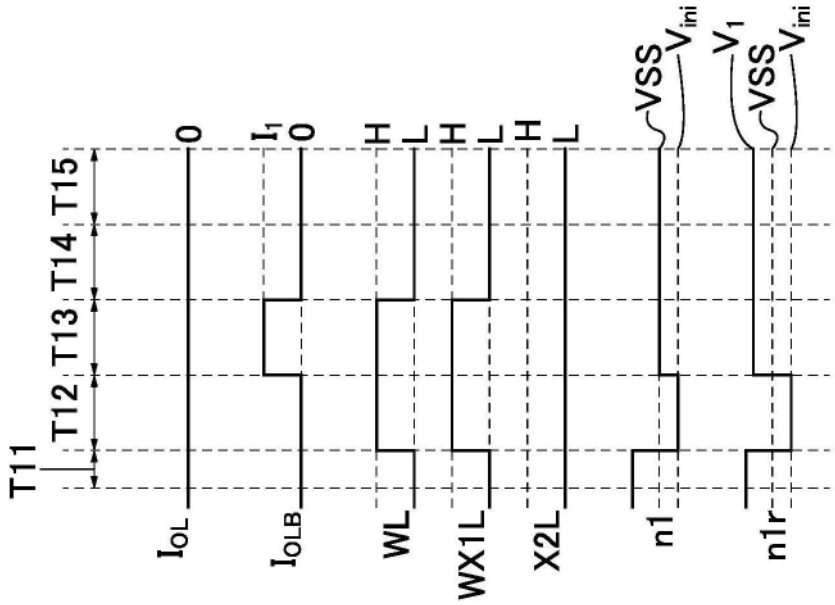

T11
T12
T13
T14
T15
I_{OL}
I_{OLB}
WL
WX1L
X2L
n1
n1r
0
I_1
H
L
VSS
V_{ini}
V_1

图18C

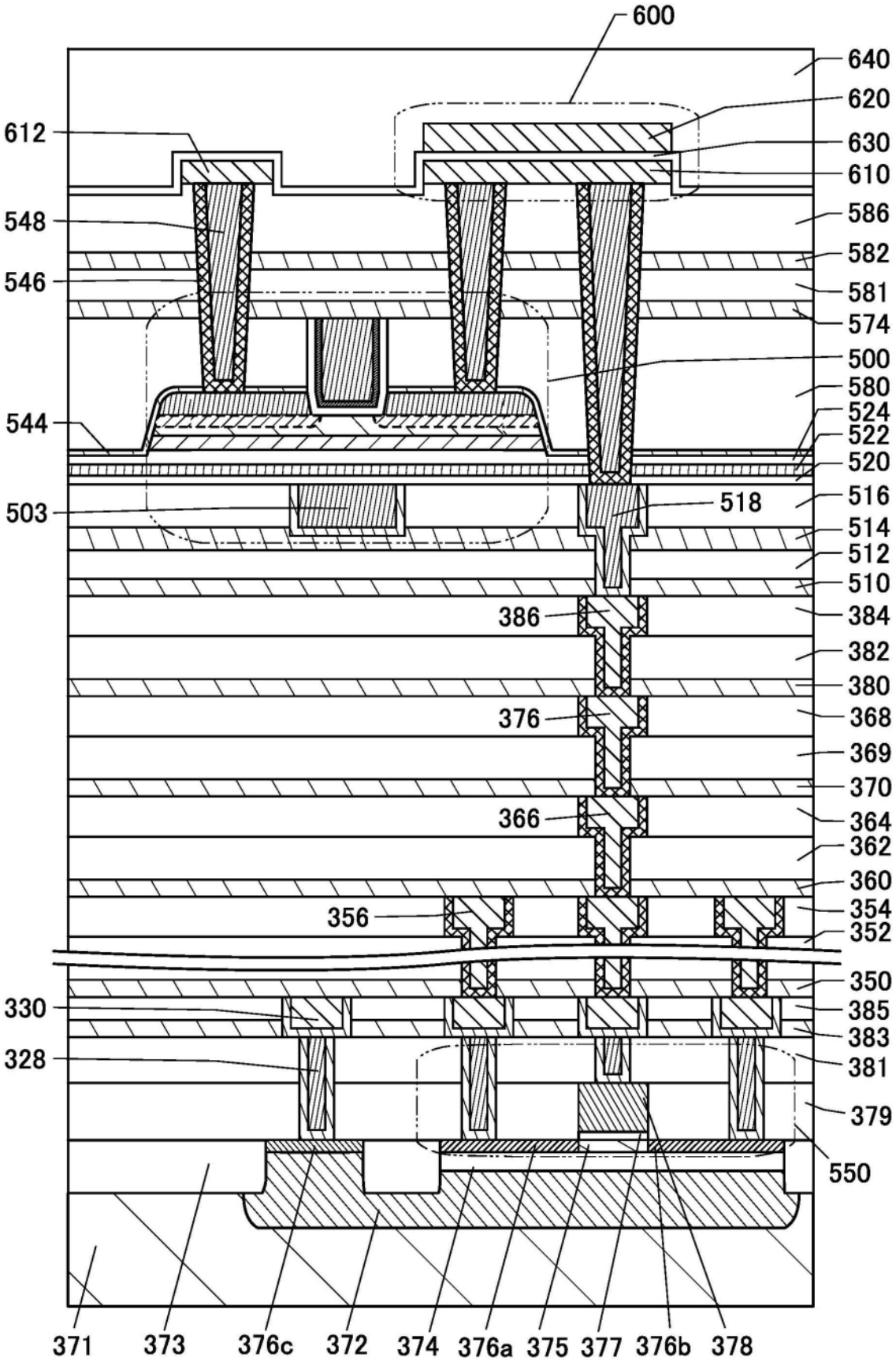

600
640
620
612
630
610
548
586
582
546
581
574
500
580
544
524
522
520
503
518
516
514
512
510
386
384
382
380
376
368
369
370
366
364
362
360
356
354
352
350
330
385
383
328
381
379
550
371
373
376c
372
374
376a
375
377
376b
378

图19

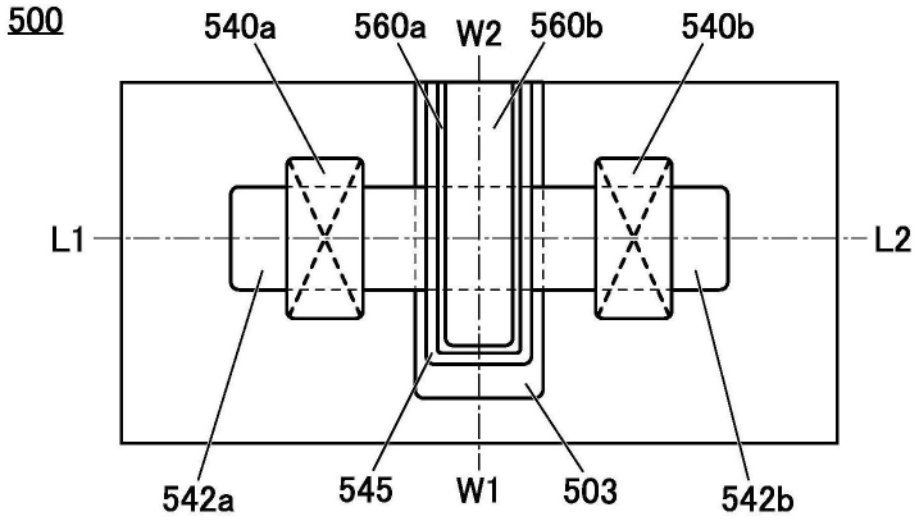

500
540a
560a
W2
560b
540b
L1
L2
542a
545
W1
503
542b

图20A

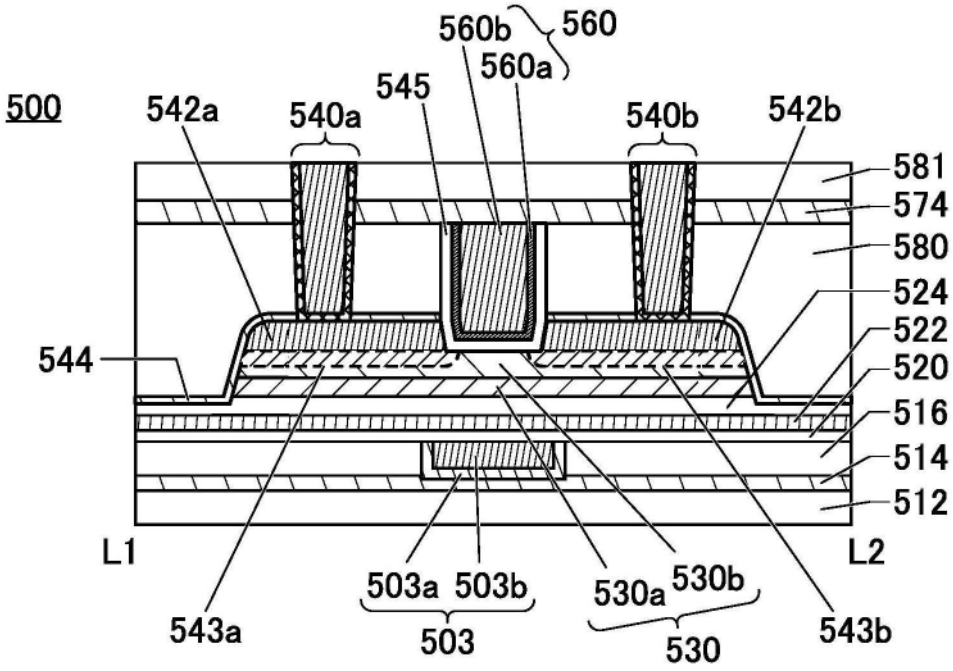

560b
560
560a
545
500
542a
540a
540b
542b
581
574
580
524
522
544
520
516
514
512
L1
L2
503a
503b
530a
530b
543a
503
530
543b

图20B

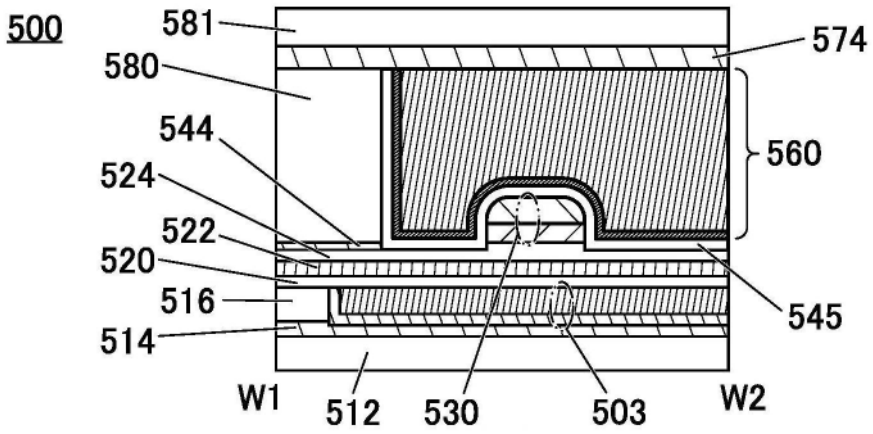


图20C

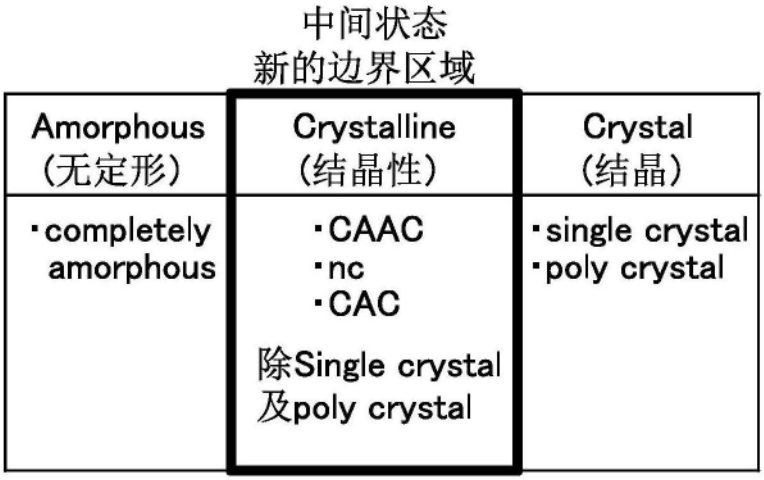


图21A

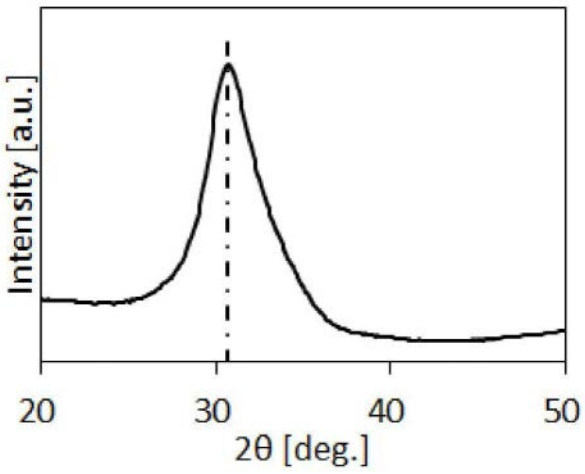


图21B

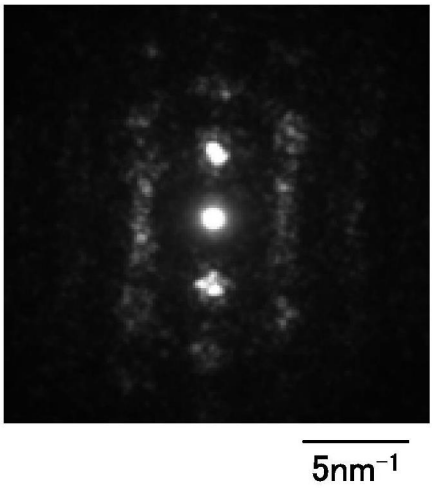


图21C

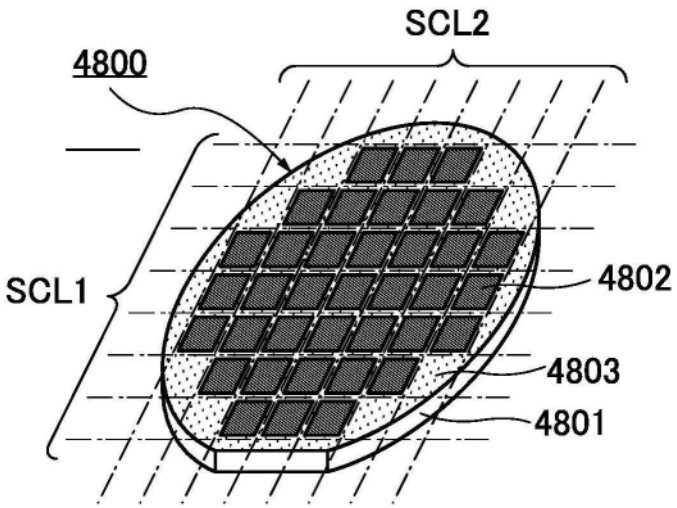


图22A

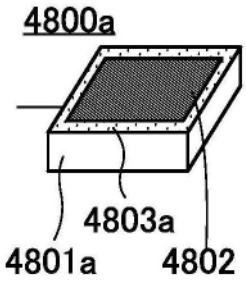


图22B

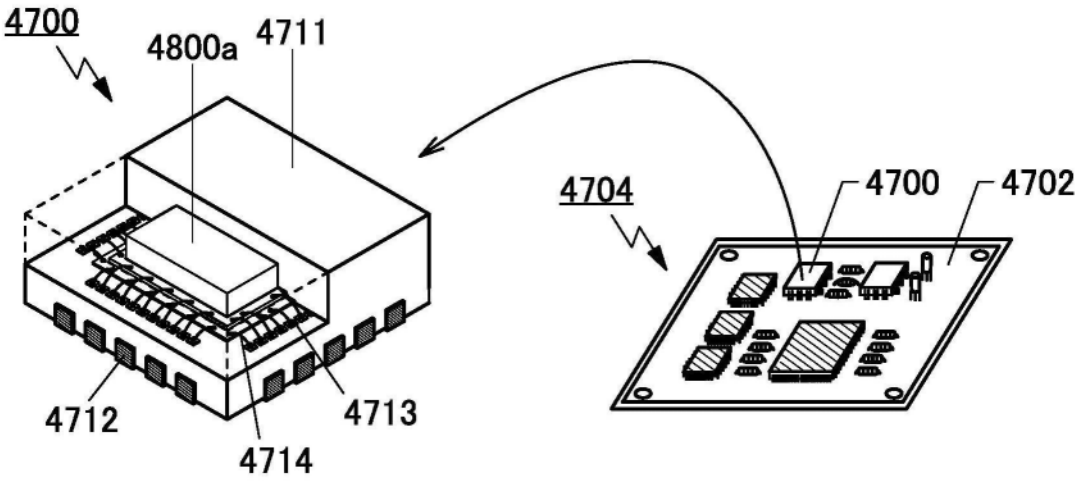


图22C

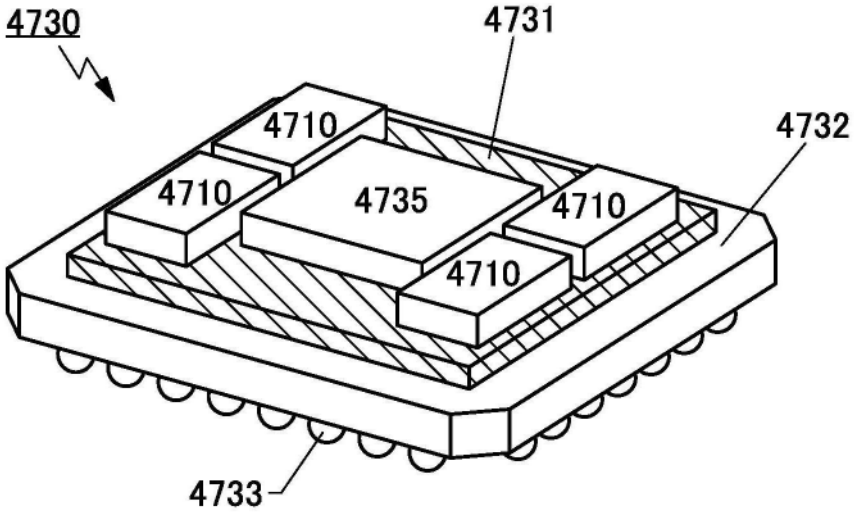


图22D

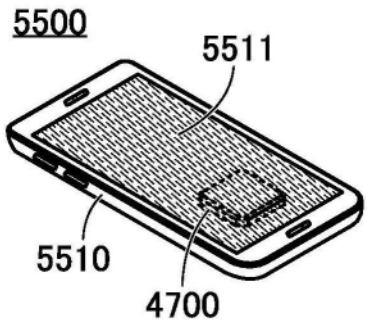


图23A

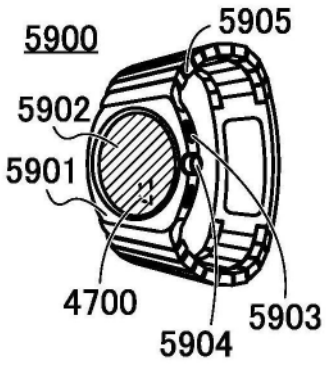


图23B

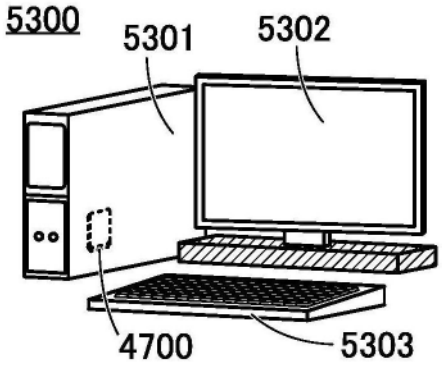


图23C

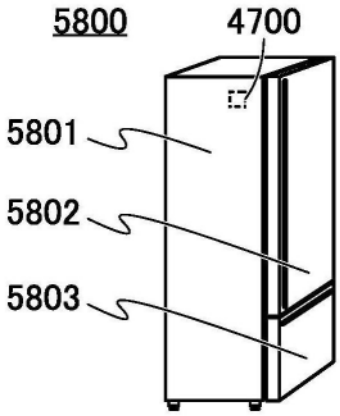


图23D

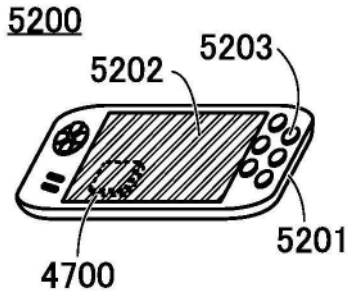


图23E

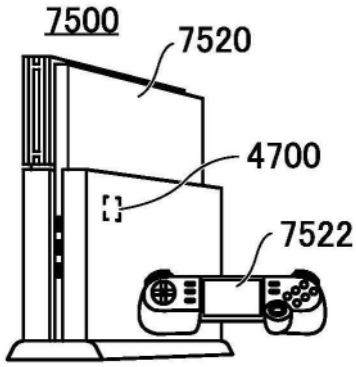


图23F

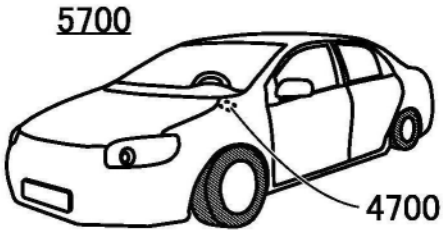


图23G

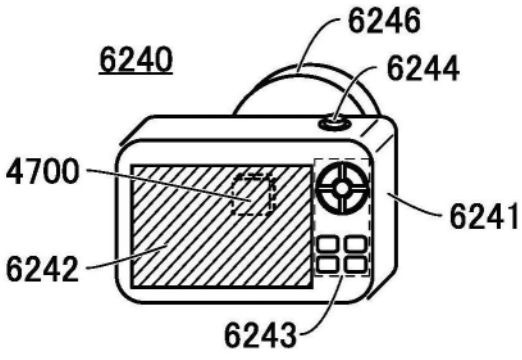


图23H

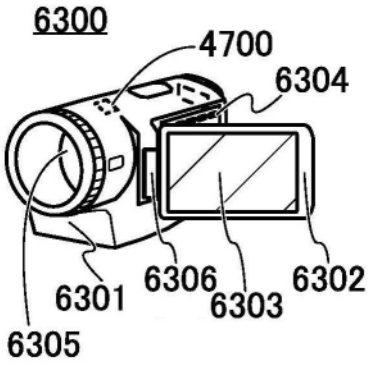


图23I

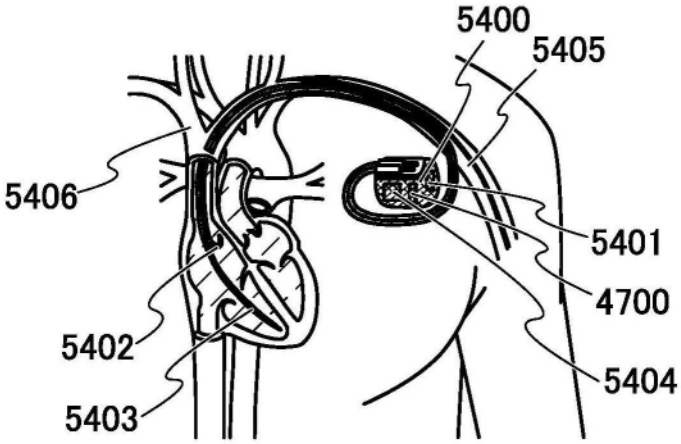


图23J

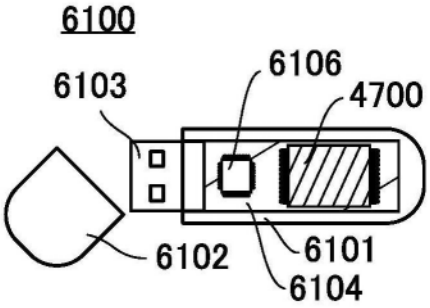


图24A

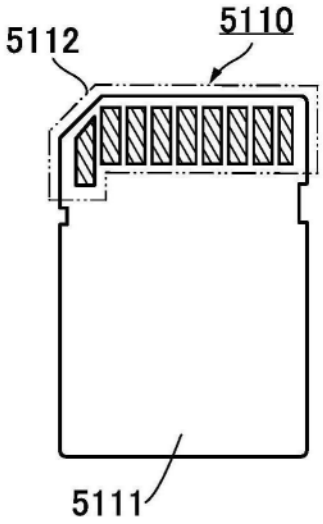


图24B

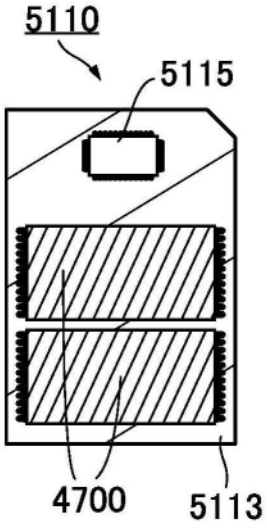


图24C

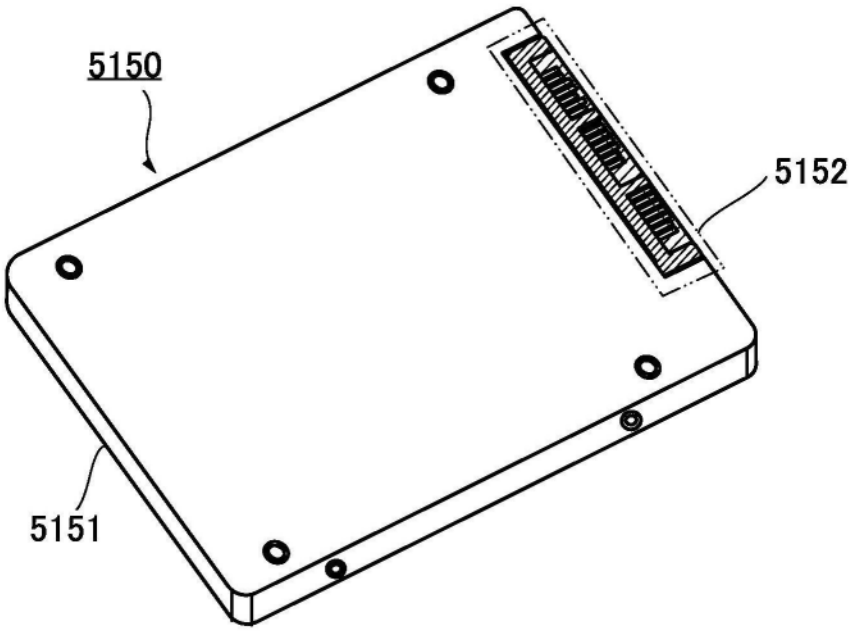


图24D

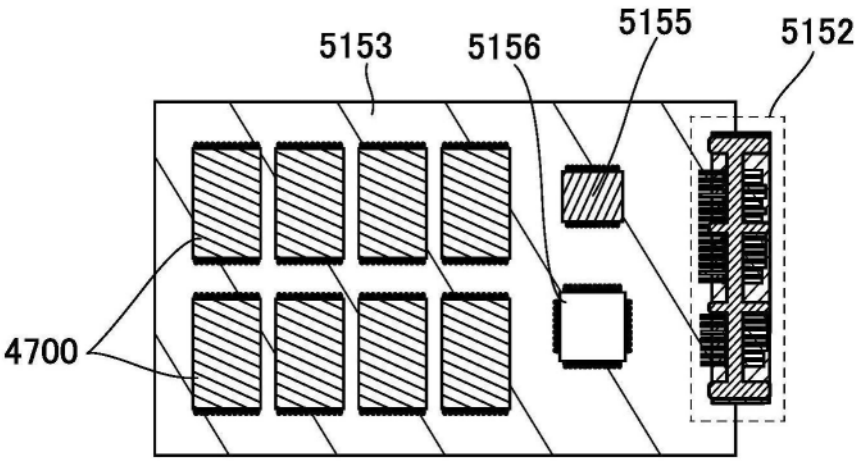


图24E

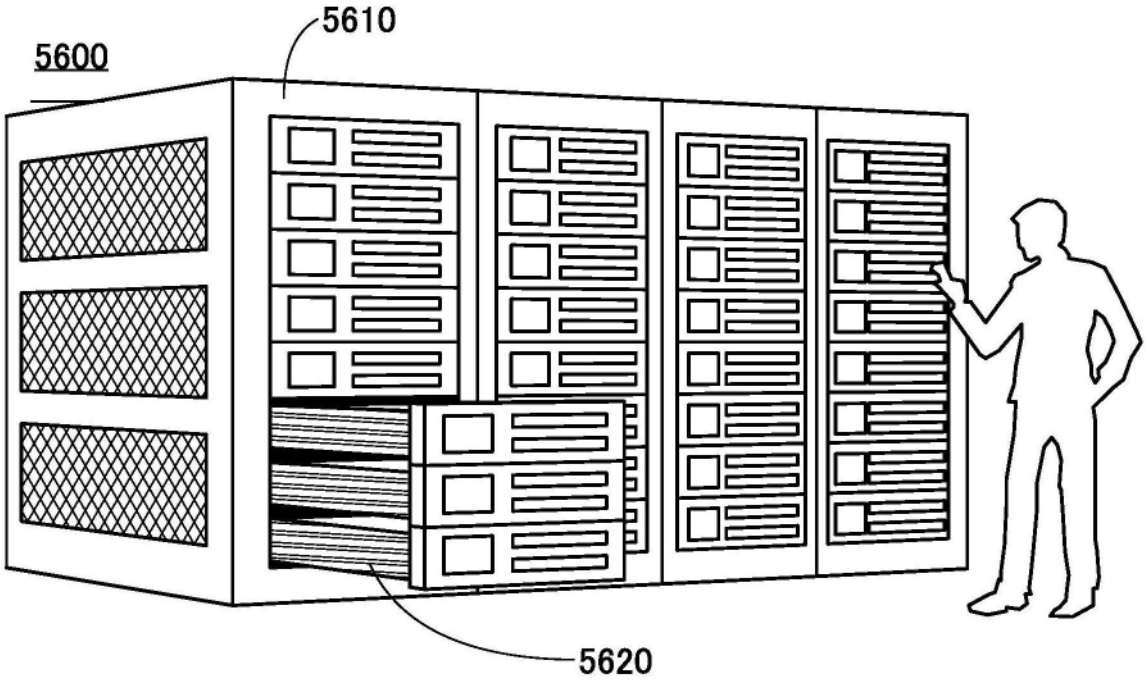


图25A

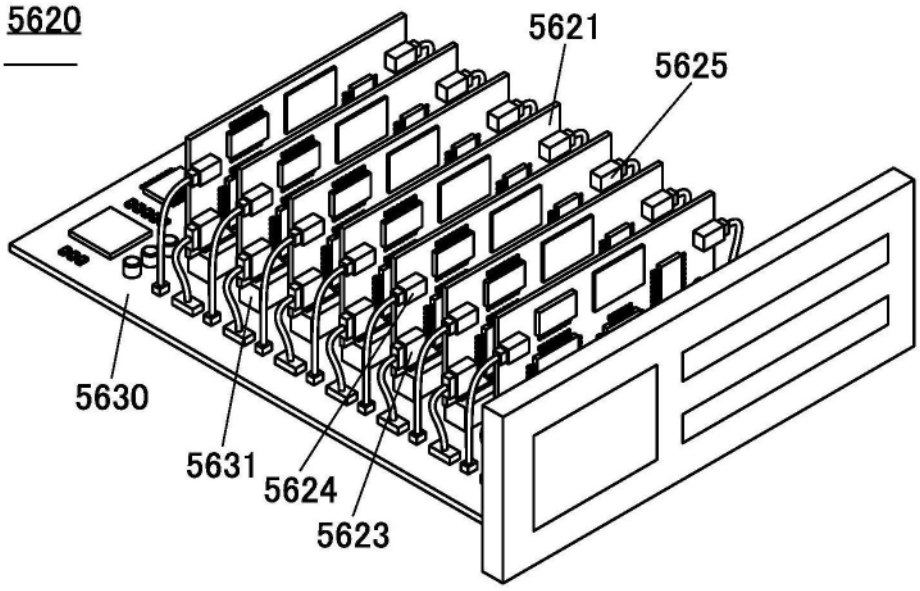


图25B

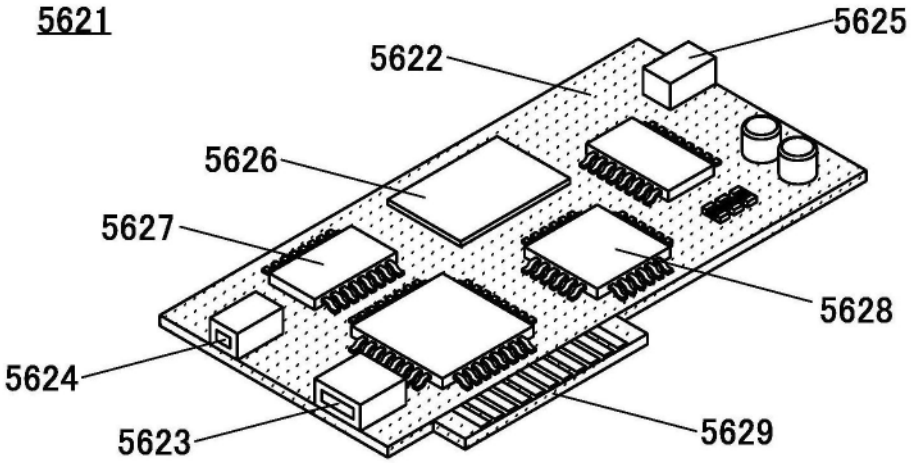

5621
5625
5622
5626
5627
5628
5624
5623
5629

图25C

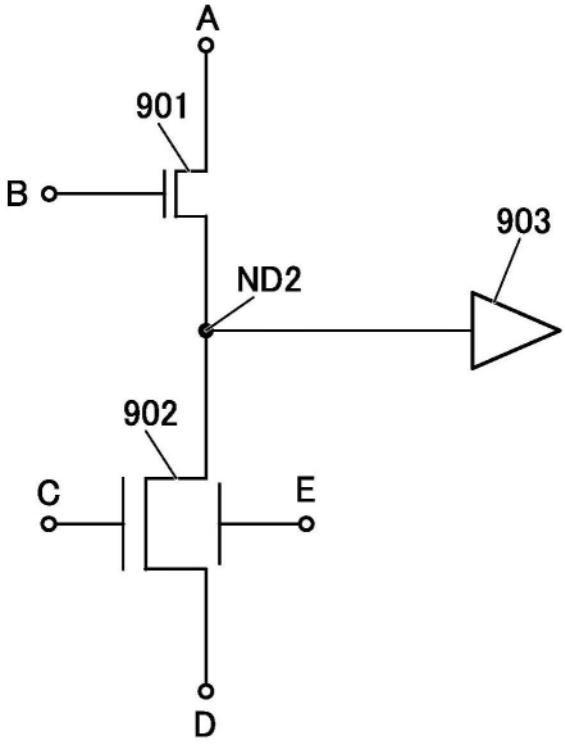

A
901
B
903
ND2
902
C
E
D

图26

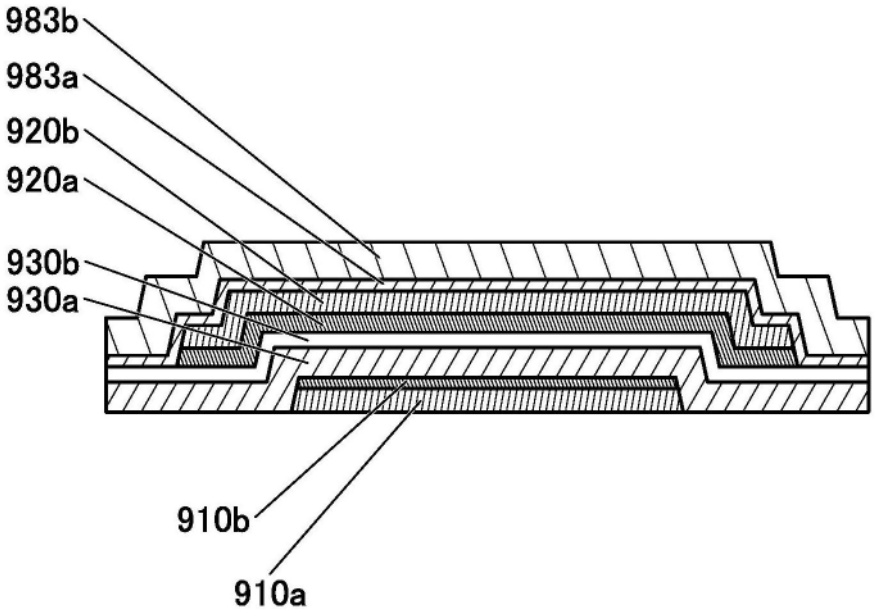


图27A

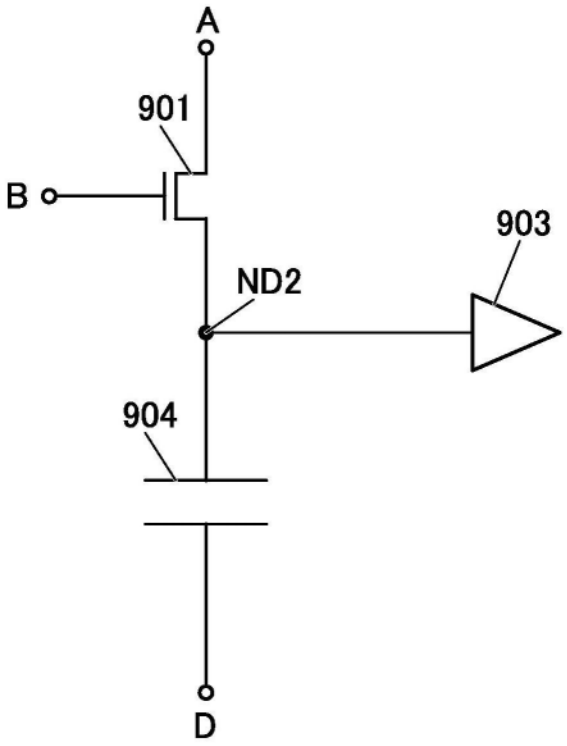


图27B

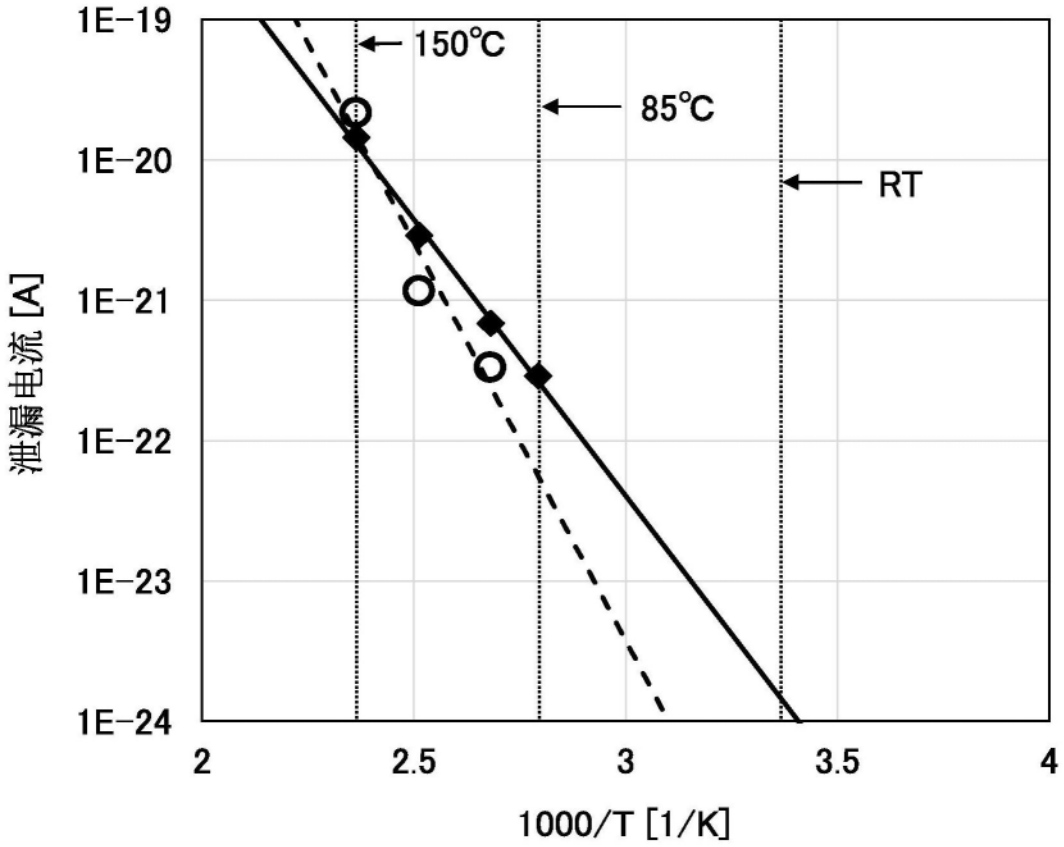

1E-19
1E-20
1E-21
1E-22
1E-23
1E-24
泄漏电流 [A]
150℃
85℃
RT
2
2.5
3
3.5
4
1000/T [1/K]

图28