(19)国家知识产权局

(12)发明专利

(10)授权公告号 CN 113794534 B
(45)授权公告日 2024.08.13

(21)申请号 202111060450.6
(22)申请日 2018.01.12
(65)同一申请的已公布的文献号
申请公布号 CN 113794534 A
(43)申请公布日 2021.12.14
(66)本国优先权数据
PCT/CN2017/070985 2017.01.12 CN
(62)分案原申请数据
201880006309.8 2018.01.12
(73)专利权人 高通股份有限公司
地址 美国加利福尼亚
(72)发明人 H•桑卡尔 G•萨奇斯 许昌龙
A•戈罗霍夫 蒋靖
J•B•索里阿加 侯纪磊
(74)专利代理机构 永新专利商标代理有限公司 72002
专利代理师 戴开良
(51)Int.Cl.
H04L 1/00(2006.01)
H03M 13/13(2006.01)
(56)对比文件
GB 201511529 D0,2015.08.12
US 2008276153 A1,2008.11.06
审查员 黄坤

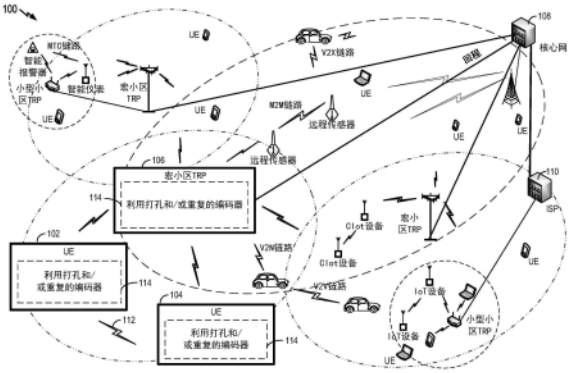
权利要求书2页 说明书20页 附图20页

(54)发明名称

用于信息编码的打孔和重复方法和装置

(57)摘要

用于信息编码的打孔和重复的方法和装置。在一些方面中,本公开内容涉及信息编码。信息编码可以涉及对码字的比特进行打孔或者对码字的比特进行重复。在一些方面中,本公开内容涉及选择打孔或重复模式。在一些方面中,用于数据编码的打孔模式是基于XOR的输出和重复输入不被擦除的标准进行选择的。在一些方面中,用于数据编码的重复模式是基于重复不被应用于XOR的输出和重复输入的标准进行选择的。



CN 113794534 B

1.一种通信的方法,由无线通信设备执行,包括:

对数据进行编码以生成包括多个比特元组的码字,所述多个比特元组中的每一个比特元组包括所述码字的第一比特和第二比特,所述第一比特是互斥逻辑的输出,并且所述第二比特是所述互斥逻辑的重复输入,其中,所述互斥逻辑是XOR逻辑,所述重复输入来自该XOR逻辑所在路径以外的重复路径;

交换所述码字的比特;

通过对比特交换后的码字进行打孔来修改所述码字,其中最多仅仅所述多个比特元组中的某个比特元组的一个比特被打孔;以及

发送所修改的码字。

2.权利要求1的方法,其中:

所述编码是极化码编码;

所述多个比特元组中的每一个比特元组最多只有一个比特被打孔;或者

所述某个比特元组中的第二比特是所述数据的一个比特,并且所述某个比特元组没有任何比特被打孔。

3.权利要求2的方法,其中,所述多个比特元组包括所述码字的连续比特。

4.权利要求3的方法,其中,所述连续比特在所述码字的开始处。

5.权利要求1的方法,其中,对所述数据进行编码是经由多个互斥逻辑级进行的,并且所述互斥逻辑是所述多个互斥逻辑级的最终级。

6.权利要求2的方法,其中:

对比特交换后的码字进行打孔是基于打孔模式的;

所述打孔模式是基于对与所述多个比特元组相关联的多个比特进行打孔的;并且

所述多个比特元组中的每一个比特元组最多只有一个比特被打孔。

7.一种用于通信的装置,包括:

存储器;

处理器,耦合到所述存储器,所述处理器包括计算组件的组合,所述处理器和所述存储器被配置为:

对数据进行编码以生成包括多个比特元组的码字,所述多个比特元组中的每一个比特元组包括所述码字的第一比特和第二比特,所述第一比特是互斥逻辑的输出,并且所述第二比特是所述互斥逻辑的重复输入,其中,所述互斥逻辑是XOR逻辑,所述重复输入来自该XOR逻辑所在路径以外的重复路径;

交换所述码字的比特;

通过对比特交换后的码字进行打孔来修改所述码字,其中最多仅仅所述多个比特元组中的某个比特元组的一个比特被打孔;并且

发送所修改的码字。

8.权利要求7的装置,其中:

所述处理器和所述存储器还被配置为通过极化码编码来对数据进行编码;

所述多个比特元组中的每一个比特元组最多只有一个比特被打孔;或者

所述某个比特元组中的第二比特是所述数据的一个比特,并且所述某个比特元组没有任何比特被打孔。

9.权利要求8的装置,其中,所述多个比特元组包括所述码字的连续比特。

10.权利要求9的装置,其中,所述连续比特在所述码字的开始处。

11.权利要求7的装置,其中,所述处理器和所述存储器还被配置为经由多个互斥逻辑级对数据进行编码,并且所述互斥逻辑是所述多个互斥逻辑级的最终级。

12.一种通信的方法,由无线通信设备执行,包括:

经由多个互斥逻辑级对数据进行编码以生成包括多个比特元组的码字,所述多个比特元组中的每一个比特元组包括所述码字的第一比特和第二比特,所述第一比特和所述第二比特由互斥逻辑相关联,所述互斥逻辑是所述多个互斥逻辑级的最终级,其中,所述互斥逻辑是XOR逻辑;

交换所述码字的比特;

通过对比特交换后的码字进行打孔来修改所述码字,其中最多仅仅所述多个比特元组中的某个比特元组的一个比特被打孔;以及

发送所修改的码字。

13.权利要求12的方法,其中:

所述编码是极化码编码;

所述多个比特元组中的每一个比特元组最多只有一个比特被打孔;或者

所述某个比特元组中的第二比特是所述数据的一个比特,并且所述某个比特元组没有任何比特被打孔。

14.权利要求13的方法,其中,所述多个比特元组包括所述码字的连续比特。

15.权利要求14的方法,其中,所述连续比特在所述码字的开始处。

16.一种用于通信的装置,包括:

存储器;

处理器,耦合到所述存储器,所述处理器包括计算组件的组合,所述处理器和所述存储器被配置为:

经由多个互斥逻辑级对数据进行编码以生成包括多个比特元组的码字,所述多个比特元组中的每一个比特元组包括所述码字的第一比特和第二比特,所述第一比特和所述第二比特由互斥逻辑相关联,所述互斥逻辑是所述多个互斥逻辑级的最终级,其中,所述互斥逻辑是XOR逻辑;

交换所述码字的比特;

通过对比特交换后的码字进行打孔来修改所述码字,其中最多仅仅所述多个比特元组中的某个比特元组的一个比特被打孔;并且

发送所修改的码字。

17.权利要求16的装置,其中:

所述处理器和所述存储器还被配置为通过极化码编码来对数据进行编码;

所述多个比特元组中的每一个比特元组最多只有一个比特被打孔;或者

所述某个比特元组中的第二比特是所述数据的一个比特,并且所述某个比特元组没有任何比特被打孔。

18.权利要求17的装置,其中,所述多个比特元组包括所述码字的连续比特。

19.权利要求18的装置,其中,所述连续比特在所述码字的开始处。

用于信息编码的打孔和重复方法和装置

[0001] 本申请是申请日为2018年1月12日,申请号为201880006309.8(PCT/CN2018/072319),发明名称为“用于信息编码的打孔和重复”的中国专利申请的分案申请。

[0002] 相关申请的交叉引用

[0003] 本申请要求享有于2017年1月12日提交的专利合作条约申请号PCT/CN2017/070985的优先权和权益,这里结合其全部内容作为参考。

技术领域

[0004] 本文描述的各个方面涉及通信,更具体地但不排他地说,涉及采用打孔(puncture)和重复的信息编码。

[0005] 无线通信系统可以使用纠错码来促进数字消息在嘈杂信道上的可靠传输。块码是一种类型的纠错码。在典型的块码中,信息消息或序列被拆分成块,并且发送设备处的编码器在数学上向信息消息中增加冗余度。利用编码信息消息中的这一冗余度提高消息的可靠性,实现对可能由于噪声而发生的比特错误的纠正。即,接收设备处的解码器可以利用冗余度来可靠地恢复信息消息,即使可能部分地由于信道增加的噪声而发生比特错误。纠错块码的示例包括汉明(Hamming)码、博斯乔赫里霍克文黑姆(Bose-Chaudhuri-Hocquenghem,BCH)码和turbo码等等。许多现有的无线通信网络利用这样的块码,诸如3GPP LTE网络(其利用turbo码)和IEEE 802.11n Wi-Fi网络。

[0006] 由块码指定的块大小可能与和正在被编码的数据相关联的块大小不相匹配。例如,特定的块大小(例如,资源块大小)可以被指定用于在特定资源上发送数据。对编码数据的打孔和重复是可以用于调整编码数据的块大小的两种技术。实际上,打孔或重复会影响通信性能。因此,需要高效的打孔或重复技术。

发明内容

[0007] 为了对本公开内容的一些方面有基本的理解,下面给出了这些方面的简单概括。该概括部分不是对本公开内容的所有预期特征的详尽概述,也不是旨在标识本公开内容的所有方面的关键或重要要素,或者描述本公开内容的任意或所有方面的范围。其唯一目的是用简单的形式呈现本公开内容的一些方面的各种概念,以此作为后面呈现的详细描述的序言。

[0008] 在一个方面中,本公开内容提供了一种被配置为用于通信的装置,所述装置包括接口、存储器和耦合到所述存储器和所述接口的处理器。所述接口被配置为获得数据。所述处理器和所述存储器被配置为:对所述数据进行编码以生成码字;以及根据基于多个比特元组的打孔模式来修改所述码字,其中,所述多个比特元组中的特定比特元组的至多一个比特被指定为打孔比特。所述接口还被配置为输出(例如,发送)经修改的码字。在一些实现方式中,所述接口可以包括第一接口(例如,用于获得数据)和第二接口(例如,用于输出经修改的码字)。

[0009] 本公开内容的另一个方面提供了一种用于通信的方法,包括:获得数据;对所述数

据进行编码以生成码字;根据基于多个比特元组的打孔模式来修改所述码字,其中,所述多个比特元组中的特定比特元组的至多一个比特被指定为打孔比特;以及输出(例如,发送)经修改的码字。

[0010] 本公开内容的另一个方面提供了一种被配置为用于通信的装置。所述装置包括:用于获得数据的单元;用于对所述数据进行编码以生成码字的单元;用于根据基于多个比特元组的打孔模式来修改所述码字的单元,其中,所述多个比特元组中的特定比特元组的至多一个比特被指定为打孔比特;以及用于输出(例如,发送)经修改的码字的单元。

[0011] 本公开内容的另一个方面提供了一种存储计算机可执行代码的非暂时性计算机可读介质,所述计算机可执行代码包括用于执行以下操作的代码:获得数据;对所述数据进行编码以生成码字;根据基于多个比特元组的打孔模式来修改所述码字,其中,所述多个比特元组中的特定比特元组的至多一个比特被指定为打孔比特;以及输出(例如,发送)经修改的码字。

[0012] 在一个方面中,本公开内容提供了一种被配置为用于通信的装置,所述装置包括接口、存储器和耦合到所述存储器和所述接口的处理器。所述接口被配置为获得数据。所述处理器和所述存储器被配置为:对所述数据进行编码以生成码字;以及根据基于多个比特元组的重复模式来修改所述码字,其中,所述多个比特元组中的特定比特元组的至多一个比特被指定为重复比特。所述接口还被配置为输出(例如,发送)经修改的码字。在一些实现方式中,所述接口可以包括第一接口(例如,用于获得数据)和第二接口(例如,用于输出经修改的码字)。

[0013] 本公开内容的另一个方面提供了一种用于通信的方法,包括:获得数据;对所述数据进行编码以生成码字;根据基于多个比特元组的重复模式来修改所述码字,其中,所述多个比特元组中的特定比特元组的至多一个比特被指定为重复比特;以及输出(例如,发送)经修改的码字。

[0014] 本公开内容的另一个方面提供了一种被配置为用于通信的装置。所述装置包括:用于获得数据的单元;用于对所述数据进行编码以生成码字的单元;用于根据基于多个比特元组的重复模式来修改所述码字的单元,其中,所述多个比特元组中的特定比特元组的至多一个比特被指定为重复比特;以及用于输出(例如,发送)经修改的码字的单元。

[0015] 本公开内容的另一个方面提供了一种存储计算机可执行代码的非暂时性计算机可读介质,所述计算机可执行代码包括用于执行以下操作的代码:获得数据;对所述数据进行编码以生成码字;根据基于多个比特元组的重复模式来修改所述码字,其中,所述多个比特元组中的特定比特元组的至多一个比特被指定为重复比特;以及输出(例如,发送)经修改的码字。

[0016] 在了解了下面的具体实施方式之后,将更充分地理解本公开内容的这些和其它方面。在结合附图了解了下面的本公开内容的特定实现的描述之后,本公开内容的其它方面、特征和实现对于本领域普通技术人员来说将变得显而易见。虽然相对于下面的某些实现和附图讨论了本公开内容的特征,但是本公开内容的所有实现可以包括本文所讨论的优势特征中的一个或多个优势特征。换句话说,虽然将一个或多个实现讨论成具有某些优势特征,但是根据本文所讨论的本公开内容的各种实现,也可以使用这些特征中的一个或多个特征。按照类似的方式,虽然下面将某些实现讨论成设备、系统或者方法实现,但是应当理解

的是,这些实现可以利用各种各样的设备、系统和方法来实现。

附图说明

[0017] 给出附图是为了辅助对本公开内容的方面的描述,并且附图仅被提供用于说明所述方面而不是对其进行限制。

[0018] 图1是可以在其中使用本公开内容的方面的示例性通信系统的框图。

[0019] 图2是可以在其中使用本公开内容的方面的示例性通信设备的框图。

[0020] 图3是通信信道的表示的示例的图。

[0021] 图4是针对极化码的极化的示例的图。

[0022] 图5是根据本公开内容的一些方面的示例性编码器结构的框图。

[0023] 图6是根据本公开内容的一些方面用于极化码的第一示例性打孔技术的示意图。

[0024] 图7是根据本公开内容的一些方面用于极化码的第二示例性打孔技术的示意图。

[0025] 图8是根据本公开内容的一些方面用于极化码的第三示例性打孔技术的示意图。

[0026] 图9是根据本公开内容的一些方面用于极化码的第四示例性打孔技术的示意图。

[0027] 图10是根据本公开内容的一些方面用于极化码的第五示例性打孔技术的示意图。

[0028] 图11是根据本公开内容的一些方面用于极化码的第六示例性打孔技术的示意图。

[0029] 图12是根据本公开内容的一些方面用于极化码的第七示例性打孔技术的示意图。

[0030] 图13是根据本公开内容的一些方面用于极化码的第八示例性打孔技术的示意图。

[0031] 图14是根据本公开内容的一些方面用于极化码的第一示例性重复技术的示意图。

[0032] 图15是根据本公开内容的一些方面用于极化码的第二示例性重复技术的示意图。

[0033] 图16是根据本公开内容的一些方面用于极化码的第三示例性重复技术的示意图。

[0034] 图17是根据本公开内容的一些方面用于极化码的第四示例性重复技术的示意图。

[0035] 图18是说明根据本公开内容的一些方面用于可以支持编码的装置(例如,电子设备)的示例性硬件实现方式的框图。

[0036] 图19是说明根据本公开内容的一些方面利用打孔的编码过程的示例的流程图。

[0037] 图20是说明根据本公开内容的一些方面利用重复的编码过程的示例的流程图。

具体实施方式

[0038] 本公开内容的各个方面涉及用于信息的通信(例如,用于无线通信)的编码。在一些方面中,编码可以涉及对码字的比特进行打孔或者对码字的比特进行重复。作为一个示例,对于利用块码(诸如极化码)的数据编码,码字长度N可以是2的幂。因此,数据编码可以使用打孔或重复来将码字大小与资源分配(其可能不对应于2的幂)相匹配。作为另一示例,数据编码可以使用打孔或重复来改善接收机处的解码性能。在一些方面中,本公开内容涉及选择可以提供改善的性能的打孔或重复模式。在一些方面中,用于数据编码的打孔模式是基于XOR(异或)的输出和重复输入不被擦除的标准进行选择的。在一些方面中,用于数据编码的重复模式是基于重复不被应用于XOR的输出和重复输入的标准进行选择的。

[0039] 下面结合附图阐述的具体实施方式旨在作为对各种配置的描述,而不旨在于表示可以在其中实施本文描述的概念的唯一配置。为了提供对各种概念的全面理解,具体实施方式包括具体细节。但是,对于本领域的技术人员将显而易见的是,在没有这些具体细节的

情况下,也可以实施这些概念。此外,可以在不脱离本公开内容的情况下,设计出替代的配置。另外,不将详细地描述或者将省略公知的元素,以避免模糊本公开内容的相关细节。

[0040] 贯穿本公开内容介绍的各种概念可以在广泛的多种多样的电信系统、网络架构和通信标准中实现。例如,第三代合作伙伴计划(3GPP)是定义针对涉及演进分组系统(EPS)的网络(经常被称为长期演进(LTE)网络)的若干无线通信标准的标准主体。LTE网络的演进版本(诸如第五代(5G)网络)可以提供许多不同类型的服务或应用,包括但不限于网页浏览、视频流式传输、VoIP、任务关键应用、多跳网络、具有实时反馈的远程操作(例如,远程手术等)。因此,可以根据包括但不限于以下各项的各种网络技术来实现本文的教导:5G技术、第四代(4G)技术、第三代(3G)技术和其它网络架构。此外,本文描述的技术可以用于下行链路、上行链路、对等链路或某种其它类型的链路。

[0041] 使用的实际电信标准、网络架构和/或通信标准将取决于特定的应用和施加在系统上的整体设计约束。出于说明的目的,以下内容可以在5G系统和/或LTE系统的上下文中描述各个方面。然而,应当认识到的是,本文的教导也可以用在其它系统中。因此,应当理解,在5G和/或LTE术语的上下文中对功能的引用同等地适用于其它类型的技术、网络、组件、信令等等。

[0042] 示例性通信系统

[0043] 图1示出了无线通信系统100的示例,其中,用户设备(UE)能够经由无线通信信令来与其它设备进行通信。例如,第一UE 102和第二UE 104可以使用由发送接收点(TRP)106和/或其它网络组件(例如,核心网108、互联网服务提供商(ISP)110、对等设备等等)管理的无线通信资源来与TRP 106进行通信。在一些实现方式中,系统100的组件中的一个或多个组件可以经由设备到设备(D2D)链路112或者某种其它类似类型的直接链路来与彼此直接进行通信。

[0044] 系统100的组件中的两个或更多个组件之间的信息的通信可以涉及对信息进行编码。例如,TRP 106可以对TRP 106向UE 102或UE 104发送的数据(例如,用户数据或控制信息)进行编码。作为另一示例,UE 102可以对UE 102向TRP 106或UE 104发送的数据(例如,用户数据或控制信息)进行编码。编码可以涉及诸如极化编码的块编码。根据本文的教导,UE 102、UE 104、TRP 106或者系统100的某个其它组件中的一个或多个可以包括利用打孔和/或重复的编码器114。

[0045] 无线通信系统100的组件和链路可以在不同的实现方式中采取不同的形式。UE的示例可以包括但不限于蜂窝设备、物联网(IoT)设备、蜂窝IoT(CIoT)设备、LTE无线蜂窝设备、机器类型通信(MTC)蜂窝设备、智能报警器、远程传感器、智能电话、移动电话、智能仪表、个人数字助理(PDA)、个人计算机、网格节点和平板型计算机。

[0046] 在一些方面中,TRP可以指代并入针对特定物理小区的无线电头端功能的物理实体。在一些方面中,TRP可以包括具有基于正交频分复用(OFDM)的空中接口的5G新无线电(NR)功能。举例而言但不是进行限制,NR可以支持增强型移动宽带(eMBB)、任务关键服务和IoT设备的宽范围部署。TRP的功能在一个或多个方面中可以类似于(或者包括或被并入到)以下各项的功能:CIoT基站(C-BS)、节点B、演进型节点B(eNodeB)、无线接入网络(RAN)接入节点、无线网络控制器(RNC)、基站(BS)、无线基站(RBS)、基站控制器(BSC)、基站收发机(BTS)、收发机功能(TF)、无线收发机、无线路由器、基本服务集(BSS)、扩展服务集(ESS)、宏

小区、宏节点、家庭eNB(HeNB)、毫微微小区、毫微微节点、微微节点或某种其它适当实体。在不同的场景(例如,NR、LTE等)中,TRP可以被称为g节点B(gNB)、eNB、基站或者使用其它术语进行引用。

[0047] 可以在无线通信系统100中支持各种类型的网络到设备链路和D2D链路。例如,D2D链路可以包括但不限于:机器到机器(M2M)链路、MTC链路、车辆到车辆(V2V)链路和车辆到一切(V2X)链路。网络到设备链路可以包括但不限于:上行链路(或反向链路)、下行链路(或前向链路)和车辆到网络(V2N)链路。

[0048] 示例性通信组件

[0049] 图2是无线通信系统200的示意图,无线通信系统200包括可以使用本文的教导的第一无线通信设备202和第二无线通信设备204。在一些实现方式中,第一无线通信设备202或第二无线通信设备204可以与图1的UE 102、UE 104、TRP 106或某个其它组件相对应。

[0050] 在所示出的示例中,第一无线通信设备202在通信信道206(例如,无线信道)上向第二无线通信设备204发送消息。为了提供消息的可靠通信,这种方案中应当解决的一个问题是考虑影响通信信道206的噪声208。

[0051] 块码或纠错码被频繁地用于提供消息在嘈杂信道上的可靠传输。在典型的块码中,来自第一(发送)无线通信设备202处的信息源210的信息消息或序列被拆分成块,每个块具有K比特的长度。编码器212在数学上向信息消息中增加冗余度,产生具有长度为N的码字,其中N>K。这里,码率R是消息长度与块长度之间的比率(即,R=K/N)。利用编码信息消息中的这一冗余度是在第二(接收)无线通信设备204处可靠地接收发送的消息的关键,由此冗余度实现了对可能因施加在所发送的消息上的噪声208而发生的比特错误的纠正。即,第二(接收)无线通信设备204处的解码器214可以利用冗余度来可靠地恢复提供到信息宿216的信息消息,即使可能部分地由于向信道206增加噪声208而发生比特错误。

[0052] 本领域技术人员已知这种纠错块码的许多示例,包括汉明码、博斯乔赫里霍克文黑姆码和turbo码等等。一些现有的无线通信网络利用这些块码。例如,3GPP LTE网络可以使用turbo码。然而,对于未来网络,被称为极化码的一类新的块码给出了可靠和高效信息传输的潜在机会,其相对于其它码具有改进的性能。

[0053] 极化码是线性块纠错码,其中,信道极化是利用对极化码进行定义的递归算法生成的。极化码是实现对称二进制输入离散无记忆信道的信道容量的第一明确的码。即,极化码实现了针对能够在存在噪声的情况下在给定带宽的离散无记忆信道上发送的无误差信息的量的信道容量(香农极限)或理论上限。该容量可以利用简单的连续消除(SC)解码器实现。

[0054] 极化码可以被认为是块码(N,K)。虽然使编码器212能够选择信息比特的数量K是灵活的,但是对于极化码,码字长度N是2的幂(例如,256、512、1024等),这是因为极化矩阵的原始构建是基于克罗内克积$\begin{bmatrix}1 & 0\\ 1 & 1\end{bmatrix}$的。

[0055] 在一些方面中,本公开内容涉及用于极化码的打孔和重复。如本文所使用的,术语打孔可以指代例如通过省略(例如,去除)原始块的一些比特来减小块的大小,而术语重复可以指代例如通过重复(例如,添加)原始块的一些比特来增大块的大小。

[0056] 为了生成用于第一传输的编码数据,编码器212生成编码数据218(例如,码字)。随

后,编码器212根据是否要对编码数据218进行打孔或重复来分别确定打孔模式或重复模式。如下文更加详细地论述的,在一些方面中,确定哪些比特要打孔或重复可以取决于将比特划分成元组以及从给定元组中仅选择一个比特。这根据正在执行的特定操作来产生特定的打孔模式或重复模式。为此,编码器212包括用于通过从每个元组选择一个比特来确定打孔或重复模式的模块220。用于对编码数据进行打孔或重复的模块222分别使用所确定的打孔模式或重复模式来对编码数据218进行打孔或重复。随后,第一无线通信设备202发送产生的数据(例如,码字)。如本文所使用的,术语元组指代两个或更多个元素的集合。因此,比特元组指代两个或更多个比特的集合(例如,比特对)。

[0057] 在第二无线通信设备204处接收到经打孔或重复的编码数据226之后,用于解码的模块224对数据226进行解码。例如,解码器214可以使用诸如SC解码或某种其它类型的解码的解码。

[0058] 本文的教导可以用于改善编码器或者执行编码的某种其它类型的其它处理电路(例如,处理器)的编码性能。例如,与使用某种其它打孔方案和/或重复方案的编码器相比,使用如本文的教导所生成的打孔和/或重复的编码器可以提供更可靠的编码。这种更高的可靠性可以是例如通过在具有最低擦除概率的比特上发送信息来实现的。因此,通过使用如本文教导使用的打孔和/或重复,而不使用不采用这种方式来对信息进行编码的其它打孔和重复方案,可以需要更少的重传。

[0059] 在一些实现方式中,编码器212可以包括或使用输入接口228和/或输出接口230。这样的接口可以包括例如接口总线、总线驱动器、总线接收机、射频(RF)电路、其它适当的电路或其组合。例如,输入接口228可以包括接收机设备、缓冲器、RF接收机或用于接收信号的其它电路。作为另一示例,输出接口230可以包括输出设备、驱动器、RF发射机或用于发送信号的其它电路。在一些实现方式中,这些接口可以被配置为与编码器212的一个或多个其它组件对接。

[0060] 极化码

[0061] 现在将参照图3和图4更加详细地讨论极化码。初始地参照图3的顶部,二进制输入离散无记忆信道302可以被表示为W:X→Y,其中,X是信道W的输入,以及Y是信道W的输出。该信道的容量C是:C=I(X;Y),其中I表示互信息函数。

[0062] 参照图3的底部,可以按照如下来表示用于多个输入的有效信道W_{VEC} 308。对于二进制输入的示例,0≤C≤1,变换可以包括下面的运算。以信道W 302的N个副本开始;从U个输入$(U_0,U_1,\ldots,U_N)$向X个输出$(X_0,X_1,\ldots,X_N)$应用一对一映射G_{NxN} 310,如表1的公式1阐述的。因此,创建了有效信道W_{VEC} 308,其中$X^N=U^N \cdot G_{NxN}$。对于N=2的相对简单的情况,可以如在表1的公式2中阐述的来表示G_{NxN}。

[0063]

$X^N = U^N \cdot G_{NxN},$ 其中 $G_{NxN} = \{0,1\}^N \rightarrow \{0,1\}^N.$	公式 1
$G_{2x2} = \begin{bmatrix} 1 & 0 \\ 1 & 1 \end{bmatrix}$	公式 2
$U_0 = X_0 \oplus X_1 = Y_{01} \oplus Y_1$ *(对应于奇偶校验)* $U_1 = X_1 = X_0 \oplus U_0$ *(对应于重复)*	公式 3
$\varepsilon^- = 1 - (1-\varepsilon)^2 = 2\varepsilon - \varepsilon^2$	公式 4
$\varepsilon^+ = \varepsilon^2.$	公式 5

[0064] 表1

[0065] 假设W是具有擦除概率‘ε’的二进制擦除信道(BEC),在表1的公式3中阐述的关系为真(参照图4的示意图400)。在图4中,U_0是信道W_0的输入,以及Y_0是信道W_0的输出。类似地,U_1是信道W_1的输入,以及Y_1是信道W_1的输出。

[0066] 对于信道$W_0: U_0 \rightarrow Y^N$,在表1的公式4中阐述了擦除概率(ε^-)。对于信道$W_1: U_1 \rightarrow (Y^N, U_0)$,在表1的公式5中阐述了擦除概率($\varepsilon^+$)。从以上观点来看,$W_1$是比$W_0$更好的信道。因此,在SC编码之下,$U_1$与$U_0$相比将具有更高的可靠性。以上操作可以递归地执行,由此在N上产生更多的极化。

[0067] 极化码具有这样的约束:对于某个L,母码具有长度N=2L。实际上,码可以是比率兼容的。例如,可以对编码比特进行打孔以满足分配的约束。

[0068] 替代地,可以对编码比特进行重复以满足分配的约束。例如,以固定的N开始并且进行重复以满足分配大小。在这种情况下,与从2N开始并且进行打孔相比,编码器/解码器复杂度可以更低。

[0069] 在一些方面中,本公开内容涉及尝试在给定的基本极化码的情况下找到进行打孔/重复的最优方案。前述分析使用BEC作为示例,其中密度卷积更易处理以预测性能。然而,本文的教导可以应用于任何信道模型。

[0070] 编码器结构

[0071] 图5说明了编码器结构500的高级示例,其中,可以根据本文的教导来选择用于打孔或重复的比特。通过编码器结构的初始级(或级)502和最终级504来对输入比特进行操作,以提供输出比特集合。

[0072] 如图5所示,最终级504包括若干逻辑块(例如,XOR)。为了降低图5的复杂度,仅示出了两个逻辑块506和508。应当认识到的是,最终级504可以包括更多个逻辑块。

[0073] 根据本文的教导,选择510输出比特中的某些比特以通过打孔/重复级512来进行打孔或重复。例如,可以避免选择由相同逻辑块的输入和输出构成的比特元组。如下文更加

详细地论述的,该选择可以产生编码的改进性能。

[0074] 打孔

[0075] 将参照图6-13更加详细地讨论示例性打孔方案。图6-13说明了根据本文的教导用于生成打孔模式的编码器600-1300的若干示例,其中,要被打孔的比特不包括相同逻辑块的输入和输出。在这些附图中,比特的数量N=8,打孔比特的数量P=3,以及要被编码的信息比特的数量K=3。在其它场景中可以使用其它值。在这些附图中示出的值指示相应比特的擦除概率。在不同的场景中,擦除概率可以具有不同的值。

[0076] 步骤1:打孔:采用非比特反转极化码构建。假设N个输出比特中的P个输出比特要被打孔。一种更好的打孔方案是选择顶部的P个连续编码比特并且进行打孔(图6)或者选择底部P个连续编码比特并且进行打孔(图8)。例如,从擦除概率的角度来看,这些是等同的方法。

[0077] 步骤2:冻结比特:给定K(要被编码的信息比特的数量)<N,则信息比特中的一些信息比特要被冻结。在一些实现方式中,冻结比特可以是基于受本文讨论的打孔模式影响的密度演进进行选择的。替代地,可以使用经定义(例如,预定义)的冻结比特序列(例如,可以是次优的)。类似的冻结比特技术也可以用于重复。

[0078] 一旦完成了以上操作,就可以计算针对每个比特的擦除概率(例如,在图6-13中示出的数据路径(信息路径)上的数字1、0.75、0.5等),并且在具有最低擦除概率的比特上发送信息比特。

[0079] 在图6-13中,每个编码器600-1300包括与相应的错误概率相关联的输入比特(例如,图6中的比特602-0至602-7)和输出比特(例如,图6中的比特604-0至604-7)。每个编码器还包括输入级和最终级,最终级包括XOR组(例如,图6中的XOR组608)和重复路径(例如,图6中的路径610)。XOR是由标准的XOR符号(例如,图6中的XOR 612和XOR 614)表示的。也示出了编码器的中间级606(例如,图6中的路径616-0至616-7和路径618-0至618-7)的额外的错误概率。图7-13说明了与图6类似的结构,其中类似特征由类似编号来指示。

[0080] 如上文提及的,图6示出了顶部打孔的示例(即,对来自输出比特中的顶部一半输出比特的比特进行打孔)。XOR组608中的XOR中的每个XOR对应于图4的XOR(例如,极化编码函数的奇偶校验路径U_0)。另外,在XOR组608下面的四个路径610中的每个路径610对应于图3的重复路径U_1。因此,XOR组608中的每个XOR具有输出和在本文中被称为的重复输入(对应于图4的结构)。例如,XOR 614具有输出比特604-0和重复输入比特604-4。在一些方面中,XOR组608可以被称为编码器图的最后一级。

[0081] 注意,打孔比特622(输出比特604-0、604-1和604-2)不包括XOR组608的四个XOR中的任何XOR的输出和重复输入二者。例如,XOR 614的输出比特(输出比特604-0)被打孔,但是XOR 614的重复输入(输出比特604-4)不被打孔。如果这些XOR中的一个XOR的输出和重复输入两者都被打孔,则编码/解码的性能(例如,可靠性)通常将是更差的。然而,如果仅这些XOR中的一个XOR的输出和重复输入中的一个被打孔,则XOR的输出将被擦除,但是重复路径的输出(对应于重复输入)将不被打孔。因此,在该场景中,性能是更好的。

[0082] 现在将描述图7-13的打孔模式示例。

[0083] 可以在输出比特的顶部(开始)一半和底部(结束)一半之间对打孔进行拆分,如针对图7中的编码器700示出的。图7中还示出了编码器的中间级706。在该示例中,要被打孔的

比特722包括输出比特704-0、704-1和704-6。图7的比特交换724是相对于图6的。具体地,输出比特704-6而不是输出比特704-2被打孔(与图6相反,在图6中,打孔比特622包括输出比特604-2)。根据本文的教导,打孔比特722不包括XOR组708中的四个XOR中的任何XOR的输出和重复输入二者。

[0084] 如上文提及的,图8说明了在底部打孔(即,对来自输出比特中的底部一半的比特进行打孔)和图6的顶部打孔之间的擦除概率等效。图8中还示出了编码器的中间级806。编码器800示出了底部打孔的示例,其中,要被打孔的比特822包括输出比特804-5、804-6和804-7,它们全部来自输出比特中的底部一半。这与图6相反,在图6中,全部打孔比特622来自输出比特中的顶部一半。根据本文的教导,打孔比特822不包括XOR组808中的四个XOR中的任何XOR的输出和重复输入二者。

[0085] 类似于图7,图9的编码器900示出了可以在输出比特的顶部(开始)一半和底部(结束)一半之间对打孔比特进行拆分的另一种方式。图9中还示出了编码器的中间级906。在该示例中,要被打孔的比特922包括输出比特904-1、904-6和904-7。图9的比特交换924是相对于图8的。具体地,输出比特904-1而不是输出比特904-5被打孔(与图8相反,在图8中,打孔比特822包括输出比特804-5)。根据本文的教导,打孔比特922不包括XOR组908中的四个XOR中的任何XOR的输出和重复输入二者。

[0086] 图10的编码器1000示出了对比特进行拆分以用于打孔的另一种方式,以实现与编码器600-900相同的擦除概率结果。图10中还示出了编码器的中间级1006。在这种情况下,在输出比特的顶部(开始)一半和底部(结束)一半之间对打孔进行拆分。具体地,要被打孔的比特1022包括输出比特1004-0、1004-1和1004-7。根据本文的教导,打孔比特1022不包括XOR组1008中的四个XOR中的任何XOR的输出和重复输入二者。

[0087] 图11示出了利用相对于图10的比特交换1124实现的顶部打孔的另一个示例。图11中还示出了编码器的中间级1106。具体地,输出比特1104-3而不是输出比特1104-7被打孔(与图10相反,在图10中,打孔比特1022包括输出比特1004-7)。根据本文的教导,打孔比特1122不包括XOR组1108中的四个XOR中的任何XOR的输出和重复输入二者。

[0088] 图12的编码器1200说明了对打孔比特进行拆分的另一种方式,以实现与编码器600-1100相同的擦除概率结果。图12中还示出了编码器的中间级1206。要被打孔的比特1222包括输出比特1204-0、1204-6和1204-7。根据本文的教导,打孔比特1222不包括XOR组1208中的四个XOR中的任何XOR的输出和重复输入二者。

[0089] 图13示出了利用相对于图12的比特交换1324实现的顶部打孔的另一个示例。图13中还示出了编码器的中间级1306。这里,输出比特1304-2和1304-3而不是输出比特1304-6和1304-7被打孔(与图12相反,在图12中,打孔比特1222包括输出比特1204-6和1204-7)。根据本文的教导,打孔比特1322不包括XOR组1308中的四个XOR中的任何XOR的输出和重复输入二者。

[0090] 从以上内容可以看出的是,所有配置实现相同的擦除概率结果。注意,在每个配置中,打孔比特不包括XOR组402(例如,奇偶校验XOR组)中的XOR中的任何XOR的XOR的输出和重复输入二者。所选择的实际配置可以取决于各种标准。例如,使用连续比特可能会更容易。作为另一个示例(例如,OFDM场景),比特中的一些比特可能受信道衰落影响。因此,这些比特可能是更好的打孔候选。应当认识到的是,根据本文的教导,可以使用其它配置(例如,

具有不同数量的打孔比特、不同数量的输出比特、不同的比特拆分、不同的比特分组等)。

[0091] 下面的方案说明了如何选择用于对P个位置进行打孔的极化码(长度N)的编码比特的索引的示例。

[0092] 方案1:(从开始):打孔集合=从元组(0,N/2)、(1,N/2+1)、……、(i,N/2+i)、……、(P-1,N/2+P-1)中的每个元组中选择一个。

[0093] 方案2:(从结束):打孔集合=从元组(N/2-1,N-1)、(N/2-2,N-2)、……、(N/2-i,N-i)、……、(N/2-P,N-P)中的每个元组中选择一个。

[0094] 方案3:(从开始、从结束的混合):对于给定的m:m∈{0,P-1},定义j=P-m;集合1=从元组(0,N/2)、(1,N/2+1)、……、(m,N/2+m)中的每个元组中选择一个;

[0095] 集合2=从元组(N/2-1,N-1)、(N/2-2,N-2)、……、(N/2-j,N-j)中的每个元组中选择一个;打孔集合=集合1+集合2。

[0096] 重复

[0097] 将参照图14-17更加详细地讨论示例性重复方案。图14-17说明了用于生成重复模式的编码器1400-1700的若干示例,其中根据本文的教导,要被重复的比特不包括相同逻辑块的输入和输出二者。在这些附图中,比特的数量N=8,重复比特的数量P=3,以及要被编码的信息比特的数量K=3。在其它场景中可以使用其它值。在这些附图中示出的值指示相应比特的擦除概率。在不同的场景中,擦除概率可以具有不同的值。

[0098] 下面的方案说明了如何选择用于对P个位置进行重复的极化码(长度N)的编码比特的索引的示例。在一些方面中,使用与选择用于打孔的索引所使用的标准相同的标准来选择用于重复的索引。即,重复比特不包括奇偶校验XOR组中的XOR中的任何XOR的输出和重复输入。如果这些XOR中的一个XOR的输出和重复输入二者被重复,则编码/解码的性能(例如,可靠性)增益将不是显著的。然而,如果这些XOR中的输出和重复输入中的至多之一被重复,则性能增益可以更高。

[0099] 方案1:(从开始):重复集合=从元组(0,N/2)、(1,N/2+1)、……、(i,N/2+i)、……、(R-1,N/2+R-1)中的每个元组中选择一个。

[0100] 方案2:(从结束):重复集合=从元组(N/2-1,N-1)、(N/2-2,N-2)、……、(N/2-i,N-i)、……、(N/2-R,N-R)中的每个元组中选择一个。

[0101] 方案3:(从开始、从结束的混合):对于给定的m:m∈{0,R-1},定义j=R-m;集合1=从元组(0,N/2)、(1,N/2+1)、……、(m,N/2+m)中的每个元组中选择一个;集合2=从元组(N/2-1,N-1)、(N/2-2,N-2)、……、(N/2-j,N-j)中的每个元组中选择一个;重复集合=集合1+集合2。

[0102] 在图14-17中,每个编码器1400-1700包括与相应的错误概率(例如,在数据路径(信息路径)上面的数字1、0.75、0.5等)相关联的输入比特(例如,图14中的比特1402-0至1402-7)和输出比特(例如,图14中的比特1404-0至1404-7)。每个编码器还包括输入级和最终级,最终级包括XOR组(例如,图14中的XOR组1408)和重复路径(例如,图14中的路径1410)。XOR是由标准的XOR符号(例如,图14中的XOR 1412和XOR 1414)表示的。也示出了编码器的中间级(例如,图14中的路径1416-0至1416-7和路径1418-0至1418-7)的额外的错误概率。图15-17示出了与图14类似的结构,其中类似特征由类似编号来指示。通常,图6-13的结构中的任何结构也可以适用于重复。

[0103] 图14示出了顶部重复的示例(即,对来自输出比特中的顶部一半的比特进行重复)。图14中还示出了编码器的中间级1406。注意,重复比特1422(输出比特1404-0、1404-1和1404-2)不包括XOR组1408的XOR中的任何XOR的输出和重复输入二者。例如,XOR 1414的输出比特(输出比特1404-0)被重复,但是XOR 1414的重复输入(输出比特1404-4)不被重复。还要注意的是,XOR组1408中的XOR对应于图4的XOR(例如,极化编码图的奇偶校验路径)。

[0104] 可以在输出比特的顶部(开始)一半和底部(结束)一半之间拆分重复,如针对图15中的编码器1500示出的。图15中还示出了编码器的中间级1506。在该示例中,要被重复的比特1522包括输出比特1504-0、1504-1和1504-6。图15的比特交换1524是相对于图14的。具体地,输出比特1504-6而不是输出比特1504-2被重复(与图15相反,在图15中,重复比特1422包括输出比特1404-2)。根据本文的教导,重复比特1522不包括XOR组1508中的四个XOR中的任何XOR的输出和重复输入二者。

[0105] 图16说明了在底部重复(即,对来自输出比特中的底部一半的比特进行重复)和图14的顶部重复之间的擦除概率等效。图16中还示出了编码器的中间级1606。编码器1600示出了底部重复的示例,其中,要被重复的比特1622包括输出比特1604-5、1604-6和1604-7,它们全部来自输出比特中的底部一半。这与图14相反,在图14中,全部重复比特1422来自输出比特中的顶部一半。根据本文的教导,重复比特1622不包括XOR组1608中的四个XOR中的任何XOR的输出和重复输入二者。

[0106] 类似于图15,图17示出了可以在输出比特的顶部(开始)一半和底部(结束)一半之间对重复进行拆分的另一种方式。图17中还示出了编码器的中间级1706。在该示例中,要被重复的比特1722包括输出比特1704-1、1704-6和1704-7。图17的比特交换1724是相对于图16的。具体地,输出比特1704-1而不是输出比特1704-5被重复(与图16相反,在图16中,重复比特1622包括输出比特1604-5)。根据本文的教导,重复比特1722不包括XOR组1708中的四个XOR中的任何XOR的输出和重复输入二者。

[0107] 从以上内容可以看出的是,所有配置实现相同的擦除概率结果。这是因为,在每个配置中,重复比特不包括XOR组402(例如,奇偶校验XOR组)中的XOR中的任何XOR的XOR的输出和重复输入二者。所选择的实际配置可以取决于各种标准。例如,使用连续比特会更容易。应当认识到的是,根据本文的教导,可以使用其它配置(例如,具有不同数量的重复比特、不同数量的输出比特、不同的比特拆分、不同的比特分组等)。

[0108] 示例性装置

[0109] 图18是根据本公开内容的一个或多个方面,可以使用编码的装置1800的说明。装置1800可以体现或者被实现在UE、TRP、gNB、接入点或使用编码的某种其它类型的设备内。在各种实现方式中,装置1800可以体现或者被实现在接入终端、基站或者某种其它类型的设备中。在各种实现方式中,装置1800可以体现或者被实现在移动电话、智能电话、平板式计算机、便携式计算机、服务器、个人计算机、传感器、报警器、车辆、机器、娱乐设备、医疗设备或者具有电路的任何其它电子设备中。

[0110] 装置1800包括通信接口1802(例如,至少一个收发机)、存储介质1804、用户接口1806、存储器设备1808和处理电路1810(例如,至少一个处理器)。这些组件可以经由信令总线或者其它适当的组件来彼此耦合和/或被布置为彼此之间进行电通信,其中该信令总线

或者其它适当组件通常通过图18中的连接线来表示。取决于处理电路1810的特定应用和整体设计约束，该信令总线可以包括任意数量的相互连接总线和桥接。该信令总线将各种电路链接在一起，使得通信接口1802、存储介质1804、用户接口1806和存储器设备1808中的每一个都耦合到处理电路1810和/或与处理电路1810进行电通信。该信令总线还可以链接诸如定时源、外围设备、电压调节器和电源管理电路的各种其它电路(未示出)，这些电路是本领域公知的，因此没有对其做任何进一步描述。

[0111] 通信接口1802可以被调整为促进装置1800的无线通信。例如，通信接口1802可以包括：被调整为促进针对网络中的一个或多个通信设备进行信息的双向通信的电路和/或程序。因此，在一些实现方式中，通信接口1802可以耦合到一个或多个天线1812，以便在无线通信系统中进行无线通信。在一些实现方式中，通信接口1802可以被配置用于基于有线的通信。例如，通信接口1802可以是总线接口、发送/接收接口、或者某种其它类型的信号接口，包括驱动器、缓冲器、或者用于输出和/或获得信号(例如，从集成电路输出信号和/或将信号接收到集成电路中)的其它电路。通信接口1802可以被配置有一个或多个独立的接收机和/或发射机、以及一个或多个收发机。在所说明的示例中，通信接口1802包括发射机1814和接收机1816。

[0112] 存储器设备1808可以表示一个或多个存储器设备。如所指示的，存储器设备1808可以维持由装置1800使用的编码相关信息1818以及其它信息。在一些实现方式中，存储器设备1808和存储介质1804被实现成公共存储器组件。存储器设备1808还可以用于存储由处理电路1810或者装置1800的某个其它组件操纵的数据。

[0113] 存储介质1804可以表示一个或多个计算机可读设备、机器可读设备和/或处理器可读设备，以存储诸如处理器可执行代码或指令(例如，软件、固件)的程序、电子数据、数据库或其它数字信息。存储介质1804还可以用于存储处理电路1810在执行程序时所操纵的数据。存储介质1804可以是能够由通用或专用处理器存取的任何可用的介质，其包括便携式或者固定存储设备、光学存储设备、以及能够存储、包含或携带程序的各种其它介质。

[0114] 通过举例而非限制性的方式，存储介质1804可以包括磁存储设备(例如，硬盘、软盘、磁带)、光盘(例如，压缩光盘(CD)或数字多功能光盘(DVD))、智能卡、闪存设备(例如，卡、棒或钥匙驱动器)、随机存取存储器(RAM)、只读存储器(ROM)、可编程ROM(PROM)、可擦除PROM(EPROM)、电可擦除PROM(EEPROM)、寄存器、移动硬盘、以及用于存储可以由计算机进行存取和读取的软件和/或指令的任何其它适当介质。存储介质1804可以被体现在制品(例如，计算机程序产品)中。举例而言，计算机程序产品可以包括封装材料中的计算机可读介质。鉴于以上内容，在一些实现方式中，存储介质1804可以是非暂时性(例如，有形)存储介质。

[0115] 存储介质1804可以耦合到处理电路1810，使得处理电路1810可以从存储介质1804读取信息并向存储介质1804写入信息。即，存储介质1804可以耦合到处理电路1810，使得存储介质1804至少可以被处理电路1810存取，其包括至少一个存储介质与处理电路1810集成的示例和/或至少一个存储介质与处理电路1810相分离的示例(例如，驻留于装置1800中、位于装置1800外部、跨越多个实体进行分布等)。

[0116] 在由存储介质1804存储的程序被处理电路1810执行时，该程序使得处理电路1810执行本文所描述的各种功能和/或处理操作中的一个或多个。例如，存储介质1804可以包括

被配置进行如下动作的操作:调整处理电路1810的一个或多个硬件块的操作,以及利用通信接口1802以便使用它们各自的通信协议进行无线通信。在一些方面中,存储介质1804可以是存储计算机可执行代码(其包括用于执行如本文描述的操作的代码)的非暂时性计算机可读介质。

[0117] 处理电路1810通常适用于处理,包括执行存储在存储介质1804上的这些程序。如本文所使用的,无论被称为软件、固件、中间件、微代码、硬件描述语言还是其它术语,术语"代码"或"编程"应当被广义地解释为包括但不限于:指令、指令集、数据、代码、代码段、程序代码、程序、编程、子程序、软件模块、应用、软件应用、软件包、例程、子例程、对象、可执行文件、执行的线程、进程、函数等。

[0118] 处理电路1810被布置为获得、处理和/或发送数据,控制数据存取和存储,发出命令,以及控制其它期望的操作。在至少一个示例中,处理电路1810可以包括:被配置为实现由适当的介质提供的期望程序的电路。例如,处理电路1810可以被实现成一个或多个处理器、一个或多个控制器、和/或被配置为执行可执行程序的其它结构。处理电路1810的示例可以包括被设计为执行本文描述的功能的通用处理器、数字信号处理器(DSP)、专用集成电路(ASIC)、现场可编程门阵列(FPGA)或其它可编程逻辑组件、分立门或者晶体管逻辑、分立硬件组件或者其任意组合。通用处理器可以包括微处理器,以及任何常规的处理器、控制器、微控制器或者状态机。处理电路1810也可以被实现为计算组件的组合,诸如DSP和微处理器的组合、多个微处理器、一个或多个微处理器与DSP内核的结合、ASIC和微处理器、或者任何其它数量的可变配置。处理电路1810的这些示例只是用于说明目的,并且也可以预期在本公开内容的范围之内的其它适当配置。

[0119] 根据本公开内容的一个或多个方面,处理电路1810可以被调整为执行本文所描述的任何或者所有装置的任何或者所有特征、处理、功能、操作和/或例程。例如,处理电路1810可以被配置为执行关于图1-17、19和20所描述的步骤、功能和/或过程中的任何一个。如本文所使用的,与处理电路1810有关的术语"被调整"可以指代:处理电路1810通过被配置、被使用、被实现和/或被编程中的一种或多种,根据本文所描述的各种特征,执行特定的处理、功能、操作和/或例程。

[0120] 处理电路1810可以是专用处理器,诸如用作用于执行本文结合图1-17、19和20所描述的操作中的任何一个操作的单元(例如,结构)的专用集成电路(ASIC)。处理电路1810可以用作用于发送的单元和/或用于接收的单元的一个示例。在各个实现方式中,处理电路1810可以至少部分地提供和/或并入上文针对图2的第一无线通信设备202(例如,编码器212)描述的功能。

[0121] 根据装置1800的至少一个示例,处理电路1810可以包括以下各项中的一项或多项:用于获得的电路/模块1820、用于编码的电路/模块1822、用于修改的电路/模块1824、用于输出的电路/模块1826或用于选择的电路/模块1828。在各个实现方式中,用于获得的电路/模块1820、用于编码的电路/模块1822、用于修改的电路/模块1824、用于输出的电路/模块1826或用于选择的电路/模块1828可以至少部分地提供和/或并入上文针对图2的第一无线通信设备202(例如,编码器212)描述的功能。

[0122] 如上文描述的,当由存储介质1804存储的编程在被处理电路1810执行时,该编程使得处理电路1810执行本文描述的各种功能和/或过程操作中的一个或多个。例如,编程可

以使得处理电路1810执行本文关于图1-7、19和20在各种实现方式中所描述的功能、步骤和/或过程。如图18所示,存储介质1804可以包括以下各项中的一项或多项:用于获得的代码1830、用于编码的代码1832、用于修改的代码1834、用于输出的代码1836或用于选择的代码1838。在各个实现方式中,用于获得的代码1830、用于编码的代码1832、用于修改的代码1834、用于输出的代码1836或用于选择的代码1838可以被执行或者以其它方式用于提供本文针对用于获得的电路/模块1820、用于编码的电路/模块1822、用于修改的电路/模块1824、用于输出的电路/模块1826或用于选择的电路/模块1828描述的功能。

[0123] 用于获得的电路/模块1820可以包括被调整为执行与例如获得信息(其还可以被称为数据)相关的若干功能的电路和/或编程(例如,存储在存储介质1804上的用于获得的代码1830)。在一些场景中,用于获得的电路/模块1820可以接收信息(例如,从通信接口1802、存储器设备1808或装置1800的某个其它组件)并且对信息进行处理(例如,解码)。在一些场景中(例如,如果用于获得的电路/模块1820是或包括RF接收机),用于获得的电路/模块1820可以直接从发送信息的设备接收该信息。在任一情况下,用于获得的电路/模块1820可以向装置1800的另一个组件(例如,用于编码的电路/模块1822、存储器设备1808或某个其它组件)输出所获得的信息。

[0124] 用于获得的电路/模块1820(例如,用于获得的单元)可以采取各种形式。在一些方面中,用于获得的电路/模块1820可以对应于例如处理电路,如本文论述的。在一些方面中,用于获得的电路/模块1820可以对应于例如接口(例如,总线接口、接收接口、或某种其它类型的信号接口)、通信设备、收发机、接收机、或某种其它类似组件,如本文论述的。在一些实现方式中,通信接口1802包括用于获得的电路/模块1820和/或用于获得的代码1830。在一些实现方式中,用于获得的电路/模块1820和/或用于获得的代码1830被配置为控制通信接口1802(例如,收发机或接收机)以传送信息。

[0125] 用于编码的电路/模块1822可以包括被调整为执行与例如对信息进行编码相关的若干功能的电路和/或编程(例如,存储在存储介质1804上的用于编码的代码1832)。在一些方面中,用于编码的电路/模块1822(例如,用于编码的单元)可以与例如处理电路相对应。

[0126] 在一些方面中,用于编码的电路/模块1822可以对至少一个输入(例如,从用于获得的电路/模块1820、存储器设备1808或装置1800的某个其它组件获得)执行编码算法。例如,用于编码的电路/模块1822可以执行块编码算法或极化编码算法。在一些方面中,用于编码的电路/模块1822可以执行上文结合图1-17描述的与编码相关的操作中的一个或多个操作。用于编码的电路/模块1822然后输出产生的编码信息(例如,向用于修改的电路/模块1824、通信接口1802、存储器设备1808、或者某个其它组件)。

[0127] 用于修改的电路/模块1824可以包括被调整为执行与例如修改码字相关的若干功能的电路和/或编程(例如,存储在存储介质1804上的用于修改的代码1834)。在一些方面中,用于修改的电路/模块1824(例如,用于修改的单元)可以与例如处理电路相对应。

[0128] 在一些方面中,用于修改的电路/模块1824可以获得输入信息(例如,从用于编码的单元1822、存储器设备1808或某个其它组件)。例如,用于修改的电路/模块1824可以结合打孔操作或重复操作(例如,如上文结合图1-17描述的)来修改接收到的码字。随后,用于修改的电路/模块1824可以基于修改(例如,经修改的码字)来生成输出,并且将该输出提供给装置1800的组件(例如,用于输出的电路/模块1826、存储器设备1808或某个其它组件)。

[0129] 用于输出的电路/模块1826可以包括被调整为执行与例如输出(例如,发送或发射)信息相关的若干功能的电路和/或编程(例如,存储在存储介质1804上的用于输出的代码1836)。在一些实现方式中,用于输出的电路/模块1826可以获得信息(例如,从用于修改的电路/模块1824、存储器设备1808或装置1800的某个其它组件)并且对信息进行处理(例如,对信息进行编码以用于传输)。在一些场景中,用于输出的电路/模块1826向将向另一个设备发送信息的另一个组件(例如,发射机1814、通信接口1802、或某个其它组件)发送信息。在一些场景中(例如,如果用于输出的电路/模块1826包括发射机),用于输出的电路/模块1826直接经由射频信令或者适于可应用的通信介质的某种其它类型的信令向另一个设备(例如,最终目的地)发送信息。

[0130] 用于输出的电路/模块1826(例如,用于输出的单元)可以采取各种形式。在一些方面中,用于输出的电路/模块1826可以对应于例如处理电路,如本文论述的。在一些方面中,用于输出的电路/模块1826可以对应于例如接口(例如,总线接口、发送接口、或某种其它类型的信号接口)、通信设备、收发机、发射机、或如本文论述的某种其它类似组件。在一些实现方式中,通信接口1802包括用于输出的电路/模块1826和/或用于输出的代码1836。在一些实现方式中,用于输出的电路/模块1826和/或用于输出的代码1836被配置为控制通信接口1802(例如,收发机或发射机)以传送信息。

[0131] 用于选择的电路/模块1828可以包括被调整为执行与例如选择模式相关联的若干功能的电路和/或编程(例如,存储在存储介质1804上的用于选择的代码1838)。在一些方面中,用于选择的电路/模块1828(例如,用于选择的单元)可以与例如处理电路相对应。

[0132] 用于选择的电路/模块1828可以基于一个或多个输入来做出选择。因此,初始地,用于选择的电路/模块1828可以获得输入信息(例如,从存储器设备1808或装置1800的某个其它组件)。例如,用于选择的电路/模块1828可以基于连续比特、比特元组或其它信息(例如,如上文结合图1-17描述的)来选择打孔模式或重复模式。随后,用于选择的电路/模块1828可以输出对选择的指示(例如,向用于修改的电路/模块1824、存储器设备1808、编码器或某个其它组件)。

[0133] 鉴于以上内容,本文的教导可以用于改善装置1800的编码性能(例如,改善处理电路1810的编码性能)。例如,通过配置处理电路1810以使用如上文和下文结合图19和图20论述的所生成的打孔模式和/或重复模式,与使用某种其它打孔方案和/或重复方案时处理电路1810可以提供的编码相比,处理电路1810可以提供更可靠的编码。这种更高的可靠性可以是例如通过在具有最低擦除概率的比特上发送信息来实现的。因此,通过使用如本文教导的打孔和/或重复,而不使用没有采用这种方式对信息进行编码的其它打孔和重复方案,可以需要更少的重传。

[0134] 示例性过程

[0135] 图19说明了根据本公开内容的一些方面用于通信的过程1900。过程1900可以在处理电路(例如,图18的处理电路1810)内进行,该处理电路可以位于接入终端、TRP、gNB、基站或某种其它适当的装置(例如,提供编码)中。当然,在本公开内容的范围内的各个方面中,过程1900可以由能够支持与通信相关的操作的任何适当的装置来实现。

[0136] 在可选框1902处,装置(例如,包括编码器的设备)可以选择打孔模式。在一些方面中,选择打孔模式可以包括选择码字的开始处的连续比特集合。在一些方面中,选择打孔模

式可以包括选择码字的结束处的连续比特集合。在一些方面中,选择打孔模式可以包括:选择码字的、作为用于编码的编码器的最后一级(例如,极化编码函数的最后一级)的特定输出的比特,而不选择码字的、作为最后一级的特定输出的XOR的输入的比特。在一些方面中,选择打孔模式可以包括:将码字的比特划分成比特对,以及从每个比特对中选择至多一个比特作为要被打孔的比特。在一些方面中,比特对可以与用于编码的编码器的最后一级的XOR互斥地相关联,以及比特对中的特定比特对的比特可以与XOR中的特定XOR的输出和特定XOR的重复输入互斥地相关联。在一些方面中,选择打孔模式可以包括:在码字的开始处的连续比特集合或码字的结束处的连续比特集合之间进行选择。

[0137] 在一些方面中,选择打孔模式可以包括:选择码字的、不是作为用于编码的编码器图的最后一级(例如,极化编码函数的最后一级)的相同XOR的输出和重复输入的比特。在一些方面中,选择打孔模式可以包括:将码字的比特划分成比特对,以及对于每个比特对,从该比特对中选择至多一个比特作为要被打孔的比特。在一些方面中,比特对可以与用于编码的编码器图的最后一级的XOR互斥地相关联,以及对于比特对中的每个比特对,比特对的比特可以与相关联的XOR的输出和重复输入互斥地相关联。

[0138] 在一些实现方式中,图18的用于选择的电路/模块1828执行框1902的操作。在一些实现方式中,执行图18的用于选择的代码1838以执行框1902的操作。

[0139] 在框1904处,装置获得数据。例如,装置可以从存储器取回数据或者从另一个装置接收数据。如本文所使用的,术语数据通常指代信息。例如,数据可以包括用户数据、控制信息等等。

[0140] 在一些实现方式中,图18的用于获得的电路/模块1820执行框1904的操作。在一些实现方式中,执行图18的用于获得的代码1830以执行框1904的操作。

[0141] 在框1906处,装置对数据进行编码以生成码字。在一些方面中,编码可以包括极化编码。

[0142] 在一些实现方式中,图18的用于编码的电路/模块1822执行框1906的操作。在一些实现方式中,执行图18的用于编码的代码1832以执行框1906的操作。

[0143] 在框1908处,装置根据基于多个比特元组的打孔模式来修改码字。这里,多个比特元组中的特定比特元组的至多一个比特被指定为打孔比特。

[0144] 在一些方面中,比特元组可以与用于编码的编码器的特定级的逻辑块互斥地相关联。在一些方面中,逻辑块可以是XOR。在一些方面中,XOR中的第一XOR可以是编码器的特定级的第一路径的一部分,以及XOR中的第二XOR可以是编码器的特定级的第二路径的一部分。在一些方面中,特定级可以包括(例如,可以是)在对码字进行打孔之前的最后一级。在一些方面中,特定的比特元组可以与用于编码的编码器的XOR相关联,特定的比特元组可以包括第一比特和第二比特,以及第一比特和第二比特可以与XOR的输出和XOR的重复输入互斥地相关联。在一些方面中,特定的比特元组可以与用于编码的编码器的XOR相关联,XOR的输入可以包括(例如,可以是)编码器的第一输出,以及XOR的输出可以包括(例如,可以是)编码器的第二输出。在一些方面中,对于比特元组中的每个比特元组:比特元组的至多一个比特被指定为打孔比特,以及比特元组的比特可以与相关联的XOR的输出和重复输入互斥地相关联。

[0145] 在一些方面中,比特元组可以与用于编码的编码器图的最后一级的XOR互斥地相

关联,以及对于比特元组中的每个比特元组,比特元组的比特可以与相关联的XOR的输出和重复输入互斥地相关联。在一些方面中,每个XOR可以是极化编码函数的相应的奇偶校验路径的一部分(例如,在编码器图的最后一级中)。

[0146] 在一些实现方式中,图18的用于修改的电路/模块1824执行框1908的操作。在一些实现方式中,执行图18的用于修改的代码1834以执行框1908的操作。

[0147] 在框1910处,装置输出(例如,发送)经修改的码字。例如,装置可以将经修改的码字存储在存储器中或者将经修改的码字发送给另一个装置。作为另一个示例,装置可以将经修改的码字经由天线发送给另一个装置(例如,经由RF信令)。

[0148] 在一些实现方式中,图18的用于输出的电路/模块1826执行框1910的操作。在一些实现方式中,执行图18的用于输出的代码1836以执行框1910的操作。

[0149] 在一些方面中,过程1900可以包括上文针对图19描述的操作的任何组合。

[0150] 图20说明了根据本公开内容的一些方面用于通信的过程2000。过程2000可以在处理电路(例如,图18的处理电路1810)内进行,该处理电路可以位于接入终端、TRP、gNB、基站或某种其它适当的装置(例如,提供编码)中。当然,在本公开内容的范围内的各个方面中,过程2000可以由能够支持与通信相关的操作的任何适当的装置来实现。

[0151] 在可选框2002处,装置(例如,包括编码器的设备)可以选择重复模式。在一些方面中,选择重复模式可以包括选择码字的开始处的连续比特集合。在一些方面中,选择重复模式可以包括选择码字的结束处的连续比特集合。在一些方面中,选择重复模式可以包括:选择码字的、作为用于编码的编码器的最后一级(例如,极化编码函数的最后一级)的特定输出的比特,而不选择码字的、作为最后一级的特定输出的XOR的输入的比特。在一些方面中,选择重复模式可以包括:将码字的比特划分成比特对,以及从每个比特对选择至多一个比特作为要被重复的比特。在一些方面中,比特对可以与用于编码的编码器的最后一级的XOR互斥地相关联,以及比特对中的特定比特对的比特可以与XOR中的特定XOR的输出和特定XOR的重复输入互斥地相关联。在一些方面中,选择重复模式可以包括:在码字的开始处的连续比特集合或码字的结束处的连续比特集合之间进行选择。

[0152] 在一些方面中,选择重复模式可以包括:选择码字的、不是作为用于编码的编码器图的最后一级的相同XOR的输出和重复输入的比特。在一些方面中,选择重复模式可以包括:将码字的比特划分成比特对,以及对于每个比特对,从该比特对中选择至多一个比特作为要被重复的比特。在一些方面中,比特对可以与用于编码的编码器图的最后一级的XOR互斥地相关联,以及对于比特对中的每个比特对,比特对的比特可以与相关联的XOR的输出和重复输入互斥地相关联。

[0153] 在一些实现方式中,图18的用于选择的电路/模块1828执行框2002的操作。在一些实现方式中,执行图18的用于选择的代码1838以执行框2002的操作。

[0154] 在框2004处,装置获得数据。例如,装置可以从存储器取回数据或者从另一个装置接收数据。如本文所使用的,术语数据通常指代信息。例如,数据可以包括用户数据、控制信息等等。

[0155] 在一些实现方式中,图18的用于获得的电路/模块1820执行框2004的操作。在一些实现方式中,执行图18的用于获得的代码1830以执行框2004的操作。

[0156] 在框2006处,装置对数据进行编码以生成码字。在一些方面中,编码可以包括极化

编码。

[0157] 在一些实现方式中,图18的用于编码的电路/模块1822执行框2006的操作。在一些实现方式中,执行图18的用于编码的代码1832以执行框2006的操作。

[0158] 在框2008处,装置根据基于多个比特元组的重复模式来修改码字。这里,多个比特元组中的特定比特元组的至多一个比特被指定为重复比特。

[0159] 在一些方面中,比特元组可以与用于编码的编码器的特定级的逻辑块互斥地相关联。在一些方面中,逻辑块可以是XOR。在一些方面中,XOR中的第一XOR可以是编码器的特定级的第一路径的一部分,以及XOR中的第二XOR可以是编码器的特定级的第二路径的一部分。在一些方面中,特定级可以包括(例如,可以是)在码字的重复之前的最后一级。在一些方面中,特定的比特元组可以与用于编码的编码器的XOR相关联,特定的比特元组可以包括第一比特和第二比特,以及第一比特和第二比特可以与XOR的输出和XOR的重复输入互斥地相关联。在一些方面中,特定的比特元组可以与用于编码的编码器的XOR相关联,XOR的输入可以包括(例如,可以是)编码器的第一输出,以及XOR的输出可以包括(例如,可以是)编码器的第二输出。在一些方面中,对于比特元组中的每个比特元组:比特元组的至多一个比特被指定为重复比特,以及比特元组的比特可以与相关联的XOR的输出和重复输入互斥地相关联。

[0160] 在一些方面中,比特元组可以与用于编码的编码器图的最后一级的XOR互斥地相关联,以及对于比特元组中的每个比特元组,比特元组的比特可以与相关联的XOR的输出和重复输入互斥地相关联。在一些方面中,每个XOR可以是极化编码函数的相应的奇偶校验路径的一部分。

[0161] 在一些实现方式中,图18的用于修改的电路/模块1824执行框2008的操作。在一些实现方式中,执行图18的用于修改的代码1834以执行框2008的操作。

[0162] 在2010处,装置输出(例如,发送)经修改的码字。例如,装置可以将经修改的码字存储在存储器中或者将经修改的码字发送给另一个装置。作为另一个示例,装置可以将经修改的码字经由天线发送给另一个装置(例如,经由RF信令)。

[0163] 在一些实现方式中,图18的用于输出的电路/模块1826执行框2010的操作。在一些实现方式中,执行图18的用于输出的代码1836以执行框2010的操作。

[0164] 在一些方面中,过程2000可以包括上文针对图20描述的操作的任何组合。

[0165] 额外方面

[0166] 提供本文阐述的示例以说明本公开内容的某些概念。本领域的技术人员将理解的是,这些示例在本质上仅是说明性的,并且其它示例可以落入本公开内容和所附权利要求书的范围内。基于本文的教导,本领域技术人员应当认识到,本文所公开的方面可以独立于任何其它方面来实现,以及可以以各种方式来组合这些方面中的两个或更多个方面。例如,使用本文所阐述的任何数量的方面可以实现一种装置或可以实施一种方法。此外,可以使用其它结构、功能、或者除了本文所阐述的方面中的一个或多个方面或不同于本文所阐述的方面中的一个或多个方面的结构和功能来实现的这样的装置或实施这样的方法。

[0167] 如本领域技术人员将容易理解的,贯穿本公开内容所描述的各个方面可以被扩展到任何适当的电信系统、网络架构和通信标准。通过举例的方式,各个方面可以被应用于广域网、对等网络、局域网、其它适当的系统或其任何组合,包括那些通过尚未定义的标准来

描述的网络。

[0168] 按照要由例如计算设备的元件执行的动作序列描述了许多方面。将认识到的是，本文描述的各个动作可以由特定电路(例如，中央处理单元(CPU)、图形处理单元(GPU)、数字信号处理器(DSP)、专用集成电路(ASIC)、现场可编程门阵列(FPGA)、或者各种其它类型的通用或专用处理器或电路)、由一个或多个处理器执行的程序指令、或者由两者的组合来执行。另外，本文描述的这些动作序列可以被认为是完全体现在任何形式的计算机可读存储介质中，所述计算机可读存储介质具有存储在其中的相应的计算机指令集合，所述计算机指令集合在被执行时将使得相关联的处理器执行本文描述的功能。因此，本公开内容的各个方面可以用多种不同的形式来体现，所有这些形式被预期在所要求保护的主题的范围内。另外，对于本文描述的方面中的每个方面，任何这样的方面的相应形式在本文中可以被描述为例如“被配置为执行所描述的动作的逻辑”。

[0169] 本领域的技术人员将理解的是，信息和信号可以使用多种不同的工艺和技术中的任何一种来表示。例如，遍及以上描述所提及的数据、指令、命令、信息、信号、比特、符号和码片可以由电压、电流、电磁波、磁场或粒子、光场或粒子或者其任意组合来表示。

[0170] 此外，本领域的技术人员将认识到的是，结合本文所公开的方面描述的各种说明性的逻辑框、模块、电路和算法步骤可以被实现为电子硬件、计算机软件或二者的组合。为了清楚地说明硬件和软件的这种可互换性，上文围绕各种说明性的组件、框、模块、电路和步骤的功能，已经对它们进行了一般性描述。至于这样的功能是实现为硬件还是软件，取决于特定的应用以及施加在整个系统上的设计约束。熟练的技术人员可以针对每一个特定的应用，以变通的方式来实现所描述的功能，但是这样的实现决策不应当被解释为引起脱离本公开内容的范围。

[0171] 可以对上文所说明的组件、步骤、特征和/或功能中的一个或多个进行重新排列和/或组合成单一组件、步骤、特征或者功能，或者被体现在若干组件、步骤或者功能中。此外，还可以增加另外的元素、组件、步骤和/或功能，而不偏离本文所公开的新颖特征。上文所说明的装置、设备和/或组件可以被配置为执行本文所描述的方法、特征或步骤中的一个或多个。本文所描述的新颖算法也可以利用软件来高效地实现和/或被嵌入在硬件中。

[0172] 应当理解的是，所公开的方法中的步骤的特定顺序或层次只是示例性过程的说明。应当理解的是，基于设计偏好，可以重新排列这些方法中的步骤的特定顺序或层次。所附的方法权利要求以样本顺序呈现了各种步骤的要素，但并不意味着其受到所呈现的特定顺序或层次限制，除非本文进行了明确地说明。

[0173] 结合本文所公开的方面描述的方法、序列或算法可以直接地体现在硬件中，在由处理器执行的软件模块中或者在二者的组合中。软件模块可以驻留在RAM存储器、闪存、ROM存储器、EPROM存储器、EEPROM存储器、寄存器、硬盘、可移动盘、CD-ROM或者本领域已知的任何其它形式的存储介质中。存储介质的示例被耦合到处理器，以使得处理器可以从存储介质读取信息，以及向存储介质写入信息。在替代的方式中，存储介质可以与处理器集成。

[0174] 本文使用“示例性”一词来意指“作为示例、实例或说明”。本文中被描述为“示例性”的任何方面不必被解释为比其它方面优选或具有优势。同样，术语“方面”不要求所有方面都包括所论述的特征、优势或操作模式。

[0175] 本文使用的术语仅是出于描述特定方面的目的，而不旨在限制这些方面。如本文

所使用的,除非上下文明确地指示,否则单数形式的“一”、“一个”和“所述”旨在也包括复数形式。还应当理解的是,当在本文中使用术语“包含”、“由...组成”、“包括”或“含有”时,其指定所陈述的特征、整数、步骤、操作、要素或组件的存在,但是不排除一个或多个其它组件、整数、步骤、操作、要素、组件或其群组的存在或添加。此外,要理解的是,词语“或”与布尔算子“OR”具有相同的意义,即,其涵盖“任一”和“两者”的可能性,并且除非明确地声明,否则不限于“异或”(“XOR”)。还要理解的是,除非明确地声明,否则两个相邻词语之间的符号“/”与“或”具有相同的意义。此外,除非明确地声明,否则诸如“连接到”、“耦合到”或“与……通信”的短语不限于直接连接。

[0176] 在本文中,使用诸如“第一”、“第二”等标记来对要素的任何引用一般来说不限制那些要素的数量或次序。而是,在本文中,使用这些标记可以作为一种在两个或更多个要素或要素的实例之间进行区分的便利方法。因此,对第一要素和第二要素的引用并不意味着只能够使用两个要素,也不意味着第一要素必须以某种方式在第二要素之前。同样,除非另外声明,否则一组要素可以包括一个或多个要素。另外,在说明书或权利要求书中使用的“a、b或c中的至少一个”或“a、b、c中的一个或多个”形式的术语意指“a或b或c或这些元素的任意组合”。例如,该术语可以包括a、或b、或c、或a和b、或a和c、或a和b和c、或2a、或2b、或2c、或2a和b等等。

[0177] 如本文所使用的,术语“确定”包括广泛的多种多样的动作。例如,“确定”可以包括计算、运算、处理、推导、研究、查找(例如,在表、数据库或另一数据结构中查找)、断定等等。此外,“确定”可以包括接收(例如,接收信息)、存取(例如,存取存储器中的数据)等等。此外,“确定”可以包括解析、选定、选择、建立等等。

[0178] 虽然前面的公开内容示出了说明性的方面,但是应当注意的是,在不脱离所附的权利要求书的范围的情况下,可以在本文中进行各种改变和修改。除非明确地声明,否则根据本文所描述的方面的方法权利要求的功能、步骤或动作不需要以特定次序来执行。此外,虽然某元素可以以单数形式来描述或要求,但是除非明确声明限制为单数形式,否则也考虑复数形式。

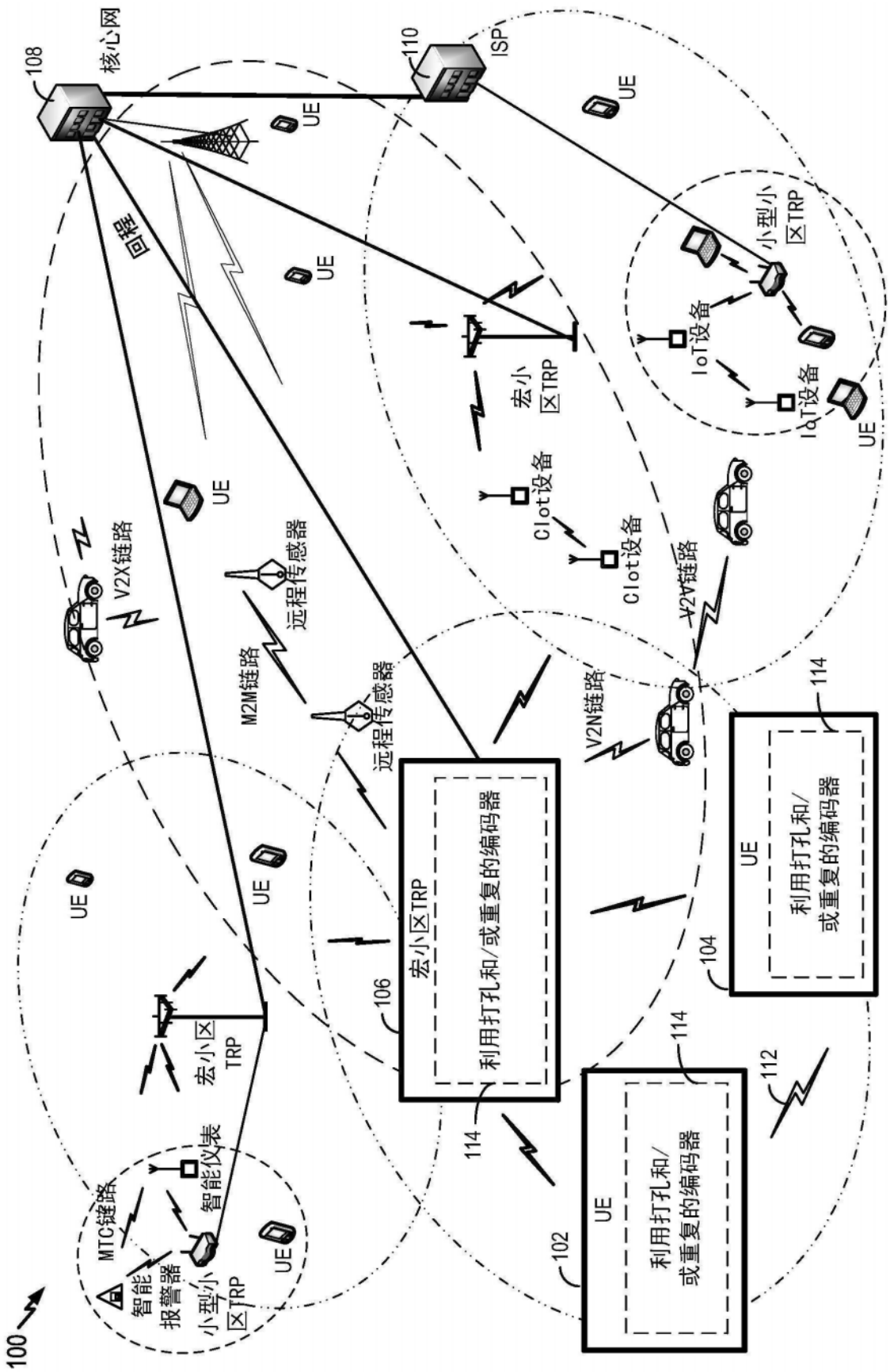

100
102
104
106
108
110
112
114
核心网
ISP
回程
UE
V2X链路
V2V链路
V2N链路
M2M链路
MTC链路
远程传感器
宏小区TRP
利用打孔和/或重复的编码器
宏小区TRP
小型小区TRP
IoT设备
智能仪表
智能报警器

图1

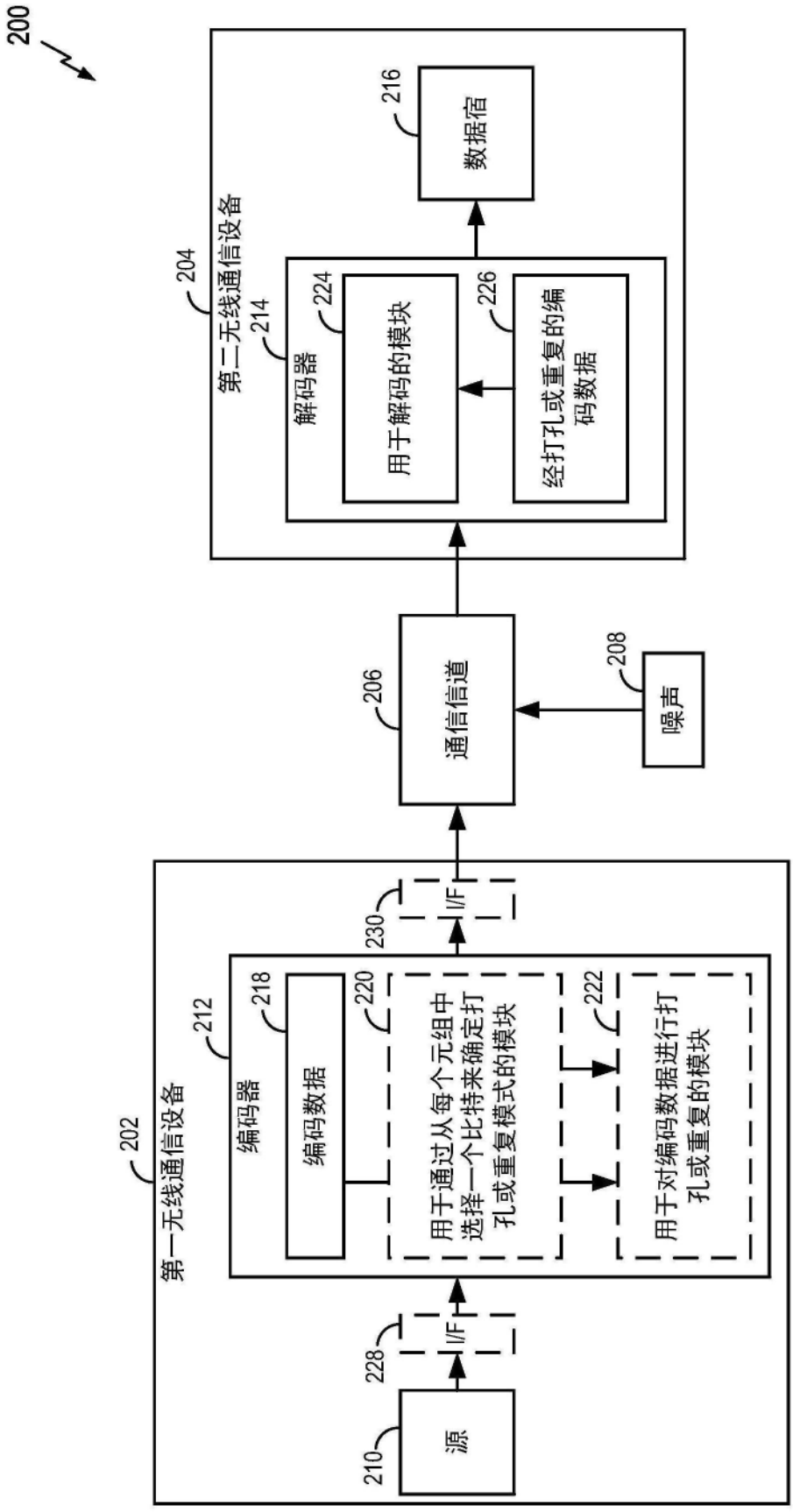

200
第二无线通信设备
204
解码器
214
用于解码的模块
224
经打孔或重复的编码数据
226
数据宿
216
通信信道
206
噪声
208
第一无线通信设备
202
编码器
212
编码数据
218
用于通过从每个元组中选择一个比特来确定打孔或重复模式的模块
220
用于对编码数据进行打孔或重复的模块
222
I/F
230
I/F
228
源
210

图2

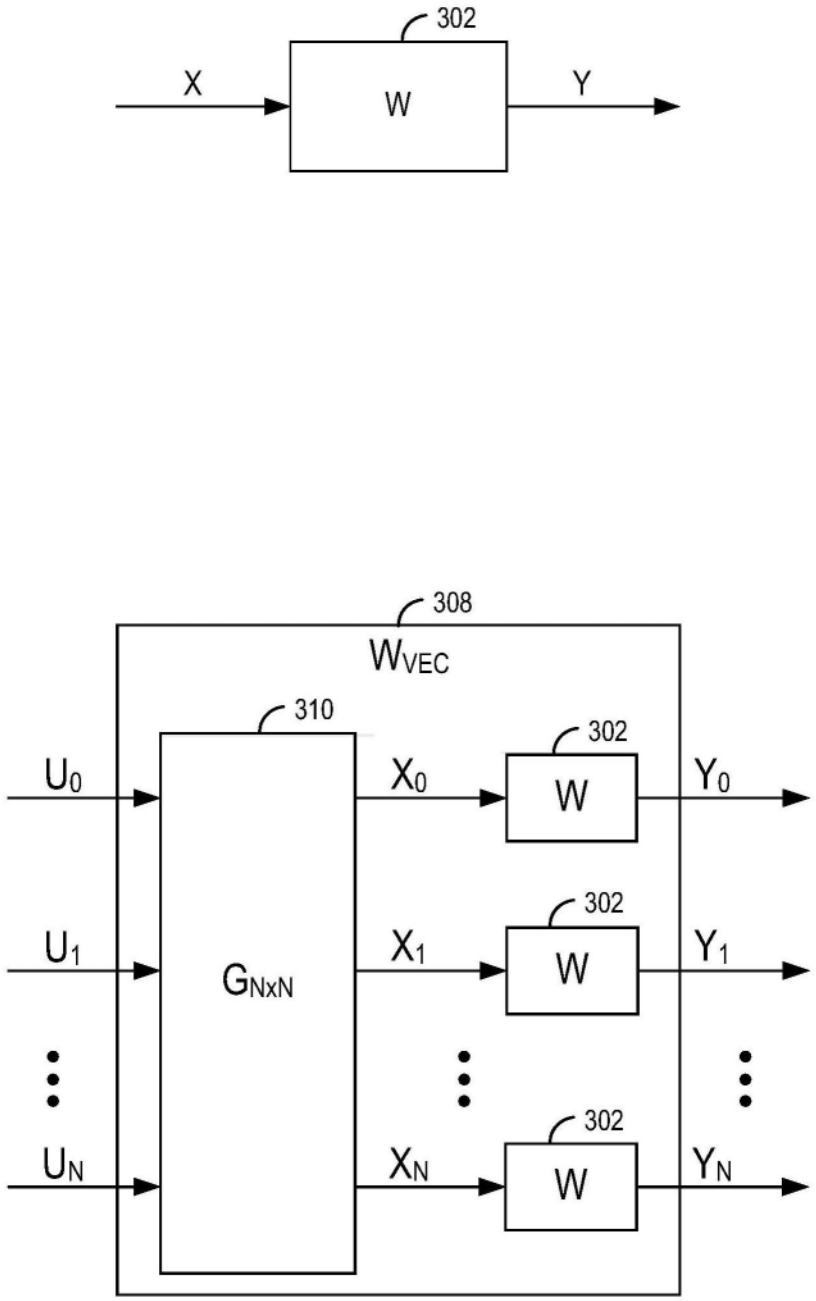

302
X
W
Y
308
WVEC
310
U0
X0
302
W
Y0
U1
X1
GNxN
302
W
Y1
UN
XN
302
W
YN

图3

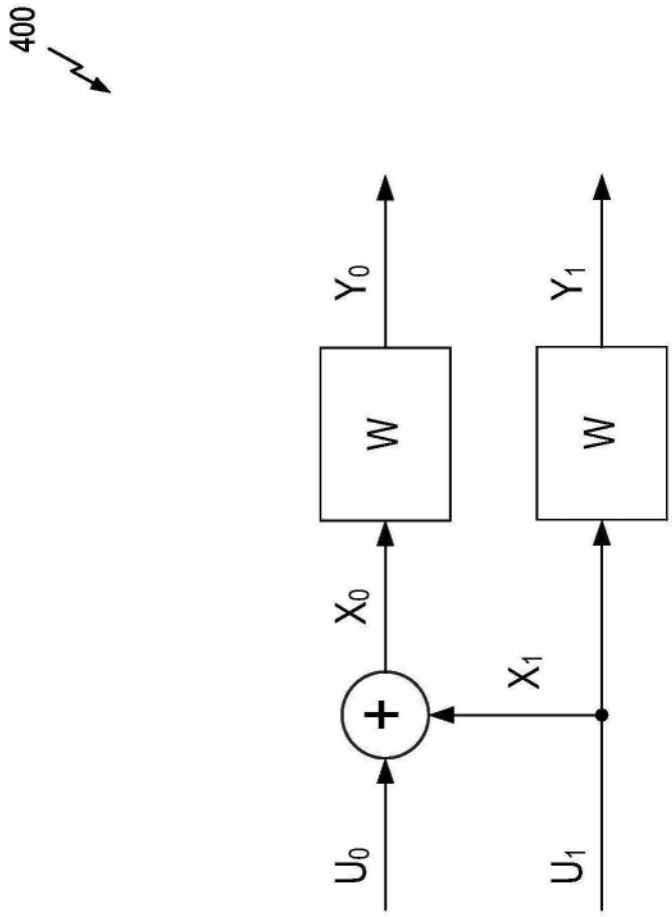


图4

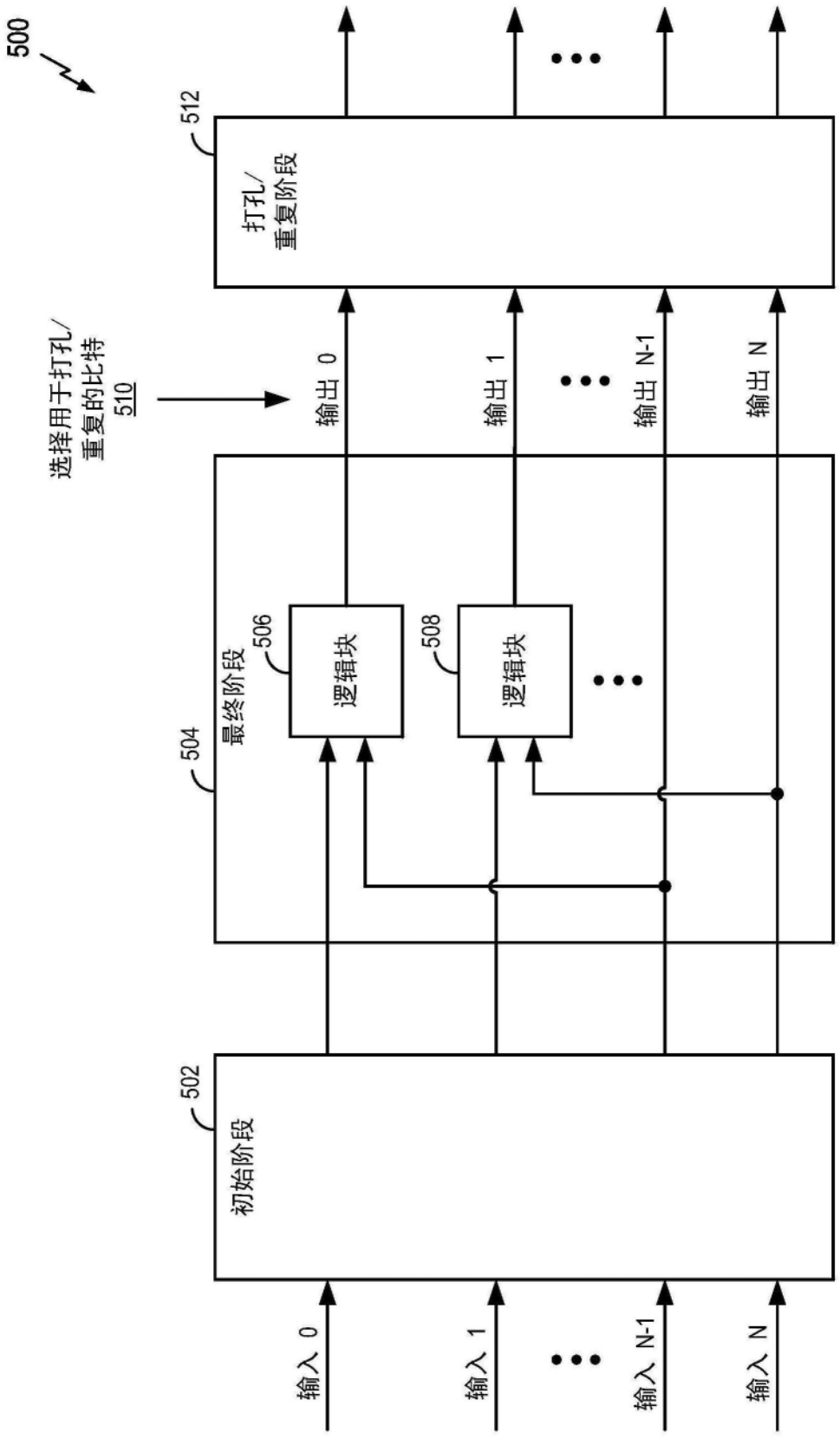

500
512
打孔/
重复阶段
选择用于打孔/
重复的比特
510
输出 0
输出 1
输出 N-1
输出 N
504
最终阶段
506
逻辑块
508
逻辑块
502
初始阶段
输入 0
输入 1
输入 N-1
输入 N

图5

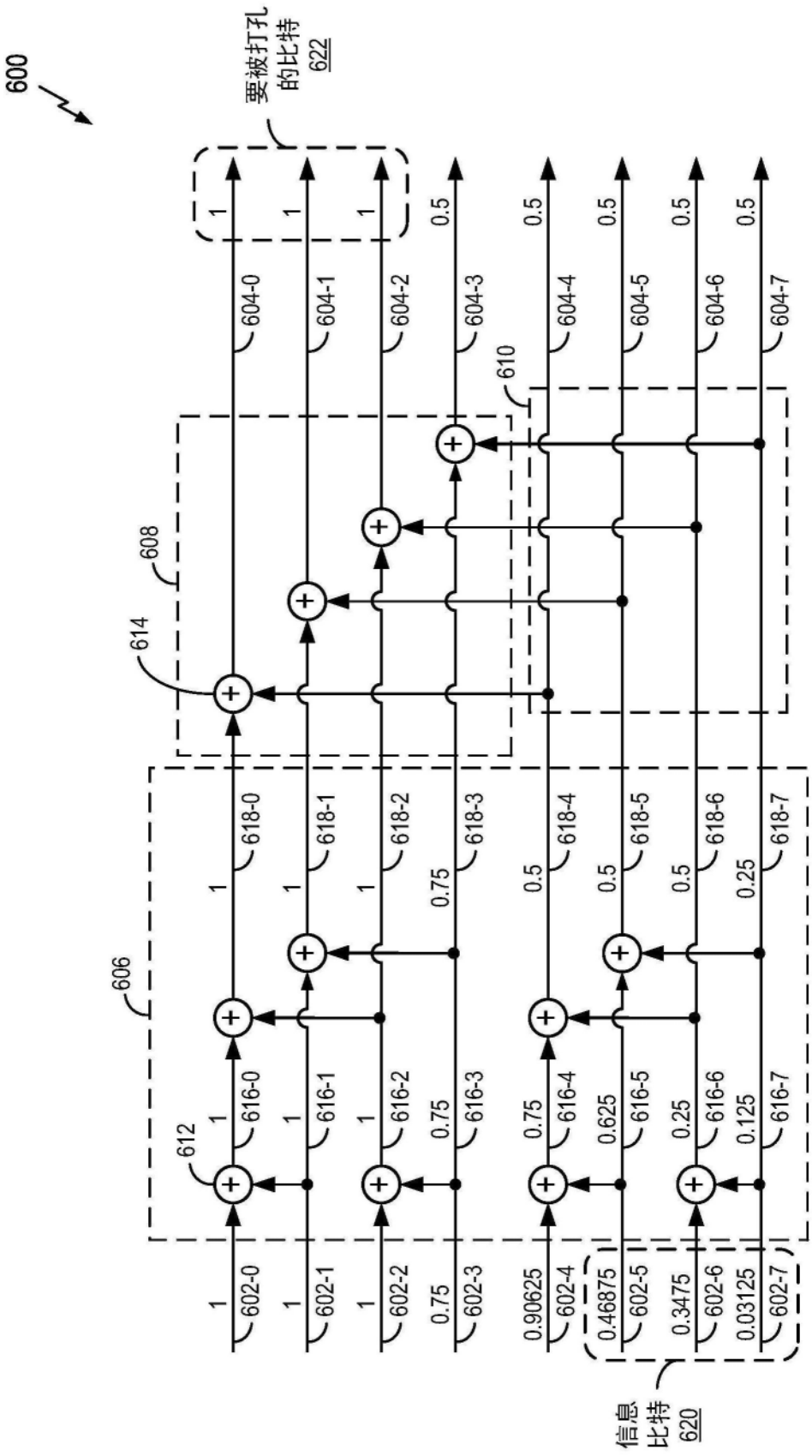

600
要被打孔的比特 622
604-0
604-1
604-2
604-3
604-4
604-5
604-6
604-7
610
608
614
606
618-0
618-1
618-2
618-3
618-4
618-5
618-6
618-7
612
616-0
616-1
616-2
616-3
616-4
616-5
616-6
616-7
602-0
602-1
602-2
602-3
602-4
602-5
602-6
602-7
信息比特 620

图6

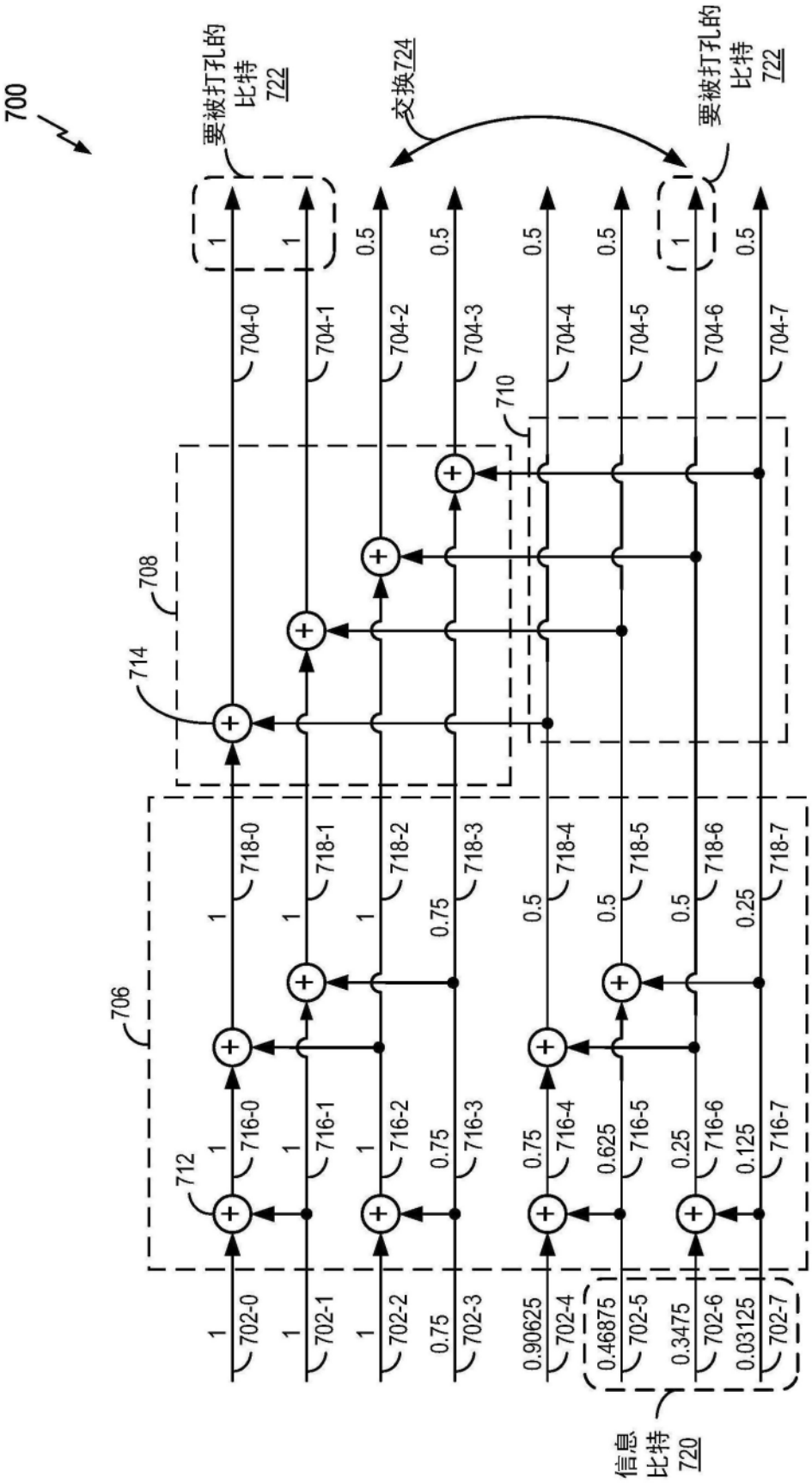

700
要被打孔的比特 722
交换724
要被打孔的比特 722
704-0
704-1
704-2
704-3
704-4
704-5
704-6
704-7
710
708
714
706
718-0
718-1
718-2
718-3
718-4
718-5
718-6
718-7
712
716-0
716-1
716-2
716-3
716-4
716-5
716-6
716-7
702-0
702-1
702-2
702-3
702-4
702-5
702-6
702-7
0.90625
0.46875
0.3475
0.03125
信息比特 720

图7

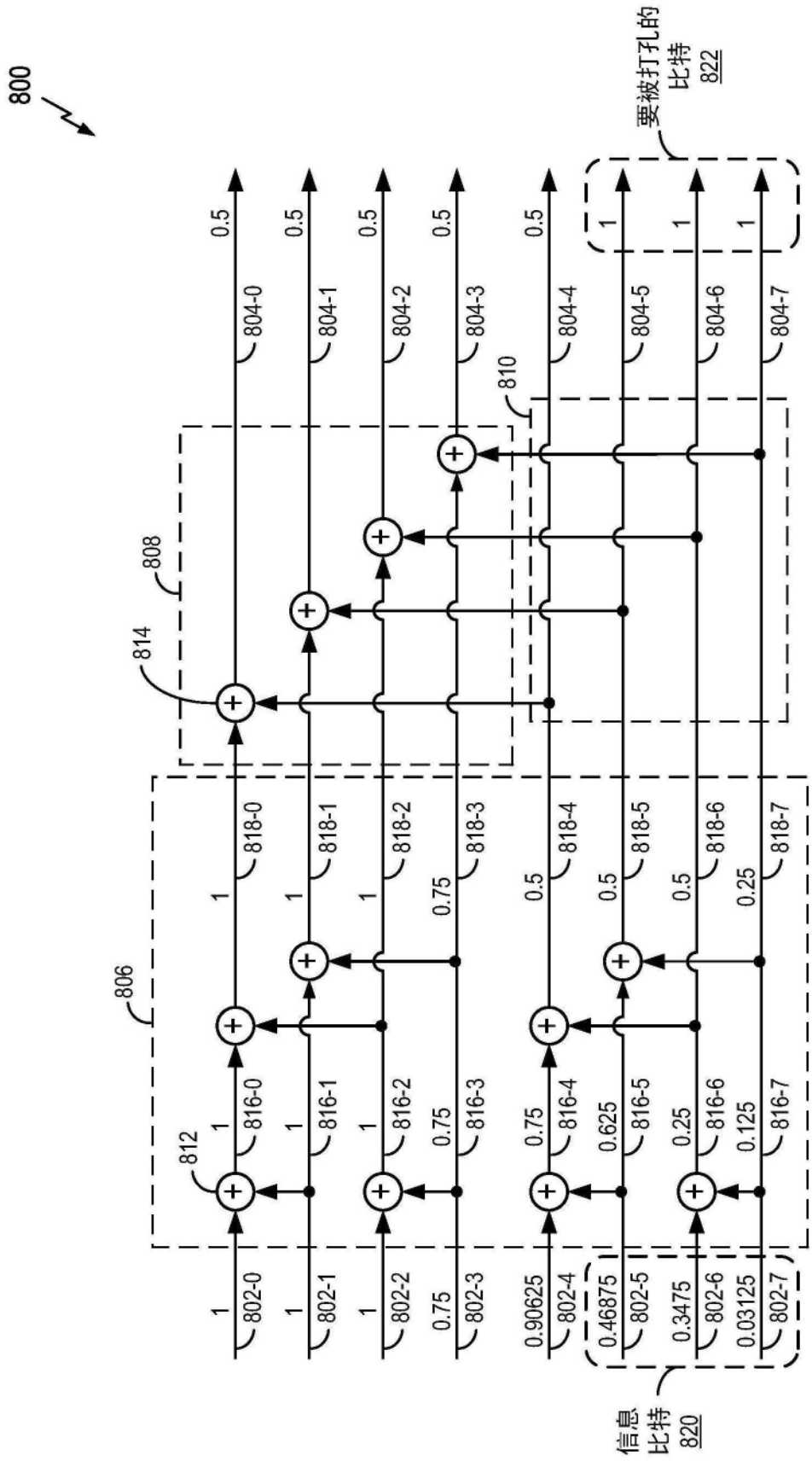

800
要被打孔的比特 822
信息比特 820
802-0
802-1
802-2
802-3
802-4
802-5
802-6
802-7
804-0
804-1
804-2
804-3
804-4
804-5
804-6
804-7
806
808
810
812
814
816-0
816-1
816-2
816-3
816-4
816-5
816-6
816-7
818-0
818-1
818-2
818-3
818-4
818-5
818-6
818-7

图8

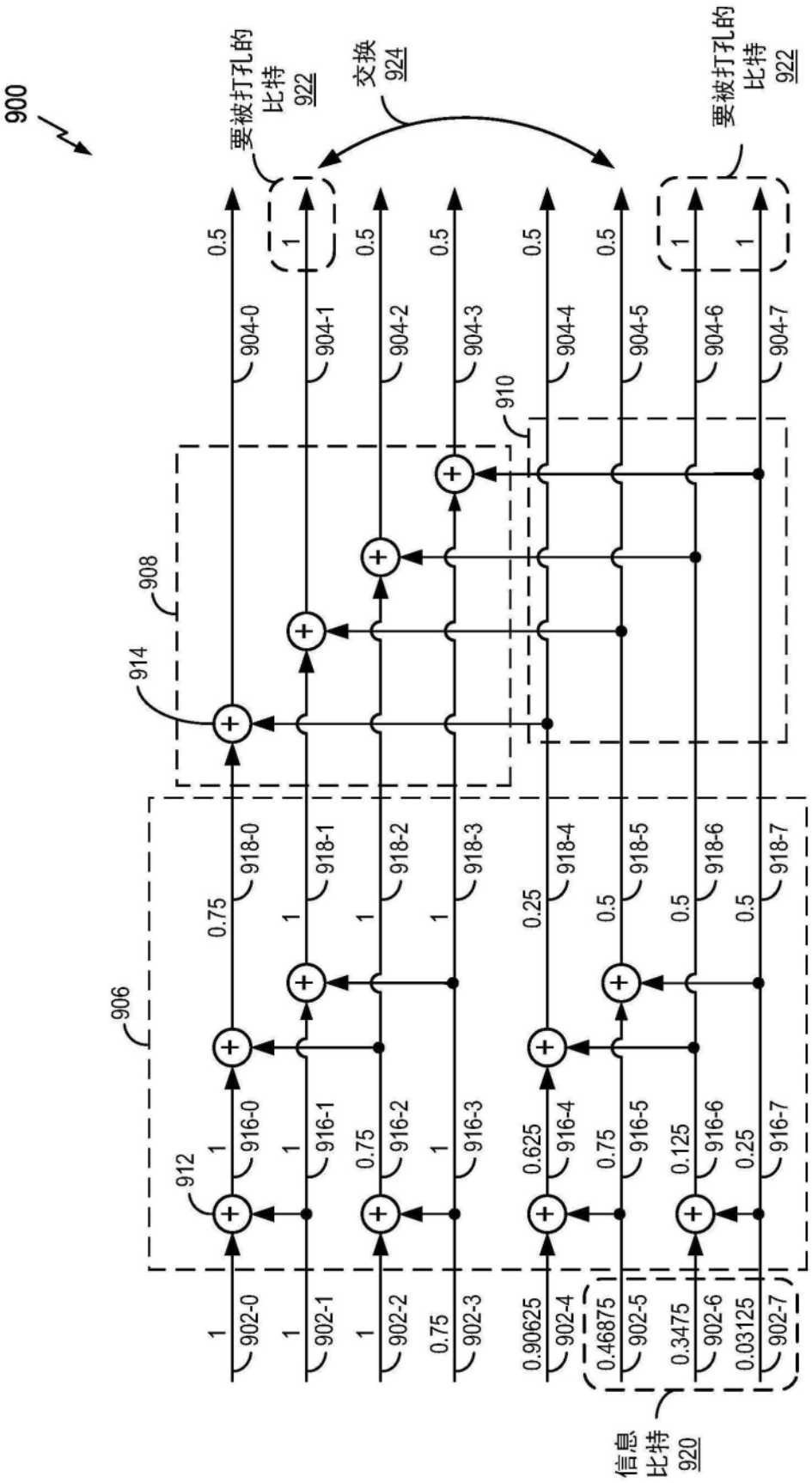

900
要被打孔的比特 922
交换 924
要被打孔的比特 922
904-0
904-1
904-2
904-3
904-4
904-5
904-6
904-7
910
908
914
906
912
918-0
918-1
918-2
918-3
918-4
918-5
918-6
918-7
916-0
916-1
916-2
916-3
916-4
916-5
916-6
916-7
902-0
902-1
902-2
902-3
902-4
902-5
902-6
902-7
信息比特 920

图9

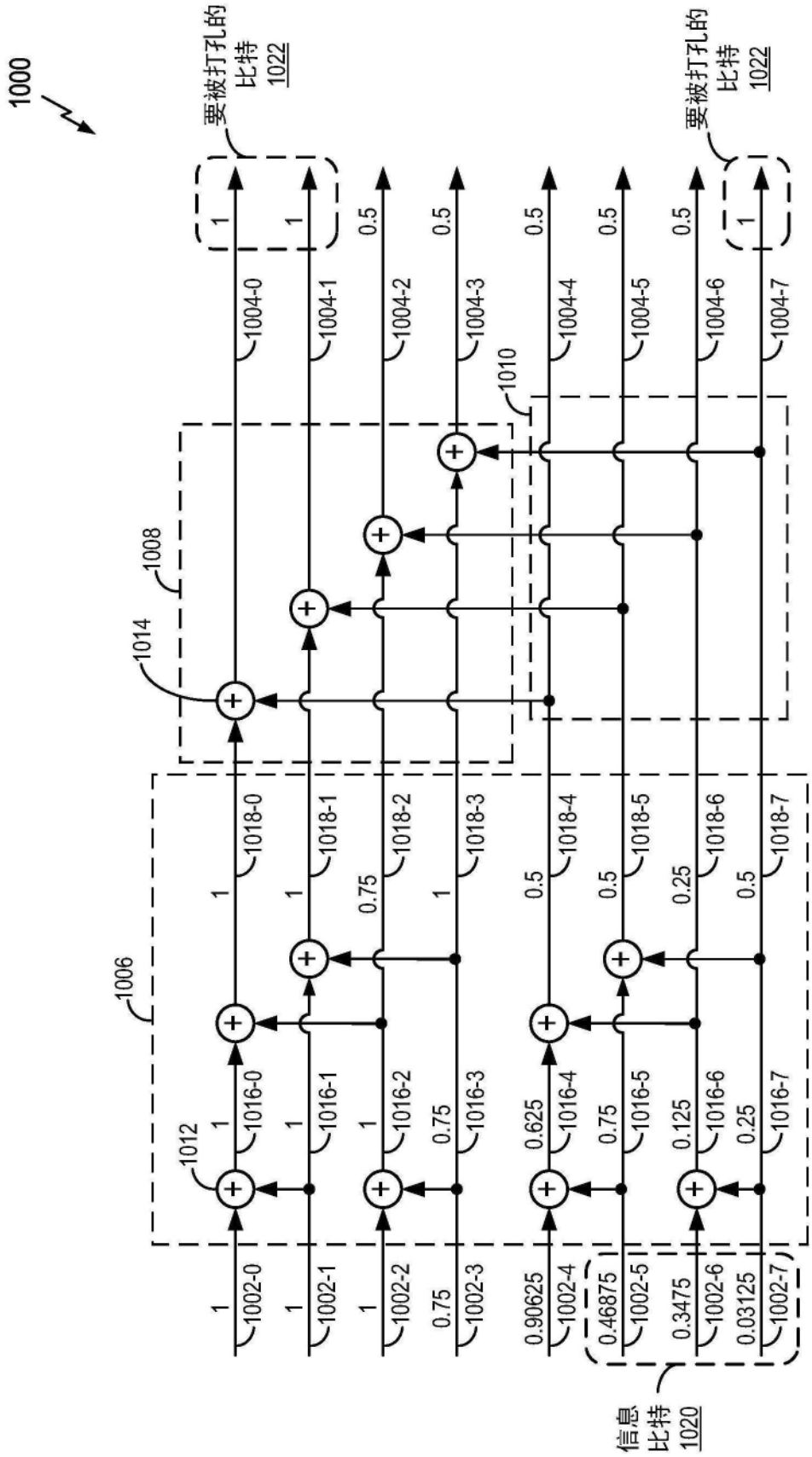

1000
要被打孔的比特 1022
要被打孔的比特 1022
1004-0
1004-1
1004-2
1004-3
1004-4
1004-5
1004-6
1004-7
1010
1008
1014
1006
1012
1018-0
1018-1
1018-2
1018-3
1018-4
1018-5
1018-6
1018-7
1016-0
1016-1
1016-2
1016-3
1016-4
1016-5
1016-6
1016-7
1002-0
1002-1
1002-2
1002-3
1002-4
1002-5
1002-6
1002-7
信息比特 1020

图10

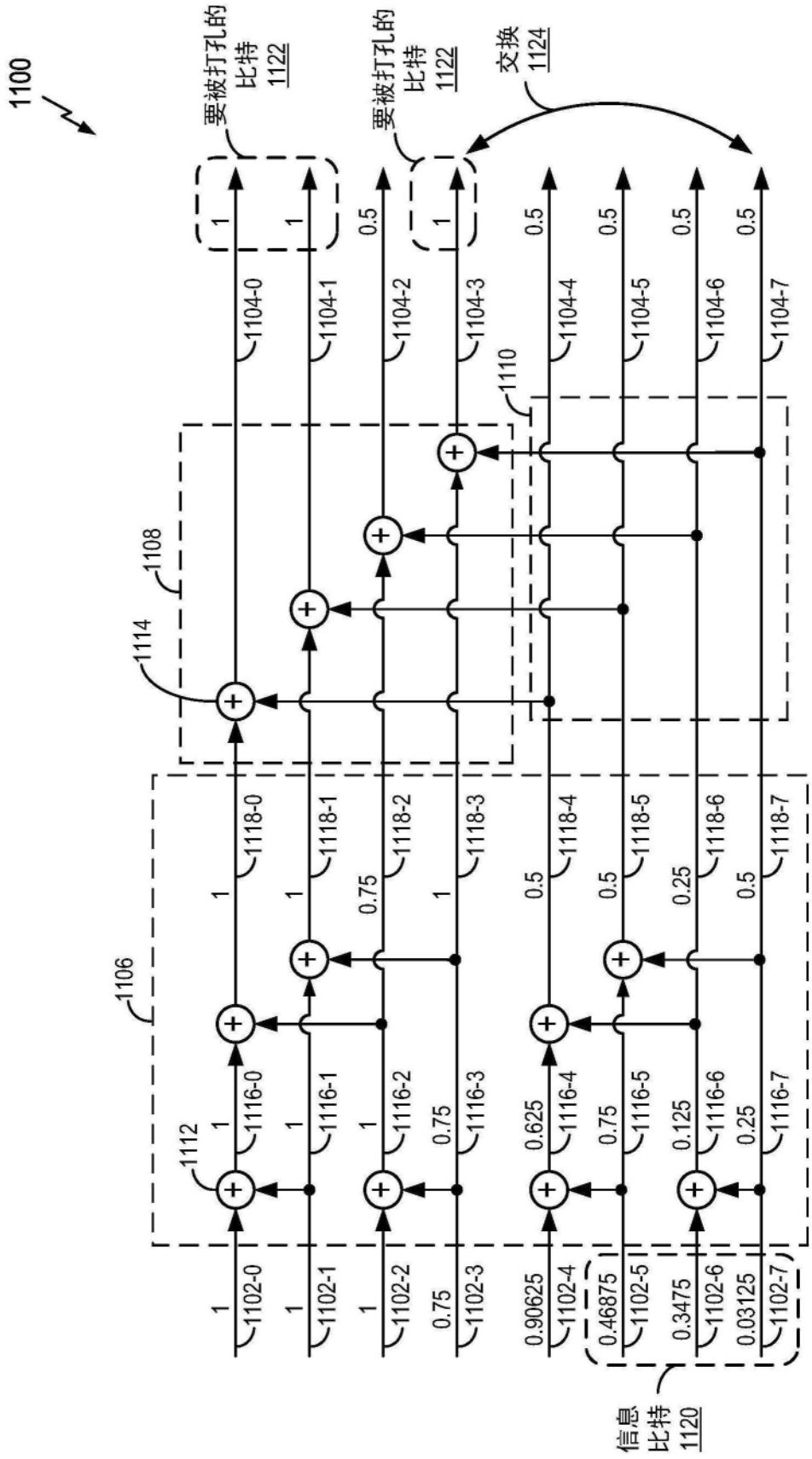

1100
要被打孔的比特 1122
要被打孔的比特 1122
交换 1124
1104-0
1104-1
1104-2
1104-3
1104-4
1104-5
1104-6
1104-7
1110
1108
1114
1106
1118-0
1118-1
1118-2
1118-3
1118-4
1118-5
1118-6
1118-7
1112
1116-0
1116-1
1116-2
1116-3
1116-4
1116-5
1116-6
1116-7
1102-0
1102-1
1102-2
1102-3
1102-4
1102-5
1102-6
1102-7
信息比特 1120

图11

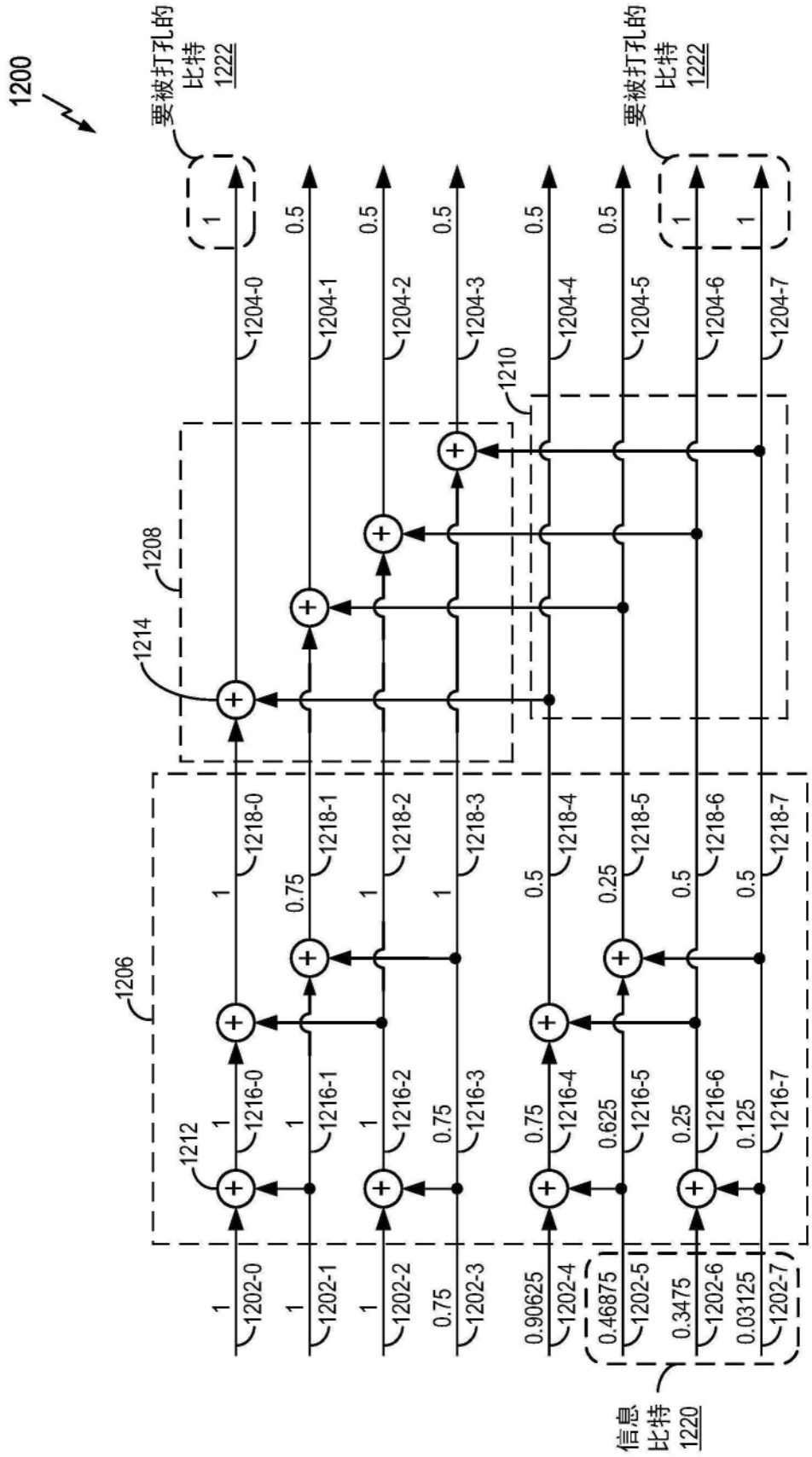

1200
要被打孔的比特 1222
要被打孔的比特 1222
1204-0
1204-1
1204-2
1204-3
1204-4
1204-5
1204-6
1204-7
1210
1208
1214
1206
1212
1218-0
1218-1
1218-2
1218-3
1218-4
1218-5
1218-6
1218-7
1216-0
1216-1
1216-2
1216-3
1216-4
1216-5
1216-6
1216-7
1202-0
1202-1
1202-2
1202-3
1202-4
1202-5
1202-6
1202-7
信息比特 1220

图12

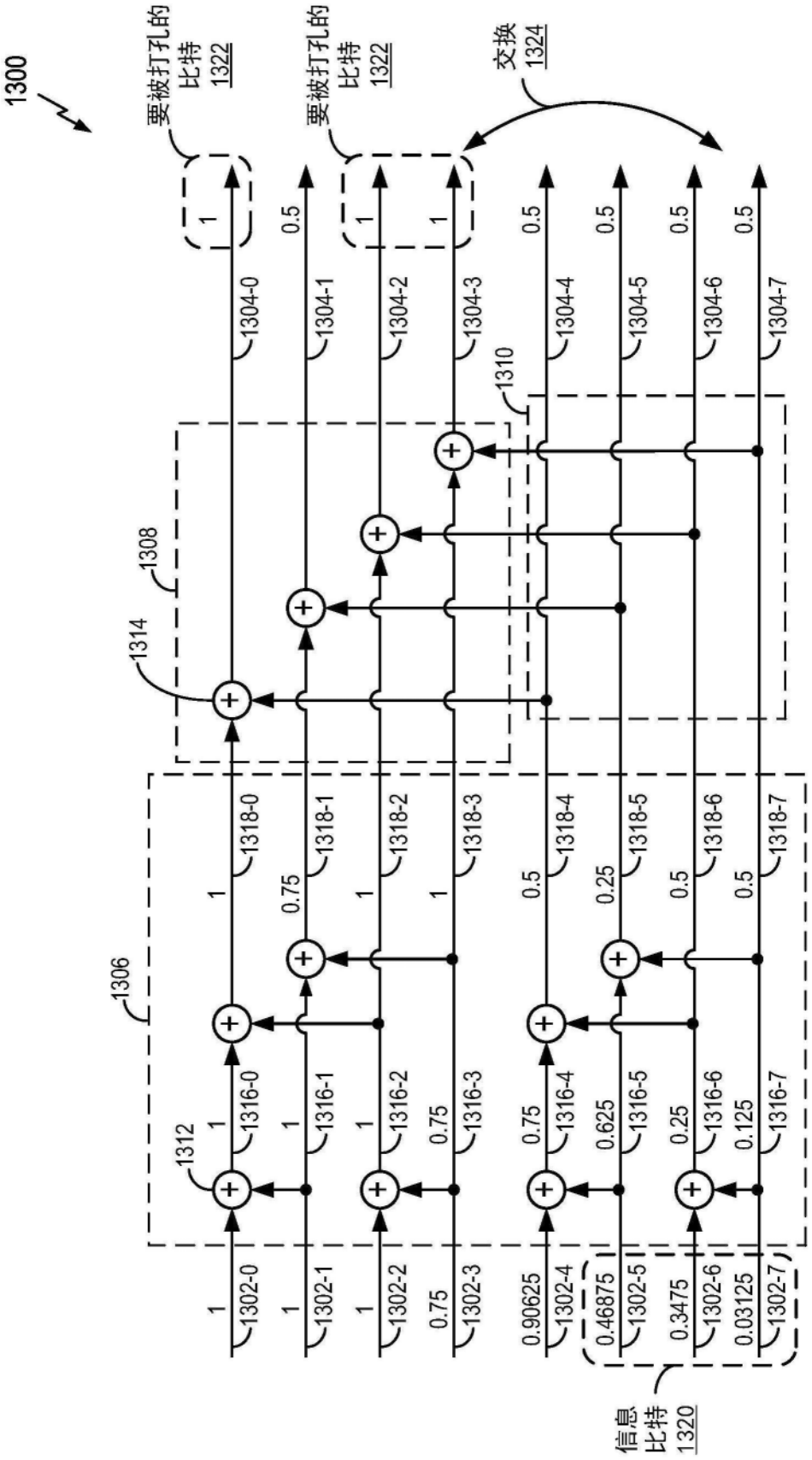

1300
要被打孔的比特 1322
要被打孔的比特 1322
交换 1324
1304-0
1304-1
1304-2
1304-3
1304-4
1304-5
1304-6
1304-7
1310
1308
1314
1306
1312
1318-0
1318-1
1318-2
1318-3
1318-4
1318-5
1318-6
1318-7
1316-0
1316-1
1316-2
1316-3
1316-4
1316-5
1316-6
1316-7
1302-0
1302-1
1302-2
1302-3
1302-4
1302-5
1302-6
1302-7
信息比特 1320

图13

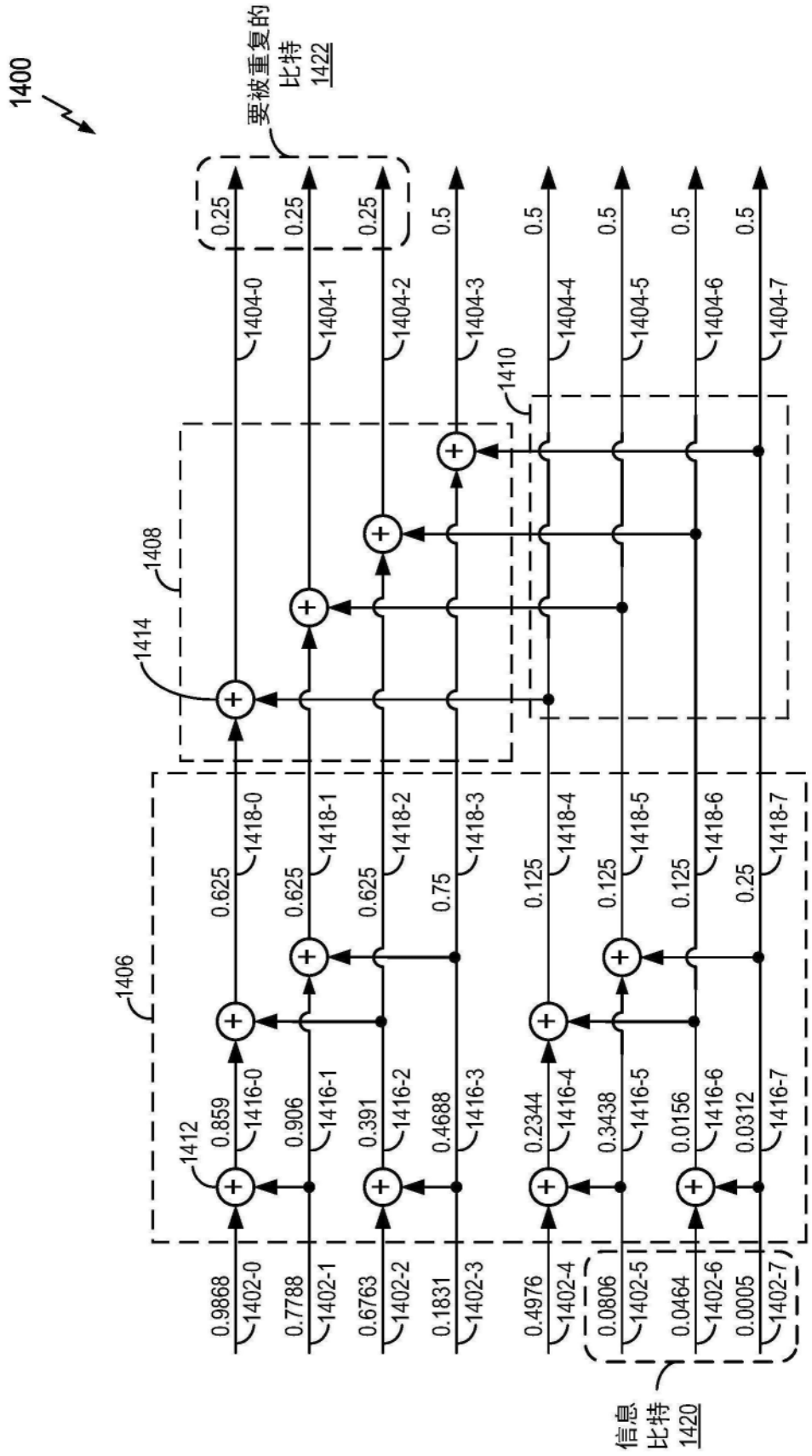

1400
要被重复的比特 1422
0.25
0.25
0.25
0.5
0.5
0.5
0.5
0.5
1404-0
1404-1
1404-2
1404-3
1404-4
1404-5
1404-6
1404-7
1410
1408
1414
1406
0.625
0.625
0.625
0.75
0.125
0.125
0.125
0.25
1418-0
1418-1
1418-2
1418-3
1418-4
1418-5
1418-6
1418-7
1412
0.859
0.906
0.391
0.4688
0.2344
0.3438
0.0156
0.0312
1416-0
1416-1
1416-2
1416-3
1416-4
1416-5
1416-6
1416-7
0.9868
0.7788
0.6763
0.1831
0.4976
0.0806
0.0464
0.0005
1402-0
1402-1
1402-2
1402-3
1402-4
1402-5
1402-6
1402-7
信息比特 1420

图14

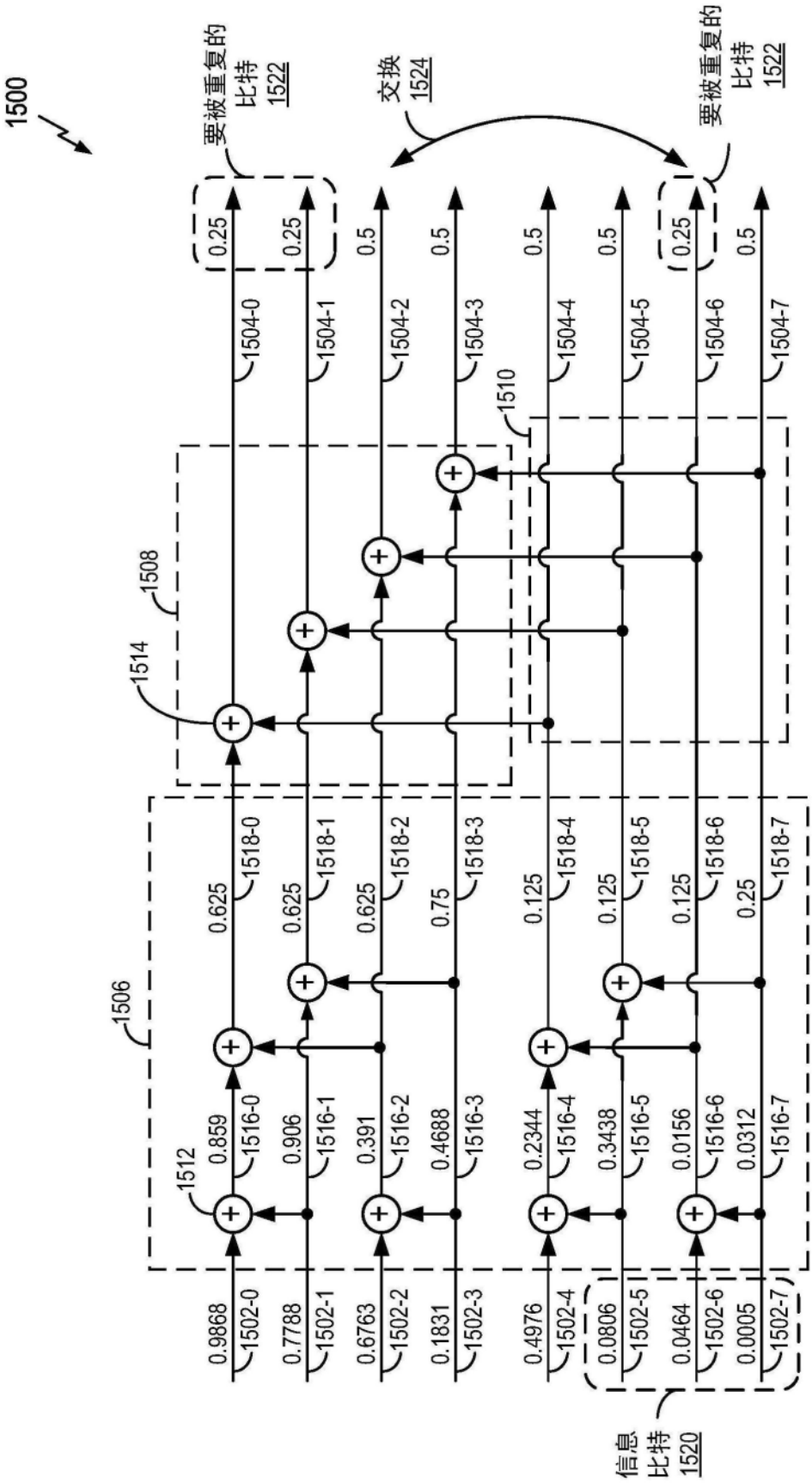

1500
要被重复的比特 1522
交换 1524
要被重复的比特 1522
0.25
0.25
0.5
0.5
0.5
0.5
0.25
0.5
1504-0
1504-1
1504-2
1504-3
1504-4
1504-5
1504-6
1504-7
1510
1508
1514
1506
1512
0.625
0.625
0.625
0.75
0.125
0.125
0.125
0.25
1518-0
1518-1
1518-2
1518-3
1518-4
1518-5
1518-6
1518-7
0.859
0.906
0.391
0.4688
0.2344
0.3438
0.0156
0.0312
1516-0
1516-1
1516-2
1516-3
1516-4
1516-5
1516-6
1516-7
0.9868
0.7788
0.6763
0.1831
0.4976
0.0806
0.0464
0.0005
1502-0
1502-1
1502-2
1502-3
1502-4
1502-5
1502-6
1502-7
信息比特 1520

图15

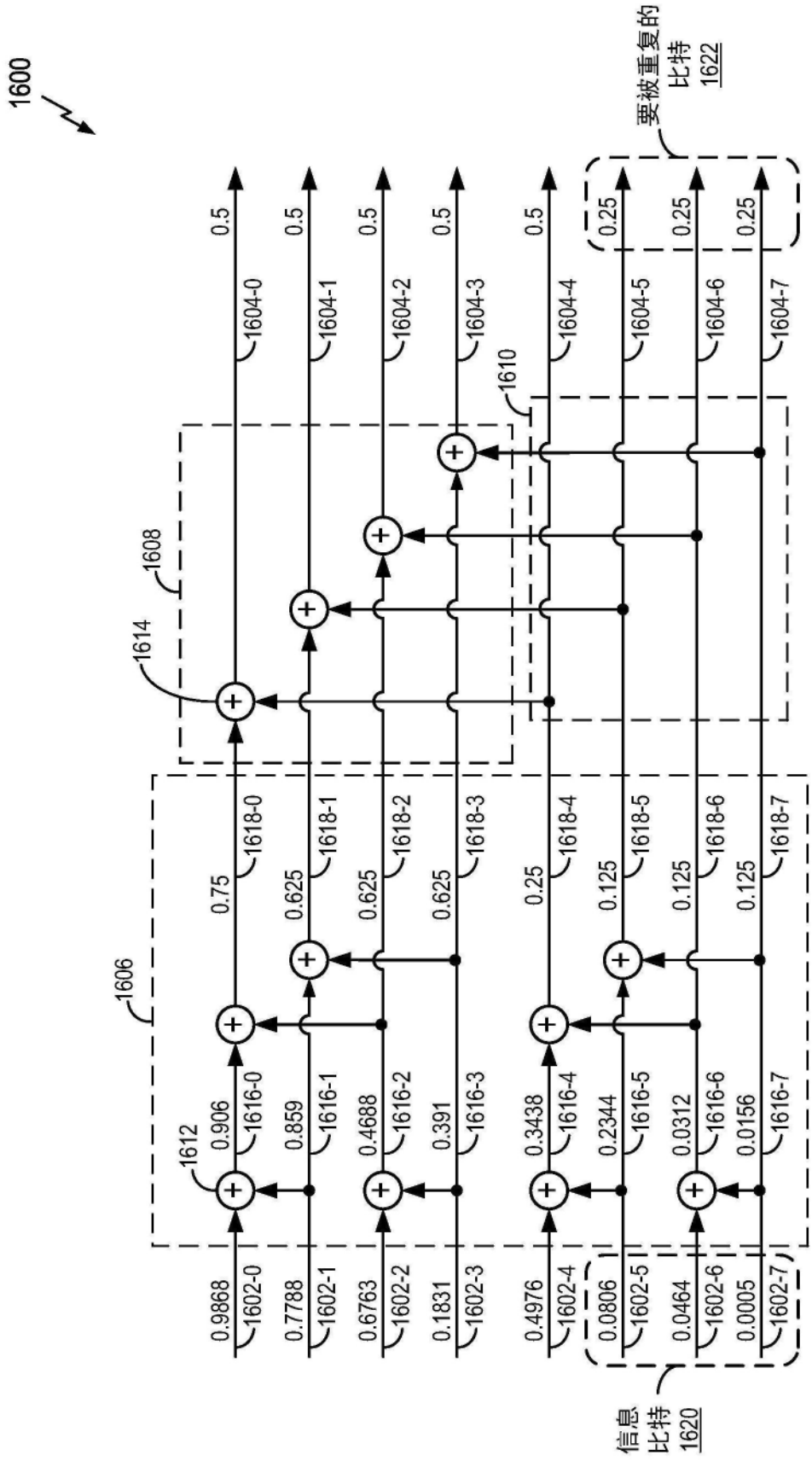

1600
要被重复的比特 1622
0.5
1604-0
1604-1
1604-2
1604-3
1604-4
0.25
1604-5
1604-6
1604-7
1610
1608
1614
1606
0.75
0.625
0.25
0.125
1618-0
1618-1
1618-2
1618-3
1618-4
1618-5
1618-6
1618-7
1612
0.906
0.859
0.4688
0.391
0.3438
0.2344
0.0312
0.0156
1616-0
1616-1
1616-2
1616-3
1616-4
1616-5
1616-6
1616-7
0.9868
0.7788
0.6763
0.1831
0.4976
0.0806
0.0464
0.0005
1602-0
1602-1
1602-2
1602-3
1602-4
1602-5
1602-6
1602-7
信息比特 1620

图16

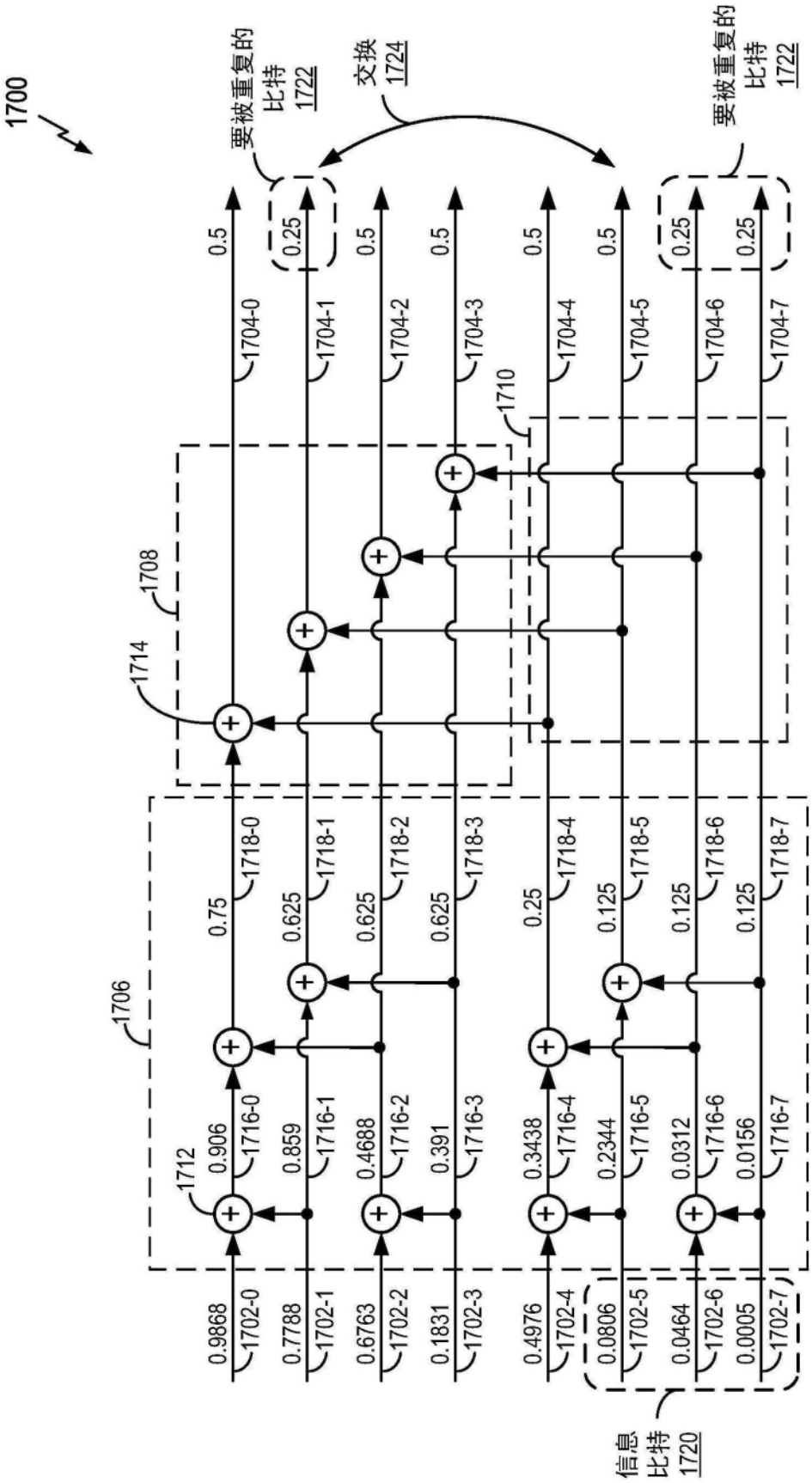

1700
要被重复的比特 1722
交换 1724
要被重复的比特 1722
0.5
0.25
1704-0
1704-1
1704-2
1704-3
1704-4
1704-5
1704-6
1704-7
1710
1708
1714
1706
0.75
0.625
0.25
0.125
1718-0
1718-1
1718-2
1718-3
1718-4
1718-5
1718-6
1718-7
1712
0.906
0.859
0.4688
0.391
0.3438
0.2344
0.0312
0.0156
1716-0
1716-1
1716-2
1716-3
1716-4
1716-5
1716-6
1716-7
0.9868
0.7788
0.6763
0.1831
0.4976
0.0806
0.0464
0.0005
1702-0
1702-1
1702-2
1702-3
1702-4
1702-5
1702-6
1702-7
信息比特 1720

图17

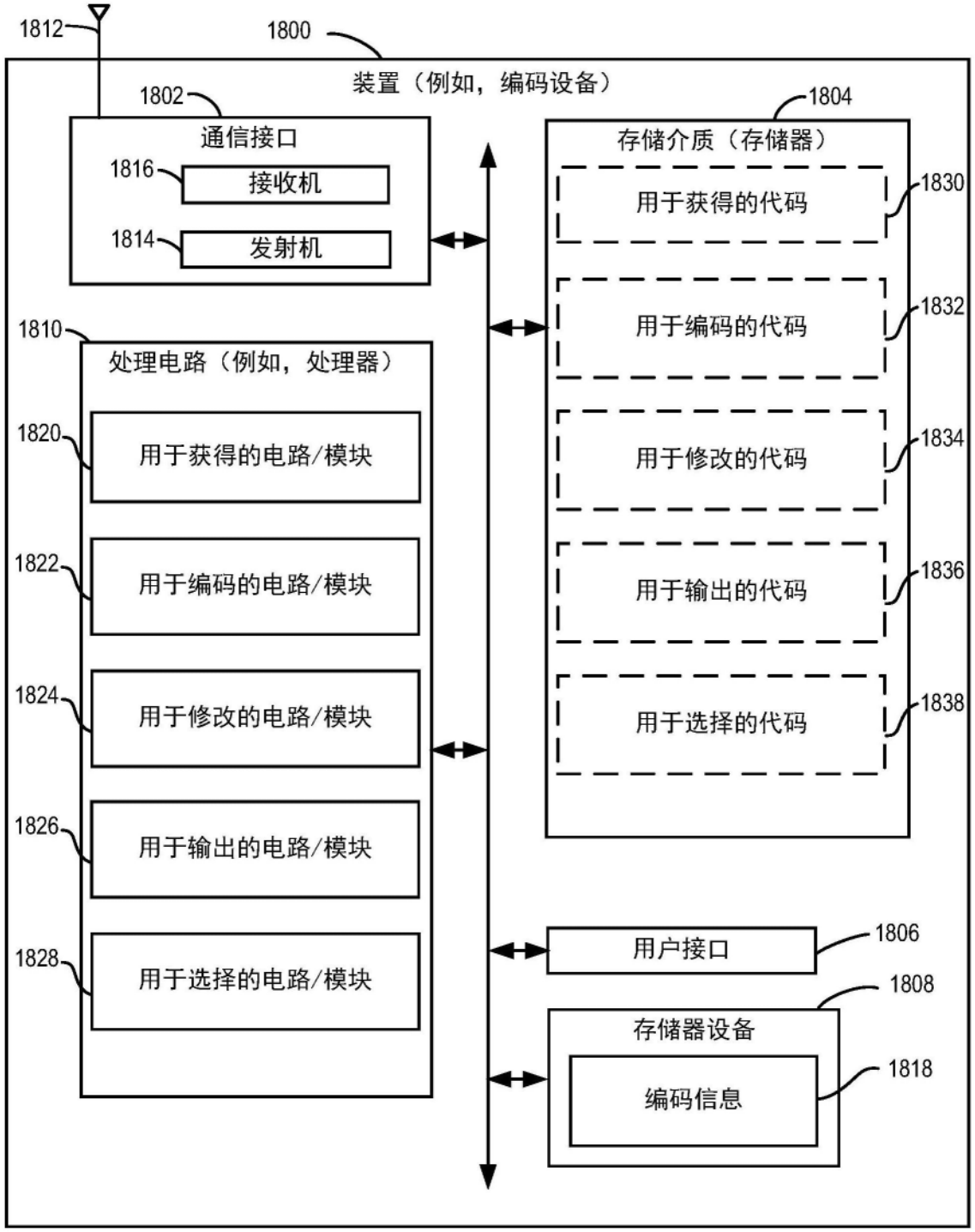

1812
1800
装置（例如，编码设备）
1802
通信接口
1816
接收机
1814
发射机
1804
存储介质（存储器）
用于获得的代码
1830
用于编码的代码
1832
用于修改的代码
1834
用于输出的代码
1836
用于选择的代码
1838
1810
处理电路（例如，处理器）
1820
用于获得的电路/模块
1822
用于编码的电路/模块
1824
用于修改的电路/模块
1826
用于输出的电路/模块
1828
用于选择的电路/模块
用户接口
1806
1808
存储器设备
编码信息
1818

图18

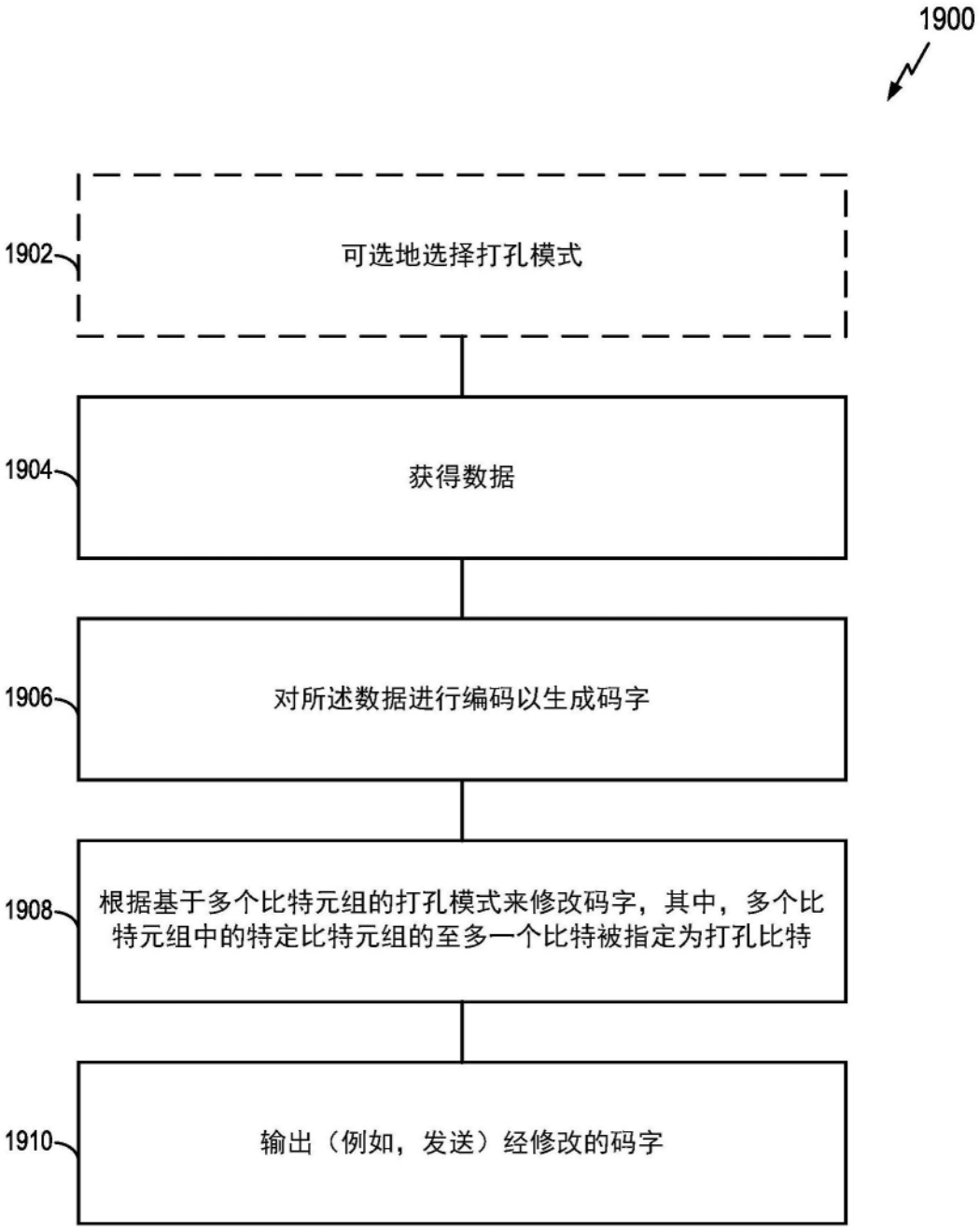

1900
1902
可选地选择打孔模式
1904
获得数据
1906
对所述数据进行编码以生成码字
1908
根据基于多个比特元组的打孔模式来修改码字，其中，多个比特元组中的特定比特元组的至多一个比特被指定为打孔比特
1910
输出（例如，发送）经修改的码字

图19

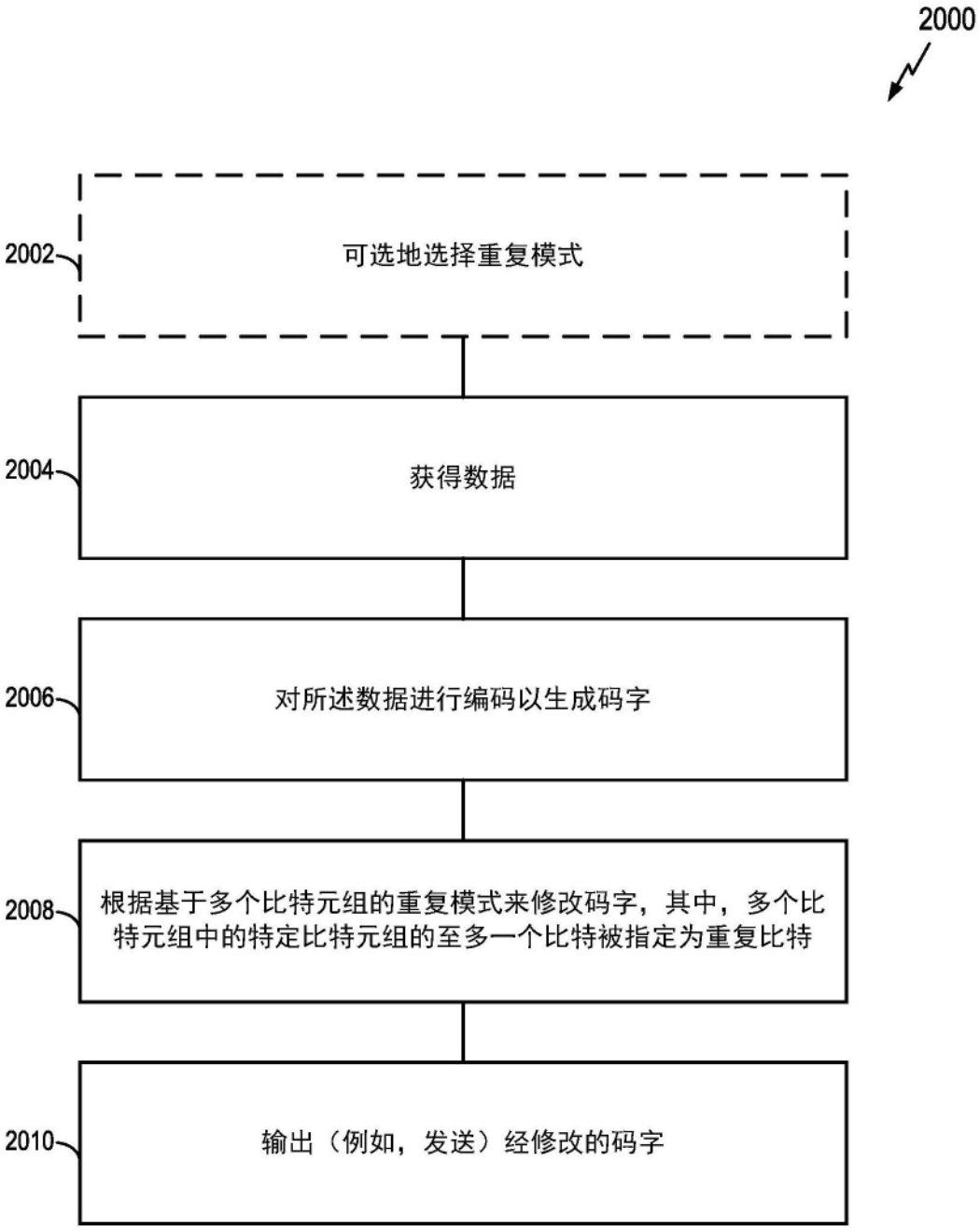

2000
2002
可选地选择重复模式
2004
获得数据
2006
对所述数据进行编码以生成码字
2008
根据基于多个比特元组的重复模式来修改码字，其中，多个比特元组中的特定比特元组的至多一个比特被指定为重复比特
2010
输出（例如，发送）经修改的码字

图20