(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2004-128193
(P2004-128193A)
(43)公開日　平成16年4月22日(2004.4.22)

(51)Int.Cl.[7]	F I		テーマコード（参考）
H01L 27/146	H01L 27/14	A	4M118
H04N 5/335	H04N 5/335	E	5C024
	H04N 5/335	U	

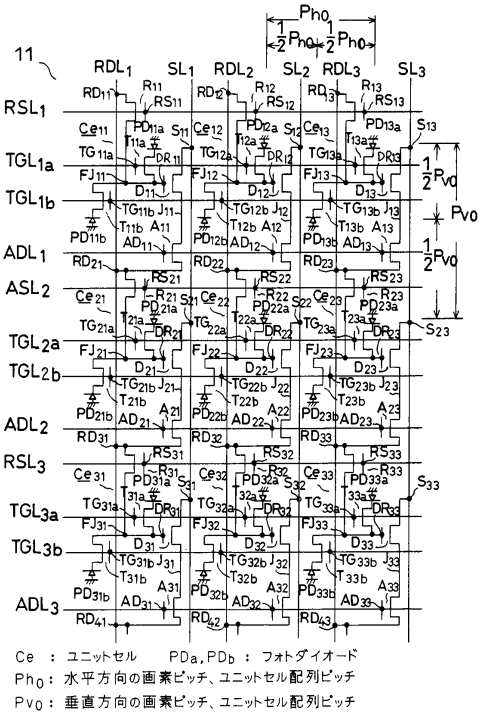
審査請求 未請求　請求項の数 5　OL　（全 16 頁）

(21)出願番号　特願2002-289789(P2002-289789)
(22)出願日　平成14年10月2日(2002.10.2)

(71)出願人　000158150
岩手東芝エレクトロニクス株式会社
岩手県北上市北工業団地６番６号
(71)出願人　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100081732
弁理士　大胡　典夫
(74)代理人　100075683
弁理士　竹花　喜久男
(74)代理人　100084515
弁理士　宇治　弘
(72)発明者　関根　弘一
岩手県北上市北工業団地６番６号　岩手東芝エレクトロニクス株式会社内
最終頁に続く

(54)【発明の名称】ＣＭＯＳイメージセンサ

(57)【要約】
【課題】画素部の素子や配線等の効率的配置により集積度を向上させ、水平、垂直方向の解像度を向上させることができるＣＭＯＳイメージセンサを提供する。
【解決手段】対をなす２つのフォトダイオードＰＤ$_a$，ＰＤ$_b$を有する複数のユニットセルＣｅを、二次元的に水平方向、垂直方向それぞれに配列ピッチＰｈ$_0$，Ｐｖ$_0$で略格子状に配置してなるもので、一方のフォトダイオードＰＤ$_a$を二次元的に水平方向、垂直方向それぞれに画素ピッチＰｈ$_0$，Ｐｖ$_0$で略格子状に配置すると共に、一方のフォトダイオードＰＤ$_a$に対し水平方向、垂直方向共に前記画素ピッチＰｈ$_0$，Ｐｖ$_0$の略半分（Ｐｈ$_0$／２，Ｐｖ$_0$／２）だけ水平方向、垂直方向にずらした状態で他方のフォトダイオードＰＤ$_b$を二次元的に略格子状に配置し、対をなす２つのフォトダイオードＰＤ$_a$，ＰＤ$_b$を斜め方向に隣接させるようにする。
【選択図】　図１



【特許請求の範囲】
【請求項１】
対をなす２つの画素を有する複数のユニットセルを、二次元的に水平方向、垂直方向それぞれに所定ピッチで略格子状に配置してなるＣＭＯＳイメージセンサにおいて、前記画素の一方の画素を二次元的に水平方向、垂直方向それぞれに所定画素ピッチで略格子状に配置すると共に、前記一方の画素に対し水平方向、垂直方向共に前記画素ピッチの略半分だけ水平方向、垂直方向にずらした状態で前記画素の他方の画素を二次元的に略格子状に配置し、対をなす２つの前記画素を斜め方向に隣接させるようにしたことを特徴とするＣＭＯＳイメージセンサ。
【請求項２】
対をなす２つの前記画素の信号の読み出しを、それぞれに対応して設けた転送トランジスタを切替動作させて行うようにしたことを特徴とする請求項１記載のＣＭＯＳイメージセンサ。
【請求項３】
前記ユニットセルの斜め方向に隣接する対をなす前記画素間で、該ユニットセルに設けられたフローティングジャンクション、リセットドレイン領域、リセットトランジスタ、駆動トランジスタ、アドレストランジスタ、駆動トランジスタとアドレストランジスタ間のジャンクション領域及び駆動トランジスタと信号出力線との接続部の拡散領域を共通に使用して、対をなす前記画素の一方の画素でなる第１の画素列と、他方の画素でなる第２の画素列の信号の読み出しをそれぞれ独立に行うようにしたことを特徴とする請求項１、請求項２記載のＣＭＯＳイメージセンサ。
【請求項４】
垂直方向に隣接する２つの前記ユニットセルの片方のユニットセルに設けられた一方の前記画素の読み出しを行うための転送トランジスタのゲートと、他方のユニットセルに設けられた他方の前記画素の読み出しを行うための転送トランジスタのゲートとを接続すると共に、２つの前記ユニットセルに対応して信号出力線をそれぞれ設け、かつ各信号出力線と対応する前記ユニットセルの駆動トランジスタとを拡散領域で接続して、２つの前記ユニットセルに対応する各信号出力線から同時に前記画素の信号の読み出しを行うようにしたことを特徴とする請求項１、請求項２記載のＣＭＯＳイメージセンサ。
【請求項５】
垂直方向に隣接する２つの前記ユニットセルの片方のユニットセルに設けられたアドレストランジスタのゲートと、他方のユニットセルに設けられたリセットトランジスタのゲートとを接続し、片方のユニットセルに設けられた前記画素からの信号の読み出しを行っている間に、次に読み出す他方のユニットセルに設けられたフローティングジャンクションをリセットすることを可能にしたことを特徴とする請求項１、請求項２記載のＣＭＯＳイメージセンサ。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、例えばディジタルカメラやモバイル機器等のカメラシステムの固体撮像装置に好適する１ユニットセルを２つの画素で構成するＣＭＯＳイメージセンサに関する。
【０００２】
【従来の技術】
周知の通り、ＣＭＯＳイメージセンサは、半導体装置として多用されているＣＭＯＳ技術によって製造でき、低消費電力で小型化が可能で、信号処理部等の周辺回路を共に１つのチップ上に構成することが可能であることから、従来画像入力デバイスとして用いられていたＣＣＤに代わるものとして注目されている。
【０００３】
以下、こうしたＣＭＯＳイメージセンサを、図７の概略を示す構成図及び図８の要部の回路図を参照して説明する。図７及び図８において、ＣＭＯＳイメージセンサ１は、１つの

ユニットセルＣｅを２つのフォトダイオードＰＤ$_a$，ＰＤ$_b$でなる画素２と画素アンプ３で構成し、さらに複数のユニットセルＣｅを二次元的に水平方向、垂直方向にそれぞれ所定の配列ピッチＰｈ，２Ｐｖで略格子状に配置し、複数の画素列を設けて画素部４を構成し、また画素部４の周辺部にタイミング発生回路５と、垂直ライン走査回路６、ノイズキャンセル回路７、さらに水平ライン走査回路８、出力アンプ９を有する読み出し部１０を配置したものとなっている。

【０００４】

また、画素部４は、図８に要部の回路図を示すように、１つのユニットセルＣｅが、対をなす２つのフォトダイオードＰＤ$_a$，ＰＤ$_b$と、２つのフォトダイオードＰＤ$_a$，ＰＤ$_b$に対応する２つの転送トランジスタＴ$_a$，Ｔ$_b$を有し、さらに、リセットトランジスタＲ、駆動トランジスタＤ、アドレストランジスタＡを１つずつ有する構成となっている。そして、画素部４の隣り合う画素列の２ラインは、水平方向に配列されたユニットセルＣｅの一方のフォトダイオードＰＤ$_a$で１ラインを形成し、他方のフォトダイオードＰＤ$_b$で残りの１ラインを形成している。なお、フォトダイオードＰＤ$_a$，ＰＤ$_b$の水平方向及び垂直方向の配列ピッチ、すなわち画素ピッチは、それぞれＰｈ，Ｐｖの所定のピッチで、画素２の配列は略格子状となっている。

【０００５】

また、複数のユニットセルＣｅ$_{11}$，Ｃｅ$_{12}$，……，Ｃｅ$_{21}$，Ｃｅ$_{22}$，……，……は、各対応する部位を転送配線ＴＧＬ$_{1a}$，ＴＧＬ$_{1b}$，ＴＧＬ$_{2a}$，ＴＧＬ$_{2b}$，……、リセット配線ＲＳＬ$_1$，ＲＳＬ$_2$，……、アドレス配線ＡＤＬ$_1$，ＡＤＬ$_2$，……、リセットドレイン電圧線ＲＤＬ$_1$，ＲＤＬ$_2$，……、信号出力線ＳＬ$_1$，ＳＬ$_2$，……に接続したものとなっている。

【０００６】

さらに、こうしたＣＭＯＳイメージセンサ１の概略の動作は、図示しない光学レンズ系等で画素部４に集光、結像され、各画素２のフォトダイオードＰＤ$_a$，ＰＤ$_b$で光電変換がなされ、それに応じた信号が出力される。これは、先ず、画素部４の画素列の１ライン目を形成するユニットセルＣｅ$_{11}$，Ｃｅ$_{12}$，……のフォトダイオードＰＤ$_{11a}$，ＰＤ$_{12a}$，ＰＤ$_{13a}$，……のうち、例えば、フォトダイオードＰＤ$_{11a}$で生成された信号電荷は、転送トランジスタＴ$_{11a}$のゲートＴＧ$_{11a}$に転送配線ＴＧＬ$_{1a}$を通じて転送パルスを印加し、転送ゲートＴＧ$_{11a}$下にチャネル形成する、すなわち転送ゲートＴＧ$_{11a}$を開くことにより、転送トランジスタＴ$_{11a}$と駆動トランジスタＤ$_{11}$のゲートＤＲ$_{11}$との接合部のフローティングジャンクションＦＪ$_{11}$に転送され蓄積される。

【０００７】

同様にして、各フォトダイオードＰＤ$_{12a}$，ＰＤ$_{13a}$，……で生成された信号電荷も、転送配線ＴＧＬ$_{1a}$を通じて転送パルスが印加されることで、転送トランジスタＴ$_{12a}$，Ｔ$_{13a}$，……のゲートＴＧ$_{12a}$，ＴＧ$_{13a}$，……が開き、フローティングジャンクションＦＪ$_{12}$，ＦＪ$_{13}$，……に転送され蓄積される。

【０００８】

こうした信号電荷の蓄積によって、各フォトダイオードＰＤ$_{11a}$，ＰＤ$_{12a}$，ＰＤ$_{13a}$，……毎に、その受光量に応じた電位が発生し、この電位が各画素２毎の画素信号となる。なお、信号電荷の転送に先立って、フローティングジャンクションＦＪ$_{11}$，ＦＪ$_{12}$，ＦＪ$_{13}$，……は、リセットトランジスタＲ$_{11}$，Ｒ$_{12}$，……のゲートＲＳ$_{11}$，ＲＳ$_{12}$，……にリセット配線ＲＳＬ$_1$を通じてリセットパルスを印加することによって、リセットドレイン領域ＲＤ$_{11}$，ＲＤ$_{12}$，……にリセットドレイン電圧線ＲＤＬ$_1$，ＲＤＬ$_2$，……の電圧が印加され、所定のリセットドレイン電圧にリセットされている。そして、フローティングジャンクションＦＪ$_{11}$，ＦＪ$_{12}$，ＦＪ$_{13}$，……の電圧レベルは、各フォトダイオードＰＤ$_{11a}$，ＰＤ$_{12a}$，ＰＤ$_{13a}$，……からの信号電荷が流入することで変化する。

【０００９】

また、フローティングジャンクションＦＪ$_{11}$，ＦＪ$_{12}$，ＦＪ$_{13}$，……が、駆動トランジスタＤ$_{11}$，Ｄ$_{12}$，……のゲートＤＲ$_{11}$，ＤＲ$_{12}$，……に接続されているので、フローティングジャンクションＦＪ$_{11}$，ＦＪ$_{12}$，ＦＪ$_{13}$，……の電位変化は、駆動トランジスタＤ$_{11}$，Ｄ$_{12}$，……下のチャネル電位の変調を引き起こすことになる。

【００１０】

次に、アドレストランジスタＡ$_{11}$，Ａ$_{12}$，……のゲートＡＤ$_{11}$，ＡＤ$_{12}$，……に、アドレス配線ＡＤＬ$_{1}$を通じてアドレスパルスを印加し、アドレストランジスタＡ$_{11}$，Ａ$_{12}$，……を選択し、フローティングジャンクションＦＪ$_{11}$，ＦＪ$_{12}$，ＦＪ$_{13}$，……の電位変化によりチャネル電位変調されている駆動トランジスタＤ$_{11}$，Ｄ$_{12}$，……を、信号出力線ＳＬ$_{1}$，ＳＬ$_{2}$，……にて図示しない負荷トランジスタに接続し、信号電荷に対応した信号を読み出し部１０を通じて外部に時系列的に出力する。

【００１１】

そして、フォトダイオードＰＤ$_{11a}$，ＰＤ$_{12a}$，ＰＤ$_{13a}$，……で形成された画素列の１ライン目の読み出しが完了した後、フローティングジャンクションＦＪ$_{11}$，ＦＪ$_{12}$，ＦＪ$_{13}$，……は、再びリセットトランジスタＲ$_{11}$，Ｒ$_{12}$，……のゲートＲＳ$_{11}$，ＲＳ$_{12}$，……にリセット配線ＲＳＬ$_{1}$を通じてリセットパルスを印加することによって、リセットドレイン電圧線ＲＤＬ$_{1}$，ＲＤＬ$_{2}$，……の所定のリセットドレイン電圧にリセットされる。

【００１２】

その後、転送トランジスタＴ$_{11b}$のゲートＴＧ$_{11b}$に転送配線ＴＧＬ$_{1b}$を通じて転送パルスを印加し、画素列の２ライン目を形成するフォトダイオードＰＤ$_{11b}$，ＰＤ$_{12b}$，ＰＤ$_{13b}$，……で生成された信号電荷を、フローティングジャンクションＦＪ$_{11}$，ＦＪ$_{12}$，ＦＪ$_{13}$，……に転送し蓄積する。そして、上記の１ライン目と同様の動作を繰り返すことで、２ライン目の信号電荷に対応した信号の読み出しを行う。

【００１３】

さらに、画素列の３ライン目、４ライン目を形成するユニットセルＣｅ$_{21}$，Ｃｅ$_{22}$，……の各フォトダイオードＰＤ$_{21a}$，ＰＤ$_{22a}$，ＰＤ$_{23a}$，……，ＰＤ$_{21b}$，ＰＤ$_{22b}$，ＰＤ$_{23b}$，……についても、信号電荷の読み出しをフローティングジャンクションＦＪ$_{21}$，ＦＪ$_{22}$，ＦＪ$_{23}$，……を共通にして、上記１ライン目、２ライン目と同様にして行う。またさらに、それ以降の各画素列についても同様に繰り返すことで、全画素２の読み出しを行う。

【００１４】

しかしながら上記の従来技術においては、画素部４を形成するユニットセルＣｅが、２つのフォトダイオードＰＤ$_{a}$，ＰＤ$_{b}$を有し、また、これらフォトダイオードＰＤ$_{a}$，ＰＤ$_{b}$に対し、１つのフローティングジャンクションＦＪを共通に使用するものであるから高集積化に適するものであるが、画素ピッチが水平方向及び垂直方向それぞれＰｈ，Ｐｖで、画素２は格子状に配列されたものとなっているので、水平方向及び垂直方向の画素２の間に間隔が広く生じ、この広い画素２間の情報を拾い出すことができない。このため、センサの解像度を向上させるべく高集積化を図ろうとした場合、その実現は画素部４を構成する素子や配線等を小さくしたり、細線化したりしない限り難しく、自ずと解像度向上には限界があった。

【００１５】

【発明が解決しようとする課題】

上記のような状況に鑑みて本発明はなされたもので、その目的とするところは画素部を構成する素子や配線等を効率的に配置し、素子や配線等を小さくしたり、細線化したりすることなく集積度を上げて、水平方向、垂直方向の解像度を向上させることができるＣＭＯＳイメージセンサを提供することにある。

【００１６】

【課題を解決するための手段】

本発明のＣＭＯＳイメージセンサは、対をなす２つの画素を有する複数のユニットセルを

、二次元的に水平方向、垂直方向それぞれに所定ピッチで略格子状に配置してなるＣＭＯＳイメージセンサにおいて、前記画素の一方の画素を二次元的に水平方向、垂直方向それぞれに所定画素ピッチで略格子状に配置すると共に、前記一方の画素に対し水平方向、垂直方向共に前記画素ピッチの略半分だけ水平方向、垂直方向にずらした状態で前記画素の他方の画素を二次元的に略格子状に配置し、対をなす２つの前記画素を斜め方向に隣接させるようにしたことを特徴とするものであり、
さらに、対をなす２つの前記画素の信号の読み出しを、それぞれに対応して設けた転送トランジスタを切替動作させて行うようにしたことを特徴とするものであり、
さらに、前記ユニットセルの斜め方向に隣接する対をなす前記画素間で、該ユニットセルに設けられたフローティングジャンクション、リセットドレイン領域、リセットトランジスタ、駆動トランジスタ、アドレストランジスタ、駆動トランジスタとアドレストランジスタ間のジャンクション領域及び駆動トランジスタと信号出力線との接続部の拡散領域を共通に使用して、対をなす前記画素の一方の画素でなる第１の画素列と、他方の画素でなる第２の画素列の信号の読み出しをそれぞれ独立に行うようにしたことを特徴とするものであり、
さらに、垂直方向に隣接する２つの前記ユニットセルの片方のユニットセルに設けられた一方の前記画素の読み出しを行うための転送トランジスタのゲートと、他方のユニットセルに設けられた他方の前記画素の読み出しを行うための転送トランジスタのゲートとを接続すると共に、２つの前記ユニットセルに対応して信号出力線をそれぞれ設け、かつ各信号出力線と対応する前記ユニットセルの駆動トランジスタとを拡散領域で接続して、２つの前記ユニットセルに対応する各信号出力線から同時に前記画素の信号の読み出しを行うようにしたことを特徴とするものであり、
さらに、垂直方向に隣接する２つの前記ユニットセルの片方のユニットセルに設けられたアドレストランジスタのゲートと、他方のユニットセルに設けられたリセットトランジスタのゲートとを接続し、片方のユニットセルに設けられた前記画素からの信号の読み出しを行っている間に、次に読み出す他方のユニットセルに設けられたフローティングジャンクションをリセットすることを可能にしたことを特徴とするものである。

【００１７】

【発明の実施の形態】

以下本発明の実施の形態を、図面を参照して説明する。

【００１８】

先ず第１の実施形態を図１及び図２により説明する。図１は要部の回路図であり、図２は要部のパターンを示す図である。なお、従来と同一部分には同一符号を付して説明を省略し、従来と異なる本実施形態の構成について説明する。

【００１９】

図１及び図２において、画素部１１は、図７に示すＣＭＯＳイメージセンサ１の画素部４に対応するもので、この画素部１１の周辺部に、図示しないが図７と同様にタイミング発生回路、垂直ライン走査回路、ノイズキャンセル回路、さらに水平ライン走査回路、出力アンプを有する読み出し部が配置されて、ＣＭＯＳイメージセンサが構成される。そして、画素部１１は、フォトダイオードPD_a，PD_bを画素信号を生成する画素とした複数のユニットセルＣｅを、二次元的に水平方向、垂直方向にそれぞれ所定の配列ピッチPh_0，Pv_0で略格子状に配置し、複数の画素列を設けることによって構成され、例えばセンサ基板である半導体基板に、フォトダイオードPD_a，PD_bを同一面内に設けるようにして形成されている。

【００２０】

また、画素部１１の基本構成は、１つのユニットセルＣｅが、対をなす２つのフォトダイオードPD_a，PD_bと、２つのフォトダイオードPD_a，PD_bに対応する２つの転送トランジスタT_a，T_bを有し、さらに、リセットトランジスタＲ、駆動トランジスタＤ、アドレストランジスタＡを１つずつ有する構成となっている。

【００２１】

すなわち、図１に示すように、２つのフォトダイオードＰＤ$_a$，ＰＤ$_b$は、それぞれ対応する転送トランジスタＴ$_a$，Ｔ$_b$のソースに接続されており、両転送トランジスタＴ$_a$，Ｔ$_b$のゲートＴＧ$_a$，ＴＧ$_b$には、画素信号を読み出すための転送パルスがそれぞれ転送配線ＴＧＬ$_a$，ＴＧＬ$_b$から印加可能となっている。また両転送トランジスタＴ$_a$，Ｔ$_b$のドレインであるフローティングジャンクションＦＪは、リセットトランジスタＲのソースと、駆動トランジスタＤのゲートＤＲとに接続されている。さらにまたリセットトランジスタＲは、ドレインがリセットドレイン電圧線ＲＤＬに接続され、ゲートＲＳがリセット配線ＲＳＬに接続されており、ゲートＲＳにフローティングジャンクションＦＪを所定のリセットドレイン電圧にリセットするためのリセットパルスが印加可能となっている。

【００２２】

また、駆動トランジスタＤは、ソースが信号出力線ＳＬに接続され、ドレインがジャンクション領域Ｊを介してアドレストランジスタＡのソースに接続されている。またアドレストランジスタＡは、ドレインがリセットドレイン電圧線ＲＤＬに接続され、ゲートＡＤがアドレス配線ＡＤＬに接続されており、ゲートＡＤに水平方向に配列されたアドレストランジスタＡを選択するためのアドレスパルスが印加可能となっている。そして、アドレストランジスタＡの選択によって、対応する駆動トランジスタＤを通じて信号出力線ＳＬに画素信号が出力される。

【００２３】

また、画素部１１の各画素であるフォトダイオードＰＤ$_a$，ＰＤ$_b$は、隣り合う画素列の２ラインのうち、一方の１ラインを水平方向に配列されたユニットセルＣｅの一方のフォトダイオードＰＤ$_a$による第１の画素列で形成し、残りの１ラインを他方のフォトダイオードＰＤ$_b$による第２の画素列で形成し、さらに、形成した第１の画素列と第２の画素列とを、垂直方向に繰り返す配置となっている。

【００２４】

また、第１の画素列のフォトダイオードＰＤ$_a$は、水平方向、垂直方向にユニットセルＣｅの配列ピッチと同じ、所定の画素ピッチＰｈ$_0$，Ｐｖ$_0$で配列され、第２の画素列のフォトダイオードＰＤ$_b$も、水平方向、垂直方向にユニットセルＣｅの配列ピッチと同じ、所定の画素ピッチＰｈ$_0$，Ｐｖ$_0$で配列されている。

【００２５】

そして、第１の画素列のフォトダイオードＰＤ$_a$に対し、第２の画素列のフォトダイオードＰＤ$_b$は、垂直方向に隣り合う第１の画素列の間に、水平方向、垂直方向共にＰｈ$_0$／２、Ｐｖ$_0$／２だけずれた位置に配置され、市松状の配置となっている。なお、ユニットセルＣｅが正方格子状に配置されている場合には、Ｐｈ$_0$＝Ｐｖ$_0$となって、水平方向と垂直方向の画素ピッチが等しくなり、フォトダイオードＰＤ$_a$に対し、フォトダイオードＰＤ$_b$は、斜め４５度方向にずれた位置に設けられることになる。

【００２６】

また、こうしたＣＭＯＳイメージセンサのレイアウトは、図２に要部のパターンを示すように、例えばユニットセルＣｅ$_{22}$についてみると、水平方向にはユニットセルＣｅ$_{21}$とユニットセルＣｅ$_{23}$が両側に隣接し、垂直方向にはユニットセルＣｅ$_{12}$とユニットセルＣｅ$_{32}$が両側に隣接している。そして、ユニットセルＣｅ$_{22}$の対をなす２つのフォトダイオードＰＤ$_{22a}$，ＰＤ$_{22b}$は、水平方向、垂直方向にＰｈ$_0$／２、Ｐｖ$_0$／２だけずれた位置に離間配置され、それぞれずれ方向に傾いた長方形状をなすものとなっている。

【００２７】

また、２つのフォトダイオードＰＤ$_{22a}$，ＰＤ$_{22b}$の間には、それぞれに対応する転送トランジスタＴ$_{22a}$，Ｔ$_{22b}$の各ゲートＴＧ$_{22a}$，ＴＧ$_{22b}$を隣接するように設け、それらの間にフローティングジャンクションＦＪ$_{22}$を挟むように設けて配置されている。さらに、２つのフォトダイオードＰＤ$_{22a}$，ＰＤ$_{22b}$の間のユニットセルＣｅ$_{12}$側には、フローティングジャンクションＦＪ$_{22}$にソースが接続されるリセットトランジスタＲ$_{22}$のゲートＲＳ$_{22}$が、フローティングジャンクションＦＪ$_{22}$に隣接す

るよう配置されている。

【００２８】

また、２つのフォトダイオードＰＤ$_{22a}$，ＰＤ$_{22b}$の片側には、これらと斜めに並んだユニットセルＣｅ$_{12}$，Ｃｅ$_{21}$のフォトダイオードＰＤ$_{12b}$，ＰＤ$_{21a}$との間に、リセットトランジスタＲ$_{22}$のゲートＲＳ$_{22}$に隣接して、リセットトランジスタＲ$_{22}$のドレインが接続されるリセットドレイン領域ＲＤ$_{22}$が配置されている。

【００２９】

一方、２つのフォトダイオードＰＤ$_{22a}$，ＰＤ$_{22b}$の他側には、これらと斜めに並んだユニットセルＣｅ$_{23}$，Ｃｅ$_{32}$のフォトダイオードＰＤ$_{23b}$，ＰＤ$_{32a}$との間に、フォトダイオードＰＤ$_{22a}$側に駆動トランジスタＤ$_{22}$のソースと信号出力線Ｓ$_2$との接続部分の拡散領域Ｓ$_{22}$と、これに隣接して駆動トランジスタＤ$_{22}$のゲートＤＲ$_{22}$が配置され、また、駆動トランジスタＤ$_{22}$のゲートＤＲ$_{22}$に隣接して、駆動トランジスタＤ$_{22}$のドレインとアドレストランジスタＡ$_{22}$のソースと間のジャンクション領域Ｊ$_{22}$が配置されている。さらにジャンクション領域Ｊ$_{22}$に隣接して、フォトダイオードＰＤ$_{22b}$側には、垂直方向下側のユニットセルＣｅ$_{32}$のリセットドレイン領域ＲＤ$_{32}$とドレインが接続されるアドレストランジスタＡ$_{22}$のゲートＡＤ$_{22}$が、配置されている。

【００３０】

また、フローティングジャンクションＦＪ$_{22}$と駆動トランジスタＤ$_{22}$のゲートＤＲ$_{22}$が、アルミニウム等による金属配線ＡＬによって接続されている。

【００３１】

そして、その他の複数のユニットセルＣｅ$_{11}$，Ｃｅ$_{12}$，……も、上記と同様に配置されて画素部１１が構成される。さらに、図２には図示しないが、図１に示す回路図のように各対応する部位に、アルミニウム等による金属配線でなる転送配線ＴＧＬ$_{1a}$，ＴＧＬ$_{1b}$，ＴＧＬ$_{2a}$，ＴＧＬ$_{2b}$，……、リセット配線ＲＳＬ$_1$，ＲＳＬ$_2$，……、アドレス配線ＡＤＬ$_1$，ＡＤＬ$_2$，……、リセットドレイン電圧線ＲＤＬ$_1$，ＲＤＬ$_2$，……、信号出力線ＳＬ$_1$，ＳＬ$_2$，……が接続される。

【００３２】

こうしたＣＭＯＳイメージセンサの概略の動作は、図示しない光学レンズ系等で画素部１１に集光、結像され、各画素のフォトダイオードＰＤ$_a$，ＰＤ$_b$で光電変換がなされ、それに応じた画素信号が出力される。これは、先ず、画素部１１の画素列の１ライン目を形成するユニットセルＣｅ$_{11}$，Ｃｅ$_{12}$，Ｃｅ$_{13}$，……のフォトダイオードＰＤ$_{11a}$，ＰＤ$_{12a}$，ＰＤ$_{13a}$，……のうち、例えば、フォトダイオードＰＤ$_{11a}$，ＰＤ$_{12a}$，ＰＤ$_{13a}$，……で生成された信号電荷は、転送配線ＴＧＬ$_{1a}$を通じて転送パルスが印加されることで、転送トランジスタＴ$_{11a}$，Ｔ$_{12a}$，Ｔ$_{13a}$，……のゲートＴＧ$_{11a}$，ＴＧ$_{12a}$，ＴＧ$_{13a}$，……が開き、フローティングジャンクションＦＪ$_{11}$，ＦＪ$_{12}$，ＦＪ$_{13}$，……に転送され蓄積される。

【００３３】

また、こうした信号電荷の転送に先立って、フローティングジャンクションＦＪ$_{11}$，ＦＪ$_{12}$，ＦＪ$_{13}$，……は、リセットトランジスタＲ$_{11}$，Ｒ$_{12}$，……のゲートＲＳ$_{11}$，ＲＳ$_{12}$，……にリセット配線ＲＳＬ$_1$を通じてリセットパルスを印加することによって、リセットドレイン電圧線ＲＤＬ$_1$，ＲＤＬ$_2$，……の所定のリセットドレイン電圧にリセットされている。

【００３４】

また、フローティングジャンクションＦＪ$_{11}$，ＦＪ$_{12}$，ＦＪ$_{13}$，……の電圧レベルは、各フォトダイオードＰＤ$_{11a}$，ＰＤ$_{12a}$，ＰＤ$_{13a}$，……からの信号電荷が流入することで変化する。そして、フローティングジャンクションＦＪ$_{11}$，ＦＪ$_{12}$，ＦＪ$_{13}$，……が、駆動トランジスタＤ$_{11}$，Ｄ$_{12}$，Ｄ$_{13}$，……のゲートＤＲ$_{11}$，ＤＲ$_{12}$，ＤＲ$_{13}$，……に接続されているので、フローティングジャンクションＦＪ$_{11}$，ＦＪ$_{12}$，ＦＪ$_{13}$，……の電位変化は、駆動トランジスタＤ$_{11}$，Ｄ$_{12}$，Ｄ$_{13}$，

……下のチャネル電位の変調を引き起こすことになる。

【００３５】

次に、アドレストランジスタA_{11}，A_{12}，A_{13}，……のゲートAD_{11}，AD_{12}，AD_{13}，……に、アドレス配線ADL_1を通じてアドレスパルスを印加し、アドレストランジスタA_{11}，A_{12}，A_{13}，……を選択し、フローティングジャンクションFJ_{11}，FJ_{12}，FJ_{13}，……の電位変化によりチャネル電位変調されている駆動トランジスタD_{11}，D_{12}，D_{13}，……を、信号出力線SL_1，SL_2，……にて図示しない負荷トランジスタに接続し、信号電荷に対応した信号を読み出し部１０を通じて外部に時系列的に出力する。

【００３６】

そして、フォトダイオードPD_{11a}，PD_{12a}，PD_{13a}，……で形成された画素列の１ライン目の読み出しが完了した後、フローティングジャンクションFJ_{11}，FJ_{12}，FJ_{13}，……は、再びリセットトランジスタR_{11}，R_{12}，……のゲートRS_{11}，RS_{12}，……にリセット配線RSL_1を通じてリセットパルスを印加することによって、リセットドレイン電圧線RDL_1，RDL_2，……の所定のリセットドレイン電圧にリセットされる。

【００３７】

その後、転送トランジスタT_{11b}のゲートTG_{11b}に転送配線TGL_{1b}を通じて転送パルスを印加し、画素列の２ライン目を形成するフォトダイオードPD_{11b}，PD_{12b}，PD_{13b}，……で生成された信号電荷を、フローティングジャンクションFJ_{11}，FJ_{12}，FJ_{13}，……に転送し蓄積する。そして、上記の１ライン目と同様の動作を繰り返すことで、２ライン目の信号電荷に対応した信号の読み出しを行う。

【００３８】

さらに、画素列の３ライン目、４ライン目を形成するユニットセルCe_{21}，Ce_{22}，……の各フォトダイオードPD_{21a}，PD_{22a}，PD_{23a}，……，PD_{11b}，PD_{12b}，PD_{13b}，……についても、信号電荷の読み出しをフローティングジャンクションFJ_{21}，FJ_{22}，FJ_{23}，……を共通にして、上記１ライン目、２ライン目と同様にして行う。またさらに、それ以降の各画素列についても同様に繰り返すことで、画素部１１の全て画素信号の読み出しを行う。

【００３９】

そして、以上の通りフォトダイオードPD_{11a}，PD_{12a}，PD_{13a}，……，PD_{11b}，PD_{12b}，PD_{13b}，……を市松状に配置して画素部１１を構成し、対をなす２つの例えばフォトダイオードPD_{22a}，PD_{22b}の間に対応する転送トランジスタT_{22a}，T_{22b}の各ゲートTG_{22a}，TG_{22b}と、フローティングジャンクションFJ_{22}、リセットトランジスタR_{22}のゲートRS_{22}を配置し、さらに、隣接するユニットセルCe_{12}，Ce_{21}，Ce_{23}，Ce_{32}との間に、回路接続の近いリセットドレイン領域RD_{22}と、拡散領域S_{22}、駆動トランジスタD_{22}のゲートDR_{22}、ジャンクション領域J_{22}、アドレストランジスタA_{22}のゲートAD_{22}を隣接するように配置することによって、より集積度を向上させることができる。

【００４０】

また市松状に配置したフォトダイオードPD_{11a}，PD_{12a}，PD_{13a}，……，PD_{11b}，PD_{12b}，PD_{13b}，……によって、その垂直方向、水平方向の配列ピッチが、格子状にフォトダイオードＰＤを配置した場合に比べ、垂直方向、水平方向共に約半分の配列ピッチとすることができることになり、これらの方向の解像度向上を図ることができる。なお、この場合は斜め方向の解像度が落ちるが、人間の目の解像度は、垂直、水平方向には高くて斜め方向には低く、また通常の被写体は、垂直方向、水平方向の成分が多いことから、特に、通常の被写体を対象にする場合には、良好な性能を有することになる。

【００４１】

次に第２の実施形態を図３及び図４により説明する。図３は要部の回路図であり、図４は

要部のパターンを示す図である。なお、第１の実施形態と同一部分には同一符号を付して説明を省略し、第１の実施形態と異なる本実施形態の構成について説明する。

【００４２】

図３及び図４において、画素部１２は、上記の第１の実施形態の画素部１１と同様に、図７に示すＣＭＯＳイメージセンサ１の画素部４に対応するもので、この画素部１２の周辺部に、図示しないが図７と同様にタイミング発生回路、垂直ライン走査回路、ノイズキャンセル回路、さらに水平ライン走査回路、出力アンプを有する読み出し部が配置されて、ＣＭＯＳイメージセンサが構成される。そして、画素部１２は、フォトダイオードＰＤを画素とする複数のユニットセルＣｅを、二次元的に水平方向、垂直方向にそれぞれ所定の配列ピッチ$Ｐｈ_{0}$，$Ｐｖ_{0}$で略格子状に配置し、複数の画素列を設けることによって構成され、例えばセンサ基板である半導体基板に、フォトダイオードＰＤを同一面内に設けるようにして形成されている。

【００４３】

また、画素部１２の基本構成は、上記第１の実施形態と同様に、１つのユニットセルＣｅが、各画素である対をなす２つのフォトダイオード$ＰＤ_{a}$，$ＰＤ_{b}$と、２つの転送トランジスタ$Ｔ_{a}$，$Ｔ_{b}$、各１つのリセットトランジスタＲ、駆動トランジスタＤ、アドレストランジスタＡを有する構成となっている。また画素部１２は、隣り合う画素列の２ラインのうち、一方の１ラインが水平方向に配列されたユニットセルＣｅの一方のフォトダイオード$ＰＤ_{a}$による第１の画素列よって形成され、残りの１ラインが他方のフォトダイオード$ＰＤ_{b}$による第２の画素列よって形成され、さらに形成した第１の画素列と第２の画素列とを、垂直方向に繰り返し配置したものとなっている。

【００４４】

また、第１の画素列のフォトダイオード$ＰＤ_{a}$は、水平方向、垂直方向にユニットセルＣｅの配列ピッチと同じ、所定の画素ピッチ$Ｐｈ_{0}$，$Ｐｖ_{0}$で配列され、第２の画素列のフォトダイオード$ＰＤ_{b}$も、水平方向、垂直方向にユニットセルＣｅの配列ピッチと同じ、所定の画素ピッチ$Ｐｈ_{0}$，$Ｐｖ_{0}$で配列されている。そして、第１の画素列のフォトダイオード$ＰＤ_{a}$に対し、第２の画素列のフォトダイオード$ＰＤ_{b}$は、垂直方向に隣り合う第１の画素列の間に、水平方向、垂直方向共に$Ｐｈ_{0}$／２、$Ｐｖ_{0}$／２だけずれた位置に配置され、市松状の配置となっている。

【００４５】

また、こうしたＣＭＯＳイメージセンサのレイアウトは、図４に要部のパターンを示すように、ユニットセル$Ｃｅ_{11}$，$Ｃｅ_{12}$，$Ｃｅ_{13}$，……及び各ユニットセルＣｅを構成するフォトダイオード$ＰＤ_{11a}$，$ＰＤ_{12a}$，$ＰＤ_{13a}$，……等の配置は、上記第１の実施形態と同じものとなっている。そして、フローティングジャンクション$ＦＪ_{11}$，$ＦＪ_{12}$，$ＦＪ_{13}$，……と、対応する駆動トランジスタ$Ｄ_{11}$，$Ｄ_{12}$，$Ｄ_{13}$，……のゲート$ＤＲ_{11}$，$ＤＲ_{12}$，$ＤＲ_{13}$，……が、アルミニウム等による第１の金属配線$ＡＬ_{1}$によって接続されている。

【００４６】

また、これと同様に、本実施形態では、例えばユニットセル$Ｃｅ_{22}$においては、垂直方向に隣接するユニットセル$Ｃｅ_{12}$，$Ｃｅ_{32}$との間で、ユニットセル$Ｃｅ_{22}$のフォトダイオード$ＰＤ_{22a}$の読み出しを行うための転送トランジスタ$Ｔ_{22a}$のゲート$ＴＧ_{22a}$が、ユニットセル$Ｃｅ_{12}$のフォトダイオード$ＰＤ_{12b}$の読み出しを行うための転送トランジスタ$Ｔ_{12b}$のゲート$ＴＧ_{12b}$と、アルミニウム等による第２の金属配線$ＡＬ_{2}$によって接続されている。

【００４７】

同様に、フォトダイオード$ＰＤ_{22b}$の読み出しを行うための転送トランジスタ$Ｔ_{22b}$のゲート$ＴＧ_{22b}$は、ユニットセル$Ｃｅ_{32}$のフォトダイオード$ＰＤ_{32a}$の読み出しを行うための転送トランジスタ$Ｔ_{32a}$のゲート$ＴＧ_{32a}$と、アルミニウム等による第２の金属配線$ＡＬ_{2}$によって接続されている。そして、その他の複数のユニットセルＣｅにおいても、同様の接続が行なわれている。

【００４８】
さらに、図４には図示しないが、図３に示すように各対応する部位に、アルミニウム等による金属配線でなる転送配線TGL_{1a}，TGL_{1b}，TGL_{2a}，TGL_{2b}，……、リセット配線RSL_1，RSL_2，……、アドレス配線ADL_1，ADL_2，……、リセットドレイン電圧線RDL_1，RDL_2，……が、第１の実施形態と同様に接続される。
【００４９】
またさらに、本実施形態では、信号出力線SLo_1，SLo_2，……，SLe_1，SLe_2，……が設けられていて、信号出力線SLo_1，SLo_2，……は、垂直方向に１つ置きに配列されたユニットセルCe_{11}，Ce_{12}，Ce_{13}，……，Ce_{31}，Ce_{32}，Ce_{33}，……，……の駆動トランジスタD_{11}，D_{12}，D_{13}，……，D_{31}，D_{32}，D_{33}，……，……との接続部分である拡散領域S_{11}，S_{12}，S_{13}，……，S_{31}，S_{32}，S_{33}，……，……に接続される。
【００５０】
また、同じ様に、信号出力線SLe_1，SLe_2，……は、一部ユニットセルCe_{41}，Ce_{42}，Ce_{43}に関しては図示しないが、垂直方向に１つ置きに配列されたユニットセルCe_{21}，Ce_{22}，Ce_{23}，……，Ce_{41}，Ce_{42}，Ce_{43}，……，……の駆動トランジスタD_{21}，D_{22}，D_{23}，……，D_{41}，D_{42}，D_{43}，……，……との接続部分である拡散領域S_{21}，S_{22}，S_{23}，……，S_{41}，S_{42}，S_{43}，……，……に接続される。
【００５１】
こうしたＣＭＯＳイメージセンサの概略の動作は、上記第１の実施形態と同様のものとなるが、垂直方向に１つ置きに配列されたユニットセルCe_{11}，Ce_{12}，Ce_{13}，……，Ce_{31}，Ce_{32}，Ce_{33}，……，……に対し、信号出力線SLo_1，SLo_2，……を設け、さらにユニットセルCe_{11}，Ce_{12}，Ce_{13}，……，Ce_{31}，Ce_{32}，Ce_{33}，……，……の間に配列された同じく垂直方向に１つ置きに配列されたユニットセルCe_{21}，Ce_{22}，Ce_{23}，……，Ce_{41}，Ce_{42}，Ce_{43}，……，……に対し、信号出力線SLe_1，SLe_2，……を設けることによって、画素信号の読み出しは、次のようになる。
【００５２】
すなわち、１ライン目となる第１の画素列のフォトダイオードPD_{11a}，PD_{12a}，PD_{13a}，……については、上記と同じ動作過程で信号電荷に対応した信号の読み出しが行なわれる。そして、続く２ライン目となる第２の画素列のフォトダイオードPD_{11b}，PD_{12b}，PD_{13b}，……と、３ライン目となる第１の画素列のフォトダイオードPD_{21a}，PD_{22a}，PD_{23a}，……については、転送トランジスタT_{11b}，T_{12b}，T_{13b}，……のゲートTG_{11b}，TG_{12b}，TG_{13b}，……と、転送トランジスタT_{21a}，T_{22a}，T_{23a}，……のゲートTG_{21a}，TG_{22a}，TG_{23a}，……が接続されており、読み出しを行うために転送配線TGL_{1b}と転送配線TGL_{2a}とに印加される転送パルスは、同時に印加されることになる。
【００５３】
この結果、フォトダイオードPD_{11b}，PD_{12b}，PD_{13b}，……とフォトダイオードPD_{21a}，PD_{22a}，PD_{23a}，……とからは、ジグザグ状の画素信号が連続して信号出力線SLe_1，SLe_2，……と信号出力線SLo_1，SLo_2，……とに同時に出力される。これにより、２ラインの読み出しが同時に行えることになり、画面形成に際し要していた１水平走査期間前のラインの信号と合体して信号ラインを作成する操作が不要になり、水平ライン走査回路等の外部回路の構成が簡単なものとなる。
【００５４】
このように、本実施形態によれば、外部回路の構成が簡単なものとなると共に、第１の実施形態と同様に、より集積度を向上させることができ、また垂直方向、水平方向の解像度向上を図ることができて、通常の被写体を対象にする場合には、良好な性能を有するものとなる。

【００５５】
次に第３の実施形態を図５及び図６により説明する。図５は要部の回路図であり、図６は要部のパターンを示す図である。なお、第１の実施形態と同一部分には同一符号を付して説明を省略し、第１の実施形態と異なる本実施形態の構成について説明する。
【００５６】
図５及び図６において、画素部１３は、上記の第１の実施形態の画素部１１と同様に、図７に示すＣＭＯＳイメージセンサ１の画素部４に対応するもので、この画素部１３の周辺部に、図示しないが図７と同様にタイミング発生回路、垂直ライン走査回路、ノイズキャンセル回路、さらに水平ライン走査回路、出力アンプを有する読み出し部が配置されて、ＣＭＯＳイメージセンサが構成される。そして、画素部１３は、フォトダイオードＰＤを画素とする複数のユニットセルＣｅを、二次元的に水平方向、垂直方向にそれぞれ所定の配列ピッチ$Ｐｈ_{0}$，$Ｐｖ_{0}$で略格子状に配置し、複数の画素列を設けることによって構成され、例えばセンサ基板である半導体基板に、フォトダイオードＰＤを同一面内に設けるようにして形成されている。
【００５７】
また、画素部１３の基本構成は、上記第１の実施形態と同様に、１つのユニットセルＣｅが、各画素である対をなす２つのフォトダイオード$ＰＤ_{a}$，$ＰＤ_{b}$と、２つの転送トランジスタ$Ｔ_{a}$，$Ｔ_{b}$、各１つのリセットトランジスタＲ、駆動トランジスタＤ、アドレストランジスタＡを有する構成となっている。また画素部１３は、隣り合う画素列の２ラインのうち、一方の１ラインが水平方向に配列されたユニットセルＣｅの一方のフォトダイオード$ＰＤ_{a}$による第１の画素列よって形成され、残りの１ラインが他方のフォトダイオード$ＰＤ_{b}$による第２の画素列よって形成され、さらに形成した第１の画素列と第２の画素列とを、垂直方向に繰り返し配置したものとなっている。
【００５８】
また、第１の画素列のフォトダイオード$ＰＤ_{a}$は、水平方向、垂直方向にユニットセルＣｅの配列ピッチと同じ、所定の画素ピッチ$Ｐｈ_{0}$，$Ｐｖ_{0}$で配列され、第２の画素列のフォトダイオード$ＰＤ_{b}$も、水平方向、垂直方向にユニットセルＣｅの配列ピッチと同じ、所定の画素ピッチ$Ｐｈ_{0}$，$Ｐｖ_{0}$で配列されている。そして、第１の画素列のフォトダイオード$ＰＤ_{a}$に対し、第２の画素列のフォトダイオード$ＰＤ_{b}$は、垂直方向に隣り合う第１の画素列の間に、水平方向、垂直方向共に$Ｐｈ_{0}$／２、$Ｐｖ_{0}$／２だけずれた位置に配置され、市松状の配置となっている。
【００５９】
また、こうしたＣＭＯＳイメージセンサのレイアウトは、図４に要部のパターンを示すように、ユニットセル$Ｃｅ_{11}$，$Ｃｅ_{12}$，$Ｃｅ_{13}$，……及び各ユニットセルＣｅを構成するフォトダイオード$ＰＤ_{11a}$，$ＰＤ_{12a}$，$ＰＤ_{13a}$，……等の配置は、上記第１の実施形態と同じものとなっている。さらに、フローティングジャンクション$ＦＪ_{11}$，$ＦＪ_{12}$，$ＦＪ_{13}$，……と、対応する駆動トランジスタ$Ｄ_{11}$，$Ｄ_{12}$，$Ｄ_{13}$，……のゲート$ＤＲ_{11}$，$ＤＲ_{12}$，$ＤＲ_{13}$，……が、アルミニウム等による金属配線ＡＬによって、同様に接続されている。
【００６０】
そして、本実施形態では、例えばユニットセル$Ｃｅ_{22}$においては、垂直方向に隣接するユニットセル$Ｃｅ_{12}$，$Ｃｅ_{32}$との間で、リセットトランジスタ$Ｒ_{22}$のゲート$ＲＳ_{22}$と、これに隣接するユニットセル$Ｃｅ_{12}$のアドレストランジスタ$Ａ_{12}$のゲート$ＡＤ_{12}$とが、パターン上で接続されており、またアドレストランジスタ$Ａ_{22}$のゲート$ＡＤ_{22}$については、これに隣接するユニットセル$Ｃｅ_{32}$のリセットトランジスタ$Ｒ_{32}$のゲート$ＲＳ_{32}$と、パターン上で接続されている。なお、その他の複数のユニットセルＣｅにおいても、同様のパターンとなっている。
【００６１】
さらに、図６には図示しないが、図５に示すように各対応する部位に、アルミニウム等による金属配線でなる転送配線$ＴＧＬ_{1a}$，$ＴＧＬ_{1b}$，$ＴＧＬ_{2a}$，$ＴＧＬ_{2b}$，……、

リセット配線RSL_1，RSL_2，……、アドレス配線ADL_1，ADL_2，……、リセットドレイン電圧線RDL_1，RDL_2，……が、第１の実施形態と同様に接続される。

【００６２】

こうしたＣＭＯＳイメージセンサの概略の動作は、上記第１の実施形態と同様のものとなるが、ユニットセルCe_{11}，Ce_{12}，Ce_{13}，……のアドレストランジスタA_{11}，A_{12}，A_{13}，……のゲートAD_{11}，AD_{12}，AD_{13}，……が、それぞれ垂直方向下側のユニットセルCe_{21}，Ce_{22}，Ce_{23}，……のリセットトランジスタR_{21}，R_{22}，R_{23}，……のゲートRS_{21}，RS_{22}，RS_{23}，……と接続されていることによって、画素信号読み出しの際の動作は、次のようになる。

【００６３】

すなわち、例えば１ライン目となるユニットセルCe_{11}，Ce_{12}，Ce_{13}，……のフォトダイオードPD_{11a}，PD_{12a}，PD_{13a}，……の画素信号を信号出力線SL_1，SL_2，SL_3，……に読み出した後、続いて２ライン目のフォトダイオードPD_{11b}，PD_{12b}，PD_{13b}，……の読み出しが行なわれる。そして、その動作過程で、転送トランジスタT_{11b}，T_{12b}，T_{13b}，……のゲートTG_{11b}，TG_{12b}，TG_{13b}，……が開かれ、フローティングジャンクションFJ_{11}，FJ_{12}，FJ_{13}，……に信号電荷が転送され、さらにアドレストランジスタA_{11}，A_{12}，A_{13}，……のゲートAD_{11}，AD_{12}，AD_{13}，……が開かれ、さらに信号出力線SL_1，SL_2，SL_3，……に、拡散領域S_{11}，S_{12}，S_{13}，……を通じ信号電荷に対応した信号が出力される。

【００６４】

また、これと同時に、アドレストランジスタA_{11}，A_{12}，A_{13}，……のゲートAD_{11}，AD_{12}，AD_{13}，……が接続されているリセットトランジスタR_{21}，R_{22}，R_{23}，……のゲートRS_{21}，RS_{22}，RS_{23}，……は、アドレスパルスがリセットパルスとなって開き、次の３ライン目の読み出しを行うために、直ちにフローティングジャンクションFJ_{21}，FJ_{22}，FJ_{23}，……が、所定のリセットドレイン電圧にリセットされる。以下各ラインの読み出しに際し、上記の過程が同様に行なわれる。

【００６５】

以上の通り、本実施形態によれば、垂直方向に隣接するユニットセルCe_{11}，Ce_{12}，Ce_{13}，……において、アドレストランジスタA_{11}，A_{12}，A_{13}，……のゲートAD_{11}，AD_{12}，AD_{13}，……とリセットトランジスタR_{21}，R_{22}，R_{23}，……のゲートRS_{21}，RS_{22}，RS_{23}，……を、金属配線を設けて接続することなく、パターン上で簡単に接続したものとすることができると共に、第１の実施形態と同様に、より集積度を向上させることができ、また垂直方向、水平方向の解像度向上を図ることができて、通常の被写体を対象にする場合には、良好な性能を有するものとなる。

【００６６】

【発明の効果】

以上の説明から明らかなように、本発明によれば、画素部を構成する素子や配線等を効率的に配置することができ、素子や配線等を小さくしたり、細線化したりすることなく集積度を向上させることができ、また水平方向、垂直方向の解像度を向上させることができる等の効果を奏する。

【図面の簡単な説明】

【図１】本発明の第１の実施形態における要部の回路図である。

【図２】本発明の第１の実施形態における要部のパターンを示す図である。

【図３】本発明の第２の実施形態における要部の回路図である。

【図４】本発明の第２の実施形態における要部のパターンを示す図である。

【図５】本発明の第３の実施形態における要部の回路図である。

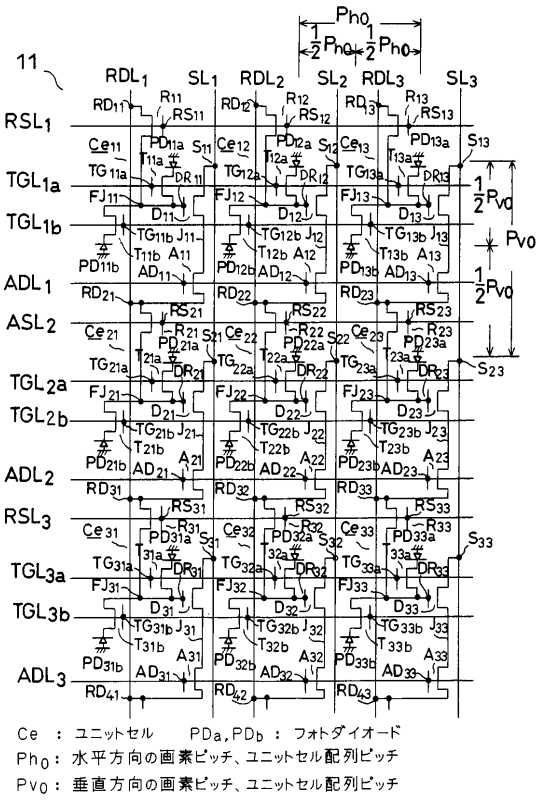
【図６】本発明の第３の実施形態における要部のパターンを示す図である。

【図７】ＣＭＯＳイメージセンサの概略を示す構成図である。

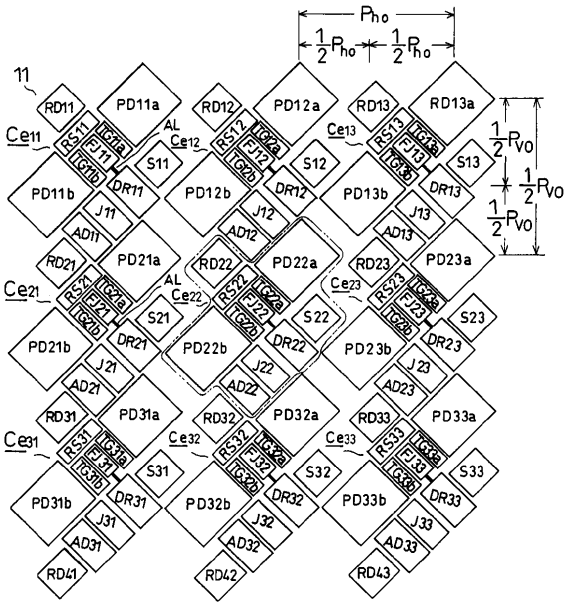
【図８】従来例における要部の回路図である。

【符号の説明】
Ａ…アドレストランジスタ
ＡＤ…アドレストランジスタのゲート
ＡＤＬ…アドレス配線
Ｃｅ…ユニットセル
Ｄ…駆動トランジスタ
ＦＪ…フローティングジャンクション
Ｊ…ジャンクション領域
$ＰＤ_{a}$，$ＰＤ_{b}$…フォトダイオード
$Ｐｈ_{0}$…水平方向の画素ピッチ、ユニットセル配列ピッチ
$Ｐｖ_{0}$…垂直方向の画素ピッチ、ユニットセル配列ピッチ
Ｒ…リセットトランジスタ
ＲＤ…リセットドレイン領域
ＲＤＬ…リセットドレイン電圧線
ＲＳ…リセットトランジスタのゲート
ＲＳＬ…リセット配線
Ｓ…拡散領域
ＳＬ，ＳＬｏ，ＳＬｅ…信号出力線
$Ｔ_{a}$，$Ｔ_{b}$…転送トランジスタ
$ＴＧ_{a}$，$ＴＧ_{b}$…転送トランジスタのゲート
$ＴＧＬ_{a}$，$ＴＧＬ_{b}$…転送配線

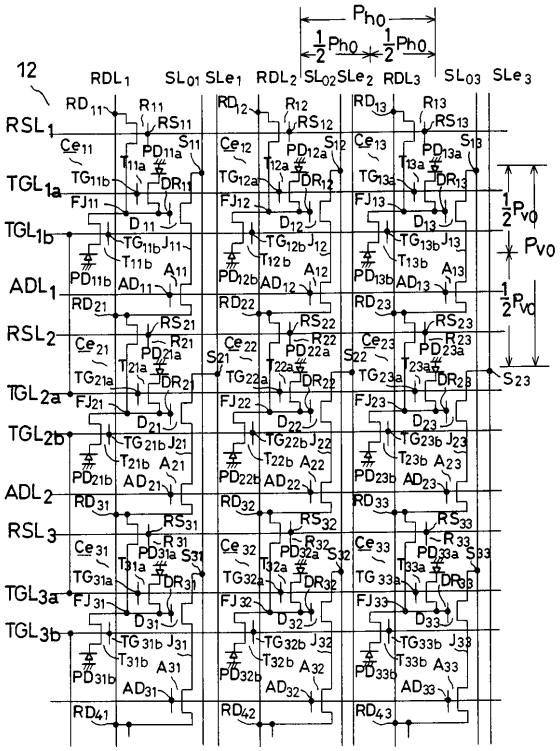
【図１】



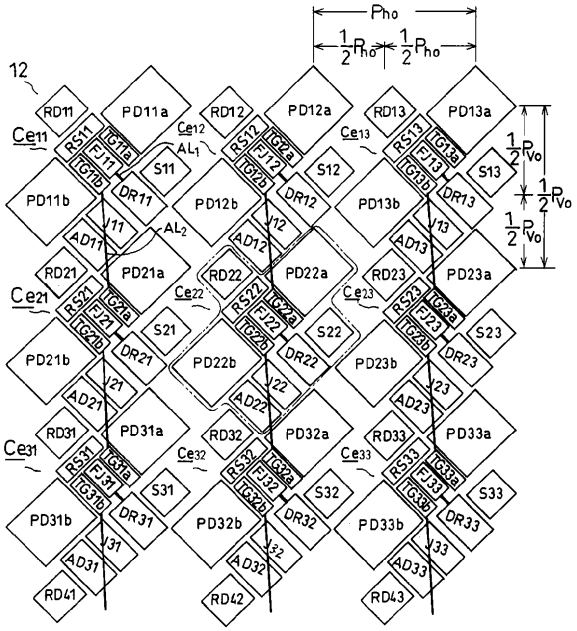
【図２】



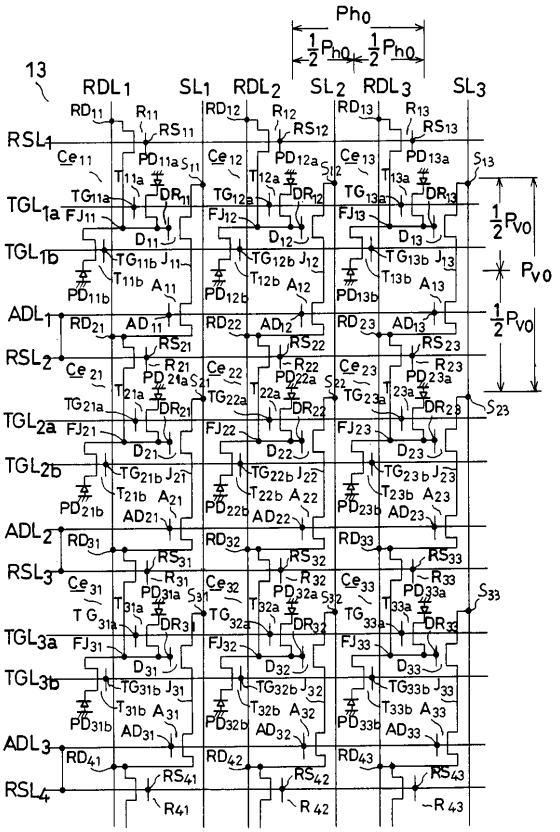
【図３】



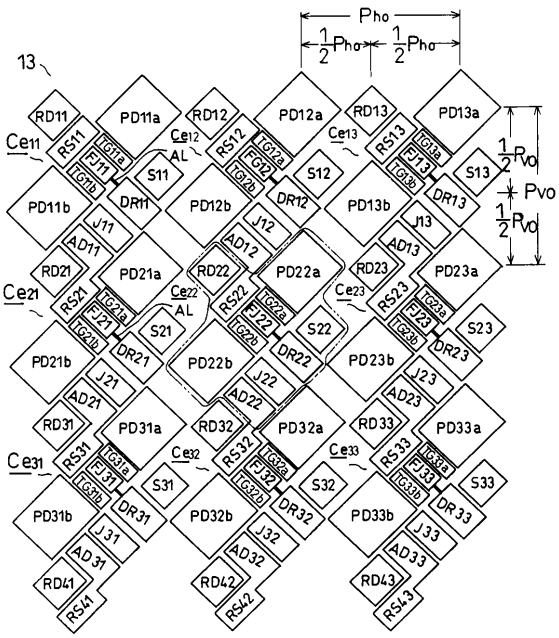
【図４】



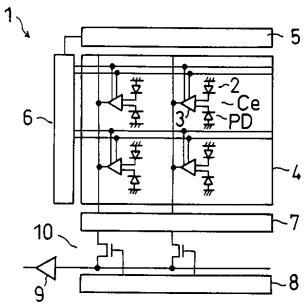
【図５】



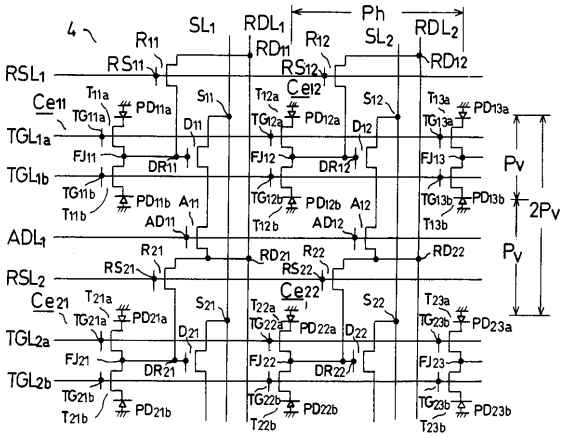
【図６】



【図７】


1
5
2
Ce
3
PD
6
4
7
10
9
8

【図８】


4
SL1
RDL1
Ph
RDL2
R11
RD11
R12
SL2
RD12
RSL1
RS11
RS12
Ce11
Ce12
T11a
TG11a
PD11a
S11
T12a
TG12a
PD12a
S12
T13a
TG13a
PD13a
TGL1a
D11
D12
FJ11
FJ12
FJ13
Pv
TGL1b
DR11
DR12
TG11b
T11b
PD11b
A11
TG12b
T12b
PD12b
A12
TG13b
T13b
PD13b
2Pv
AD11
AD12
ADL1
R21
RD21
R22
RD22
Pv
RSL2
RS21
RS22
Ce21
Ce22
T21a
TG21a
PD21a
S21
T22a
TG22a
PD22a
S22
T23a
TG23b
PD23a
TGL2a
D21
D22
FJ21
FJ22
FJ23
TGL2b
DR21
DR22
TG21b
T21b
PD21b
TG22b
T22b
PD22b
TG23b
T23b
PD23b

フロントページの続き

Ｆターム(参考) 4M118 AA10 AB01 BA14 CA02 CA22 DD12 FA01 FA06 FA33
5C024 CX41 CY33 GX03 GY31 HX01