

# POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

**223380**  
(11) (B1)

(51) Int. Cl.<sup>3</sup>  
H 03 K 13/02



ORAD PRO VYNÁLEZY  
A OBJEVY

(22) Přihlášeno 29 01 81  
(21) (PV 649-81)

(40) Zveřejněno 28 01 83

(45) Vydáno 15 03 86

(75)

Autor vynálezu

HEJDUK KAREL ing., PRAHA

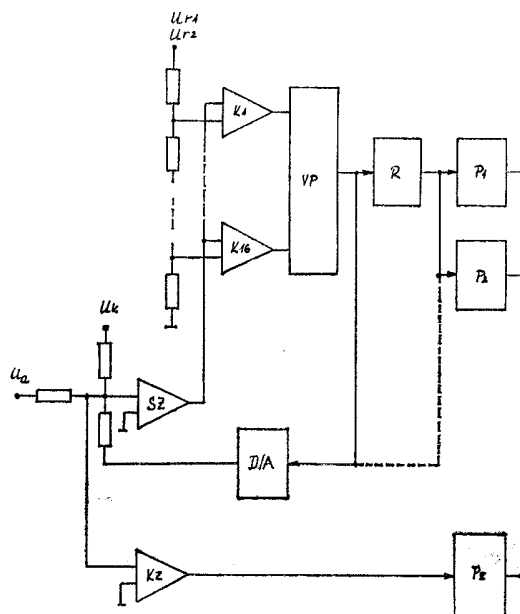
## (54) Zapojení osmibitového analogo-číslicového paralelně sériového převodníku

1

2

Vynález se týká impulsové techniky a řešení zjednodušení paralelně sériových převodníků.

Podstata vynálezu spočívá v použití dvou regulačních napětí pro komparátory čtyřbitového A/D převodníku. Po získání hrubé hodnoty čtyřbitového signálu a jejím odečtení (po zpětném převedení na analogovou hodnotu) se tato hodnota odečte od hodnoty analogového signálu, načež se změní referenční napětí a na výstupu A/D převodníku se získá druhé významem méně hodnotné čtyřbitové slovo. Na výkrese (Ur1 a Ur2) a paměti (P1 a P2) zapojené na výstup reko-  
dérů (R).



Vynález se týká zapojení osmibitového analogo-číslcového paralelně sériového převodníku opatřeného součtovým zesilovačem, na jehož výstupu jsou paralelně komparátory zapojené druhým vstupem na odporový, se zdrojem referenčního napětí spojený řetězec čtyřbitového analogo-číslcového převodníku, k jehož výstupu je připojena paměť pro uložení hrubé číselné hodnoty signálu a číslcově analogový převodník, jehož výstup je zapojen na vstup součtového zesilovače.

Jsou známa zapojení osmibitových analogo-číslcových (A/D) převodníků pracujících na principu postupných aproximací, vyžadujících pro danou délku slova osmi kroků, čímž vzniká značně dlouhá doba převodu. Nejrychlejší, ale také nejsložitější osmibitové A/D převodníky pracují na komparačním principu, kdy po rozkladu analogového signálu je výsledné osmibitové slovo získáno čistě komparačním převodem, například skladbou pěti- a tříbitového slova.

Kompromisem mezi oběma uvedenými principy jsou paralelně sériové převodníky, u nichž se komparačním způsobem získává a ukládá v paměti nejprve hrubá číselná hodnota analogového signálu, která se po převedení D/A převodníkem odečítá od vstupního analogového napětí a jedním aproximačním krokem se opět komparačním způsobem získává jemná hodnota číselného signálu. Těchto A/D převodníků se vynález týká.

Jsou známé osmibitové paralelně sériové A/D převodníky, u nichž se rozdíl mezi vstupní analogovou hodnotou signálu a odečtenou, na analogovou hodnotu zpět přivedenou hrubou čtyřbitovou číselnou hodnotu signálu přivede pomocí dalšího čtyřbitového A/D převodníku na jemnou čtyřbitovou číselnou hodnotu, která se pak uloží v druhé paměti. Nevýhodou těchto převodníků je použití druhého čtyřbitového A/D převodníku pracujícího rovněž na komparačním principu, čímž se zapojení stává značně složitým.

Účelem vynálezu zapojení osmibitového analogo-číslcového paralelně sériového převodníku je odstranit vpředu uvedené nevýhody, čehož se podle podstaty vynálezu dosáhlo tím, že odporový řetězec analogo-číslcového převodníku je připojen na druhý zdroj referenčního napětí a výstupy komparátorů jsou zapojeny na vyrovnávací paměť s rekodérem na výstupu, k němuž jsou připojeny paměti, přičemž číselně analogový převodník je zapojen na výstup vyrovnávací paměti nebo rekodéru.

Příklad zapojení podle vynálezu je dále popsán a jeho činnost vysvětlena s pomocí výkresu, na němž je vyznačen součtový zesi-

lovač **SZ** s kladným zdrojem **+U<sub>k</sub>** kompenzačního napětí, na jehož vstup je přiváděno analogové napětí **u<sub>a</sub>** vstupního signálu. Na výstup součtového zesilovače **SZ** je paralelně zapojeno šestnáct komparátorů **K1** až **K16**, jejichž druhé vstupy jsou zapojeny na odporový řetězec, k němuž je připojeno vždy jeden ze dvou zdrojů **Ur1** a **Ur2** referenčního napětí. Na výstupy komparátorů **K1** až **K16** je zapojena vyrovnávací paměť **VP**. Na její výstup je zapojen rekodér **R**, popřípadě i číslcově analogový převodník **D/A**. Na výstup rekodéru **R** jsou zapojeny dvě paměti **P1**, **P2** popřípadě číslcově analogový převodník **D/A** není-li zapojen na výstup vyrovnávací paměti **VP**, jak je na výkrese znázorněno čárkováně. Výstup převodníku **D/A** je zapojen na vstup součtového zesilovače **SZ**. Známým způsobem je k vstupu analogového signálu zapojen komparátor **Kz** znaménka a paměť **Pz** znaménka.

Vůči analogovému napětí **u<sub>a</sub>** vstupního signálu je kladné kompenzační napětí zdroje **+U<sub>k</sub>** voleno tak, že součtový zesilovač **SZ** pracuje jen v kladné oblasti. Po porovnání výstupního napětí součtového zesilovače **SZ** s prvním zdrojem **Ur1** referenčního napětí v komparátorech **K1** až **K16** čtyřbitového A/D převodníku je v přirozeném tvaru zaznamenána ve vyrovnávací paměti **VP**, a po zakódování v rekodéru **R** uložena v paměti **P1** hrubá čtyřbitová hodnota signálu. Po získání tohoto prvního, hodnotou významnějšího slova je proveden jeden aproximační krok, spočívající v tom, že se získaná hrubá číselná hodnota buď v přirozeném či zakódovaném tvaru, tj. z výstupu vyrovnávací paměti **VP** respektive z výstupu rekodéru **R**, po převedení číslcově analogovým převodníkem **D/A** odečte od analogového napětí **u<sub>a</sub>** vstupního signálu na vstupu součtového zesilovače **SZ**. Současně se změní referenční napětí na odporovém řetězci A/D převodníku na **Ur2**, rovnající se **Ur1**, čímž je na výstupech komparátorů **K1** až **K16** docíleno hodnot odpovídajících jemné číselné hodnotě signálu, která po zakódování rekodérem **R** vytváří druhé, hodnotou méně významné čtyřbitové slovo, které se ukládá v druhé paměti **P2**. Výsledné osmibitové slovo se získává přečtením obou čtyřbitových slov uložených v obou pamětech **P1** a **P2**.

Střídavá změna zdrojů **Ur1** na **Ur2** referenčního napětí, jakož i doba záznamu ve vyrovnávací paměti **VP** a změna v ukládání čtyřbitových slov v pamětech **P1** a **P2** je časově synchronizována a uskutečněna pomocí na výkrese neznázorněných logických obvodů.

## PŘEDMĚT VYNÁLEZU

Zapojení osmibitového analogo-číslicového paralelně sériového převodníku opatřeného součtovým zesilovačem, na jehož výstupu jsou paralelně komparátory, zapojené druhým vstupem na odporový, se zdrojem referenčního napětí spojený řetězec čtyřbitového analogo-číslicového převodníku, k jehož výstupu je připojena paměť pro uložení hrubé číselné hodnoty signálu a číslicově analogový převodník, jehož výstup je zapojen na

vstup součtového zesilovače, vyznačené tím, že odporový řetězec analogo-číslicového převodníku je připojen na druhý zdroj (Ur2) referenčního napětí a výstupy komparátorů (K1 až K16) jsou zapojeny na vyrovnávací paměť (VP) s rekodérem (R) na výstupu, k němuž jsou připojeny paměti (P1 a P2), přičemž číselně analogový převodník (D/A) je zapojen na výstup vyrovnávací paměti (VP) nebo rekodéru (R).

---

1 list výkresů

---

