

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成28年5月12日(2016.5.12)

【公表番号】特表2016-509280(P2016-509280A)

【公表日】平成28年3月24日(2016.3.24)

【年通号数】公開・登録公報2016-018

【出願番号】特願2015-549407(P2015-549407)

【国際特許分類】

G 0 6 T	15/00	(2011.01)
G 0 9 G	5/00	(2006.01)
G 0 9 G	5/393	(2006.01)
G 0 9 G	5/395	(2006.01)
G 0 9 G	5/36	(2006.01)

【F I】

G 0 6 T	15/00	5 0 1
G 0 9 G	5/00	5 5 5 T
G 0 9 G	5/00	5 5 0 P
G 0 9 G	5/00	5 5 0 R
G 0 9 G	5/36	5 3 0 E
G 0 9 G	5/36	5 3 0 F
G 0 9 G	5/36	5 3 0 C
G 0 9 G	5/00	5 2 0 W
G 0 9 G	5/00	5 5 5 M

【手続補正書】

【提出日】平成28年3月14日(2016.3.14)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

1つまたは複数のプロセッサによって、メモリ転送動作の少なくとも一部を行うためのメモリ転送モードを選択することと、ここにおいて、前記メモリ転送モードは、インターリーブメモリ転送モードと順次的メモリ転送モードとを含む少なくとも2つの異なるメモリ転送モードのセットから選択され、ここにおいて、前記順次的メモリ転送モードは、別個の時間間隔の間に、複数の連続的な読み取り要求のグループを出すことと、複数の連続的な書き込み要求のグループを出すことを交互に行うこととを含む。

グラフィックスプロセッシングユニット(GPU)によって、前記選択されたメモリ転送モードに基づいて前記メモリ転送動作を行うこととを備える方法。

【請求項2】

前記1つまたは複数のプロセッサによって前記メモリ転送モードを選択することは、前記1つまたは複数のプロセッサによって、前記メモリ転送動作によって転送されるべきデータの量に基づいて前記メモリ転送モードを選択することを備える、請求項1に記載の方法。

【請求項3】

前記1つまたは複数のプロセッサによって、前記メモリ転送動作によって転送されるべ

きデータの前記量に基づいて前記メモリ転送モードを選択することは、

前記メモリ転送動作によって転送されるべきデータの前記量が閾値より大きい場合、前記1つまたは複数のプロセッサによって、前記メモリ転送モードとして前記順次的メモリ転送モードを選択することと、

前記メモリ転送動作によって転送されるべきデータの前記量が前記閾値より大きくない場合、前記1つまたは複数のプロセッサによって、前記メモリ転送モードとして前記インターリープメモリ転送モードを選択することとを備える、請求項2に記載の方法。

【請求項4】

前記1つまたは複数のプロセッサによって前記メモリ転送モードを選択することは、

前記1つまたは複数のプロセッサによって、メモリ転送動作の宛先領域が有する固定されたスクリーン整列されたバッファ領域との重複の量に基づいて、前記固定されたスクリーン整列されたバッファ領域に関して前記メモリ転送動作を行うためのメモリ転送モードを選択することを備える、請求項1に記載の方法。

【請求項5】

前記メモリ転送動作を行うことはシェーダプログラムを実行することを備え、

前記1つまたは複数のプロセッサによって、前記メモリ転送モードを選択することは、前記シェーダプログラムの実行が前記メモリ転送動作の性能のボトルネックになる可能性が高いかどうかの決定に基づいて、前記メモリ転送モードを選択することを備える、請求項1に記載の方法。

【請求項6】

前記1つまたは複数のプロセッサによって、前記シェーダプログラムの前記実行が前記メモリ転送動作の前記性能のボトルネックになる可能性が高いかどうかの前記決定に基づいて、前記メモリ転送モードを選択することは、

前記シェーダプログラムの前記実行が前記メモリ転送動作の前記性能のボトルネックになる可能性が高くないと決定したことに応答して、前記メモリ転送モードとして前記順次的メモリ転送モードを選択することと、

前記シェーダプログラムの前記実行が前記メモリ転送動作の前記性能のボトルネックになる可能性が高いと決定したことに応答して、前記メモリ転送モードとして前記インターリープメモリ転送モードを選択することとを備える、請求項5に記載の方法。

【請求項7】

前記メモリ転送動作を行うことはシェーダプログラムを実行することを備え、

前記1つまたは複数のプロセッサによって前記メモリ転送モードを選択することは、前記メモリ転送動作を行うために使用されるシェーダプログラムのサイズおよび前記メモリ転送動作を行うために使用される前記シェーダプログラムの複雑さの少なくとも1つに基づいて、前記メモリ転送モードを選択することを備える、請求項1に記載の方法。

【請求項8】

前記1つまたは複数のプロセッサによって、前記メモリ転送動作を行うために使用される前記シェーダプログラムの前記サイズおよび前記メモリ転送動作を行うために使用される前記シェーダプログラムの前記複雑さの前記少なくとも1つに基づいて、前記メモリ転送モードを選択することは、

前記シェーダプログラムの前記サイズと前記シェーダプログラムの前記複雑さの前記少なくとも1つが閾値より小さい場合、前記1つまたは複数のプロセッサによって、前記メモリ転送モードとして前記順次的メモリ転送モードを選択することと、

前記シェーダプログラムの前記サイズと前記シェーダプログラムの前記複雑さの前記少なくとも1つが前記閾値より小さくない場合、前記1つまたは複数のプロセッサによって、前記メモリ転送モードとして前記インターリープメモリ転送モードを選択することとを備える、請求項7に記載の方法。

【請求項9】

前記GPUによって前記メモリ転送動作を行うことは、

前記GPUによって、前記メモリ転送動作を行うための前記メモリ転送モードとしてイ

ンターリーブメモリ転送モードが選択されたことに応答して、前記インターリーブメモリ転送モードに基づいて前記メモリ転送動作を行うこと、

前記 G P U によって、前記メモリ転送動作を行うための前記メモリ転送モードとして順次的メモリ転送モードが選択されたことに応答して、前記順次的メモリ転送モードに基づいて前記メモリ転送動作を行うことを備える、請求項 1 に記載の方法。

【請求項 1 0】

前記 G P U によって、前記インターリーブメモリ転送モードに基づいて前記メモリ転送動作を行うことは、生産者 - 消費者パラダイムに基づいて、読み取りエンジンに読み取り要求を出させ、書き込みエンジンに書き込み要求を出させることを備え、

前記 G P U によって、前記順次的メモリ転送モードに基づいて前記メモリ転送動作を行うことは、相互排除のパラダイムに基づいて、前記読み取りエンジンに読み取り要求を出させ、前記書き込みエンジンに書き込み要求を出させることを備える、請求項 9 に記載の方法。

【請求項 1 1】

前記 G P U によって、前記インターリーブメモリ転送モードに基づいて前記メモリ転送動作を行うことは、前記メモリ転送動作のための書き込み要求を出すために十分なソースデータが前記 G P U によってメモリから受け取られるたびに、前記書き込みエンジンによって、少なくとも 1 つの他の書き込み要求に対して後で受け取られるべき追加のソースデータを待機することなく、それぞれの前記ソースデータを消費することを備え、

前記 G P U によって、前記順次的メモリ転送モードに基づいて前記メモリ転送動作を行うことは、前記メモリ転送動作の少なくとも一部に対して、前記メモリ転送動作のための書き込み要求を出すために十分なソースデータを前記 G P U が前記メモリから受け取ったことに応答して、前記書き込みエンジンによって、少なくとも 1 つの他の書き込み要求を出すために十分な追加のソースデータが後で受け取られるまで前記ソースデータの消費を延期することを備える、請求項 9 に記載の方法。

【請求項 1 2】

前記 G P U によって、前記インターリーブメモリ転送モードに基づいて前記メモリ転送動作を行うことは、前記メモリ転送動作のための書き込み要求を出すために十分なソースデータを書き込みエンジンが消費するたびに、読み取りエンジンによって、少なくとも 1 つの他の書き込み要求に対して前記書き込みエンジンによって後で消費されるべき追加のソースデータを待機することなく、読み取り要求を出すことを備え、

前記 G P U によって、前記順次的メモリ転送モードに基づいて前記メモリ転送動作を行うことは、前記メモリ転送動作の少なくとも一部に対して、前記メモリ転送動作のための書き込み要求を出すために十分なソースデータを前記書き込みエンジンが消費したことに応答して、読み取りエンジンによって、少なくとも 1 つの他の書き込み要求を出すために十分な追加のソースデータが前記書き込みエンジンによって後で消費されるまで、後続の読み取り要求の発行を延期することを備える、請求項 9 に記載の方法。

【請求項 1 3】

前記 G P U は、前記 G P U によってメモリに出された読み取り要求に応答して受け取られたソースデータを記憶するように構成されるバッファを備え、

前記 G P U によって、前記インターリーブメモリ転送モードに基づいて前記メモリ転送動作を行うことは、

1 つまたは複数の読み取り要求を出すこと、

前記複数の読み取り要求に応答して前記メモリから受け取られたソースデータを前記バッファに配置すること、

前記複数の読み取り要求の各々について、前記複数の読み取り要求のそれぞれ 1 つに対して前記ソースデータが前記バッファに配置されたことに応答して、前記バッファに配置された前記ソースデータを消費し、前記消費されたソースデータに基づいて書き込み要求を出すこと、

複数の書き込み要求の各々について、前記書き込み要求のそれぞれ 1 つに対してソースデータが前記バッファから消費されたことに応答して、後続の読み取り要求を出すことと

を備え、

前記 G P U によって、前記順次的メモリ転送モードに基づいて前記メモリ転送動作を行うことは、

複数の読み取り要求を出すことと、

前記複数の読み取り要求に応答して前記メモリから受け取られたソースデータを前記バッファに配置することと、

前記バッファを埋めるために十分な読み取り要求が出されたことを検出したことに応答して、読み取り要求を出すことを止めることと、

前記バッファが満たされていることを検出したことに応答して、前記消費されたソースデータに基づいて、前記バッファ中のソースデータを消費し、複数の書き込み要求を出すことと、

前記バッファが空であることを検出したことに応答して、前記バッファ中のソースデータを消費して書き込み要求を出すことを止めることと、

前記バッファが空であることを検出したことに応答して、読み取り要求の発行を再開することと

を備える、請求項 1 に記載の方法。

【請求項 1 4】

少なくとも 2 つの異なるメモリ転送モードの前記セットから選択された第 1 のメモリ転送モードを使用して、前記メモリ転送動作の第 1 の部分を行うことと、

少なくとも 2 つの異なるメモリ転送モードの前記セットから選択された第 2 のメモリ転送モードを使用して、前記メモリ転送動作の第 2 の部分を行うこととを備える、請求項 1 に記載の方法。

【請求項 1 5】

前記 G P U によって前記メモリ転送動作を行うことは、

前記選択されたメモリ転送モードに基づいて、前記メモリ転送動作の間にメモリから取り出されるソースデータをバッファリングするために使用されるキャッシュのキャッシュラインサイズを選択することと、

前記選択されたキャッシュラインサイズに基づいて、前記メモリ転送動作のために前記キャッシュを構成することとを備える、請求項 1 に記載の方法。

【請求項 1 6】

前記キャッシュラインサイズを選択することは、

前記順次的メモリ転送モードが、前記メモリ転送動作を行うための前記メモリ転送モードとして選択されたことに応答して、前記キャッシュの容量全体に等しいキャッシュラインサイズを選択することと、

前記インターリーブメモリ転送モードが、前記メモリ転送動作を行うための前記メモリ転送モードとして選択されたことに応答して、前記キャッシュの前記容量全体より小さいキャッシュラインサイズを選択することとを備える、請求項 1 に記載の方法。

【請求項 1 7】

前記 1 つまたは複数のプロセッサは前記 G P U を備え、前記 1 つまたは複数のプロセッサによって前記メモリ転送モードを選択することは、前記 G P U によって、前記メモリ転送動作の前記少なくとも一部を行うための前記メモリ転送モードを選択することを備える、請求項 1 に記載の方法。

【請求項 1 8】

前記 1 つまたは複数のプロセッサは C P U を備え、前記 1 つまたは複数のプロセッサによって前記メモリ転送モードを選択することは、前記 C P U によって、メモリ転送動作の前記少なくとも一部を行うための前記メモリ転送モードを選択することを備え、前記 G P U に、前記選択されたメモリ転送モードに基づいて前記メモリ転送動作を行わせることをさらに備える、請求項 1 に記載の方法。

【請求項 1 9】

前記 1 つまたは複数のプロセッサによって、メモリ転送動作の少なくとも一部を行うた

めのメモリ転送モードを選択することと、ここにおいて、前記メモリ転送モードは、インターリープメモリ転送モードと順次的メモリ転送モードとを含む少なくとも2つの異なるメモリ転送モードのセットから選択される、

グラフィックスプロセッシングユニット(GPU)によって、前記選択されたメモリ転送モードに基づいて前記メモリ転送動作を行うことと、を備え、ここにおいて、前記1つまたは複数のプロセッサによって、前記メモリ転送動作の前記宛先領域が有する前記固定されたスクリーン整列されたバッファ領域との重複の量に基づいて、前記メモリ転送モードを選択することは、

前記1つまたは複数のプロセッサによって、メモリ転送動作の宛先領域が有する固定されたスクリーン整列されたバッファ領域との重複の量に基づいて、前記固定されたスクリーン整列されたバッファ領域に関して前記メモリ転送動作を行うためのメモリ転送モードを選択することと、

前記宛先領域が前記固定されたスクリーン整列されたバッファ領域を完全に覆う場合、前記メモリ転送モードとして前記順次的メモリ転送モードを選択することと、

前記宛先領域が前記固定されたスクリーン整列されたバッファ領域を完全には覆わない場合、前記メモリ転送モードとして前記インターリープメモリ転送モードを選択することと、

を備える、デバイス。

【請求項20】

1つまたは複数のプロセッサによって、メモリ転送動作の少なくとも一部を行うためのメモリ転送モードを選択することと、ここにおいて、前記メモリ転送モードは、インターリープメモリ転送モードと順次的メモリ転送モードとを含む少なくとも2つの異なるメモリ転送モードのセットから選択される、

グラフィックスプロセッシングユニット(GPU)によって、前記選択されたメモリ転送モードに基づいて前記メモリ転送動作を行うことと、を備え、ここにおいて、前記GPUによって前記メモリ転送動作を行うことは、

前記GPUによって、前記メモリ転送動作を行うための前記メモリ転送モードとしてインターリープメモリ転送モードが選択されたことに応答して、前記インターリープメモリ転送モードに基づいて前記メモリ転送動作を行うことと、ここにおいて、前記インターリープメモリ転送モードに基づいた前記メモリ転送動作は、書き込み要求を出すために十分なソースデータを前記GPUがメモリから受け取ったことに応答して、前記書き込みエンジンに前記書き込み要求を出させることと、前記書き込み要求を出すために十分な前記ソースデータを前記書き込みエンジンが消費したことに応答して、前記読み取りエンジンに読み取り要求を出させることとを備える、

前記GPUによって、前記メモリ転送動作を行うための前記メモリ転送モードとして順次的メモリ転送モードが選択されたことに応答して、前記順次的メモリ転送モードに基づいて前記メモリ転送動作を行うことと、ここにおいて、前記順次的メモリ転送モードに基づいた前記メモリ転送動作は、前記読み取りエンジンおよび前記書き込みエンジンに、別個の時間間隔の間に、複数の連続的な読み取り要求のグループを出すことと、複数の連続的な書き込み要求のグループを出すことと、を交互に行わせることを備える、

を備える方法。

【請求項21】

少なくとも1つのメモリと、

前記少なくとも1つのメモリに関してメモリ転送動作の少なくとも一部を行うためのメモリ転送モードを選択するように構成される1つまたは複数のプロセッサと、ここにおいて、前記メモリ転送モードは、インターリープメモリ転送モードと順次的メモリ転送モードとを含む少なくとも2つの異なるメモリ転送モードのセットから選択され、ここにおいて、前記順次的メモリ転送モードは、別個の時間間隔の間に、複数の連続的な読み取り要求のグループを出すことと、複数の連続的な書き込み要求のグループを出すことと、複数の連続的な書き込み要求のグループを出すこととを交互に行うこととを含む、

前記選択されたメモリ転送モードに基づいて前記メモリ転送動作を行うように構成されるグラフィックスプロセッシングユニット(G P U)と、
を備えるデバイス。

【請求項 2 2】

前記 1 つまたは複数のプロセッサはさらに、前記メモリ転送動作によって転送されるべきデータの量に基づいて前記メモリ転送モードを選択するように構成される、請求項 2 1 に記載のデバイス。

【請求項 2 3】

前記 1 つまたは複数のプロセッサはさらに、前記メモリ転送動作によって転送されるべきデータの前記量が閾値より大きい場合、前記メモリ転送モードとして前記順次的メモリ転送モードを選択し、前記メモリ転送動作によって転送されるべきデータの前記量が前記閾値より大きくない場合、前記メモリ転送モードとして前記インターリーブメモリ転送モードを選択するように構成される、請求項 2 2 に記載のデバイス。

【請求項 2 4】

前記 1 つまたは複数のプロセッサはさらに、メモリ転送動作の宛先領域が有する固定されたスクリーン整列されたバッファ領域との重複の量に基づいて、前記固定されたスクリーン整列されたバッファ領域に関して前記メモリ転送動作を行うためのメモリ転送モードを選択するように構成される、請求項 2 1 に記載のデバイス。

【請求項 2 5】

前記 1 つまたは複数のプロセッサはさらに、前記宛先領域が前記固定されたスクリーン整列されたバッファ領域を完全に覆う場合、前記メモリ転送モードとして前記順次的メモリ転送モードを選択し、前記宛先領域が前記固定されたスクリーン整列されたバッファ領域を完全には覆わない場合、前記メモリ転送モードとして前記インターリーブメモリ転送モードを選択するように構成される、請求項 2 4 に記載のデバイス。

【請求項 2 6】

前記 G P U はさらに、前記メモリ転送動作を行うためにシェーダプログラムを実行するように構成され、前記 1 つまたは複数のプロセッサはさらに、前記シェーダプログラムの実行が前記メモリ転送動作の性能のボトルネックになる可能性が高いかどうかの決定に基づいて、前記メモリ転送モードを選択するように構成される、請求項 2 1 に記載のデバイス。

【請求項 2 7】

前記 1 つまたは複数のプロセッサはさらに、前記シェーダプログラムの前記実行が前記メモリ転送動作の性能のボトルネックになる可能性が高くないと決定したことに応答して、前記メモリ転送モードとして前記順次的メモリ転送モードを選択し、前記シェーダプログラムの前記実行が前記メモリ転送動作の性能のボトルネックになる可能性が高いと決定したことに応答して、前記メモリ転送モードとして前記インターリーブメモリ転送モードを選択するように構成される、請求項 2 6 に記載のデバイス。

【請求項 2 8】

前記 G P U はさらに、前記メモリ転送動作を行うためにシェーダプログラムを実行するように構成され、前記 1 つまたは複数のプロセッサはさらに、前記メモリ転送動作を行うために使用されるシェーダプログラムのサイズおよび前記メモリ転送動作を行うために使用される前記シェーダプログラムの複雑さの少なくとも 1 つに基づいて、前記メモリ転送モードを選択するように構成される、請求項 2 1 に記載のデバイス。

【請求項 2 9】

前記 1 つまたは複数のプロセッサはさらに、前記シェーダプログラムの前記サイズと前記シェーダプログラムの前記複雑さの前記少なくとも 1 つが閾値より小さい場合、前記メモリ転送モードとして前記順次的メモリ転送モードを選択し、前記シェーダプログラムの前記サイズと前記シェーダプログラムの前記複雑さの前記少なくとも 1 つが前記閾値より小さくない場合、前記メモリ転送モードとして前記インターリーブメモリ転送モードを選択するように構成される、請求項 2 8 に記載のデバイス。

【請求項 3 0】

前記 G P U はさらに、前記メモリ転送動作を行うための前記メモリ転送モードとしてインターリープメモリ転送モードが選択されたことに応答して、前記インターリープメモリ転送モードに基づいて前記メモリ転送動作を行い、前記メモリ転送動作を行うための前記メモリ転送モードとして順次的メモリ転送モードが選択されたことに応答して、前記順次的メモリ転送モードに基づいて前記メモリ転送動作を行うように構成される、請求項 2 1 に記載のデバイス。

【請求項 3 1】

前記 G P U はさらに、前記インターリープメモリ転送モードに基づいて前記メモリ転送動作を行うときに、生産者 - 消費者パラダイムに基づいて、読み取りエンジンに読み取り要求を出させ、書き込みエンジンに書き込み要求を出させるように構成され、

前記 G P U はさらに、前記順次的メモリ転送モードに基づいて前記メモリ転送動作を行うときに、相互排除のパラダイムに基づいて、前記読み取りエンジンに読み取り要求を出させ、前記書き込みエンジンに書き込み要求を出せるように構成される、請求項 3 0 に記載のデバイス。

【請求項 3 2】

前記 G P U はさらに、前記インターリープメモリ転送モードに基づいて前記メモリ転送動作を行うときに、書き込み要求を出すために十分なソースデータを前記 G P U がメモリから受け取ったことに応答して、前記書き込みエンジンに前記書き込み要求を出させ、書き込み要求を出すために十分な、前記メモリから受け取られたソースデータを前記書き込みエンジンが消費したことに応答して、前記読み取りエンジンに読み取り要求を出せるように構成され、

前記 G P U はさらに、前記順次的メモリ転送モードに基づいて前記メモリ転送動作を行うときに、前記読み取りエンジンおよび前記書き込みエンジンに、別個の時間間隔の間に、複数の連続的な読み取り要求のグループを出すことと、複数の連続的な読み取り要求書き込み要求のグループを出すことを、交互に行わせるように構成される、請求項 3 0 に記載のデバイス。

【請求項 3 3】

前記 G P U はさらに、前記インターリープメモリ転送モードに基づいて前記メモリ転送動作を行うときに、前記メモリ転送動作のための書き込み要求を出すために十分なソースデータが前記 G P U によってメモリから受け取られるたびに、前記書き込みエンジンによって、少なくとも 1 つの他の書き込み要求に対して後で受け取られるべき追加のソースデータを待機することなく、それぞれの前記ソースデータを消費するように構成され、

前記 G P U はさらに、前記順次的メモリ転送モードに基づいて前記メモリ転送動作を行うときに、前記メモリ転送動作の少なくとも一部に対して、前記メモリ転送動作のための書き込み要求を出すために十分なソースデータを前記 G P U が前記メモリから受け取ったことに応答して、前記書き込みエンジンによって、少なくとも 1 つの他の書き込み要求を出すために十分な追加のソースデータが後で受け取られるまで前記ソースデータの消費を延期するように構成される、請求項 3 0 に記載のデバイス。

【請求項 3 4】

前記 G P U はさらに、前記インターリープメモリ転送モードに基づいて前記メモリ転送動作を行うときに、前記メモリ転送動作のための書き込み要求を出すために十分なソースデータを書き込みエンジンが消費するたびに、読み取りエンジンによって、少なくとも 1 つの他の書き込み要求に対して前記書き込みエンジンによって後で消費されるべき追加のソースデータを待機することなく、読み取り要求を出すように構成され、

前記 G P U はさらに、前記順次的メモリ転送モードに基づいて前記メモリ転送動作を行うときに、前記メモリ転送動作の少なくとも一部に対して、前記メモリ転送動作のための書き込み要求を出すために十分なソースデータを前記書き込みエンジンが消費したことに応答して、前記読み取りエンジンによって、少なくとも 1 つの他の書き込み要求を出すために十分なソースデータが前記書き込みエンジンによって後で消費されるまで、後続の読み取り要求の

発行を延期するように構成される、請求項 3 0 に記載のデバイス。

【請求項 3 5】

前記 G P U は、前記 G P U によってメモリに出された読み取り要求に応答して受け取られたソースデータを記憶するように構成されるバッファを備え、

前記 G P U はさらに、前記インターリーブメモリ転送モードに基づいて前記メモリ転送動作を行うときに、

1 つまたは複数の読み取り要求を出し、

前記複数の読み取り要求に応答して前記メモリから受け取られたソースデータを前記バッファに配置し、

前記複数の読み取り要求の各々について、前記複数の読み取り要求のそれぞれ 1 つに対して前記ソースデータが前記バッファに配置されたことに応答して、前記バッファに配置された前記ソースデータを消費し、前記消費されたソースデータに基づいて書き込み要求を出し、

複数の書き込み要求の各々について、前記書き込み要求のそれぞれ 1 つに対して前記ソースデータが前記バッファから消費されたことに応答して、後続の読み取り要求を出すように構成され、

前記 G P U はさらに、前記順次的メモリ転送モードに基づいて前記メモリ転送動作を行うときに、

複数の読み取り要求を出し、

前記複数の読み取り要求に応答して前記メモリから受け取られたソースデータを前記バッファに配置し、

前記バッファを埋めるために十分な読み取り要求が出されたことを検出したことに応答して、読み取り要求を出すことを止め、

前記バッファが満たされていることを検出したことに応答して、前記消費されたソースデータに基づいて、前記バッファ中のソースデータを消費し、複数の書き込み要求を出し、

前記バッファが空であることを検出したことに応答して、前記バッファ中のソースデータを消費して書き込み要求を出すことを止め、

前記バッファが空であることを検出したことに応答して、読み取り要求の発行を再開する

ように構成される、請求項 2 1 に記載のデバイス。

【請求項 3 6】

前記 G P U はさらに、少なくとも 2 つの異なるメモリ転送モードの前記セットから選択された第 1 のメモリ転送モードを使用して、前記メモリ転送動作の第 1 の部分を行い、少なくとも 2 つの異なるメモリ転送モードの前記セットから選択された第 2 のメモリ転送モードを使用して、前記メモリ転送動作の第 2 の部分を行うように構成される、請求項 2 1 に記載のデバイス。

【請求項 3 7】

前記 G P U はさらに、前記選択されたメモリ転送モードに基づいて、前記メモリ転送動作の間にメモリから取り出されるソースデータをバッファリングするために使用されるキャッシュのキャッシュラインサイズを選択し、前記選択されたキャッシュラインサイズに基づいて、前記メモリ転送動作のために前記キャッシュを構成するように構成される、請求項 2 1 に記載のデバイス。

【請求項 3 8】

前記 G P U はさらに、前記順次的メモリ転送モードが前記メモリ転送動作を行うための前記メモリ転送モードとして選択されたことに応答して、前記キャッシュの容量全体に等しいキャッシュラインサイズを選択し、前記インターリーブメモリ転送モードが前記メモリ転送動作を行うための前記メモリ転送モードとして選択されたことに応答して、前記キャッシュの前記容量全体より小さいキャッシュラインサイズを選択するように構成される、請求項 3 7 に記載のデバイス。

【請求項 3 9】

前記 1 つまたは複数のプロセッサは前記 G P U を備え、前記 G P U はさらに、メモリ転送動作の前記少なくとも一部を行うための前記メモリ転送モードを選択するように構成される、請求項 2 1 に記載のデバイス。

【請求項 4 0】

前記 1 つまたは複数のプロセッサは、前記メモリ転送動作の前記少なくとも一部を行うための前記メモリ転送モードを選択し、前記 G P U に、前記メモリ転送モードに基づいて前記メモリ転送動作を行わせるように構成される、C P U を備える、請求項 2 1 に記載のデバイス。

【請求項 4 1】

ワイヤレス通信デバイスを備える、請求項 2 1 に記載のデバイス。

【請求項 4 2】

携帯電話ハンドセットを備える、請求項 2 1 に記載のデバイス。

【請求項 4 3】

メモリ転送動作の少なくとも一部を行うためのメモリ転送モードを選択するための手段と、ここにおいて、前記メモリ転送モードは、インターリーブメモリ転送モードと順次的メモリ転送モードとを含む少なくとも 2 つの異なるメモリ転送モードのセットから選択され、ここにおいて、前記順次的メモリ転送モードは、別個の時間間隔の間に、複数の連続的な読み取り要求のグループを出すことと、複数の連続的な書き込み要求のグループを出すことを交互に行うこととを含む。

前記選択されたメモリ転送モードに基づいて前記メモリ転送動作を行うための手段とを備える装置。

【請求項 4 4】

前記メモリ転送モードを選択するための前記手段は、

前記メモリ転送動作によって転送されるべきデータの量、前記メモリ転送動作を行うために使用されるシェーダプログラムのサイズ、および前記メモリ転送動作を行うために使用される前記シェーダプログラムの複雑さの少なくとも 1 つに基づいて、前記メモリ転送モードを選択するための手段を備える、請求項 4 3 に記載の装置。

【請求項 4 5】

前記メモリ転送モードを選択するための前記手段は、

メモリ転送動作の宛先領域が有する固定されたスクリーン整列されたバッファ領域との重複の量に基づいて、前記固定されたスクリーン整列されたバッファ領域に関して前記メモリ転送動作を行うためのメモリ転送モードを選択するための手段を備える、請求項 4 3 に記載の装置。

【請求項 4 6】

前記メモリ転送動作を行うための前記手段は、グラフィックスプロセッシングユニット (G P U) を備え、

前記メモリ転送モードを選択するための前記手段は、C P U と前記 G P U の少なくとも 1 つを備える、請求項 4 3 に記載の装置。

【請求項 4 7】

実行されたとき、1 つまたは複数のプロセッサに、

メモリ転送動作の少なくとも一部を行うためのメモリ転送モードを選択させ、ここにおいて、前記メモリ転送モードは、インターリーブメモリ転送モードと順次的メモリ転送モードとを含む少なくとも 2 つの異なるメモリ転送モードのセットから選択され、ここにおいて、前記順次的メモリ転送モードは、別個の時間間隔の間に、複数の連続的な読み取り要求のグループを出すことと、複数の連続的な書き込み要求のグループを出すことを交互に行うこととを含む。

前記選択されたメモリ転送モードに基づいて前記メモリ転送動作を行わせる命令を記憶したコンピュータ可読記憶媒体。

【請求項 4 8】

実行されたとき、前記 1 つまたは複数のプロセッサに、前記メモリ転送モードを選択させる前記命令は、実行されたとき、前記 1 つまたは複数のプロセッサに、

前記メモリ転送動作によって転送されるべきデータの量、前記メモリ転送動作を行うために使用されるシェーダプログラムのサイズ、および前記メモリ転送動作を行うために使用される前記シェーダプログラムの複雑さの少なくとも 1 つに基づいて、前記メモリ転送モードを選択させる命令を備える、請求項 4 7 に記載のコンピュータ可読記憶媒体。

【請求項 4 9】

実行されたとき、前記 1 つまたは複数のプロセッサに、前記メモリ転送モードを選択させる前記命令は、実行されたとき、前記 1 つまたは複数のプロセッサに、

メモリ転送動作の宛先領域が有する固定されたスクリーン整列されたバッファ領域との重複の量に基づいて、前記固定されたスクリーン整列されたバッファ領域に関して前記メモリ転送動作を行うためのメモリ転送モードを選択させる命令を備える、請求項 4 7 に記載のコンピュータ可読記憶媒体。

【請求項 5 0】

実行されたとき、前記 1 つまたは複数のプロセッサに、前記メモリ転送動作を行わせる前記命令は、実行されたとき、グラフィックスプロセッシングユニット (GPU) に、前記選択されたメモリ転送モードに基づいて前記メモリ転送動作を行わせる命令を備え、

実行されたとき、前記 1 つまたは複数のプロセッサに、前記メモリ転送モードを選択させる前記命令は、実行されたとき、CPU と前記 GPU の少なくとも 1 つに、メモリ転送動作の前記少なくとも一部を行うための前記メモリ転送モードを選択させる命令を備える、請求項 4 7 に記載のコンピュータ可読記憶媒体。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 2 5 4

【補正方法】変更

【補正の内容】

【0 2 5 4】

[0277] 様々な態様および例が説明されてきた。しかしながら、以下の特許請求の範囲から逸脱することなく、本開示の構造または技法に変更が行われ得る。

以下に本願の出願当初の特許請求の範囲に記載された発明を付記する。

[C 1] 1 つまたは複数のプロセッサによって、メモリ転送動作の少なくとも一部を行うためのメモリ転送モードを選択することと、ここにおいて、前記メモリ転送モードは、インターリープメモリ転送モードと順次的メモリ転送モードとを含む少なくとも 2 つの異なるメモリ転送モードのセットから選択される、

グラフィックスプロセッシングユニット (GPU) によって、前記選択されたメモリ転送モードに基づいて前記メモリ転送動作を行うことと
を備える方法。

[C 2] 前記 1 つまたは複数のプロセッサによって前記メモリ転送モードを選択することが、

前記 1 つまたは複数のプロセッサによって、前記メモリ転送動作によって転送されるべきデータの量に基づいて前記メモリ転送モードを選択することを備える、C 1 に記載の方法。

[C 3] 前記 1 つまたは複数のプロセッサによって、前記メモリ転送動作によって転送されるべきデータの前記量に基づいて前記メモリ転送モードを選択することが、

前記メモリ転送動作によって転送されるべきデータの前記量が閾値より大きい場合、前記 1 つまたは複数のプロセッサによって、前記メモリ転送モードとして前記順次的メモリ転送モードを選択することと、

前記メモリ転送動作によって転送されるべきデータの前記量が前記閾値より大きくない場合、前記 1 つまたは複数のプロセッサによって、前記メモリ転送モードとして前記インターリープメモリ転送モードを選択することとを備える、C 2 に記載の方法。

[C 4] 前記 1 つまたは複数のプロセッサによって前記メモリ転送モードを選択することが、

前記 1 つまたは複数のプロセッサによって、メモリ転送動作の宛先領域が有する固定されたスクリーン整列されたバッファ領域との重複の量に基づいて、前記固定されたスクリーン整列されたバッファ領域に関して前記メモリ転送動作を行うためのメモリ転送モードを選択することを備える、C 1 に記載の方法。

[C 5] 前記 1 つまたは複数のプロセッサによって、前記メモリ転送動作の前記宛先領域が有する前記固定されたスクリーン整列されたバッファ領域との重複の量に基づいて、前記メモリ転送モードを選択することが、

前記宛先領域が前記固定されたスクリーン整列されたバッファ領域を完全に覆う場合、前記メモリ転送モードとして前記順次的メモリ転送モードを選択することと、

前記宛先領域が前記固定されたスクリーン整列されたバッファ領域を完全には覆わない場合、前記メモリ転送モードとして前記インターリーブメモリ転送モードを選択することとを備える、C 4 に記載の方法。

[C 6] 前記メモリ転送動作を行うことがシェーダプログラムを実行することを備え、前記 1 つまたは複数のプロセッサによって、前記メモリ転送モードを選択することが、前記シェーダプログラムの実行が前記メモリ転送動作の性能のボトルネックになる可能性が高いかどうかの決定に基づいて、前記メモリ転送モードを選択することを備える、C 1 に記載の方法。

[C 7] 前記 1 つまたは複数のプロセッサによって、前記シェーダプログラムの前記実行が前記メモリ転送動作の前記性能のボトルネックになる可能性が高いかどうかの前記決定に基づいて、前記メモリ転送モードを選択することが、

前記シェーダプログラムの前記実行が前記メモリ転送動作の前記性能のボトルネックになる可能性が高くないと決定したことに応答して、前記メモリ転送モードとして前記順次的メモリ転送モードを選択することと、

前記シェーダプログラムの前記実行が前記メモリ転送動作の前記性能のボトルネックになる可能性が高いと決定したことに応答して、前記メモリ転送モードとして前記インターリーブメモリ転送モードを選択することとを備える、C 6 に記載の方法。

[C 8] 前記メモリ転送動作を行うことがシェーダプログラムを実行することを備え、前記 1 つまたは複数のプロセッサによって前記メモリ転送モードを選択することが、前記メモリ転送動作を行うために使用されるシェーダプログラムのサイズおよび前記メモリ転送動作を行うために使用される前記シェーダプログラムの複雑さの少なくとも 1 つに基づいて、前記メモリ転送モードを選択することを備える、C 1 に記載の方法。

[C 9] 前記 1 つまたは複数のプロセッサによって、前記メモリ転送動作を行うために使用される前記シェーダプログラムの前記サイズおよび前記メモリ転送動作を行うために使用される前記シェーダプログラムの前記複雑さの前記少なくとも 1 つに基づいて、前記メモリ転送モードを選択することが、

前記シェーダプログラムの前記サイズと前記シェーダプログラムの前記複雑さの前記少なくとも 1 つが閾値より小さい場合、前記 1 つまたは複数のプロセッサによって、前記メモリ転送モードとして前記順次的メモリ転送モードを選択することと、

前記シェーダプログラムの前記サイズと前記シェーダプログラムの前記複雑さの前記少なくとも 1 つが前記閾値より小さくない場合、前記 1 つまたは複数のプロセッサによって、前記メモリ転送モードとして前記インターリーブメモリ転送モードを選択することとを備える、C 8 に記載の方法。

[C 10] 前記 G P U によって前記メモリ転送動作を行うことが、

前記 G P U によって、前記メモリ転送動作を行うための前記メモリ転送モードとしてインターリーブメモリ転送モードが選択されたことに応答して、前記インターリーブメモリ転送モードに基づいて前記メモリ転送動作を行うことと、

前記 G P U によって、前記メモリ転送動作を行うための前記メモリ転送モードとして順次的メモリ転送モードが選択されたことに応答して、前記順次的メモリ転送モードに基づ

いて前記メモリ転送動作を行うこととを備える、C 1に記載の方法。

[C 1 1] 前記G P Uによって、前記インターリーブメモリ転送モードに基づいて前記メモリ転送動作を行うことが、生産者 - 消費者パラダイムに基づいて、読み取りエンジンに読み取り要求を出させ、書き込みエンジンに書き込み要求を出させることを備え、

前記G P Uによって、前記順次的メモリ転送モードに基づいて前記メモリ転送動作を行うことが、相互排除のパラダイムに基づいて、前記読み取りエンジンに読み取り要求を出させ、前記書き込みエンジンに書き込み要求を出させることを備える、C 1 0に記載の方法。

[C 1 2] 前記G P Uによって、前記インターリーブメモリ転送モードに基づいて前記メモリ転送動作を行うことが、書き込み要求を出すために十分なソースデータを前記G P Uがメモリから受け取ったことに応答して、前記書き込みエンジンに前記書き込み要求を出させることと、前記書き込み要求を出すために十分な前記ソースデータを前記書き込みエンジンが消費したことに応答して、前記読み取りエンジンに読み取り要求を出させることとを備え、

前記G P Uによって、前記順次的メモリ転送モードに基づいて前記メモリ転送動作を行うことが、前記読み取りエンジンおよび前記書き込みエンジンに、別の時間間隔の間に、複数の連続的な読み取り要求のグループを出すことと、複数の連続的な書き込み要求のグループを出すことを、交互に行わせることを備える、C 1 0に記載の方法。

[C 1 3] 前記G P Uによって、前記インターリーブメモリ転送モードに基づいて前記メモリ転送動作を行うことが、前記メモリ転送動作のための書き込み要求を出すために十分なソースデータが前記G P Uによってメモリから受け取られるたびに、前記書き込みエンジンによって、少なくとも1つの他の書き込み要求に対して後で受け取られるべき追加のソースデータを待機することなく、それぞれの前記ソースデータを消費することを備え、

前記G P Uによって、前記順次的メモリ転送モードに基づいて前記メモリ転送動作を行うことが、前記メモリ転送動作の少なくとも一部に対して、前記メモリ転送動作のための書き込み要求を出すために十分なソースデータを前記G P Uが前記メモリから受け取ったことに応答して、前記書き込みエンジンによって、少なくとも1つの他の書き込み要求を出すために十分な追加のソースデータが後で受け取られるまで前記ソースデータの消費を延期することを備える、C 1 0に記載の方法。

[C 1 4] 前記G P Uによって、前記インターリーブメモリ転送モードに基づいて前記メモリ転送動作を行うことが、前記メモリ転送動作のための書き込み要求を出すために十分なソースデータを書き込みエンジンが消費するたびに、読み取りエンジンによって、少なくとも1つの他の書き込み要求に対して前記書き込みエンジンによって後で消費されるべき追加のソースデータを待機することなく、読み取り要求を出すことを備え、

前記G P Uによって、前記順次的メモリ転送モードに基づいて前記メモリ転送動作を行うことが、前記メモリ転送動作の少なくとも一部に対して、前記メモリ転送動作のための書き込み要求を出すために十分なソースデータを前記書き込みエンジンが消費したことに対応して、読み取りエンジンによって、少なくとも1つの他の書き込み要求を出すために十分な追加のソースデータが前記書き込みエンジンによって後で消費されるまで、後続の読み取り要求の発行を延期することを備える、C 1 0に記載の方法。

[C 1 5] 前記G P Uが、前記G P Uによってメモリに出された読み取り要求に応答して受け取られたソースデータを記憶するように構成されるバッファを備え、

前記G P Uによって、前記インターリーブメモリ転送モードに基づいて前記メモリ転送動作を行うことが、

1つまたは複数の読み取り要求を出すことと、

前記複数の読み取り要求に応答して前記メモリから受け取られたソースデータを前記バッファに配置することと、

前記複数の読み取り要求の各々について、前記複数の読み取り要求のそれぞれ1つに対して前記ソースデータが前記バッファに配置されたことに応答して、前記バッファに配置された前記ソースデータを消費し、前記消費されたソースデータに基づいて書き込み要求を出すことと、

複数の書き込み要求の各々について、前記書き込み要求のそれぞれ1つに対してソースデ

ータが前記バッファから消費されたことに応答して、後続の読み取り要求を出すことを備え、

前記G P Uによって、前記順次的メモリ転送モードに基づいて前記メモリ転送動作を行うことが、

複数の読み取り要求を出すことと、

前記複数の読み取り要求に応答して前記メモリから受け取られたソースデータを前記バッファに配置することと、

前記バッファを埋めるために十分な読み取り要求が出されたことを検出したことに応答して、読み取り要求を出すことを止めることと、

前記バッファが満たされていることを検出したことに応答して、前記消費されたソースデータに基づいて、前記バッファ中のソースデータを消費し、複数の書き込み要求を出すことと、

前記バッファが空であることを検出したことに応答して、前記バッファ中のソースデータを消費して書き込み要求を出すことを止めることと、

前記バッファが空であることを検出したことに応答して、読み取り要求の発行を再開することと

を備える、C 1に記載の方法。

[C 16] 少なくとも2つの異なるメモリ転送モードの前記セットから選択された第1のメモリ転送モードを使用して、前記メモリ転送動作の第1の部分を行うことと、

少なくとも2つの異なるメモリ転送モードの前記セットから選択された第2のメモリ転送モードを使用して、前記メモリ転送動作の第2の部分を行うことを備える、C 1に記載の方法。

[C 17] 前記G P Uによって前記メモリ転送動作を行うことが、

前記選択されたメモリ転送モードに基づいて、前記メモリ転送動作の間にメモリから取り出されるソースデータをバッファリングするために使用されるキャッシュのキャッシュラインサイズを選択することと、

前記選択されたキャッシュラインサイズに基づいて、前記メモリ転送動作のために前記キャッシュを構成することとを備える、C 1に記載の方法。

[C 18] 前記キャッシュラインサイズを選択することが、

前記順次的メモリ転送モードが、前記メモリ転送動作を行うための前記メモリ転送モードとして選択されたことに応答して、前記キャッシュの容量全体に等しいキャッシュラインサイズを選択することと、

前記インターリーブメモリ転送モードが、前記メモリ転送動作を行うための前記メモリ転送モードとして選択されたことに応答して、前記キャッシュの前記容量全体より小さいキャッシュラインサイズを選択することとを備える、C 17に記載の方法。

[C 19] 前記1つまたは複数のプロセッサが前記G P Uを備え、前記1つまたは複数のプロセッサによって前記メモリ転送モードを選択することが、前記G P Uによって、前記メモリ転送動作の前記少なくとも一部を行うための前記メモリ転送モードを選択することを備える、C 1に記載の方法。

[C 20] 前記1つまたは複数のプロセッサがC P Uを備え、前記1つまたは複数のプロセッサによって前記メモリ転送モードを選択することが、前記C P Uによって、メモリ転送動作の前記少なくとも一部を行うための前記メモリ転送モードを選択することを備え、前記G P Uに、前記選択されたメモリ転送モードに基づいて前記メモリ転送動作を行わせることをさらに備える、C 1に記載の方法。

[C 21] メモリ転送動作の少なくとも一部を行うためのメモリ転送モードを選択するように構成される1つまたは複数のプロセッサと、ここにおいて、前記メモリ転送モードは、インターリーブメモリ転送モードと順次的メモリ転送モードとを含む少なくとも2つの異なるメモリ転送モードのセットから選択される、

前記選択されたメモリ転送モードに基づいて前記メモリ転送動作を行うように構成されるグラフィックスプロセッシングユニット(G P U)と

を備えるデバイス。

[C 2 2] 前記 1 つまたは複数のプロセッサがさらに、前記メモリ転送動作によって転送されるべきデータの量に基づいて前記メモリ転送モードを選択するように構成される、C 2 1 に記載のデバイス。

[C 2 3] 前記 1 つまたは複数のプロセッサがさらに、前記メモリ転送動作によって転送されるべきデータの前記量が閾値より大きい場合、前記メモリ転送モードとして前記順次的メモリ転送モードを選択し、前記メモリ転送動作によって転送されるべきデータの前記量が前記閾値より大きくない場合、前記メモリ転送モードとして前記インターリーブメモリ転送モードを選択するように構成される、C 2 2 に記載のデバイス。

[C 2 4] 前記 1 つまたは複数のプロセッサがさらに、メモリ転送動作の宛先領域が有する固定されたスクリーン整列されたバッファ領域との重複の量に基づいて、前記固定されたスクリーン整列されたバッファ領域に関して前記メモリ転送動作を行うためのメモリ転送モードを選択するように構成される、C 2 1 に記載のデバイス。

[C 2 5] 前記 1 つまたは複数のプロセッサがさらに、前記宛先領域が前記固定されたスクリーン整列されたバッファ領域を完全に覆う場合、前記メモリ転送モードとして前記順次的メモリ転送モードを選択し、前記宛先領域が前記固定されたスクリーン整列されたバッファ領域を完全には覆わない場合、前記メモリ転送モードとして前記インターリーブメモリ転送モードを選択するように構成される、C 2 4 に記載のデバイス。

[C 2 6] 前記 G P U がさらに、前記メモリ転送動作を行うためにシェーダプログラムを実行するように構成され、前記 1 つまたは複数のプロセッサがさらに、前記シェーダプログラムの実行が前記メモリ転送動作の性能のボトルネックになる可能性が高いかどうかの決定に基づいて、前記メモリ転送モードを選択するように構成される、C 2 1 に記載のデバイス。

[C 2 7] 前記 1 つまたは複数のプロセッサがさらに、前記シェーダプログラムの前記実行が前記メモリ転送動作の性能のボトルネックになる可能性が高くないと決定したことに対応して、前記メモリ転送モードとして前記順次的メモリ転送モードを選択し、前記シェーダプログラムの前記実行が前記メモリ転送動作の性能のボトルネックになる可能性が高いと決定したことに応答して、前記メモリ転送モードとして前記インターリーブメモリ転送モードを選択するように構成される、C 2 6 に記載のデバイス。

[C 2 8] 前記 G P U がさらに、前記メモリ転送動作を行うためにシェーダプログラムを実行するように構成され、前記 1 つまたは複数のプロセッサがさらに、前記メモリ転送動作を行うために使用されるシェーダプログラムのサイズおよび前記メモリ転送動作を行うために使用される前記シェーダプログラムの複雑さの少なくとも 1 つに基づいて、前記メモリ転送モードを選択するように構成される、C 2 1 に記載のデバイス。

[C 2 9] 前記 1 つまたは複数のプロセッサがさらに、前記シェーダプログラムの前記サイズと前記シェーダプログラムの前記複雑さの前記少なくとも 1 つが閾値より小さい場合、前記メモリ転送モードとして前記順次的メモリ転送モードを選択し、前記シェーダプログラムの前記サイズと前記シェーダプログラムの前記複雑さの前記少なくとも 1 つが前記閾値より小さくない場合、前記メモリ転送モードとして前記インターリーブメモリ転送モードを選択するように構成される、C 2 8 に記載のデバイス。

[C 3 0] 前記 G P U がさらに、前記メモリ転送動作を行うための前記メモリ転送モードとしてインターリーブメモリ転送モードが選択されたことに応答して、前記インターリーブメモリ転送モードに基づいて前記メモリ転送動作を行い、前記メモリ転送動作を行うための前記メモリ転送モードとして順次的メモリ転送モードが選択されたことに応答して、前記順次的メモリ転送モードに基づいて前記メモリ転送動作を行うように構成される、C 2 1 に記載のデバイス。

[C 3 1] 前記 G P U がさらに、前記インターリーブメモリ転送モードに基づいて前記メモリ転送動作を行うときに、生産者 - 消費者パラダイムに基づいて、読み取りエンジンに読み取り要求を出させ、書き込みエンジンに書き込み要求を出させるように構成され、

前記 G P U がさらに、前記順次的メモリ転送モードに基づいて前記メモリ転送動作を行

うときに、相互排除のパラダイムに基づいて、前記読み取りエンジンに読み取り要求を出させ、前記書き込みエンジンに書き込み要求を出させるように構成される、C30に記載のデバイス。

[C32] 前記GPUがさらに、前記インターリーブメモリ転送モードに基づいて前記メモリ転送動作を行うときに、書き込み要求を出すために十分なソースデータを前記GPUがメモリから受け取ったことに応答して、前記書き込みエンジンに前記書き込み要求を出させ、書き込み要求を出すために十分な、前記メモリから受け取られたソースデータを前記書き込みエンジンが消費したことに応答して、前記読み取りエンジンに読み取り要求を出せるように構成され、

前記GPUがさらに、前記順次的メモリ転送モードに基づいて前記メモリ転送動作を行うときに、前記読み取りエンジンおよび前記書き込みエンジンに、別の時間間隔の間に、複数の連続的な読み取り要求のグループを出すことと、複数の連続的な読み取り要求書き込み要求のグループを出すこととを、交互に行わせるように構成される、C30に記載のデバイス。

[C33] 前記GPUがさらに、前記インターリーブメモリ転送モードに基づいて前記メモリ転送動作を行うときに、前記メモリ転送動作のための書き込み要求を出すために十分なソースデータが前記GPUによってメモリから受け取られるたびに、前記書き込みエンジンによって、少なくとも1つの他の書き込み要求に対して後で受け取られるべき追加のソースデータを待機することなく、それぞれの前記ソースデータを消費するように構成され、

前記GPUがさらに、前記順次的メモリ転送モードに基づいて前記メモリ転送動作を行うときに、前記メモリ転送動作の少なくとも一部に対して、前記メモリ転送動作のための書き込み要求を出すために十分なソースデータを前記GPUが前記メモリから受け取ったことに応答して、前記書き込みエンジンによって、少なくとも1つの他の書き込み要求を出すために十分な追加のソースデータが後で受け取られるまで前記ソースデータの消費を延期するように構成される、C30に記載のデバイス。

[C34] 前記GPUがさらに、前記インターリーブメモリ転送モードに基づいて前記メモリ転送動作を行うときに、前記メモリ転送動作のための書き込み要求を出すために十分なソースデータを書き込みエンジンが消費するたびに、読み取りエンジンによって、少なくとも1つの他の書き込み要求に対して前記書き込みエンジンによって後で消費されるべき追加のソースデータを待機することなく、読み取り要求を出すように構成され、

前記GPUがさらに、前記順次的メモリ転送モードに基づいて前記メモリ転送動作を行うときに、前記メモリ転送動作の少なくとも一部に対して、前記メモリ転送動作のための書き込み要求を出すために十分なソースデータを前記書き込みエンジンが消費したことに応答して、前記読み取りエンジンによって、少なくとも1つの他の書き込み要求を出すために十分なソースデータが前記書き込みエンジンによって後で消費されるまで、後続の読み取り要求の発行を延期するように構成される、C30に記載のデバイス。

[C35] 前記GPUが、前記GPUによってメモリに出された読み取り要求に応答して受け取られたソースデータを記憶するように構成されるバッファを備え、

前記GPUがさらに、前記インターリーブメモリ転送モードに基づいて前記メモリ転送動作を行うときに、

1つまたは複数の読み取り要求を出し、

前記複数の読み取り要求に応答して前記メモリから受け取られたソースデータを前記バッファに配置し、

前記複数の読み取り要求の各々について、前記複数の読み取り要求のそれぞれ1つに対して前記ソースデータが前記バッファに配置されたことに応答して、前記バッファに配置された前記ソースデータを消費し、前記消費されたソースデータに基づいて書き込み要求を出し、

複数の書き込み要求の各々について、前記書き込み要求のそれぞれ1つに対してソースデータが前記バッファから消費されたことに応答して、後続の読み取り要求を出すように構成され、

前記GPUがさらに、前記順次的メモリ転送モードに基づいて前記メモリ転送動作を行

うときに、

複数の読み取り要求を出し、

前記複数の読み取り要求に応答して前記メモリから受け取られたソースデータを前記バッファに配置し、

前記バッファを埋めるために十分な読み取り要求が出されたことを検出したことに応答して、読み取り要求を出すことを止め、

前記バッファが満たされていることを検出したことに応答して、前記消費されたソースデータに基づいて、前記バッファ中のソースデータを消費し、複数の書き込み要求を出し、

前記バッファが空であることを検出したことに応答して、前記バッファ中のソースデータを消費して書き込み要求を出すことを止め、

前記バッファが空であることを検出したことに応答して、読み取り要求の発行を再開する

ように構成される、C 2 1に記載のデバイス。

[C 3 6] 前記G P Uがさらに、少なくとも2つの異なるメモリ転送モードの前記セットから選択された第1のメモリ転送モードを使用して、前記メモリ転送動作の第1の部分を行い、前記少なくとも2つの異なるメモリ転送モードの前記セットから選択された第2のメモリ転送モードを使用して、前記メモリ転送動作の第2の部分を行うように構成される、C 2 1に記載のデバイス。

[C 3 7] 前記G P Uがさらに、前記選択されたメモリ転送モードに基づいて、前記メモリ転送動作の間にメモリから取り出されるソースデータをバッファリングするために使用されるキャッシュのキャッシュラインサイズを選択し、前記選択されたキャッシュラインサイズに基づいて、前記メモリ転送動作のために前記キャッシュを構成するように構成される、C 2 1に記載のデバイス。

[C 3 8] 前記G P Uがさらに、前記順次的メモリ転送モードが前記メモリ転送動作を行うための前記メモリ転送モードとして選択されたことに応答して、前記キャッシュの容量全体に等しいキャッシュラインサイズを選択し、前記インターリーブメモリ転送モードが前記メモリ転送動作を行うための前記メモリ転送モードとして選択されたことに応答して、前記キャッシュの前記容量全体より小さいキャッシュラインサイズを選択するように構成される、C 3 7に記載のデバイス。

[C 3 9] 前記1つまたは複数のプロセッサが前記G P Uを備え、前記G P Uが、メモリ転送動作の前記少なくとも一部を行うための前記メモリ転送モードを選択するように構成される、C 2 1に記載のデバイス。

[C 4 0] 前記1つまたは複数のプロセッサが、前記メモリ転送動作の前記少なくとも一部を行うための前記メモリ転送モードを選択し、前記G P Uに、前記メモリ転送モードに基づいて前記メモリ転送動作を行わせるように構成される、C P Uを備える、C 2 1に記載のデバイス。

[C 4 1] ワイヤレス通信デバイスを備える、C 2 1に記載のデバイス。

[C 4 2] 携帯電話ハンドセットを備える、C 2 1に記載のデバイス。

[C 4 3] メモリ転送動作の少なくとも一部を行うためのメモリ転送モードを選択するための手段と、ここにおいて、前記メモリ転送モードは、インターリーブメモリ転送モードと順次的メモリ転送モードとを含む少なくとも2つの異なるメモリ転送モードのセットから選択される、

前記選択されたメモリ転送モードに基づいて前記メモリ転送動作を行うための手段とを備える装置。

[C 4 4] 前記メモリ転送モードを選択するための前記手段が、

前記メモリ転送動作によって転送されるべきデータの量、前記メモリ転送動作を行うために使用されるシェーダプログラムのサイズ、および前記メモリ転送動作を行うために使用される前記シェーダプログラムの複雑さの少なくとも1つに基づいて、前記メモリ転送モードを選択するための手段を備える、C 4 3に記載の装置。

[C 4 5] 前記メモリ転送モードを選択するための前記手段が、

メモリ転送動作の宛先領域が有する固定されたスクリーン整列されたバッファ領域との重複の量に基づいて、前記固定されたスクリーン整列されたバッファ領域に関して前記メモリ転送動作を行うためのメモリ転送モードを選択するための手段を備える、C 4 3 に記載の装置。

[C 4 6] 前記メモリ転送動作を行うための前記手段が、グラフィックスプロセッシングユニット(GPU)を備え、

前記メモリ転送モードを選択するための前記手段が、CPUと前記GPUの少なくとも1つを備える、C 4 3 に記載の装置。

[C 4 7] 実行されたとき、1つまたは複数のプロセッサに、

メモリ転送動作の少なくとも一部を行うためのメモリ転送モードを選択させ、ここにおいて、前記メモリ転送モードは、インターリーブメモリ転送モードと順次的メモリ転送モードとを含む少なくとも2つの異なるメモリ転送モードのセットから選択される、

前記選択されたメモリ転送モードに基づいて前記メモリ転送動作を行わせる命令を記憶したコンピュータ可読記憶媒体。

[C 4 8] 実行されたとき、前記1つまたは複数のプロセッサに、前記メモリ転送モードを選択させる前記命令が、実行されたとき、前記1つまたは複数のプロセッサに、

前記メモリ転送動作によって転送されるべきデータの量、前記メモリ転送動作を行うために使用されるシェーダプログラムのサイズ、および前記メモリ転送動作を行うために使用される前記シェーダプログラムの複雑さの少なくとも1つに基づいて、前記メモリ転送モードを選択させる命令を備える、C 4 7 に記載のコンピュータ可読記憶媒体。

[C 4 9] 実行されたとき、前記1つまたは複数のプロセッサに、前記メモリ転送モードを選択させる前記命令が、実行されたとき、前記1つまたは複数のプロセッサに、

メモリ転送動作の宛先領域が有する固定されたスクリーン整列されたバッファ領域との重複の量に基づいて、前記固定されたスクリーン整列されたバッファ領域に関して前記メモリ転送動作を行うためのメモリ転送モードを選択させる命令を備える、C 4 7 に記載のコンピュータ可読記憶媒体。

[C 5 0] 実行されたとき、前記1つまたは複数のプロセッサに、前記メモリ転送動作を行わせる前記命令が、実行されたとき、グラフィックスプロセッシングユニット(GPU)に、前記選択されたメモリ転送モードに基づいて前記メモリ転送動作を行わせる命令を備え、

実行されたとき、前記1つまたは複数のプロセッサに、前記メモリ転送動作を選択させる前記命令が、実行されたとき、CPUと前記GPUの少なくとも1つに、メモリ転送動作の前記少なくとも一部を行うための前記メモリ転送モードを選択させる命令を備える、C 4 7 に記載のコンピュータ可読記憶媒体。