

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4898436号
(P4898436)

(45) 発行日 平成24年3月14日(2012.3.14)

(24) 登録日 平成24年1月6日(2012.1.6)

(51) Int.Cl. F I
G 1 1 B 9/14 (2006.01) G 1 1 B 9/14 K

請求項の数 17 (全 7 頁)

| | | | |
|---------------|-------------------------------|-----------|-----------------------|
| (21) 出願番号 | 特願2006-518269 (P2006-518269) | (73) 特許権者 | 510225292 |
| (86) (22) 出願日 | 平成16年6月30日 (2004.6.30) | | コミサリア ア レネルジー アトミック |
| (65) 公表番号 | 特表2007-516544 (P2007-516544A) | | エ オ ゼネルジー アルテルナティブ |
| (43) 公表日 | 平成19年6月21日 (2007.6.21) | | COMMISSARIAT A L' EN |
| (86) 国際出願番号 | PCT/FR2004/001677 | | ERGIE ATOMIQUE ET A |
| (87) 国際公開番号 | W02005/013270 | | UX ENERGIES ALTERNA |
| (87) 国際公開日 | 平成17年2月10日 (2005.2.10) | | TIVES |
| 審査請求日 | 平成19年5月25日 (2007.5.25) | | フランス, パリ エフー75015, リュ |
| (31) 優先権主張番号 | 03/08134 | | ー ルブラン 25, パティマン ル ポ |
| (32) 優先日 | 平成15年7月3日 (2003.7.3) | | ナン デ |
| (33) 優先権主張国 | フランス (FR) | | Batiment Le Ponant |
| | | | D, 25 rue Leblanc, F- |
| | | | 75015 Paris, FRANCE |
| | | (74) 代理人 | 100075812 |
| | | | 弁理士 吉武 賢次 |

最終頁に続く

(54) 【発明の名称】 データ記録方法及びこの方法を実施する、変形可能なメモリ支持体を有する装置

(57) 【特許請求の範囲】

【請求項 1】

少なくとも1つの変形可能なメモリ層(2)を含む薄い層のスタックから成るメモリ支持体(1)に向けた平面内に配列されているマイクロチップ(6)のアレイによってデータを記録する方法であって、前記複数のマイクロチップは、全く同一の1つの基板(7)上に直接固定されており、対応するマイクロチップの選択的作動によってデータ記録を行う段階を有し、ここにおいて、マイクロチップの作動が前記メモリ支持体の対応する位置における状態の変化をもたらす、方法であって、

前記作動の前に、データの記録には不十分な圧力でマイクロチップをメモリ層に対して接触させ、メモリ層に対して全てのマイクロチップが接触するようにメモリ層を変形させる、方法。

【請求項 2】

データ記録は、前記複数のマイクロチップの電気作動によって行われることを特徴とする請求項1に記載の方法。

【請求項 3】

データ記録は、前記複数のマイクロチップの熱作動によって行われることを特徴とする請求項1に記載の方法。

【請求項 4】

データ記録は、前記複数のマイクロチップに十分な圧力を及ぼして、前記メモリ支持体に永久変化をもたらすことによって実施されることを特徴とする請求項1に記載の方法。

【請求項 5】

請求項 1 ~ 4 のいずれかーに記載の方法を実施するために用いられる記録装置であって、前記複数のマイクロチップはナノメートル台の寸法の頂点を有している、記録装置。

【請求項 6】

基板(4)と、前記基板上の可撓性層(3)と、前記可撓性層上の前記メモリ層(2)を備えている請求項 5 に記載の装置。

【請求項 7】

前記可撓性層(6)は、ポリマーで作られていることを特徴とする請求項 6 に記載の装置。

【請求項 8】

前記可撓性層(3)は、フォトレジストで作られていることを特徴とする請求項 7 に記載の装置。

【請求項 9】

前記可撓性層(3)は、グルーであることを特徴とする請求項 6 に記載の装置。

【請求項 10】

前記可撓性層(3)は、エラストマーシリコンで作られていることを特徴とする請求項 6 に記載の装置。

【請求項 11】

前記可撓性層(3)の厚さは、ほぼ数マイクロメートルであることを特徴とする請求項 6 ~ 10 のいずれかーに記載の装置。

【請求項 12】

前記可撓性層(3)は、導体であることを特徴とする請求項 6 ~ 11 のいずれかーに記載の装置。

【請求項 13】

前記装置は、前記メモリ層(2)と前記可撓性層(3)との間に追加の導電性層を有することを特徴とする請求項 6 ~ 11 のいずれかーに記載の装置。

【請求項 14】

前記メモリ層(2)の厚さは、1マイクロメートル未満であることを特徴とする請求項 5 ~ 13 のいずれかーに記載の装置。

【請求項 15】

前記メモリ層(2)が付加層(5)によって被覆されていることを特徴とする請求項 5 ~ 14 のいずれかーに記載の装置。

【請求項 16】

前記基板(4)は、シリコンで作られていることを特徴とする請求項 5 ~ 15 のいずれかーに記載の装置。

【請求項 17】

前記基板(4)は、厚さが1ミリメートル未満のプラスチック材料で作られていることを特徴とする請求項 5 ~ 16 のいずれかーに記載の装置。

【発明の詳細な説明】

【開示の内容】

【0001】

〔発明の背景〕

本発明は、少なくとも1つの変形可能なメモリ層を含む薄い層のスタックから成るメモリ支持体に向けた平面内に配列されているマイクロチップのアレイによってデータを記録する方法に関する。この方法は、マイクロチップの選択的作動によるデータ記録を含む。

【0002】

本発明は又、前記記録方法の実施のためのデータ記録装置に関する。

【0003】

〔技術の現状〕

コンピュータ分野とマルチメディア分野の両方におけるデータ記録は、容量に関する要

10

20

30

40

50

望の高まりに応えなければならない。光学素子及び相変化材料を用いて磁気ハードディスクからDVDまでの範囲にわたる種々の技術が開発された。用いられる記録技術が何であれ、メモリポイント(ビット)のサイズを減少させ、記憶密度を増大させる記録容量手段を増加させることが求められていることに変わりはない。

【0004】

最近、チップ効果型顕微鏡で用いられる形式のマイクロチップを実現することにより約1テラビット/cm²の極めて大きな記憶容量が得られた(2000年5月発行のP. ベチガー(P. Vettiger)他著,「ミリピード-将来のAFMデータ記憶に対する1000以上の予測(The Millipede-More than one thousand tips for future AFM data storage)」,アイビーエム・ジャーナル・リサーチ・ディベロップメント(IBM J. RES. Develop.),第44巻,第3号,P323~340及び2001年発行のドン・ウェオン・リー(Dong-Weon Lee)他著,「ナノメートル台の熱的撮像およびデータ記憶用のサブ100nmナノヒータを有するマイクロプローブアレイの製造(Fabrication of microprobe array with sub-100nm nano-heater for nanometric thermal imaging and data storage)」,テクニカル・ダイジェスト(Technical Digest),MEMS2001),フォーティーンズ・IEEE・インターナショナル・カンフェレンス・オン・マイクロ・エレクトロ・メカニカル・システムズ(14th IEEE International Conference on Micro Electro Mechanical Systems)(Cat. N°01CH37090)PIEEEピスカッタウェイ,ニュージャージー州,米国,P204~207)。高密度は、ナノメートル台の頂点を有するマイクロチップによりビットを局所化することにより得られる。マイクロチップは好ましくは、データに対して並列アクセス方式で二次元アレイ状に配列され、それにより容量に関する限り優れた性能を達成することができる。単一のアクチュエータ(これは、電気機械的なものであるのがよい)により、メモリ支持体を構成する記憶媒体の表面に対するマイクロチップアレイ全体の相対的の一体運動が可能になる。次に、書込みを熱機械的に行う。

【0005】

かかるチップ効果方式のデータ記録装置では、全てのチップと記憶媒体の完全な接触を保証しなければならない。システムの複雑さのために、各マイクロチップの位置を個々に制御することは期待できない。しかしながら、マイクロチップは、マイクロエレクトロニクスの技術に由来する技術によってひとまとめに製作され、マイクロチップの高さのばらつきは、製作に起因して常に存在したままである。このばらつきは非常に小さく、典型的には約100nmであるが、アレイを構成するマイクロチップのうち最も長いものが、他のマイクロチップよりも一層強くメモリ支持体に押し当たる。

【0006】

この問題を解決するため、各マイクロチップは、局所プローブ顕微鏡で用いられるマイクロチップアレイと類似したやり方でカンチレバーの一端によりオーバーハングした状態で支持される。この場合、カンチレバーの可撓性により、支承体の歪みを吸収することができる。

【0007】

特許文献である国際公開第WO97/44780号パンフレット、欧州特許出願公開第887794号明細書及び米国特許第6,218,086号明細書も又、各マイクロチップがカンチレバーの端に配置された記録装置を記載している。マイクロチップとメモリ支持体を単に接触させるだけで、カンチレバーが曲がり、それによりマイクロチップの高さのばらつきを部分的に補償することができる。1つの情報を記録するため、メモリ支持体の局所変形が熱的に又は機械的に引き起こされる。

【0008】

しかしながら、メモリ支持体に加わるマイクロチップの支承力は、メモリ支持体を損傷させないようにするためには、例えば約100nNの値を超えてはならない。さらに言えば、記憶媒体とのマイクロチップの接触面が微小なので、圧力が高い。したがって、カンチレバーは、マイクロチップの高さのばらつきを吸収するよう可撓性が非常に高くなけれ

10

20

30

40

50

ばならない。例えば、剛性が約 1 N/m 、長さが約 $100 \mu\text{m}$ 、幅が数十 μm 、厚さが数 μm のカンチレバーが開発された。

【0009】

これ以上可撓性の高いカンチレバーを計画することは困難である。これらの寸法形状は事実、これらの小さな幅及び（又は）高さと比較して長さが大きいので使いこなすのが困難である。加うるに、メモリ支持体の表面に向けたチップの位置決め精度に悪影響が生じ、かくして記憶密度が制限される。

【0010】

〔発明の目的〕

本発明の目的は、上述の欠点がなく、特にマイクロチップの高さ方向のばらつきを無視できるようにするデータ記録方法及び装置を提供することにある。

10

【0011】

本発明によれば、この目的は、添付の特許請求の範囲に記載された方法及び装置によって達成される。

【0012】

本発明の記録方法は、特に、マイクロチップが、全く同一の基板上に直接固定され、この方法が、データ記録のためのマイクロチップの選択的作動前にマイクロチップアレイとメモリ支持体を所定の圧力で接触させる段階を有し、この圧力により、マイクロチップアレイのマイクロチップの寸法形状のばらつきを変形可能なメモリ層によって吸収できるようにすることを特徴とする。

20

【0013】

本発明の方法の実施に用いられる本発明の装置は、少なくとも1つの変形可能なメモリ層を含む薄い層のスタックから成るメモリ支持体に向けた平面内に配列されているマイクロチップのアレイと、アレイのマイクロチップの寸法形状のばらつきを吸収する手段と、マイクロチップの選択的作動により記録する手段とを有する。この装置は、変形可能なメモリ層が、メモリ支持体とマイクロチップアレイを所定の圧力で接触させたときに吸収手段を構成し、マイクロチップは、ナノメートル台の寸法の頂点を有し、マイクロチップは、全く同一の基板上に直接固定されていることを特徴とする。

【0014】

他の利点及び特徴は、非限定的な例として与えられているに過ぎず、添付の図面に記載された本発明の特定の実施形態についての詳細な説明から明らかになる。

30

【0015】

〔特定の実施形態の説明〕

本発明のデータ記録装置のマイクロチップのアレイは、同一の基板7に直接、即ちカンチレバーを用いないで固定された複数のマイクロチップ6から成る。したがって、マイクロチップは、好ましくは剛性の基板7にしっかりと固定される。

【0016】

データ記録のためのマイクロチップの選択的作動前に、マイクロチップ6の支持基盤7をメモリ支持体1の方向に動かして全てのマイクロチップ6を所定の圧力で同時にメモリ支持体1に接触させる。変形可能なメモリ支持体1は、マイクロチップ6の支持体として働く基板7にしっかりと固定されたマイクロチップ6の全ての高さのばらつきを吸収するよう設計されている。

40

【0017】

図には、基板7にしっかりと固定された2つのマイクロチップ6a, 6bだけが示されている。これらの高さの差は、装置の動作原理を明確に示すために図では誇張されている。かくして、マイクロチップ6bがメモリ支持体1を変形させないでこのメモリ支持体に接触するが、これよりも長いマイクロチップ6aは、メモリ支持体1の僅かな変形を局所的に引き起こす。この場合、長い方のマイクロチップにより及ぼされる圧力は、記憶されるべきデータを表す変形を引き起こすには不十分である。

【0018】

50

次に、マイクロチップの選択的作動によりデータ記録を従来方法で行う。データ記録のために設計されたマイクロチップの選択的作動は、あらかじめ選択されたメモリ箇所にマーク（例えば、状態の変化、変形等に対応する）を形成するよう、熱的、静電的及び（又は）機械的方式のものであるのがよい。例えば圧力により記録が選択的にメンブレンの局所変形を引き起こす場合、加えられる圧力は、アレイのマイクロチップとメモリ支持体を互いに接触させたときにマイクロチップにより及ぼされる圧力よりも十分に大きくなければならない。

【0019】

マイクロチップアレイとメモリ支持体を接触させたときにマイクロチップのばらつきを吸収できるようにする変形可能なメモリ層1の変形の度合いは、データの記録が行われるときに、熱的、電氣的又は機械的に生じさせることができるマークよりも非常に小さい。

10

図示のように、メモリ支持体1は好ましくは、基板4に被着された少なくとも1つの変形可能なメモリ層を含む薄い層のスタックによって形成される。

【0020】

変形可能なメモリ層を可撓性メモリ層で形成することができ、又は図示のように、1つのメモリ層2と1つのスタックによって形成することができ、可撓性層3は、基板4に被着される。マイクロチップ6を備えたインタフェース層5が、メモリ層2を被覆するのがよい。マイクロチップアレイとメモリ支持体1を互いに接触させると、マイクロチップ6aがメモリ支持体1を押し、その結果、可撓性層3までスタックの漸次変形が生じる。この漸次変形は、互いに異なる層の硬さ及び厚さの関数である。スタックの互いに異なる層の構成及び厚さは、得ようとしている機能、特に選択される記録モード（熱的、電氣的等）に合わされる。

20

【0021】

可撓性層3をポリマー層で作るのがよい。例えば、可撓性層3を光電性樹脂、特にマイクロエレクトロニクス分野でリフトオフ型除去法で用いられるフォトレジストで形成するのがよい。この可撓性層を硬さが制御されるグルー又はPDMS型エラストマーシリコンの層で形成してもよい。可撓性層3は好ましくは、スピン塗布方式又は吹付け方式により基板4に被着される。その厚さは、求めようとする可撓性で決まり、例えば、必要ならば、ほぼ数マイクロメートル以下であるのがよい。

【0022】

基板4をシリコン又は場合によっては可撓性プラスチック材料、例えばポリメチルメタクリレート（PMMA）で作るのがよい。この場合、その可撓性は、メモリ支持体1を形成するスタックの可撓性に寄与する場合があるので、その厚さを1ミリメートル未満に減少させるのがよい。

30

【0023】

メモリ層2の構成は、選択されるデータ記録方法で決まる。この層を特にポリマー又は相変化材料で作るのがよく、これは絶縁性であっても導電性であってもよい。あらゆる場合において、メモリ層は、メモリ支持体の所要の可撓性を保つためにできるだけ薄いものでなければならない。かくして、メモリ層は一般に、1マイクロメートル未満の厚さを有する。このメモリ層を例えば、PDV、例えばカソードスパッタリング、PECVD又はスピン塗布により可撓性層3に被着することができる。

40

【0024】

選択された書込み法が電気式書込み法であれば、可撓性層3を導電性にする必要がある場合がある。これは特に、導電性ポリマー材料の選定、当初は絶縁性の材料中への添加剤の添加、又はメモリ層2と可撓性層3との間に追加の導電性層（図示せず）を介在させることにより達成できる。かかる追加の導電性層は例えば、導通に適した性質のものであって厚さの小さな（数十ナノメートル）炭素の層であるのがよい。

【0025】

インタフェース層5の構成は、マイクロチップ6とメモリ支持体の相互作用を容易にするよう設計されている。例えば、インタフェース層5を炭素、ポリマー等で作ることがで

50

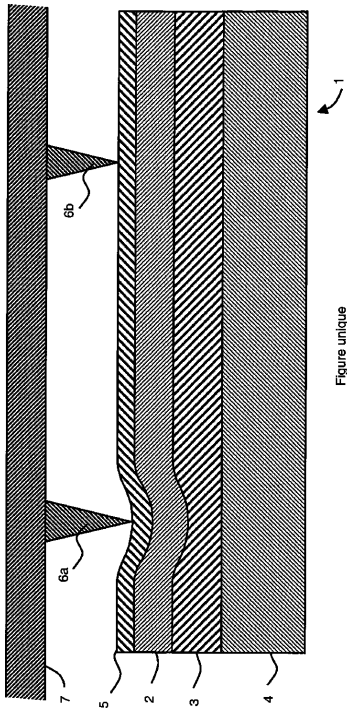
きる。インタフェース層は、その性状がどのようなものであれ、メモリ支持体 1 を補剛することがないようにできるだけ薄いものでなければならないであろう。

【図面の簡単な説明】

【0026】

【図1】本発明のデータ記録装置の特定の実施形態を示す略図である。

【図1】



フロントページの続き

- (74)代理人 100088889
弁理士 橘谷 英俊
- (74)代理人 100082991
弁理士 佐藤 泰和
- (74)代理人 100096921
弁理士 吉元 弘
- (74)代理人 100103263
弁理士 川崎 康
- (72)発明者 セルジユ、ギドン
フランス国ラ、ミュレット、ル、プティ、ボワ、 8

審査官 ゆずりは 広行

- (56)参考文献 特開2000-106257(JP,A)
特開平06-195768(JP,A)
特開2003-297512(JP,A)

(58)調査した分野(Int.Cl., DB名)
G11B 9/00 - 9/14