

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年10月18日(18.10.2018)



(10) 国際公開番号

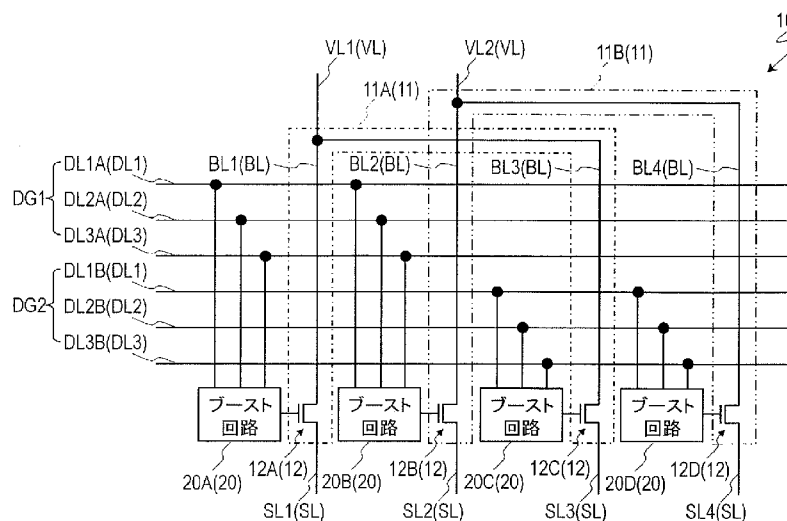
WO 2018/190245 A1

- (51) 国際特許分類:
G09G 3/20 (2006.01) H01L 21/336 (2006.01)
G02F 1/1368 (2006.01) H01L 29/786 (2006.01)
G09G 3/36 (2006.01)
- (21) 国際出願番号: PCT/JP2018/014610
- (22) 国際出願日: 2018年4月5日(05.04.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-077384 2017年4月10日(10.04.2017) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).
- (72) 発明者: 山本 薫(YAMAMOTO Kaoru).
- (74) 代理人: 奥田 誠司(OKUDA Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目8番16号 大阪証券取引所ビル10階 奥田国際特許事務所 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,

(54) Title: ACTIVE MATRIX SUBSTRATE AND A DISPLAY DEVICE

(54) 発明の名称: アクティブマトリクス基板および表示装置

[図2]



20A(20), 20B(20), 20C(20), 20D(20)... BOOST CIRCUIT

(57) **Abstract:** This active matrix substrate is provided with multiple source bus lines provided on the substrate, a source driver arranged in a peripheral region, a signal output line connected to each output terminal of the source driver, and a demultiplexer circuit arranged in the peripheral region. Each unit circuit of the demultiplexer circuit distributes a display signal from one signal output line to n source bus lines (n an integer greater than or equal to 2). Each signal circuit includes n branch wirings connected to one signal output line, and n switching TFTs which individually perform ON/OFF control



KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

of the electric connections between the n branch wirings and the n source bus lines. The demultiplexer circuit further includes a boost circuit which can boost the voltage applied to the gate electrode of the switching TFTs.

(57) 要約: 本発明の実施形態によるアクティブマトリクス基板は、基板上に設けられた複数本のソースバスラインと、周辺領域に配置されたソースドライバと、ソースドライバの各出力端子に接続された信号出力線と、周辺領域に配置されたデマルチプレクサ回路とを備える。デマルチプレクサ回路の各单位回路は、1本の信号出力線から、n本(nは2以上の整数)のソースバスラインに表示信号を分配する。各单位回路は、1本の信号出力線に接続されたn本の分岐配線と、n本の分岐配線とn本のソースバスラインとの電気的な接続を個別にオン/オフ制御するn個のスイッチングTFTを含む。デマルチプレクサ回路は、スイッチングTFTのゲート電極に印加される電圧を昇圧し得るブースト回路をさらに含む。

明 細 書

発明の名称： アクティブマトリクス基板および表示装置

技術分野

[0001] 本発明は、アクティブマトリクス基板に関し、特に、デマルチプレクサ回路を備えたアクティブマトリクス基板に関する。また、本発明は、そのようなアクティブマトリクス基板を備えた表示装置にも関する。

背景技術

[0002] 液晶表示装置等に用いられるアクティブマトリクス基板は、複数の画素を有する表示領域と、表示領域以外の領域（非表示領域または額縁領域）とを有している。表示領域には、画素毎に薄膜トランジスタ（Thin Film Transistor；以下、「TFT」）などのスイッチング素子を備えている。このようなスイッチング素子としては、従来から、アモルファスシリコン膜を活性層とするTFT（以下、「アモルファスシリコンTFT」）や多結晶シリコン膜を活性層とするTFT（以下、「多結晶シリコンTFT」）が広く用いられている。

[0003] TFTの活性層の材料として、アモルファスシリコンや多結晶シリコンに代わって、酸化物半導体を用いることが提案されている。このようなTFTを「酸化物半導体TFT」と称する。酸化物半導体は、アモルファスシリコンよりも高い移動度を有している。このため、酸化物半導体TFTは、アモルファスシリコンTFTよりも高速で動作することが可能である。

[0004] アクティブマトリクス基板の非表示領域に、駆動回路などの周辺回路がモノリシック（一体的）に形成される場合がある。駆動回路をモノリシックに形成することによって、非表示領域の狭小化（狭額縁化）や、実装工程の簡略化によるコストダウンが実現される。例えば、非表示領域において、ゲートドライバ回路がモノリシックに形成され、ソースドライバ回路がCOG（Chip on Glass）方式で実装される場合がある。

[0005] スマートフォンなどの狭額縁化の要求の強いデバイスでは、ゲートドライ

バに加えて、ソース切替（Source Shared Driving：SSD）回路などのデマルチプレクサ（DEMUX）回路をモノリシックに形成することが提案されている（例えば特許文献1および2）。SSD回路は、ソースドライバの各端子に接続されたビデオ信号線1本から、複数本のソース配線へビデオ信号を振り分ける回路である。SSD回路の搭載により、非表示領域における端子部および配線が配置される領域（端子部・配線形成領域）をさらに狭くできる。また、ソースドライバからの出力数が減り、回路規模を小さくできるので、ドライバICのコストを低減できる。

[0006] 駆動回路やSSD回路などの周辺回路はTFTを含んでいる。本明細書では、表示領域の各画素にスイッチング素子として配置されるTFTを「画素TFT」、周辺回路を構成するTFTを「回路TFT」と呼ぶ。また、回路TFTのうちDEMUX回路（SSD回路）においてスイッチング素子として用いられるTFTを「DEMUX回路用TFT」と呼ぶ。

先行技術文献

特許文献

[0007] 特許文献1：国際公開第2011／118079号

特許文献2：特開2010－102266号公報

発明の概要

発明が解決しようとする課題

[0008] 画素TFTとして酸化物半導体TFTを用いたアクティブマトリクス基板では、製造プロセスの観点から、DEMUX回路用TFTも、画素TFTと同じ酸化物半導体膜を用いた酸化物半導体TFTであることが好ましいといえる。

[0009] しかしながら、酸化物半導体TFTを用いてDEMUX回路を形成することは困難であり、従来は、DEMUX回路用TFTとして多結晶シリコンTFTが用いられていた。この理由は、以下のとおりである。

[0010] 酸化物半導体は多結晶シリコンよりも移動度が約1桁小さいので、酸化物

半導体 T F T は多結晶シリコン T F T よりも電流駆動力が小さい。そのため、酸化物半導体を用いて D E M U X 回路用 T F T を形成する場合には、多結晶シリコンを用いる場合よりも T F T のサイズを大きくする（チャネル幅を大きくする）か、あるいは、駆動電圧を高くする必要がある。T F T のサイズを大きくすると、ゲート容量負荷が大きくなり、D E M U X 回路の駆動電力が増大してしまう。一方、T F T の駆動電圧を高くしても、D E M U X 回路の駆動電力が増大する。

[0011] なお、後述するように、D E M U X 回路用 T F T として多結晶シリコン T F T を用いる場合でも、P M O S プロセスのみが採用される場合（つまり多結晶シリコン T F T が P M O S トランジスタのみである場合）には、同様の問題が発生し得る。

[0012] 本発明は、上記問題に鑑みてなされたものであり、その目的は、デマルチプレクサ回路を備えたアクティブマトリクス基板の駆動電力を低減することにある。

課題を解決するための手段

[0013] 本発明の実施形態によるアクティブマトリクス基板は、複数の画素領域を含む表示領域と、前記表示領域の周辺に位置する周辺領域とを有するアクティブマトリクス基板であって、基板と、前記基板上に設けられた複数本のゲートバスラインおよび複数本のソースバスラインと、前記周辺領域に配置され、複数の出力端子を含むソースドライバと、それぞれが前記ソースドライバの前記複数の出力端子のそれぞれに接続された複数本の信号出力線と、前記基板に支持された複数の単位回路を含み、前記周辺領域に配置されたデマルチプレクサ回路と、を備え、前記デマルチプレクサ回路の前記複数の単位回路のそれぞれは、前記複数本の信号出力線のうちの 1 本の信号出力線から、前記複数本のソースバスラインのうちの n 本（ n は 2 以上の整数）のソースバスラインに表示信号を分配し、前記複数の単位回路のそれぞれは、前記 1 本の信号出力線に接続された n 本の分岐配線と、それぞれが前記 n 本の分岐配線のそれぞれに接続された n 個のスイッチング T F T であって、前記 n

本の分岐配線と前記 n 本のソースバスラインとの電気的な接続を個別にオン／オフ制御する n 個のスイッチング T F T と、を含み、前記デマルチプレクサ回路は、前記 n 個のスイッチング T F T のゲート電極に印加される電圧を昇圧し得る複数個のブースト回路をさらに含む。

[0014] ある実施形態において、前記複数個のブースト回路のそれぞれは、前記ゲート電極に接続された第 1 ノードをプリチャージするセット部と、前記セット部によってプリチャージされた前記第 1 ノードの電位を昇圧するブースト部と、前記第 1 ノードの電位をリセットするリセット部と、を含む。

[0015] ある実施形態において、前記デマルチプレクサ回路は、前記セット部に第 1 駆動信号を供給する第 1 駆動信号線と、前記リセット部に第 2 駆動信号を供給する第 2 駆動信号線と、前記ブースト部に第 3 駆動信号を供給する第 3 駆動信号線と、を含む。

[0016] ある実施形態において、前記セット部は、前記第 1 駆動信号線に接続されたゲート電極を有し、ダイオード接続されたセット用 T F T を含み、前記リセット部は、前記第 2 駆動信号線に接続されたゲート電極を有し、前記第 1 ノードの電位をプルダウンし得るように構成されたりセット用 T F T を含み、前記ブースト部は、前記第 3 駆動信号線に接続された第 1 容量電極と、前記第 1 ノードに接続された第 2 容量電極とを有するブースト用容量素子を含む。

[0017] ある実施形態において、前記セット用 T F T は、一方が前記第 1 駆動信号線に接続され、他方が前記第 1 ノードに接続されたソース電極およびドレイン電極を有し、前記リセット用 T F T は、一方が前記第 1 ノードに接続され他方が定電位を与えられるソース電極およびドレイン電極を有する。

[0018] ある実施形態において、前記セット用 T F T は、一方が前記第 1 駆動信号線に接続され、他方が前記第 1 ノードに接続されたソース電極およびドレイン電極を有し、前記リセット用 T F T は、一方が前記第 1 ノードに接続され他方が前記第 1 駆動信号線に接続されたソース電極およびドレイン電極を有する。

- [0019] ある実施形態において、前記セット部は、前記第 1 駆動信号線に接続されたゲート電極を有し、ダイオード接続されたセット用 T F T を含み、前記ブースト部は、前記第 1 ノードに接続されたゲート電極と、一方が前記第 3 駆動信号線に接続され他方が前記第 1 ノードとは異なる第 2 ノードに接続されたソース電極およびドレイン電極とを有するブースト用 T F T を含み、前記リセット部は、それぞれが前記第 2 駆動信号線に接続されたゲート電極を有し、前記第 1 ノードの電位をプルダウンし得るように構成された第 1 および第 2 のリセット用 T F T を含み、前記第 1 のリセット用 T F T は、一方が前記第 1 ノードに接続されたソース電極およびドレイン電極を有し、前記第 2 のリセット用 T F T は、一方が前記第 2 ノードに接続されたソース電極およびドレイン電極を有する。
- [0020] ある実施形態において、前記セット用 T F T は、一方が前記第 1 駆動信号線に接続され他方が前記第 1 ノードに接続されたソース電極およびドレイン電極を有し、前記第 1 のリセット用 T F T の前記ソース電極および前記ドレイン電極の他方と、前記第 2 のリセット用 T F T の前記ソース電極および前記ドレイン電極の他方とは、定電位を与えられる。
- [0021] ある実施形態において、前記セット用 T F T は、一方が前記第 1 駆動信号線に接続され他方が前記第 1 ノードに接続されたソース電極およびドレイン電極を有し、前記第 1 のリセット用 T F T の前記ソース電極および前記ドレイン電極の他方と、前記第 2 のリセット用 T F T の前記ソース電極および前記ドレイン電極の他方とは、前記第 1 駆動信号線に接続されている。
- [0022] ある実施形態において、前記ブースト部は、前記第 1 ノードに接続された第 1 容量電極と、前記第 2 ノードに接続された第 2 容量電極とを有するブースト用容量素子をさらに含む。
- [0023] ある実施形態において、前記複数の単位回路のそれぞれが有する前記 n 個のスイッチング T F T は、1 水平走査期間内で互いに異なるタイミングでオン状態とされる第 1 スwitchング T F T および第 2 スwitchング T F T を含み、前記複数のブースト回路は、前記第 1 スwitchング T F T に接続され

た第1ブースト回路と、前記第2スイッチングTFTに接続された第2ブースト回路と、を含み、前記第1ブースト回路用の前記第1駆動信号線が前記第2ブースト回路用の前記第2駆動信号線を兼ね、前記第2ブースト回路用の前記第1駆動信号線が前記第1ブースト回路用の前記第2駆動信号線を兼ねる。

[0024] ある実施形態において、前記セット部および前記リセット部のそれぞれは、互いに直列に接続された複数個のTFTを含む。

[0025] ある実施形態において、前記複数の単位回路のそれぞれが有する前記n個のスイッチングTFTは、2個のスイッチングTFTであり、前記複数個のブースト回路は、それぞれが前記2個のスイッチングTFTのそれぞれに接続された2個のブースト回路を含む。

[0026] ある実施形態において、前記複数の単位回路のそれぞれが有する前記n個のスイッチングTFTは、2個のスイッチングTFTであり、前記2個のスイッチングTFTは、1水平走査期間内で互いに異なるタイミングでオン状態とされる第1スイッチングTFTおよび第2スイッチングTFTであり、前記複数個のブースト回路は、前記複数の単位回路のうちの2個の単位回路の前記第1スイッチングTFTに共通に接続された第1ブースト回路と、前記2個の単位回路の前記第2スイッチングTFTに共通に接続された第2ブースト回路とを含む。

[0027] ある実施形態において、前記複数の単位回路のそれぞれが有する前記n個のスイッチングTFTは、2個のスイッチングTFTであり、前記2個のスイッチングTFTは、1水平走査期間内で互いに異なるタイミングでオン状態とされる第1スイッチングTFTおよび第2スイッチングTFTであり、前記複数個のブースト回路は、前記複数の単位回路のうちの3個以上の単位回路の前記第1スイッチングTFTに共通に接続された第1ブースト回路と、前記3個以上の単位回路の前記第2スイッチングTFTに共通に接続された第2ブースト回路とを含む。

[0028] ある実施形態において、前記複数の単位回路のそれぞれが有する前記n個

のスイッチングT F Tは、3個のスイッチングT F Tであり、前記複数の単位回路のそれぞれは、前記複数個のブースト回路のうちの3個のブースト回路を含み、前記3個のブースト回路のそれぞれは、前記3個のスイッチングT F Tのそれぞれに接続されている。

[0029] ある実施形態において、前記複数の単位回路のそれぞれが有する前記n個のスイッチングT F Tは、3個のスイッチングT F Tであり、前記3個のスイッチングT F Tは、1水平走査期間内で互いに異なるタイミングでオン状態とされる第1スイッチングT F T、第2スイッチングT F Tおよび第3スイッチングT F Tであり、前記複数個のブースト回路は、前記複数の単位回路のうちの2個の単位回路の前記第1スイッチングT F Tに共通に接続された第1ブースト回路と、前記2個の単位回路の前記第2スイッチングT F Tに共通に接続された第2ブースト回路と、前記2個の単位回路の前記第3スイッチングT F Tに共通に接続された第3ブースト回路とを含む。

[0030] ある実施形態において、前記複数の単位回路のそれぞれが有する前記n個のスイッチングT F Tは、3個のスイッチングT F Tであり、前記3個のスイッチングT F Tは、1水平走査期間内で互いに異なるタイミングでオン状態とされる第1スイッチングT F T、第2スイッチングT F Tおよび第3スイッチングT F Tであり、前記複数個のブースト回路は、前記複数の単位回路のうちの3個以上の単位回路の前記第1スイッチングT F Tに共通に接続された第1ブースト回路と、前記3個以上の単位回路の前記第2スイッチングT F Tに共通に接続された第2ブースト回路と、前記3個以上の単位回路の前記第3スイッチングT F Tに共通に接続された第3ブースト回路とを含む。

[0031] ある実施形態において、前記デマルチプレクサ回路は、それぞれが前記複数個のブースト回路のそれぞれに接続され、対応するブースト回路を所定のタイミングで初期化する複数個のクリア回路をさらに含む。

[0032] ある実施形態において、前記クリア回路は、クリア信号が供給されるゲート電極と、一方が前記第1ノードに接続され他方が定電位を与えられるソー

ス電極およびドレイン電極とを有するクリア用TFTを含む。

[0033] ある実施形態において、前記複数個のブースト回路は、同じタイミングで駆動される2個以上のブースト回路を含み、前記デマルチプレクサ回路は、前記2個以上のブースト回路のうちの一部のブースト回路を駆動するための駆動信号群を供給する第1の駆動信号線群と、他の一部のブースト回路を駆動するための駆動信号群を供給する第2の駆動信号線群であって、前記第1の駆動信号線群とは異なる第2の駆動信号線群とを含む。

[0034] ある実施形態において、前記n個のスイッチングTFTのそれぞれは、活性層として酸化物半導体層を含む。

[0035] ある実施形態において、前記酸化物半導体層は、 $In-Ga-Zn-O$ 系半導体を含む。

[0036] ある実施形態において、前記 $In-Ga-Zn-O$ 系半導体は結晶質部分を含む。

[0037] ある実施形態において、前記n個のスイッチングTFTのそれぞれは、活性層として多結晶シリコン半導体層を含むPMOSトランジスタである。

[0038] 本発明の実施形態による表示装置は、上述したいずれかの構成を有するアクティブマトリクス基板を備える。

発明の効果

[0039] 本発明の実施形態によると、デマルチプレクサ回路を備えたアクティブマトリクス基板の駆動電力を低減することができる。

図面の簡単な説明

[0040] [図1]実施形態1におけるアクティブマトリクス基板100の平面構造の一例を示す概略図である。

[図2]アクティブマトリクス基板100が備えるDEMUX回路10の構成の例を示す図である。

[図3]DEMUX回路10が有するブースト回路20の構成の例を示す図である。

[図4]DEMUX回路10の動作を説明するためのタイミングチャートである

。

[図5]ブースト回路20が有するセット部21、リセット部22およびブースト部23の具体的な構成の例を示す図である。

[図6]ブースト回路20の動作を説明するためのタイミングチャートである。

[図7]実施形態2におけるアクティブマトリクス基板が備えるDEMUX回路10Aの構成を示す図である。

[図8]DEMUX回路10Aのブースト回路20が有するブースト用TFT27の電極レイアウトの例を示す平面図である。

[図9]実施形態3におけるアクティブマトリクス基板が備えるDEMUX回路10Bの構成を示す図である。

[図10]実施形態4におけるアクティブマトリクス基板が備えるDEMUX回路10Cの構成を示す図である。

[図11]実施形態5におけるアクティブマトリクス基板が備えるDEMUX回路10Dの構成を示す図である。

[図12]実施形態6におけるアクティブマトリクス基板が備えるDEMUX回路10Eの構成を示す図である。

[図13]実施形態7におけるアクティブマトリクス基板が備えるDEMUX回路10Fの構成を示す図である。

[図14]実施形態8におけるアクティブマトリクス基板が備えるDEMUX回路10Gの構成を示す図である。

[図15]実施形態9におけるアクティブマトリクス基板が備えるDEMUX回路10Hの構成を示す図である。

[図16]実施形態10におけるアクティブマトリクス基板が備えるDEMUX回路10Iの構成を示す図である。

[図17]実施形態11におけるアクティブマトリクス基板が備えるDEMUX回路10Jの構成を示す図である。

[図18](a)および(b)は、実施形態12におけるアクティブマトリクス基板が備えるDEMUX回路10Kの構成を示す図である。

[図19] D E M U X回路 1 0 Kの動作を説明するためのタイミングチャートである。

[図20] (a) および (b) は、実施形態 1 3におけるアクティブマトリクス基板が備える D E M U X回路 1 0 Lの構成を示す図である。

[図21] D E M U X回路 1 0 Lの動作を説明するためのタイミングチャートである。

[図22] 実施形態 1 4におけるアクティブマトリクス基板が備える D E M U X回路 1 0 Mの構成を示す図である。

[図23] 実施形態 1 4における他のアクティブマトリクス基板が備える D E M U X回路 1 0 Nの構成を示す図である。

[図24] (a) は、D E M U X回路の駆動信号が 1 水平走査期間内で 1 回トグルされる場合のタイミングチャートであり、(b) は、D E M U X回路の駆動信号が 2 水平走査期間内で 1 回トグルされる場合のタイミングチャートである。

発明を実施するための形態

[0041] 以下、図面を参照しながら本発明の実施形態を説明する。なお、本発明は以下の実施形態に限定されるものではない。

[0042] (実施形態 1)

図 1 は、本実施形態におけるアクティブマトリクス基板 1 0 0の平面構造の一例を示す概略図である。アクティブマトリクス基板 1 0 0は、図 1 に示すように、表示領域 D Rと、周辺領域 F Rとを有する。

[0043] 表示領域 D Rは、複数の画素領域 P I Xを含む。画素領域 P I Xは、表示装置の画素に対応する領域である。以下では、画素領域 P I Xを単に「画素」と呼ぶこともある。複数の画素領域 P I Xは、複数の行および複数の列を含むマトリクス状に配列されている。マトリクス状に配列された複数の画素領域 P I Xによって、表示領域 D Rが規定される。

[0044] 周辺領域 F Rは、表示領域 D Rの周辺に位置する。周辺領域 F Rは、表示に寄与しない領域であり、「非表示領域」または「額縁領域」と呼ばれるこ

ともある。

[0045] アクティブマトリクス基板 100 の構成要素は、基板 1 によって支持されている。基板 1 は、例えばガラス基板である。

[0046] 基板 1 上には、複数本のゲートバスライン（走査線）GL と、複数本のソースバスライン（信号線）SL とが設けられている。複数本のゲートバスライン GL は、それぞれ行方向に沿って延びている。複数本のソースバスライン SL は、それぞれ列方向に沿って延びている。図 1 では、第 1 行、第 2 行、 $\dots$ 第 x 行のゲートバスライン GL を「GL 1」、「GL 2」、 $\dots$ 「GL x 」と表記しており、第 1 列、第 2 列、 $\dots$ 第 y 列のソースバスライン SL を「SL 1」、「SL 2」、 $\dots$ 「SL y 」と表記している。

[0047] 典型的には、隣接する 2 本のゲートバスライン GL と隣接する 2 本のソースバスライン SL とによって囲まれる領域が、画素領域 P1X である。各画素領域 P1X は、薄膜トランジスタ 2 および画素電極 3 を含む。

[0048] 薄膜トランジスタ 2 は、「画素 TFT」とも呼ばれる。薄膜トランジスタ 2 のゲート電極およびソース電極は、それぞれ対応するゲートバスライン GL および対応するソースバスライン SL に接続されている。また、薄膜トランジスタ 2 のドレイン電極は、画素電極 3 に接続されている。アクティブマトリクス基板 100 を、FFS (Fringe Field Switching) モードなどの横電界モードの液晶表示装置に用いる場合には、アクティブマトリクス基板 100 に、複数の画素領域 P1X に対して共通の電極（共通電極）4 が設けられる。アクティブマトリクス基板 100 を縦電界モードの液晶表示装置に適用する場合には、共通電極 4 は、アクティブマトリクス基板 100 に液晶層を介して対向するように配置される対向基板に設けられる。

[0049] 周辺領域 FR には、ゲートバスライン GL を駆動するゲートドライバ（走査線駆動回路）5A および 5B と、ソースバスライン SL を駆動するソースドライバ（信号線駆動回路）6 と、デマルチプレクサ（DEMUX）回路 10 とが配置されている。DEMUX 回路 10 は、ソースバスライン SL を時分割で駆動する SSD 回路として機能する。本実施形態では、ゲートドライ

バ5 Aおよび5 Bと、DEMUX回路10とが基板1上に一体的（モノリシック）に形成されており、ソースドライバ6は、基板1上に実装（例えばCOG実装）されている。

[0050] 図示している例では、表示領域DRに対して左側に、奇数行のゲートバスラインGLを駆動するためのゲートドライバ5 Aが配置されており、表示領域DRに対して右側に、偶数行のゲートバスラインGLを駆動するためのゲートドライバ5 Bが配置されている。ゲートドライバ5 Aが有する複数の出力端子（不図示）のそれぞれに、奇数行のゲートバスラインGLのそれぞれが接続されている。また、ゲートドライバ5 Bが有する複数の出力端子（不図示）のそれぞれに、偶数行のゲートバスラインGLのそれぞれが接続されている。ゲートドライバ5 Aおよび5 Bは、それぞれシフトレジスタ回路5 aを含んでいる。

[0051] 表示領域DRに対して下側に、ソースドライバ6が配置されており、ソースドライバ6と表示領域DRとの間に、DEMUX回路10が配置されている。ソースドライバ6は、複数の出力端子（不図示）を含む。ソースドライバ6とDEMUX回路10との間に位置する領域に、複数本の信号出力線（ビデオ信号線）VLが設けられている。複数本の信号出力線VLのそれぞれは、ソースドライバ6の複数の出力端子のそれぞれに接続されている。図1では、1本目、2本目、・・・z本目の信号出力線VLを、「VL1」、「VL2」、・・・「VLz」と表記している。

[0052] DEMUX回路10は、1本の信号出力線VLから供給される表示信号を、2本以上のソースバスラインSLに分配する。以下、図2を参照しながら、DEMUX回路10をより詳細に説明する。図2は、DEMUX回路10の構成の例を示す図である。

[0053] 図2に示すように、DEMUX回路10は、基板1に支持された複数の単位回路11を含む。複数の単位回路11のそれぞれは、1本の信号出力線VLから、n本（nは2以上の整数）のソースバスラインSLに表示信号を分配する。図2には、n=2の場合、つまり、各単位回路11が、1本の信号

出力線V_Lから2本のソースバスラインS_Lに表示信号を分配する場合を示している。図2には、2つの単位回路11が示されている。2つの単位回路11のうち的一方（以下では「第1単位回路」とも呼ぶ）11Aは、信号出力線V_{L1}から、ソースバスラインS_{L1}およびS_{L3}に表示信号を分配し、他方（以下では「第2単位回路」とも呼ぶ）11Bは、信号出力線V_{L2}から、ソースバスラインS_{L2}およびS_{L4}に表示信号を分配する。

[0054] 各単位回路11は、n本（ここでは2本）の分岐配線B_Lと、n個（ここでは2個）のスイッチングTFT12を含む。

[0055] 各単位回路11の2本の分岐配線B_Lは、1本の信号出力線V_Lに接続されている。また、各単位回路11の2個のスイッチングTFT12のそれぞれは、2本の分岐配線B_Lのそれぞれに接続されている。2個のスイッチングTFT12は、2本の分岐配線B_Lと2本のソースバスラインS_Lとの電気的な接続を個別に（独立に）オン／オフ制御する。本実施形態では、2個のスイッチングTFT12のそれぞれは、活性層として酸化物半導体層を含む（つまり酸化物半導体TFTである）。

[0056] 第1単位回路11Aの2個のスイッチングTFT12Aおよび12Cのうち的一方12Aは、分岐配線B_{L1}とソースバスラインS_{L1}との電気的な接続をオン／オフ制御し、他方12Cは、分岐配線B_{L3}とソースバスラインS_{L3}との電気的な接続をオン／オフ制御する。前者のスイッチングTFT12Aのソース電極およびドレイン電極は、それぞれ分岐配線B_{L1}およびソースバスラインS_{L1}に接続されており、後者のスイッチングTFT12Cのソース電極およびドレイン電極は、それぞれ分岐配線B_{L3}およびソースバスラインS_{L3}に接続されている。

[0057] 第2単位回路11Bの2個のスイッチングTFT12Bおよび12Dのうち的一方12Bは、分岐配線B_{L2}とソースバスラインS_{L2}との電気的な接続をオン／オフ制御し、他方12Dは、分岐配線B_{L4}とソースバスラインS_{L4}との電気的な接続をオン／オフ制御する。前者のスイッチングTFT12Bのソース電極およびドレイン電極は、それぞれ分岐配線B_{L2}およ

びソースバスラインS L 2に接続されており、後者のスイッチングT F T 1 2 Dのソース電極およびドレイン電極は、それぞれ分岐配線B L 4およびソースバスラインS L 4に接続されている。

[0058] 本実施形態におけるD E M U X回路1 0は、図2に示すように、各单位回路1 1のn個（ここでは2個）のスイッチングT F T 1 2のゲート電極に印加される電圧を昇圧し得る複数個のブースト回路2 0をさらに含む。図2に示す例では、各スイッチングT F T 1 2に1個ずつブースト回路2 0が接続されている。具体的には、スイッチングT F T 1 2 A、1 2 B、1 2 Cおよび1 2 Dのゲート電極が、それぞれブースト回路2 0 A、2 0 B、2 0 Cおよび2 0 Dの出力側に接続されている。

[0059] 図2に示す例では、各ブースト回路2 0は、第1駆動信号線D L 1、第2駆動信号線D L 2および第3駆動信号線D L 3から供給される駆動信号群によって駆動される。以下では、第1駆動信号線D L 1によって供給される駆動信号を「第1駆動信号」と呼び、第2駆動信号線D L 2によって供給される駆動信号を「第2駆動信号」と呼び、第3駆動信号線D L 3によって供給される駆動信号を「第3駆動信号」と呼ぶこともある。後に詳述するように、第1駆動信号、第2駆動信号および第3駆動信号の振幅に対応して、スイッチングT F T 1 2のゲート電位の駆動振幅が大きくなるように、ブースト回路2 0による昇圧が行われる。

[0060] 図2に示す例では、2系統の駆動信号線群D G 1およびD G 2が設けられている。ブースト回路2 0 Aおよび2 0 Bは、駆動信号線群D G 1およびD G 2のうち的一方D G 1の第1駆動信号線D L 1 A、第2駆動信号線D L 2 Aおよび第3駆動信号線D L 3 Aによって駆動される。また、ブースト回路2 0 Cおよび2 0 Dは、駆動信号線群D G 1およびD G 2のうちの他方D G 2の第1駆動信号線D L 1 B、第2駆動信号線D L 2 Bおよび第3駆動信号線D L 3 Bによって駆動される。

[0061] 上述したように、本実施形態のアクティブマトリクス基板1 0 0では、D E M U X回路1 0が、スイッチングT F T 1 2のゲート電極に印加される電

圧を昇圧し得るブースト回路20を含んでいるので、DEMUX回路の実効的な駆動電圧を高くすることができる。そのため、比較的小さな振幅の駆動信号でDEMUX回路を駆動できるので、駆動信号の充放電による電力消費を低減できる。また、スイッチングTFT12のゲート電極に印加される電圧（駆動電圧）をブースト回路20により高くすることができるので、選択時のスイッチングTFT12の抵抗（オン抵抗）を低くして充電能力を高くすることができる。さらに、駆動電圧を高くすることができるので、スイッチングTFT12のサイズを小さくすることもできる。そのため、DEMUX回路10のレイアウトサイズを小さくでき、周辺領域FRの狭小化（狭額縁化）を図ることができる。このように、本発明の実施形態によれば、DEMUX回路を備えたアクティブマトリクス基板の駆動電力の低減と、狭額縁化とを両立することができる。

[0062] 続いて、図3を参照しながら、ブースト回路20の具体的な構成を説明する。図3は、ブースト回路20の構成の例を示す図である。

[0063] 図3に示す例では、ブースト回路20は、セット部21、リセット部22およびブースト部23を含んでいる。セット部21、リセット部22およびブースト部23は、それぞれスイッチングTFT12のゲート電極に接続された第1ノードN1に接続されている。また、セット部21は第1駆動信号線DL1、リセット部22は第2駆動信号線DL2、ブースト部23は第3駆動信号線DL3にそれぞれ接続されている。

[0064] セット部21は、第1駆動信号線DL1から第1駆動信号（セット信号）を供給され、第1ノードN1をプリチャージする。ブースト部23は、第3駆動信号線DL3から第3駆動信号（ブースト信号）を供給され、セット部21によってプリチャージされた第1ノードN1の電位を昇圧する。リセット部22は、第2駆動信号線DL2から第2駆動信号（リセット信号）を供給され、第1ノードN1の電位をリセットする。

[0065] ここで、さらに図4も参照しながら、ブースト回路20の（DEMUX回路10の）動作を説明する。図4は、DEMUX回路10の動作を説明する

ためのタイミングチャートである。図4には、第1駆動信号線DL1A、DL1B、第2駆動信号線DL2A、DL2B、第3駆動信号線DL3A、DL3B、第1ノードN1A、N1B、信号出力線VLおよびソースバスラインSL1、SL3の電位が示されている。

[0066] まず、時刻t1において、第1駆動信号線DL1Aの電位がハイレベル、第2駆動信号線DL2Aの電位がローレベルとなり、第1駆動信号がセット信号としてブースト回路20Aのセット部21に入力される。これにより、スイッチングTF T12Aのゲート電極に接続された第1ノードN1Aがプリチャージされる。また、このタイミングで信号出力線VLの電位が（つまり表示信号が）書き込み電圧レベルに変化し、選択されたソースバスラインSL1の充電が開始される。

[0067] 次に、時刻t2において、第3駆動信号線DL3Aの電位がハイレベルとなり、第3駆動信号がブースト信号としてブースト回路20Aのブースト部23に入力される。これにより、第1ノードN1Aの電位が昇圧される。第1ノードN1Aの電位が昇圧されることにより、スイッチングTF T20Aを介したソースバスラインSL1の充電が十分に行われる。

[0068] 続いて、時刻t3において、第1駆動信号線DL1Aの電位がローレベル、第2駆動信号線DL2Aの電位がハイレベル、第3駆動信号線DL3Aの電位がローレベルとなり、第2駆動信号がリセット信号としてブースト回路20Aのリセット部22に入力される。これにより、第1ノードN1Aの電位がリセットされる。このとき、スイッチングTF T20Aはオフ状態となり、ソースバスラインSL1の電位が確定する。

[0069] また、時刻t3において、第1駆動信号線DL1Bの電位がハイレベル、第2駆動信号線DL2Bの電位がローレベルとなり、第1駆動信号がセット信号としてブースト回路20Bのセット部21に入力される。これにより、スイッチングTF T12Bのゲート電極に接続された第1ノードN1Bがプリチャージされる。また、このタイミングで信号出力線VLの電位が（つまり表示信号が）書き込み電圧レベルに変化し、選択されたソースバスライン

SL3の充電が開始される。

[0070] 次に、時刻 t_4 において、第3駆動信号線DL3Bの電位がハイレベルとなり、第3駆動信号がブースト信号としてブースト回路20Bのブースト部23に入力される。これにより、第1ノードN1Bの電位が昇圧される。第1ノードN1Bの電位が昇圧されることにより、スイッチングTFT20Bを介したソースバスラインSL3の充電が十分に行われる。

[0071] その後、時刻 t_5 において、第1駆動信号線DL1Bの電位がローレベル、第2駆動信号線DL2Bの電位がハイレベル、第3駆動信号線DL3Bの電位がローレベルとなり、第2駆動信号がリセット信号としてブースト回路20Bのリセット部22に入力される。これにより、第1ノードN1Bの電位がリセットされる。このとき、スイッチングTFT12Bはオフ状態となり、ソースバスラインSL3の電位が確定する。

[0072] ソースバスラインSL1およびSL3への書き込みが完了（電位が確定）すると、ゲートバスラインGLから供給されるゲート信号がオフレベルとなり、画素PIXへの表示電圧の書き込みが完了する。

[0073] 図5を参照しながら、ブースト回路20のより具体的な構成を説明する。図5は、ブースト回路20のセット部21、リセット部22およびブースト部23の具体的な構成の例を示す図である。

[0074] 図5に示す例では、セット部21は、TFT（以下では「セット用TFT」と呼ぶ）24を含む。セット用TFT24は、ダイオード接続されており、セット用TFT24のゲート電極およびドレイン電極は、第1駆動信号線DL1に接続されている。また、セット用TFT24のソース電極は、第1ノードN1に接続されている。

[0075] リセット部22は、TFT（以下では「リセット用TFT」と呼ぶ）25を含む。リセット用TFT25のゲート電極は、第2駆動信号線DL2に接続されている。リセット用TFT25は、第1ノードN1の電位をプルダウンし得るように構成されている。具体的には、リセット用TFT25のソース電極は、定電位（負電源電位VSS）を与えられ、リセット用TFT25

のドレイン電極は、第1ノードN1に接続されている。

[0076] ブースト部23は、容量素子（以下では「ブースト用容量素子」と呼ぶ）26を含む。ブースト用容量素子26は、第3駆動信号線DL3に接続された電極（第1容量電極）と、第1ノードN1に接続された電極（第2容量電極）とを含む。

[0077] 図6を参照しながら、図5に例示したブースト回路20の動作を説明する。図6は、ブースト回路20の動作を説明するためのタイミングチャートである。図6には、第1駆動信号線DL1、第2駆動信号線DL2、第3駆動信号線DL3、第1ノードN1、信号出力線VLおよびソースバスラインSLの電位が示されている。以下の説明では、第1駆動信号線DL1、第2駆動信号線DL2および第3駆動信号線DL3の電位のハイレベルを「VDH」とし、ローレベルを「VDL」とする。VDHは例えば10Vであり、VDLは例えば-10Vである。

[0078] まず、第1駆動信号線DL1の電位（セット信号）がローレベルからハイレベルに変化すると、セット用TF T24がオン状態となり、第1ノードN1がプリチャージされる。このとき、セット用TF T24はダイオード接続されているので、セット用TF T24の閾値電圧を V_{th} とすると、第1ノードN1は、 $(VDH - V_{th})$ の電位までプリチャージされる。

[0079] 次に、第3駆動信号線DL3の電位（ブースト信号）がローレベルからハイレベルに変化すると、第1ノードN1の電位が昇圧される。昇圧の度合は、第1ノードN1の負荷容量の合計（トータル負荷容量） C_{n1} に対する、ブースト用容量素子26の容量値 C_{bst} の比に応じて異なる。具体的には、昇圧分の電位は、ブースト電圧 $(=VDH - VDL)$ に (C_{bst} / C_{n1}) を乗じたものとなる。従って、例えば、第1ノードN1のトータル負荷容量 C_{n1} が0.2pFであり、ブースト用容量素子26の容量値 C_{bst} が0.1pFであると、第1ノードN1の電位は、 $(VDH - V_{th})$ から、 $\{(VDH - V_{th}) + (VDH - VDL) \cdot (0.1 / 0.2)\}$ まで昇圧される。VDH=10V、VDL=-10V、 $V_{th}=2V$ の場合、第

1 ノードN 1 は1 8 Vまで昇圧される。

[0080] (実施形態2)

図7を参照しながら、本実施形態におけるアクティブマトリクス基板を説明する。図7は、本実施形態のアクティブマトリクス基板が備えるDEMUX回路10Aの構成を示す図である。

[0081] 図5に示したDEMUX回路10では、ブースト回路20のブースト部23は、ブースト用容量素子26で構成されている。これに対し、本実施形態のDEMUX回路10Aでは、図7に示すように、ブースト部23は、TF T (以下では「ブースト用TF T」と呼ぶ) 27を含む。ブースト用TF T 27のゲート電極は、第1ノードN 1に接続されており、ブースト用TF T 27のドレイン電極は、第3駆動信号線DL 3に接続されている。ブースト用TF T 27のソース電極は、第1ノードN 1とは異なる第2ノードN 2に接続されている。

[0082] また、図5に示したDEMUX回路10では、ブースト回路20のリセット部22は、1つのリセット用TF T 25で構成されている。これに対し、本実施形態のDEMUX回路10Aでは、図7に示すように、リセット部22は、第1ノードN 1の電位をプルダウンし得るように構成された2つのリセット用TF T 25および28で構成されている。

[0083] リセット用TF T 25および28の一方(第1のリセット用TF T) 25のゲート電極は、第2駆動信号線DL 2に接続されている。また、第1のリセット用TF T 25のソース電極は、定電位(負電源電位VSS)を与えられ、第1のリセット用TF T 25のドレイン電極は、第1ノードN 1に接続されている。

[0084] リセット用TF T 25および28の他方(第2のリセット用TF T) 28のゲート電極は、第2駆動信号線DL 2に接続されている。また、第2のリセット用TF T 28のソース電極は、定電位(負電源電位VSS)を与えられ、第2のリセット用TF T 28のドレイン電極は、第2ノードN 2に(つまり第2ノードN 2を介してブースト用TF T 27のソース電極に)接続さ

れている。

[0085] 本実施形態では、ブースト部23が、ブースト用容量素子26ではなく、ブースト用TFT27で構成されているので、信号負荷を低減することができる。ブースト部23がブースト用TFT27で構成されている場合も、ブースト部23がブースト用容量素子26で構成されている場合と同様に、図4に例示したタイミングチャートのような駆動信号でブースト回路20を駆動することができる。

[0086] ブースト部23がブースト用TFT27で構成されている場合、ブースト回路20による昇圧の度合は、第1ノードN1のトータル負荷容量 C_{n1} に対する、ブースト用TFT27のオン状態における容量値 C_{tft_on} の比に応じて決まる。従って、容量値 C_{tft_on} がブースト用容量素子26の容量値 C_{bst} と同じであれば、昇圧の度合は、ブースト部23がブースト用容量素子26で構成されている場合と同じになる。

[0087] 第1ノードN1をより高効率で昇圧させる観点からは、ブースト用TFT27は、第3駆動信号線DL3にぶら下がる容量がなるべく少なくなるような電極レイアウトを有することが好ましい。図8に、ブースト用TFT27の電極レイアウト（ゲート電極27g、ソース電極27sおよびドレイン電極27dの形状・配置）を示す。

[0088] 図8に示す例では、ソース電極27sは、第2ノードN2に接続された配線（第2ノードN2と同じ参照符号「N2」を付している）から分岐するように延設されている。また、ドレイン電極27dは、第3駆動信号線DL3から分岐するように延設されており、ゲート電極27gは、第3駆動信号線DL3自体には重ならないように配置されている。そのため、第3駆動信号線DL3にぶら下がる容量を低減できる。

[0089] （実施形態3）

図9を参照しながら、本実施形態におけるアクティブマトリクス基板を説明する。図9は、本実施形態のアクティブマトリクス基板が備えるDEMU

X回路10Bの構成を示す図である。

[0090] 図7に示したDEMUX回路10Aでは、ブースト部23は、ブースト用TFT27で構成されている。これに対し、本実施形態のDEMUX回路10Bでは、図9に示すように、ブースト部23は、ブースト用TFT27に加え、容量素子（ブースト用容量素子）29を含んでいる。ブースト用容量素子29は、第1ノードN1に接続された電極（第1容量電極）と、第2ノードN2に接続された電極（第2容量電極）とを含む。

[0091] 本実施形態のように、ブースト部23が、ブースト用TFT27に加えてブースト用容量素子29を含んでいると、第1ノードN1の電位をいっそう高効率で昇圧することができる。また、発振を防止する効果も得られる。

[0092] （実施形態4）

図10を参照しながら、本実施形態におけるアクティブマトリクス基板を説明する。図10は、本実施形態のアクティブマトリクス基板が備えるDEMUX回路10Cの構成を示す図である。

[0093] 図2に示したDEMUX回路10では、各スイッチングTFT12に1個ずつブースト回路20が接続されている。これに対し、本実施形態のDEMUX回路10Cでは、図10に示すように、2個のスイッチングTFT12に対して1個のブースト回路20が接続されている。以下、より具体的に説明する。

[0094] 第1単位回路11Aが有する2個のスイッチングTFT12は、1水平走査期間内で互いに異なるタイミングでオン状態とされる第1スイッチングTFT12Aおよび第2スイッチングTFT12Cである。同様に、第2単位回路11Bが有する2個のスイッチングTFT12は、1水平走査期間内で互いに異なるタイミングでオン状態とされる第1スイッチングTFT12Bおよび第2スイッチングTFT12Dである。

[0095] 図10に示されている2個のブースト回路20Aおよび20Bの一方20Aは、第1単位回路11Aの第1スイッチングTFT12Aおよび第2単位回路11Bの第1スイッチングTFT12Bに共通に接続されている。また

、他方20Bは、第1単位回路11Aの第2スイッチングTFT12Cおよび第2単位回路11Bの第2スイッチングTFT12Dに共通に接続されている。

[0096] このように、本実施形態では、同時に選択される2個のスイッチングTFT12で1個のブースト回路20が共用される。そのため、回路素子数を低減することができる。また、回路素子数の低減により負荷が低減されるので、いっそうの低消費電力化を図ることができる。さらに、回路素子数の低減により、回路面積も低減できるので、レイアウトサイズを小さくすることができ、いっそうの狭額縁化を図ることができる。

[0097] （実施形態5）

実施形態4におけるDEMUX回路10Cでは、2個のスイッチングTFT12で1個のブースト回路20が共用されるが、3個以上のスイッチングTFT12で1個のブースト回路20が共用されてもよい。以下、図11を参照しながら、本実施形態におけるアクティブマトリクス基板を説明する。図11は、本実施形態のアクティブマトリクス基板が備えるDEMUX回路10Dの構成を示す図である。

[0098] 図11には、DEMUX回路10Dが有する複数個の単位回路11のうちの、4個の単位回路（以下ではそれぞれ「第1単位回路」、「第2単位回路」、「第3単位回路」および「第4単位回路」と呼ぶ）11A、11B、11Cおよび11Dが示されている。

[0099] 第1単位回路11Aは、2本の分岐配線BL1およびBL5と、2個のスイッチングTFT12Aおよび12Eとを含み、信号出力線VL1からソースバスラインSL1およびSL5に表示信号を分配する。第1単位回路11Aの2個のスイッチングTFT（第1スイッチングTFTおよび第2スイッチングTFT）12Aおよび12Eは、1水平走査期間内で互いに異なるタイミングでオン状態とされる。

[0100] 第2単位回路11Bは、2本の分岐配線BL2およびBL6と、2個のスイッチングTFT12Bおよび12Fとを含み、信号出力線VL2からソー

スバスラインSL2およびSL6に表示信号を分配する。第2単位回路11Bの2個のスイッチングTF T（第1スイッチングTF Tおよび第2スイッチングTF T）12Bおよび12Fは、1水平走査期間内で互いに異なるタイミングでオン状態とされる。

[0101] 第3単位回路11Cは、2本の分岐配線BL3およびBL7と、2個のスイッチングTF T12Cおよび12Gとを含み、信号出力線VL3からソースバスラインSL3およびSL7に表示信号を分配する。第3単位回路11Cの2個のスイッチングTF T（第1スイッチングTF Tおよび第2スイッチングTF T）12Cおよび12Gは、1水平走査期間内で互いに異なるタイミングでオン状態とされる。

[0102] 第4単位回路11Dは、2本の分岐配線BL4およびBL8と、2個のスイッチングTF T12Dおよび12Hとを含み、信号出力線VL4からソースバスラインSL4およびSL8に表示信号を分配する。第4単位回路11Dの2個のスイッチングTF T（第1スイッチングTF Tおよび第2スイッチングTF T）12Dおよび12Hは、1水平走査期間内で互いに異なるタイミングでオン状態とされる。

[0103] 図11に示されている2個のブースト回路20Aおよび20Bの一方20Aは、第1単位回路11Aの第1スイッチングTF T12A、第2単位回路11Bの第1スイッチングTF T12B、第3単位回路11Cの第1スイッチングTF T12Cおよび第4単位回路11Dの第1スイッチングTF T12Dに共通に接続されている。また、他方20Bは、第1単位回路11Aの第2スイッチングTF T12E、第2単位回路11Bの第2スイッチングTF T12F、第3単位回路11Cの第2スイッチングTF T12Gおよび第4単位回路11Dの第2スイッチングTF T12Hに共通に接続されている。

[0104] このように、本実施形態では、同時に選択される4個のスイッチングTF T12で1個のブースト回路20が共用される。そのため、2個のスイッチングTF T12で1個のブースト回路20が共用される実施形態4に比べ、

回路素子数をいっそう低減することができる。それ故、いっそうの低消費電力化およびいっそうの狭額縁化を図ることができる。

[0105] なお、本実施形態では、4個のスイッチングTFT12で1個のブースト回路20が共用される例を示したが、3個以上のスイッチングTFT12で1個のブースト回路20が共用されることにより、実施形態4よりも回路素子数を低減できる。同時に選択される3個のスイッチングTFT12で1個のブースト回路20が共用されてもよいし、同時に選択される5個以上のスイッチングTFT12で1個のブースト回路20が共用されてもよい。

[0106] (実施形態6)

図12を参照しながら、本実施形態におけるアクティブマトリクス基板を説明する。図12は、本実施形態のアクティブマトリクス基板が備えるDEMUX回路10Eの構成を示す図である。

[0107] 図2、図10および図11に示したDEMUX回路10、10Cおよび10Dでは、各単位回路11は、1本の信号出力線VLから2本のソースバスラインSLに表示信号を分配する。これに対し、本実施形態のDEMUX回路10Eでは、各単位回路11は、1本の信号出力線VLから3本のソースバスラインSLに表示信号を分配する。以下、より具体的に説明する。

[0108] 図12には、DEMUX回路10Eが有する複数個の単位回路11のうちの、2個の単位回路（第1単位回路および第2単位回路）11Aおよび11Bが示されている。

[0109] 第1単位回路11Aは、3本の分岐配線BL1、BL3およびBL5と、3個のスイッチングTFT12A、12Cおよび12Eとを含み、1本の信号出力線VL1から3本のソースバスラインSL1、SL3およびSL5に表示信号を分配する。

[0110] 第2単位回路11Bは、3本の分岐配線BL2、BL4およびBL6と、3個のスイッチングTFT12B、12Dおよび12Fとを含み、1本の信号出力線VL2から3本のソースバスラインSL2、SL4およびSL6に表示信号を分配する。

[0111] DEMUX回路10Eは、各单位回路11の3個のスイッチングTFT12のゲート電極に印加される電圧を昇圧し得る複数個のブースト回路20を含んでいる。図12に示す例では、各スイッチングTFT12に1個ずつブースト回路20が接続されている。具体的には、スイッチングTFT12A、12B、12C、12D、12Eおよび12Fのゲート電極が、それぞれブースト回路20A、20B、20C、20D、20Eおよび20Fの出力側に接続されている。

[0112] 図12に示す例では、3系統の駆動信号線群DG1、DG2およびDG3が設けられている。ブースト回路20Aおよび20Bは、駆動信号線群DG1の第1駆動信号線DL1A、第2駆動信号線DL2Aおよび第3駆動信号線DL3Aによって駆動される。また、ブースト回路20Cおよび20Dは、駆動信号線群DG2の第1駆動信号線DL1B、第2駆動信号線DL2Bおよび第3駆動信号線DL3Bによって駆動され、ブースト回路20Eおよび20Fは、駆動信号線群DG3の第1駆動信号線DL1C、第2駆動信号線DL2Cおよび第3駆動信号線DL3Cによって駆動される。

[0113] 本実施形態のアクティブマトリクス基板においても、DEMUX回路10Eがブースト回路20を含んでいることにより、実施形態1～5のアクティブマトリクス基板と同様に、駆動電力を低減できる。また、本実施形態では、各单位回路11が1本の信号出力線VLから3本のソースバスラインSLに表示信号を分配するので、実施形態1～5に比べ、信号出力線VLの本数を削減することができる。そのため、配線領域（信号出力線VLが配置される領域）を縮小していっそうの狭額縁化を図ることができる。さらに、COG実装されるソースドライバ6のアンプ数を削減できるので、チップサイズをより小さくすることができる。そのため、ウェハからのチップの取れ数が増加し、チップコストを低減することができる。

[0114] （実施形態7）

図13を参照しながら、本実施形態におけるアクティブマトリクス基板を説明する。図13は、本実施形態のアクティブマトリクス基板が備えるDE

MUX回路10Fの構成を示す図である。

[0115] 図12に示したDEMUX回路10Eでは、各スイッチングTFT12に1個ずつブースト回路20が接続されている。これに対し、本実施形態のDEMUX回路10Fでは、図13に示すように、2個のスイッチングTFT12に対して1個のブースト回路20が接続されている。以下、より具体的に説明する。

[0116] 第1単位回路11Aが有する3個のスイッチングTFT12は、1水平走査期間内で互いに異なるタイミングでオン状態とされる第1スイッチングTFT12A、第2スイッチングTFT12Cおよび第3スイッチングTFT12Eである。同様に、第2単位回路11Bが有する3個のスイッチングTFT12は、1水平走査期間内で互いに異なるタイミングでオン状態とされる第1スイッチングTFT12B、第2スイッチングTFT12Dおよび第3スイッチングTFT12Fである。

[0117] 図13に示されている3個のブースト回路20A、20Bおよび20Cのうちのブースト回路20Aは、第1単位回路11Aの第1スイッチングTFT12Aおよび第2単位回路11Bの第1スイッチングTFT12Bに共通に接続されている。また、ブースト回路20Bは、第1単位回路11Aの第2スイッチングTFT12Cおよび第2単位回路11Bの第2スイッチングTFT12Dに共通に接続されている。また、ブースト回路20Cは、第1単位回路11Aの第3スイッチングTFT12Eおよび第2単位回路11Bの第3スイッチングTFT12Fに共通に接続されている。

[0118] このように、本実施形態では、同時に選択される2個のスイッチングTFT12で1個のブースト回路20が共用される。そのため、回路素子数を低減することができる。また、回路素子数の低減により負荷が低減されるので、いっそうの低消費電力化を図ることができる。さらに、回路素子数の低減により、回路面積も低減できるので、レイアウトサイズを小さくすることができ、いっそうの狭額縁化を図ることができる。

[0119] (実施形態8)

実施形態7のDEMUX回路10Fでは、2個のスイッチングTFT12で1個のブースト回路20が共用されるが、3個以上のスイッチングTFT12で1個のブースト回路20が共用されてもよい。以下、図14を参照しながら、本実施形態におけるアクティブマトリクス基板を説明する。図14は、本実施形態のアクティブマトリクス基板が備えるDEMUX回路10Gの構成を示す図である。

[0120] 図14には、DEMUX回路10Gが有する複数個の単位回路11のうちの、3個の単位回路（以下ではそれぞれ「第1単位回路」、「第2単位回路」および「第3単位回路」と呼ぶ）11A、11Bおよび11Cが示されている。

[0121] 第1単位回路11Aは、3本の分岐配線BL1、BL4およびBL7と、3個のスイッチングTFT12A、12Dおよび12Gとを含み、信号出力線VL1からソースバスラインSL1、SL4およびSL7に表示信号を分配する。第1単位回路11Aの3個のスイッチングTFT（第1スイッチングTFT、第2スイッチングTFTおよび第3スイッチングTFT）12A、12Dおよび12Gは、1水平走査期間内で互いに異なるタイミングでオン状態とされる。

[0122] 第2単位回路11Bは、3本の分岐配線BL2、BL5およびBL8と、3個のスイッチングTFT12B、12Eおよび12Hとを含み、信号出力線VL2からソースバスラインSL2、SL5およびSL8に表示信号を分配する。第2単位回路11Bの3個のスイッチングTFT（第1スイッチングTFT、第2スイッチングTFTおよび第3スイッチングTFT）12B、12Eおよび12Hは、1水平走査期間内で互いに異なるタイミングでオン状態とされる。

[0123] 第3単位回路11Cは、3本の分岐配線BL3、BL6およびBL9と、3個のスイッチングTFT12C、12Fおよび12Iとを含み、信号出力線VL3からソースバスラインSL3、SL6およびSL9に表示信号を分配する。第3単位回路11Cの3個のスイッチングTFT（第1スイッチン

グ T F T、第2スイッチング T F T および第3スイッチング T F T) 1 2 C、1 2 F および 1 2 I は、1 水平走査期間内で互いに異なるタイミングでオン状態とされる。

[0124] 図 1 4 に示されている 3 個のブースト回路 2 0 A、2 0 B および 2 0 C のうちのブースト回路 2 0 A は、第 1 単位回路 1 1 A の第 1 スwitching T F T 1 2 A、第 2 単位回路 1 1 B の第 1 スwitching T F T 1 2 B および第 3 単位回路 1 1 C の第 1 スwitching T F T 1 2 C に共通に接続されている。また、ブースト回路 2 0 B は、第 1 単位回路 1 1 A の第 2 スwitching T F T 1 2 D、第 2 単位回路 1 1 B の第 2 スwitching T F T 1 2 E および第 3 単位回路 1 1 C の第 2 スwitching T F T 1 2 F に共通に接続されている。また、ブースト回路 2 0 C は、第 1 単位回路 1 1 A の第 3 スwitching T F T 1 2 G、第 2 単位回路 1 1 B の第 3 スwitching T F T 1 2 H および第 3 単位回路 1 1 C の第 3 スwitching T F T 1 2 I に共通に接続されている。

[0125] このように、本実施形態では、同時に選択される 3 個のスイッチング T F T 1 2 で 1 個のブースト回路 2 0 が共用される。そのため、2 個のスイッチング T F T 1 2 で 1 個のブースト回路 2 0 が共用される実施形態 7 に比べ、回路素子数をいっそう低減することができる。それ故、いっそうの低消費電力化およびいっそうの狭額縁化を図ることができる。

[0126] なお、本実施形態では、3 個のスイッチング T F T 1 2 で 1 個のブースト回路 2 0 が共用される例を示したが、同時に選択される 4 個以上のスイッチング T F T 1 2 で 1 個のブースト回路 2 0 が共用されてもよい。

[0127] (実施形態 9)

図 1 5 を参照しながら、本実施形態におけるアクティブマトリクス基板を説明する。図 1 5 は、本実施形態のアクティブマトリクス基板が備える D E M U X 回路 1 0 H の構成を示す図である。

[0128] D E M U X 回路 1 0 H は、図 1 5 に示すように、それぞれが各ブースト回路 2 0 に接続された複数個のクリア回路 3 0 をさらに含む (図 1 5 では 1 個のクリア回路 3 0 が示されている)。クリア回路 3 0 は、対応するブースト

回路 20 を所定のタイミングで初期化し得る。

[0129] 図 15 に示す例では、クリア回路 30 は、TFT（以下では「クリア用 TFT」と呼ぶ）31 を含んでいる。クリア用 TFT 31 のゲート電極には、クリア信号が供給される。クリア用 TFT 31 のソース電極は、定電位（負電源電位 VSS）を与えられ、クリア用 TFT 31 のドレイン電極は、第 1 ノード N1 に接続されている。

[0130] クリア回路 30 を含む DEMUX 回路 10H では、クリア用 TFT 31 のゲート電極に供給されるクリア信号がハイレベルになると、ブースト回路 20 が初期化される。クリア回路 30 によるブースト回路 20 の初期化は、例えば、駆動期間の最初または最後に行われる。

[0131] 駆動期間の最初にブースト回路 20 の初期化を行うと、ブースト回路 20 が初期化された状態から動作するので、予期しない動作や出力を抑制することができる。また、駆動期間の最後にブースト回路 20 の初期化を行うと、各ノードの電荷（駆動によって蓄積される）を抜くことができるので、動作休止時に残存した電荷に起因する TFT の劣化を防止することができる。

[0132] （実施形態 10）

図 16 を参照しながら、本実施形態におけるアクティブマトリクス基板を説明する。図 16 は、本実施形態のアクティブマトリクス基板が備える DEMUX 回路 10I の構成を示す図である。

[0133] DEMUX 回路 10I では、図 16 に示すように、ブースト回路 20 のセット部 21 は、互いに直列に接続された複数のセット用 TFT 24A および 24B を含む。また、ブースト回路 20 のリセット部 22 は、互いに直列に接続された複数のリセット用 TFT 25A および 25B を含む。

[0134] 図 16 に示す例では、セット部 21 は、2 個のセット用 TFT 24A および 24B（以下ではそれぞれ「第 1 のセット用 TFT」とおよび「第 2 のセット用 TFT」と呼ぶ）を含んでいる。第 1 のセット用 TFT 24A のゲート電極およびドレイン電極は、第 1 駆動信号線 DL1 に接続されている。つまり、第 1 のセット用 TFT 24A は、ダイオード接続されている。第 1 のセ

ット用TFT24Aのソース電極は、第2のセット用TFT24Bのドレイン電極に接続されている。第2のセット用TFT24Bのゲート電極は、第1駆動信号線DL1に接続されており、第2のセット用TFT24Bのソース電極は、第1ノードN1に接続されている。

[0135] また、図16に示す例では、リセット部22は、2個のリセット用TFT25Aおよび25B（以下ではそれぞれ「第1のリセット用TFT」および「第2のリセット用TFT」と呼ぶ）を含んでいる。第1のリセット用TFT25Aのゲート電極は、第2駆動信号線DL2に接続されている。第1のリセット用TFT25Aのドレイン電極は、第1ノードN1に接続されており、第1のリセット用TFT25Aのソース電極は、第2のリセット用TFT25Bのドレイン電極に接続されている。第2のリセット用TFT25Bのゲート電極は、第2駆動信号線DL2に接続されている。第2のリセット用TFT25Bのソース電極は、定電位（負電源電位VSS）を与えられる。

[0136] 上述したように、ブースト回路20のセット部21が互いに直列に接続された複数のセット用TFT24Aおよび24Bを含んでいるとともに、リセット部22が互いに直列に接続された複数のリセット用TFT25Aおよび25Bを含んでいることにより、ブースト回路20の動作によって第1ノードN1が昇圧された際に、個々のTFTのソース・ドレイン間に与えられる電位差を低減する（例示している構成では約半分にする）ことができる。つまり、耐圧の向上を図ることができる。

[0137] （実施形態11）

図17を参照しながら、本実施形態におけるアクティブマトリクス基板を説明する。図17は、本実施形態のアクティブマトリクス基板が備えるDEMUX回路10Jの構成を示す図である。

[0138] 図17に示すDEMUX回路10Jは、駆動信号線群DG1およびDG2に加え、さらなる駆動信号線群DG1'およびDG2'を備える点において、図2に示したDEMUX回路10と異なっている。

- [0139] 図17に示されている4個のブースト回路20のうち、ブースト回路20Aは、駆動信号線群DG1によって駆動され、ブースト回路20Bは、駆動信号線群DG2によって駆動される。また、ブースト回路20Cは、駆動信号線群DG1'によって駆動され、ブースト回路20Dは、駆動信号線群DG2'によって駆動される。
- [0140] 図10に示したDEMUX回路10では、同じタイミングで駆動されるブースト回路20Aとブースト回路20Bとは、同じ駆動信号線群DG1によって駆動される。また、同じタイミングで駆動されるブースト回路20Cとブースト回路20Dとは、同じ駆動信号線群DG2によって駆動される。
- [0141] これに対し、図17に示すDEMUX回路10Jでは、同じタイミングで駆動されるブースト回路20Aとブースト回路20Bとは、異なる駆動信号線群GD1およびGD1'によってそれぞれ駆動される。また、同じタイミングで駆動されるブースト回路20Cとブースト回路20Dとは、異なる駆動信号線群GD2およびGD2'によってそれぞれ駆動される。
- [0142] 駆動信号線群GD1およびGD1'には、あるタイミングでブースト回路20を駆動するための駆動信号が相展開されて供給されている。つまり、駆動信号線群GD1およびGD1'は、実質的に同じ信号を供給する、別の配線群である。
- [0143] 駆動信号線群GD2およびGD2'には、別のあるタイミングでブースト回路20を駆動するための駆動信号が相展開されて供給されている。つまり、駆動信号線群GD2およびGD2'は、実質的に同じ信号を供給する、別の配線群である。
- [0144] 上述したように、本実施形態では、同じタイミングで駆動される2個以上のブースト回路20のうちの一部のブースト回路20を駆動するための駆動信号群を供給する配線群と、他の一部のブースト回路20を駆動するための駆動信号群を供給する別の配線群とが設けられている。そのため、1本の駆動信号線に接続される回路数を少なくすることができるので、個々の駆動信号線の負荷が少なくなり、駆動信号の遷移時間（立上り時間および立下り時

間)を短くすることができる。そのため、より高速の動作が可能となる。

[0145] (実施形態12)

図18(a)および(b)を参照しながら、本実施形態におけるアクティブマトリクス基板を説明する。図18(a)および(b)は、本実施形態のアクティブマトリクス基板が備えるDEMUX回路10Kの構成を示す図である。

[0146] 本実施形態におけるDEMUX回路10Kは、図18(b)に示すように、リセット用TF T25のソース電極およびクリア用TF T31のソース電極が、第1駆動信号線DL1に接続されている点において、図15に示したDEMUX回路10Hと異なっている。本実施形態の構成を採用すると、リセット用TF T25のソース電極およびクリア用TF T31のソース電極を、負電源に接続するための配線(VSS配線)が不要となる。

[0147] ここで、さらに図19も参照しながら、リセット用TF T25のソース電極およびクリア用TF T31のソース電極が第1駆動信号線DL1に接続されている場合にも、リセット動作およびクリア動作を好適に行い得る理由を説明する。図19は、DEMUX回路10Kの動作を説明するためのタイミングチャートである。

[0148] 1つのブースト回路20を駆動するための第1駆動信号線DL1と第2駆動信号線DL2とに着目すると、図19からわかるように、第1駆動信号線DL1が供給する信号は、第2駆動信号線DL2が供給する信号と反転した関係の信号(反転信号)である。そのため、第2駆動信号線DL2の電位がハイレベルであるとき(つまりリセット用TF T25にリセット信号が入力されるとき)、第1駆動信号線DL1の電位はローレベルである。そのため、問題なくリセット動作を行うことができる。また、クリア動作を行うタイミングとして、第1駆動信号線DL1の電位がローレベルであるタイミングを選択すれば、問題なくクリア動作を行うことができる。

[0149] なお、図19に示すタイミングチャートは、図4に示したタイミングチャートと実質的に同じであるので、時刻t1～t5のそれぞれにおける動作に

については、図4のタイミングチャートを参照しながら行った説明を参照されたい。

[0150] また、ここでは、クリア回路30を備えた構成を例示したが、図5に示したDEMUX回路10、図7に示したDEMUX回路10Aおよび図9に示したDEMUX回路10Bにおいて、リセット用TFT25、28のソース電極を第1駆動信号線DL1に接続することによっても、同様の効果を得ることができる。

[0151] (実施形態13)

図20(a)および(b)を参照しながら、本実施形態におけるアクティブマトリクス基板を説明する。図20(a)および(b)は、本実施形態のアクティブマトリクス基板が備えるDEMUX回路10Lの構成を示す図である。

[0152] 本実施形態におけるDEMUX回路10Lは、図20(a)に示すように、第2駆動信号線DL2を含んでいない点において、図18に示したDEMUX回路10Kと異なる。図20(b)には、DEMUX回路10Lの単位回路11Aに含まれる2個のスイッチングTFT12Aおよび12Cのうちの一方(第1スイッチングTFT)12Aに接続されたブースト回路(第1ブースト回路)20Aが示されている。図20(b)に示すように、第1ブースト回路20Aのリセット用TFT25のゲート電極は、他方のスイッチングTFT(第2スイッチングTFT)12Bに接続されたブースト回路(第2ブースト回路)20C用の第1駆動信号線DL1Bに接続されている。また、ここでは図示しないが、第2ブースト回路20Cのリセット用TFT25のゲート電極は、第1ブースト回路20A用の第1駆動信号線DL1Aに接続されている。

[0153] このように、本実施形態では、第1ブースト回路20A用の第1駆動信号線DL1Aが第2ブースト回路20C用の第2駆動信号線を兼ねており、第2ブースト回路20C用の第1駆動信号線DL1Bが第1ブースト回路20A用の第2駆動信号線を兼ねている。本実施形態の構成を採用すると、第2

駆動信号線を省略することができ、配線数を一層少なくすることができる。

[0154] ここで、さらに図21も参照しながら、あるブースト回路20用の第1駆動信号線DL1が、他のブースト回路20用の第2駆動信号線を兼ねることができる理由を説明する。図21は、DEMUX回路10Lの動作を説明するためのタイミングチャートである。

[0155] 図21からわかるように、第1ブースト回路20A用の第1駆動信号線DL1Aが供給する信号と、第2ブースト回路20C用の第1駆動信号線DL1Bが供給する信号とは、逆相の信号である。そのため、第1ブースト回路20A用の第1駆動信号線DL1Aと、第2ブースト回路20C用の第1駆動信号線DL1Bとは、異なるタイミングでハイレベルとなる。そのため、第2ブースト回路20C用の第1駆動信号線DL1Bが供給する信号を、第1ブースト回路20A用のリセット信号として用いることができ、第1ブースト回路20A用の第1駆動信号線DL1Aが供給する信号を、第2ブースト回路20C用のリセット信号として用いることができる。

[0156] なお、ここでは、クリア回路30を備えた構成を例示したが、図5に示したDEMUX回路10、図7に示したDEMUX回路10Aおよび図9に示したDEMUX回路10Bにおいても、同様の改変を行うことによって同様の効果を得ることができる。

[0157] [酸化物半導体について]

スイッチングTF12の酸化物半導体層に含まれる酸化物半導体は、アモルファス酸化物半導体であってもよいし、結晶質部分を有する結晶質酸化物半導体であってもよい。結晶質酸化物半導体としては、多結晶酸化物半導体、微結晶酸化物半導体、c軸が層面に概ね垂直に配向した結晶質酸化物半導体などが挙げられる。

[0158] 酸化物半導体層は、2層以上の積層構造を有していてもよい。酸化物半導体層が積層構造を有する場合、酸化物半導体層は、非晶質酸化物半導体層と結晶質酸化物半導体層とを含んでいてもよいし、結晶構造の異なる複数の結晶質酸化物半導体層を含んでいてもよく、また、複数の非晶質酸化物半導体

層を含んでいてもよい。酸化物半導体層が上層と下層とを含む2層構造を有する場合、上層に含まれる酸化物半導体のエネルギーギャップは、下層に含まれる酸化物半導体のエネルギーギャップよりも大きいことが好ましい。ただし、これらの層のエネルギーギャップの差が比較的小さい場合には、下層の酸化物半導体のエネルギーギャップが上層の酸化物半導体のエネルギーギャップよりも大きくてもよい。

[0159] 非晶質酸化物半導体および上記の各結晶質酸化物半導体の材料、構造、成膜方法、積層構造を有する酸化物半導体層の構成などは、例えば特開2014-007399号公報に記載されている。参考のために、特開2014-007399号公報の開示内容の全てを本明細書に援用する。

[0160] 酸化物半導体層は、例えば、In、GaおよびZnのうち少なくとも1種の金属元素を含んでもよい。本発明の実施形態では、酸化物半導体層は、例えば、In-Ga-Zn-O系の半導体（例えば酸化インジウムガリウム亜鉛）を含む。ここで、In-Ga-Zn-O系の半導体は、In（インジウム）、Ga（ガリウム）、Zn（亜鉛）の三元系酸化物であって、In、GaおよびZnの割合（組成比）は特に限定されず、例えばIn:Ga:Zn=2:2:1、In:Ga:Zn=1:1:1、In:Ga:Zn=1:1:2等を含む。このような酸化物半導体層は、In-Ga-Zn-O系の半導体を含む酸化物半導体膜から形成され得る。

[0161] In-Ga-Zn-O系の半導体は、アモルファスでもよいし、結晶質でもよい。結晶質In-Ga-Zn-O系の半導体としては、c軸が層面に概ね垂直に配向した結晶質In-Ga-Zn-O系の半導体が好ましい。

[0162] なお、結晶質In-Ga-Zn-O系の半導体の結晶構造は、例えば、上述した特開2014-007399号公報、特開2012-134475号公報、特開2014-209727号公報などに開示されている。参考のために、特開2012-134475号公報および特開2014-209727号公報の開示内容の全てを本明細書に援用する。In-Ga-Zn-O系半導体層を有するTFETは、高い移動度（ μ_{SiTFET} に比べ20倍超）

および低いリーク電流（ $a-SiTFET$ に比べ100分の1未満）を有しているので、スイッチング $TFET$ 12として好適に用いられ、また、駆動 $TFET$ （例えば、複数の画素を含む表示領域の周辺に、表示領域と同じ基板上に設けられる駆動回路に含まれる $TFET$ ）や画素 $TFET$ （画素に設けられる $TFET$ ）としても好適に用いられる。

[0163] 酸化物半導体層は、 $In-Ga-Zn-O$ 系半導体の代わりに、他の酸化物半導体を含んでいてもよい。例えば $In-Sn-Zn-O$ 系半導体（例えば $In_2O_3-SnO_2-ZnO$ ； $InSnZnO$ ）を含んでもよい。 $In-Sn-Zn-O$ 系半導体は、 In （インジウム）、 Sn （スズ）および Zn （亜鉛）の三元系酸化物である。あるいは、酸化物半導体層は、 $In-Al-Zn-O$ 系半導体、 $In-Al-Sn-Zn-O$ 系半導体、 $Zn-O$ 系半導体、 $In-Zn-O$ 系半導体、 $Zn-Ti-O$ 系半導体、 $Cd-Ge-O$ 系半導体、 $Cd-Pb-O$ 系半導体、 CdO （酸化カドミウム）、 $Mg-Zn-O$ 系半導体、 $In-Ga-Sn-O$ 系半導体、 $In-Ga-O$ 系半導体、 $Zr-In-Zn-O$ 系半導体、 $Hf-In-Zn-O$ 系半導体などを含んでいてもよい。

[0164] （実施形態14）

図22および図23を参照しながら、本実施形態におけるアクティブマトリクス基板を説明する。図22は、本実施形態のアクティブマトリクス基板が備える $DEMUX$ 回路10Mの構成を示す図である。図23は、本実施形態の他のアクティブマトリクス基板が備える $DEMUX$ 回路10Nの構成を示す図である。

[0165] 図22に示す $DEMUX$ 回路10Mは、各単位回路11のスイッチング $TFET$ 12pが、活性層として多結晶シリコン半導体層（例えば低温ポリシリコン（ $LTPS$ ）層）を含む $PMOS$ トランジスタである点において、図5に示した $DEMUX$ 回路10と異なっている。また、 $DEMUX$ 回路10Mでは、回路を構成する他の $TFET$ も、多結晶シリコン半導体層を含む $PMOS$ トランジスタである。従って、セット部21のセット用 $TFET$ 24pおよ

びリセット部22のリセット用TFT25pも、多結晶シリコン半導体層を含むPMOSトランジスタである。

[0166] 図23に示すDEMUX回路10Nは、各单位回路11のスイッチングTFT12pが、活性層として多結晶シリコン半導体層（例えば低温ポリシリコン（LTPS）層）を含むPMOSトランジスタである点において、図7に示したDEMUX回路10Aと異なっている。また、DEMUX回路10Nでは、回路を構成する他のTFTも、多結晶シリコン半導体層を含むPMOSトランジスタである。従って、セット部21のセット用TFT24p、リセット部22のリセット用TFT25p、28pおよびブースト部23のブースト用TFT27pも、多結晶シリコン半導体層を含むPMOSトランジスタである。

[0167] 図22および図23に示すDEMUX回路10Mおよび10Nのように、PMOSトランジスタでDEMUX回路が構成される場合も、図2に示したDEMUX回路10や図7に示したDEMUX回路10Aと、信号等の極性が逆になる（リセット用TFT25pのソース電極には正電源電位VDDが与えられる）だけで、タイミング等は同一で駆動を行うことができる。

[0168] 既に説明したように、多結晶シリコンは、酸化物半導体よりも移動度が高いが、PMOSは、NMOSに比べて移動度が低い。そのため、活性層として多結晶シリコン半導体層を含むPMOSトランジスタのみを、DEMUX回路用TFTとして用いる場合、酸化物半導体TFTを用いる場合と同様の問題が生じる。

[0169] 本実施形態のように、DEMUX回路10Mおよび10Nがブースト回路20を含むことにより、駆動電力の低減や狭額縁化を実現することができる。

[0170] （DEMUX回路の駆動タイミング）

これまでは、DEMUX回路の駆動信号が1水平走査期間内で1回トグルされる例を説明したが、本発明の実施形態はこれに限定されるものではない。例えば、低消費電力化のために、DEMUX回路の駆動信号が2水平走査

期間内で1回トグルされてもよい。以下、図24(a)および(b)を参照しながら、より具体的に説明を行う。

[0171] 図24(a)は、駆動信号が1水平走査期間内で1回トグルされる場合のタイミングチャートであり、図24(b)は、駆動信号が2水平走査期間内で1回トグルされる場合のタイミングチャートである。図24(a)および(b)のそれぞれには、ゲートクロック信号GCK1、GCK2の電位、第1駆動信号線DL1A、DL1Bの電位(第1駆動信号の電位)、および、信号出力線VLの電位が示されている。

[0172] 図24(a)に示す例では、駆動信号は、1水平走査期間内で1回トグルされる。ソースバスラインSLは、ソースバスラインSL1、SL3、SL1、SL3・・・の順で選択される。

[0173] これに対し、図24(b)に示す例では、駆動信号は、2水平走査期間内で1回トグルされる。ソースバスラインSLは、ソースバスラインSL1、SL3、SL3、SL1、SL1・・・の順で選択される。図24(b)に示す例では、駆動信号の周波数が図24(a)に示す例に比べて1/2となるので、低消費電力化を図る(消費電力を約半分にする)ことができる。

[0174] (表示装置)

本発明の実施形態によるアクティブマトリクス基板(半導体装置)は、表示装置に好適に用いられる。なお、これまでは、FFSモード等の横電界モードで表示を行う液晶表示装置のアクティブマトリクス基板を例に説明を行ったが、液晶層の厚さ方向に電圧を印加する縦電界モード(例えば、TNモードや垂直配向モード)で表示を行う液晶表示装置のアクティブマトリクス基板にも適用され得る。また、本発明の実施形態によるアクティブマトリクス基板は、液晶表示装置以外の表示装置(液晶層以外の表示媒体層を備える表示装置)にも好適に用いられる。例えば、本発明の実施形態によるアクティブマトリクス基板は、電気泳動表示装置や有機EL(Electroluminescence)表示装置などにも用いられる。

[0175] 液晶表示装置は、アクティブマトリクス基板と、アクティブマトリクス基

板に対向するように配置された対向基板と、アクティブマトリクス基板および対向基板の間に設けられた液晶層とを備え得る。有機ＥＬ表示装置は、アクティブマトリクス基板と、アクティブマトリクス基板上に設けられた有機ＥＬ層とを備え得る。

産業上の利用可能性

[0176] 本発明の実施形態によると、デマルチプレクサ回路を備えたアクティブマトリクス基板の駆動電力を低減することができる。本発明の実施形態によるアクティブマトリクス基板は、種々の表示装置に好適に用いられる。

符号の説明

- [0177]
- 1 基板
 - 2 薄膜トランジスタ（画素ＴＦＴ）
 - 3 画素電極
 - 4 共通電極
 - 5 A、5 B ゲートドライバ
 - 5 a シフトレジスタ回路
 - 6 ソースドライバ
 - 10、10 A、10 B、10 C、10 D、10 E、10 F デマルチプレクサ回路
 - 10 G、10 H、10 I、10 J、10 K、10 L デマルチプレクサ回路
 - 10 M、10 N デマルチプレクサ回路
 - 11 単位回路
 - 12、12 p スイッチングＴＦＴ
 - 20 ブースト回路
 - 21 セット部
 - 22 リセット部
 - 23 ブースト部
 - 24、24 A、24 B、24 p セット用ＴＦＴ

25、25A、25B、25p、28、28p リセット用TFT

26、29 ブースト用容量素子

27、27p ブースト用TFT

27g ブースト用TFTのゲート電極

27s ブースト用TFTのソース電極

27d ブースト用TFTのドレイン電極

30 クリア回路

31 クリア用TFT

100 アクティブマトリクス基板

GL ゲートバスライン

SL ソースバスライン

VL 信号出力線

DL1 第1駆動信号線

DL2 第2駆動信号線

DL3 第3駆動信号線

DG1、DG1'、DG2、DG2'、DG3 駆動信号線群

N1 第1ノード

N2 第2ノード

DR 表示領域

FR 周辺領域

請求の範囲

- [請求項1] 複数の画素領域を含む表示領域と、前記表示領域の周辺に位置する周辺領域とを有するアクティブマトリクス基板であって、
- 基板と、
- 前記基板上に設けられた複数本のゲートバスラインおよび複数本のソースバスラインと、
- 前記周辺領域に配置され、複数の出力端子を含むソースドライバと、
- 、
- それぞれが前記ソースドライバの前記複数の出力端子のそれぞれに接続された複数本の信号出力線と、
- 前記基板に支持された複数の単位回路を含み、前記周辺領域に配置されたデマルチプレクサ回路と、を備え、
- 前記デマルチプレクサ回路の前記複数の単位回路のそれぞれは、前記複数本の信号出力線のうちの1本の信号出力線から、前記複数本のソースバスラインのうちの n 本（ n は2以上の整数）のソースバスラインに表示信号を分配し、
- 前記複数の単位回路のそれぞれは、
- 前記1本の信号出力線に接続された n 本の分岐配線と、
- それぞれが前記 n 本の分岐配線のそれぞれに接続された n 個のスイッチングTFTであって、前記 n 本の分岐配線と前記 n 本のソースバスラインとの電気的な接続を個別にオン／オフ制御する n 個のスイッチングTFTと、
- を含み、
- 前記デマルチプレクサ回路は、前記 n 個のスイッチングTFTのゲート電極に印加される電圧を昇圧し得る複数個のブースト回路をさらに含む、アクティブマトリクス基板。
- [請求項2] 前記複数個のブースト回路のそれぞれは、
- 前記ゲート電極に接続された第1ノードをプリチャージするセット

部と、

前記セット部によってプリチャージされた前記第1ノードの電位を昇圧するブースト部と、

前記第1ノードの電位をリセットするリセット部と、を含む、請求項1に記載のアクティブマトリクス基板。

[請求項3]

前記デマルチプレクサ回路は、

前記セット部に第1駆動信号を供給する第1駆動信号線と、

前記リセット部に第2駆動信号を供給する第2駆動信号線と、

前記ブースト部に第3駆動信号を供給する第3駆動信号線と、

を含む、請求項2に記載のアクティブマトリクス基板。

[請求項4]

前記セット部は、前記第1駆動信号線に接続されたゲート電極を有し、ダイオード接続されたセット用TFTを含み、

前記リセット部は、前記第2駆動信号線に接続されたゲート電極を有し、前記第1ノードの電位をプルダウンし得るように構成されたりセット用TFTを含み、

前記ブースト部は、前記第3駆動信号線に接続された第1容量電極と、前記第1ノードに接続された第2容量電極とを有するブースト用容量素子を含む、請求項3に記載のアクティブマトリクス基板。

[請求項5]

前記セット用TFTは、一方が前記第1駆動信号線に接続され、他方が前記第1ノードに接続されたソース電極およびドレイン電極を有し、

前記リセット用TFTは、一方が前記第1ノードに接続され他方が定電位を与えられるソース電極およびドレイン電極を有する、請求項4に記載のアクティブマトリクス基板。

[請求項6]

前記セット用TFTは、一方が前記第1駆動信号線に接続され、他方が前記第1ノードに接続されたソース電極およびドレイン電極を有し、

前記リセット用TFTは、一方が前記第1ノードに接続され他方が

前記第 1 駆動信号線に接続されたソース電極およびドレイン電極を有する、請求項 4 に記載のアクティブマトリクス基板。

[請求項 7] 前記セット部は、前記第 1 駆動信号線に接続されたゲート電極を有し、ダイオード接続されたセット用 T F T を含み、

前記ブースト部は、前記第 1 ノードに接続されたゲート電極と、一方が前記第 3 駆動信号線に接続され他方が前記第 1 ノードとは異なる第 2 ノードに接続されたソース電極およびドレイン電極とを有するブースト用 T F T を含み、

前記リセット部は、それぞれが前記第 2 駆動信号線に接続されたゲート電極を有し、前記第 1 ノードの電位をプルダウンし得るように構成された第 1 および第 2 のリセット用 T F T を含み、

前記第 1 のリセット用 T F T は、一方が前記第 1 ノードに接続されたソース電極およびドレイン電極を有し、

前記第 2 のリセット用 T F T は、一方が前記第 2 ノードに接続されたソース電極およびドレイン電極を有する、請求項 3 に記載のアクティブマトリクス基板。

[請求項 8] 前記セット用 T F T は、一方が前記第 1 駆動信号線に接続され他方が前記第 1 ノードに接続されたソース電極およびドレイン電極を有し、

前記第 1 のリセット用 T F T の前記ソース電極および前記ドレイン電極の他方と、前記第 2 のリセット用 T F T の前記ソース電極および前記ドレイン電極の他方とは、定電位を与えられる、請求項 7 に記載のアクティブマトリクス基板。

[請求項 9] 前記セット用 T F T は、一方が前記第 1 駆動信号線に接続され他方が前記第 1 ノードに接続されたソース電極およびドレイン電極を有し、

前記第 1 のリセット用 T F T の前記ソース電極および前記ドレイン電極の他方と、前記第 2 のリセット用 T F T の前記ソース電極および

前記ドレイン電極の他方とは、前記第 1 駆動信号線に接続されている、請求項 7 に記載のアクティブマトリクス基板。

[請求項10] 前記ブースト部は、前記第 1 ノードに接続された第 1 容量電極と、前記第 2 ノードに接続された第 2 容量電極とを有するブースト用容量素子をさらに含む、請求項 7 から 9 のいずれかに記載のアクティブマトリクス基板。

[請求項11] 前記複数の単位回路のそれぞれが有する前記 n 個のスイッチング T F T は、1 水平走査期間内で互いに異なるタイミングでオン状態とされる第 1 スwitching T F T および第 2 スwitching T F T を含み、
前記複数のブースト回路は、前記第 1 スwitching T F T に接続された第 1 ブースト回路と、前記第 2 スwitching T F T に接続された第 2 ブースト回路と、を含み、
前記第 1 ブースト回路用の前記第 1 駆動信号線が前記第 2 ブースト回路用の前記第 2 駆動信号線を兼ねており、前記第 2 ブースト回路用の前記第 1 駆動信号線が前記第 1 ブースト回路用の前記第 2 駆動信号線を兼ねる、請求項 3 から 10 のいずれかに記載のアクティブマトリクス基板。

[請求項12] 前記セット部および前記リセット部のそれぞれは、互いに直列に接続された複数の T F T を含む、請求項 2 から 11 のいずれかに記載のアクティブマトリクス基板。

[請求項13] 前記複数の単位回路のそれぞれが有する前記 n 個のスイッチング T F T は、2 個のスイッチング T F T であり、
前記複数のブースト回路は、それぞれが前記 2 個のスイッチング T F T のそれぞれに接続された 2 個のブースト回路を含む、請求項 1 から 12 のいずれかに記載のアクティブマトリクス基板。

[請求項14] 前記複数の単位回路のそれぞれが有する前記 n 個のスイッチング T F T は、2 個のスイッチング T F T であり、
前記 2 個のスイッチング T F T は、1 水平走査期間内で互いに異な

るタイミングでオン状態とされる第1スイッチングT F Tおよび第2スイッチングT F Tであり、

前記複数個のブースト回路は、前記複数の単位回路のうちの2個の単位回路の前記第1スイッチングT F Tに共通に接続された第1ブースト回路と、前記2個の単位回路の前記第2スイッチングT F Tに共通に接続された第2ブースト回路とを含む、請求項1から12のいずれかに記載のアクティブマトリクス基板。

[請求項15] 前記複数の単位回路のそれぞれが有する前記n個のスイッチングT F Tは、2個のスイッチングT F Tであり、

前記2個のスイッチングT F Tは、1水平走査期間内で互いに異なるタイミングでオン状態とされる第1スイッチングT F Tおよび第2スイッチングT F Tであり、

前記複数個のブースト回路は、前記複数の単位回路のうちの3個以上の単位回路の前記第1スイッチングT F Tに共通に接続された第1ブースト回路と、前記3個以上の単位回路の前記第2スイッチングT F Tに共通に接続された第2ブースト回路とを含む、請求項1から12のいずれかに記載のアクティブマトリクス基板。

[請求項16] 前記複数の単位回路のそれぞれが有する前記n個のスイッチングT F Tは、3個のスイッチングT F Tであり、

前記複数の単位回路のそれぞれは、前記複数個のブースト回路のうちの3個のブースト回路を含み、

前記3個のブースト回路のそれぞれは、前記3個のスイッチングT F Tのそれぞれに接続されている、請求項1から12のいずれかに記載のアクティブマトリクス基板。

[請求項17] 前記複数の単位回路のそれぞれが有する前記n個のスイッチングT F Tは、3個のスイッチングT F Tであり、

前記3個のスイッチングT F Tは、1水平走査期間内で互いに異なるタイミングでオン状態とされる第1スイッチングT F T、第2スイ

ッチングT F Tおよび第3スイッチングT F Tであり、

前記複数個のブースト回路は、前記複数の単位回路のうちの2個の単位回路の前記第1スイッチングT F Tに共通に接続された第1ブースト回路と、前記2個の単位回路の前記第2スイッチングT F Tに共通に接続された第2ブースト回路と、前記2個の単位回路の前記第3スイッチングT F Tに共通に接続された第3ブースト回路とを含む、請求項1から12のいずれかに記載のアクティブマトリクス基板。

[請求項18] 前記複数の単位回路のそれぞれが有する前記n個のスイッチングT F Tは、3個のスイッチングT F Tであり、

前記3個のスイッチングT F Tは、1水平走査期間内で互いに異なるタイミングでオン状態とされる第1スイッチングT F T、第2スイッチングT F Tおよび第3スイッチングT F Tであり、

前記複数個のブースト回路は、前記複数の単位回路のうちの3個以上の単位回路の前記第1スイッチングT F Tに共通に接続された第1ブースト回路と、前記3個以上の単位回路の前記第2スイッチングT F Tに共通に接続された第2ブースト回路と、前記3個以上の単位回路の前記第3スイッチングT F Tに共通に接続された第3ブースト回路とを含む、請求項1から12のいずれかに記載のアクティブマトリクス基板。

[請求項19] 前記デマルチプレクサ回路は、それぞれが前記複数個のブースト回路のそれぞれに接続され、対応するブースト回路を所定のタイミングで初期化する複数個のクリア回路をさらに含む、請求項1から18のいずれかに記載のアクティブマトリクス基板。

[請求項20] 前記クリア回路は、クリア信号が供給されるゲート電極と、一方が前記第1ノードに接続され他方が定電位を与えられるソース電極およびドレイン電極とを有するクリア用T F Tを含む、請求項19に記載のアクティブマトリクス基板。

[請求項21] 前記クリア回路は、クリア信号が供給されるゲート電極と、一方が

前記第 1 ノードに接続され他方が前記第 1 駆動信号線に接続されたソース電極およびドレイン電極とを有するクリア用 T F T を含む、請求項 3 を引用する請求項 1 9 に記載のアクティブマトリクス基板。

[請求項22] 前記複数のブースト回路は、同じタイミングで駆動される 2 個以上のブースト回路を含み、

前記デマルチプレクサ回路は、前記 2 個以上のブースト回路のうちの一部のブースト回路を駆動するための駆動信号群を供給する第 1 の駆動信号線群と、他の一部のブースト回路を駆動するための駆動信号群を供給する第 2 の駆動信号線群であって、前記第 1 の駆動信号線群とは異なる第 2 の駆動信号線群とを含む、請求項 1 から 2 1 のいずれかに記載のアクティブマトリクス基板。

[請求項23] 前記 n 個のスイッチング T F T のそれぞれは、活性層として酸化物半導体層を含む、請求項 1 から 2 2 のいずれかに記載のアクティブマトリクス基板。

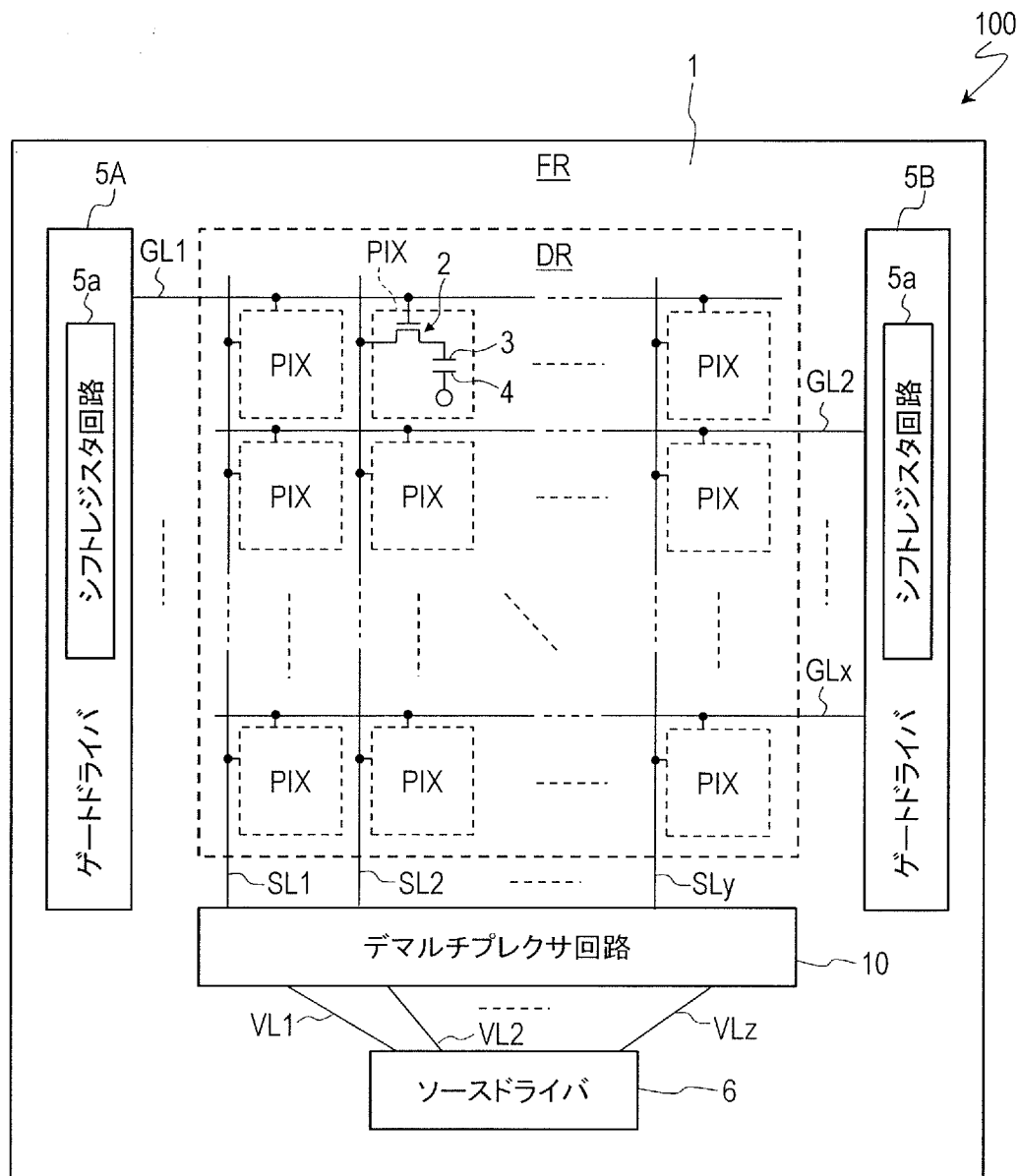
[請求項24] 前記酸化物半導体層は、 $In-Ga-Zn-O$ 系半導体を含む、請求項 2 3 に記載のアクティブマトリクス基板。

[請求項25] 前記 $In-Ga-Zn-O$ 系半導体は結晶質部分を含む、請求項 2 4 に記載のアクティブマトリクス基板。

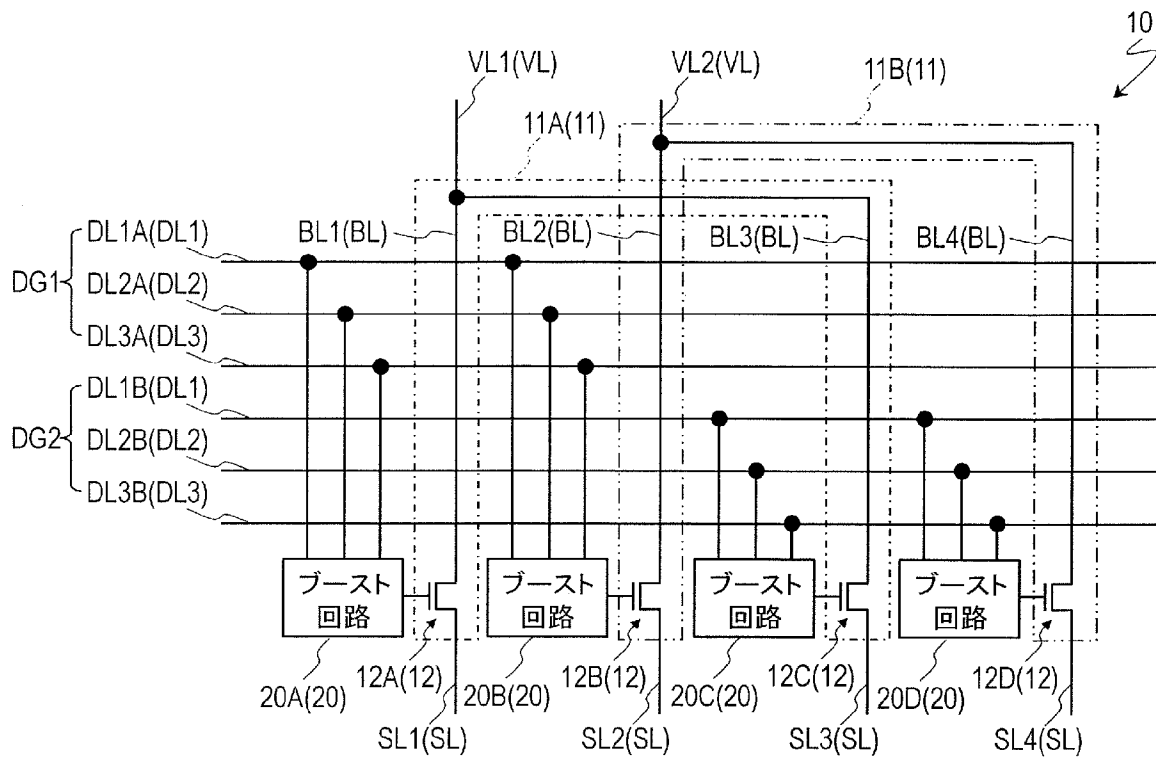
[請求項26] 前記 n 個のスイッチング T F T のそれぞれは、活性層として多結晶シリコン半導体層を含む P M O S トランジスタである、請求項 1 から 2 2 のいずれかに記載のアクティブマトリクス基板。

[請求項27] 請求項 1 から 2 6 のいずれかに記載のアクティブマトリクス基板を備えた表示装置。

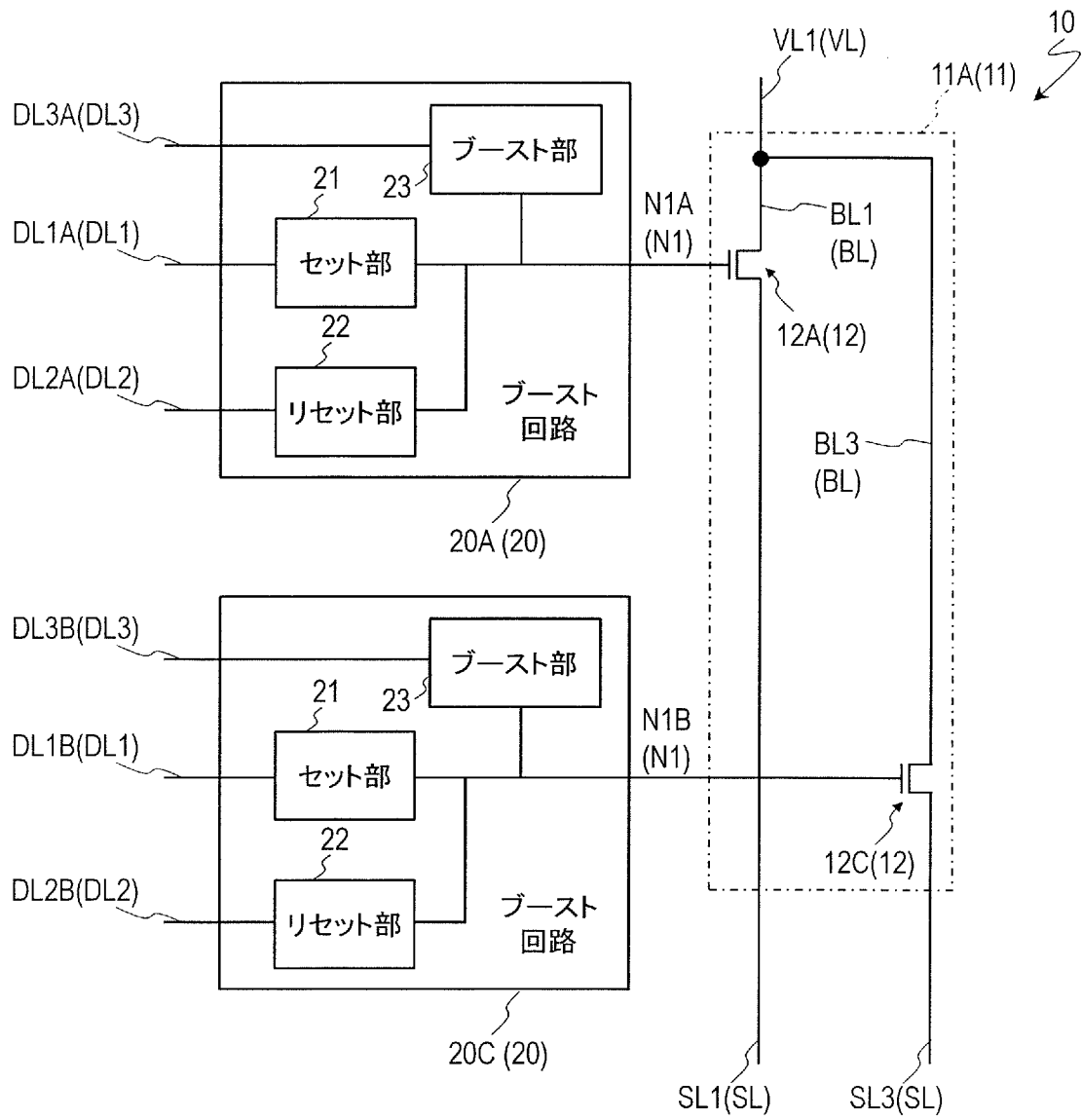
[図1]



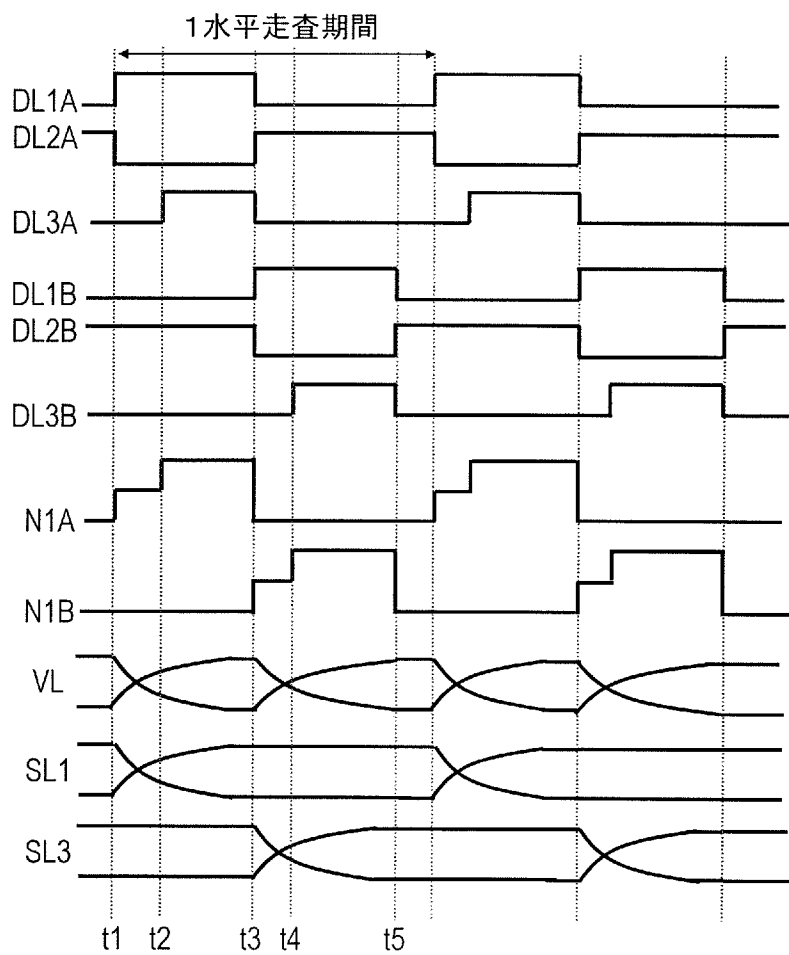
[図2]



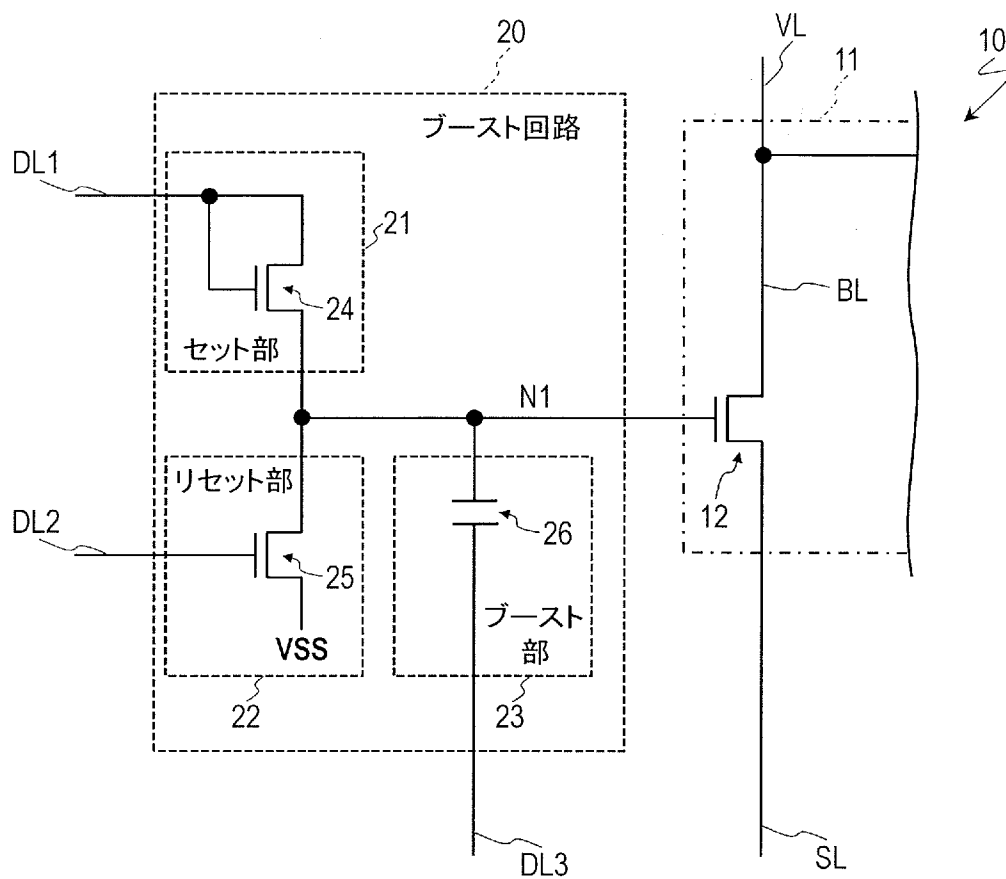
[図3]



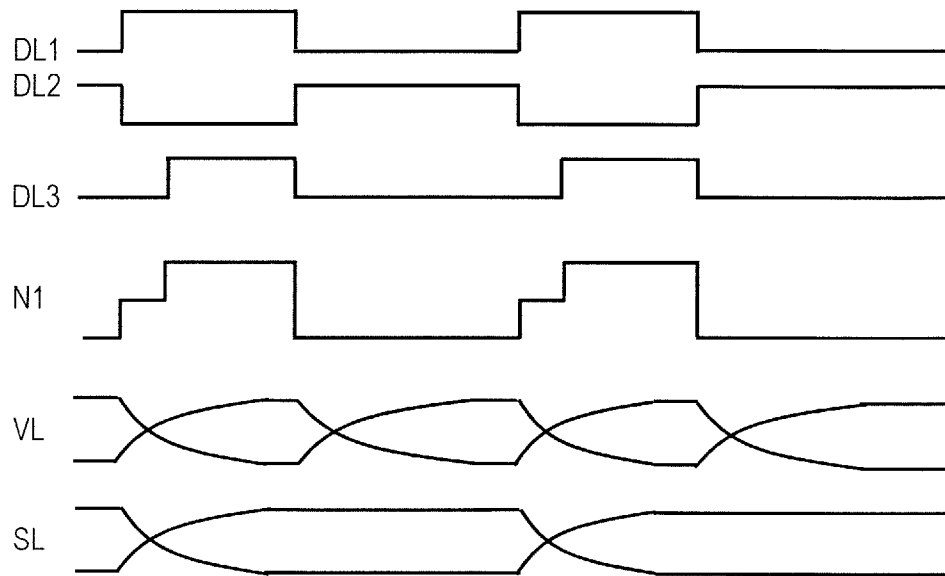
[図4]



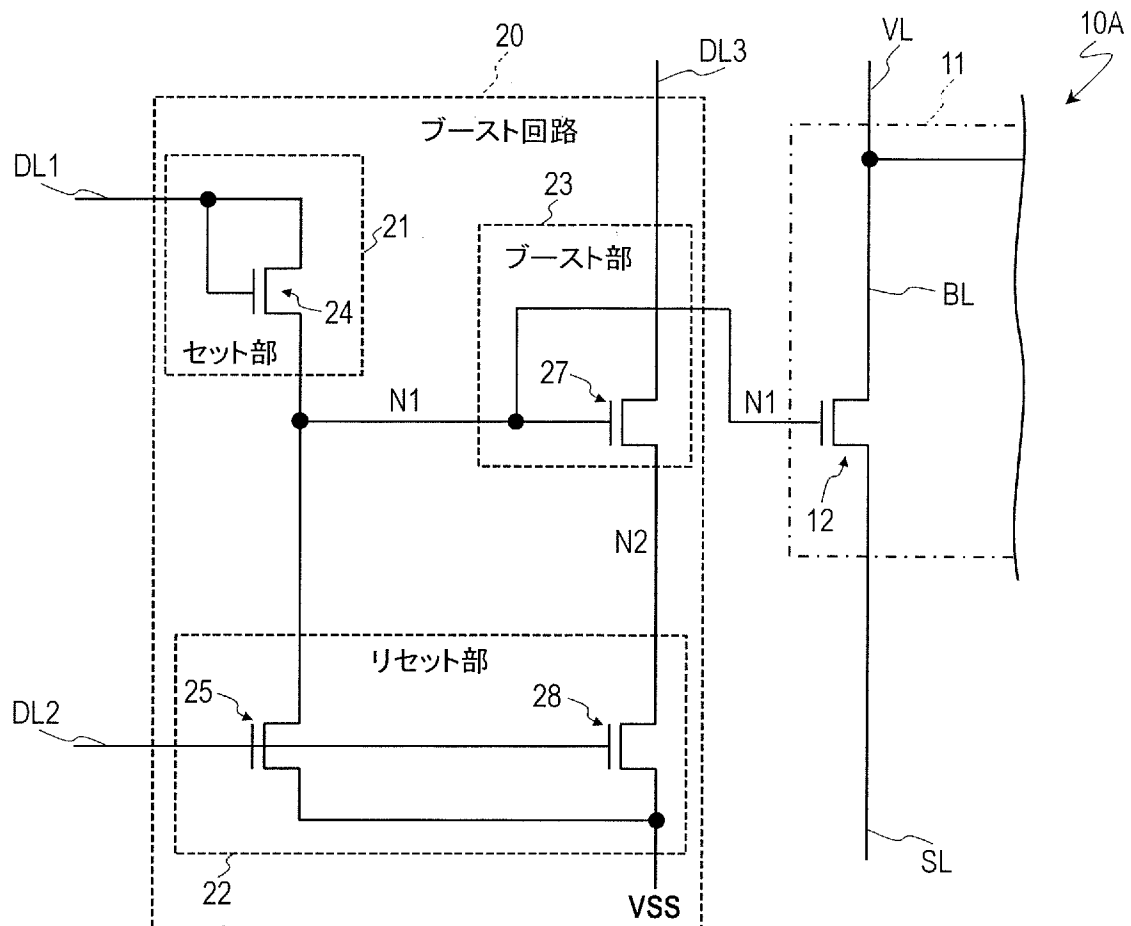
[図5]

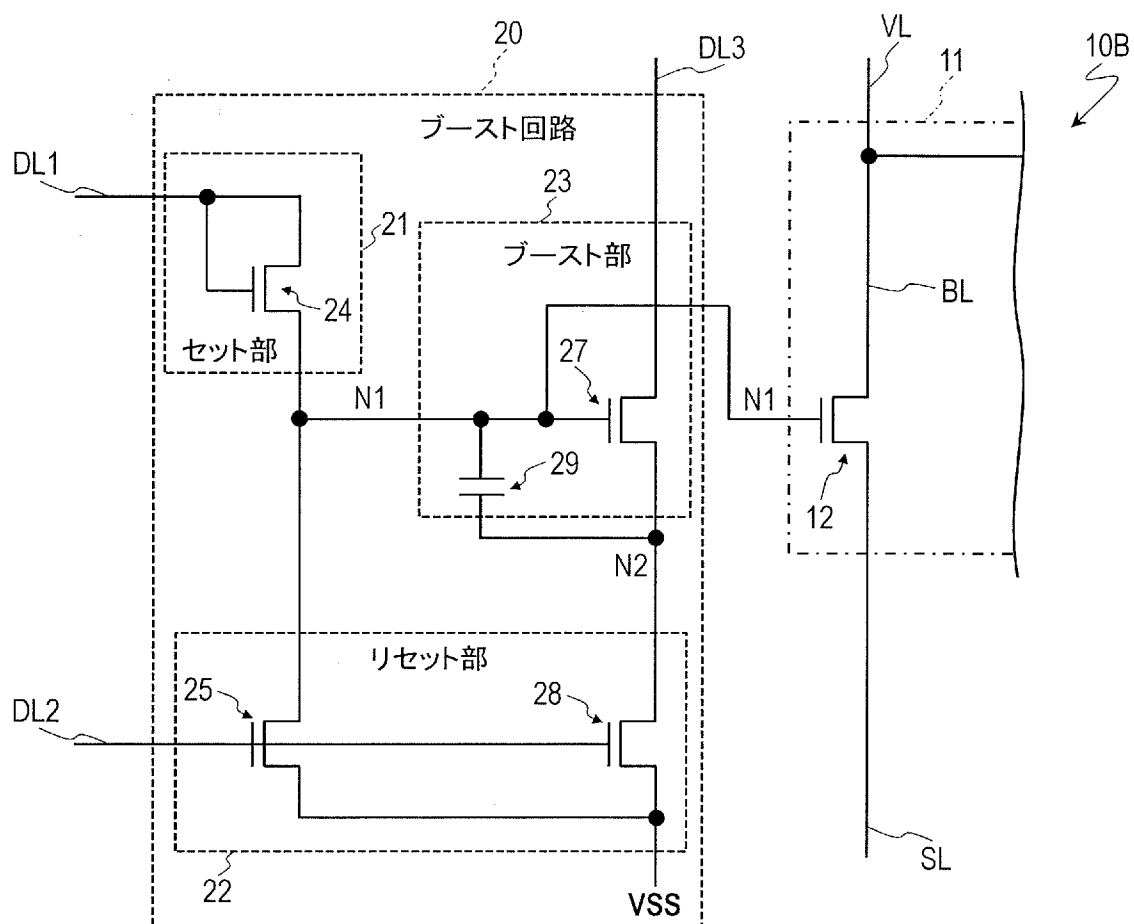
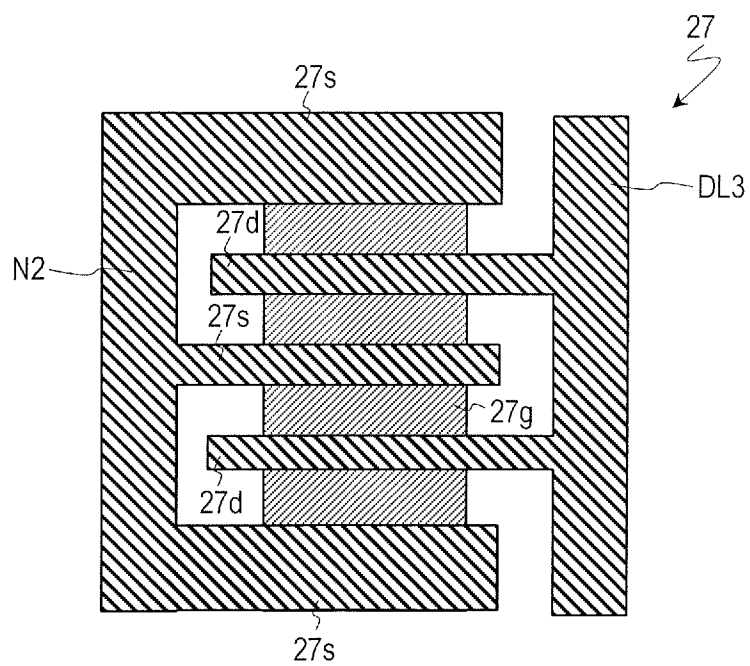


[図6]

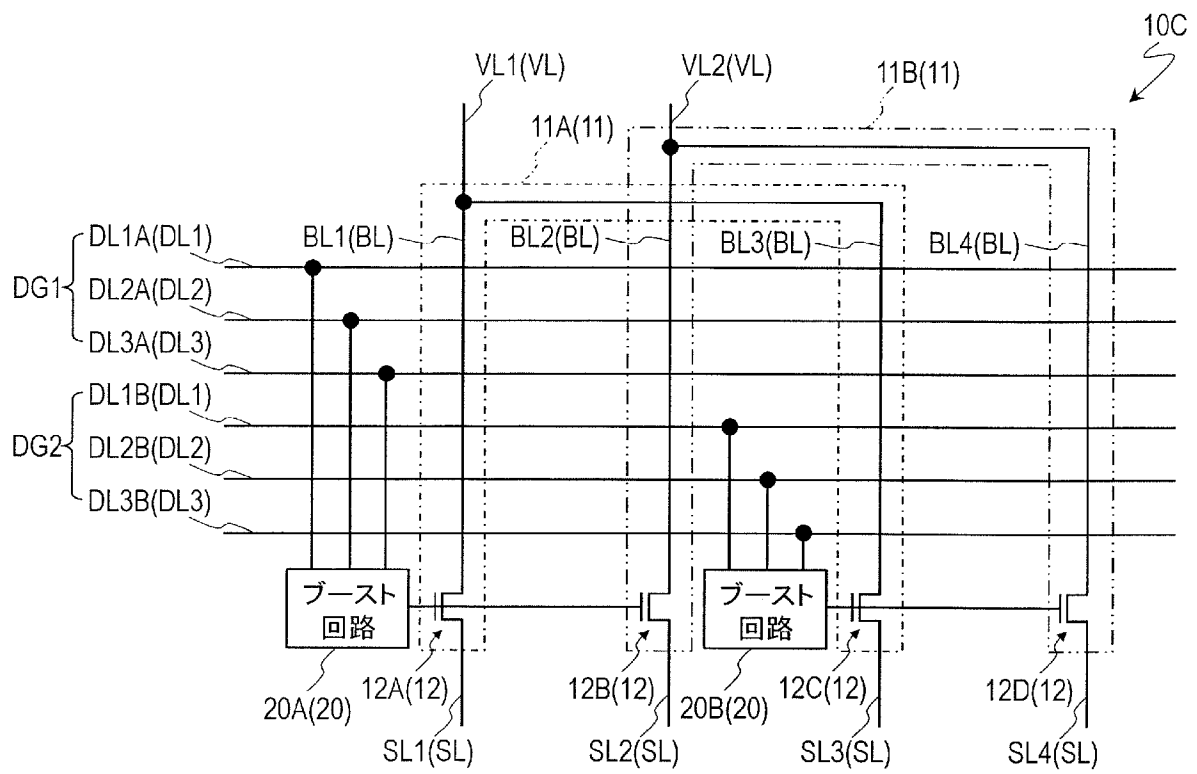


[図7]

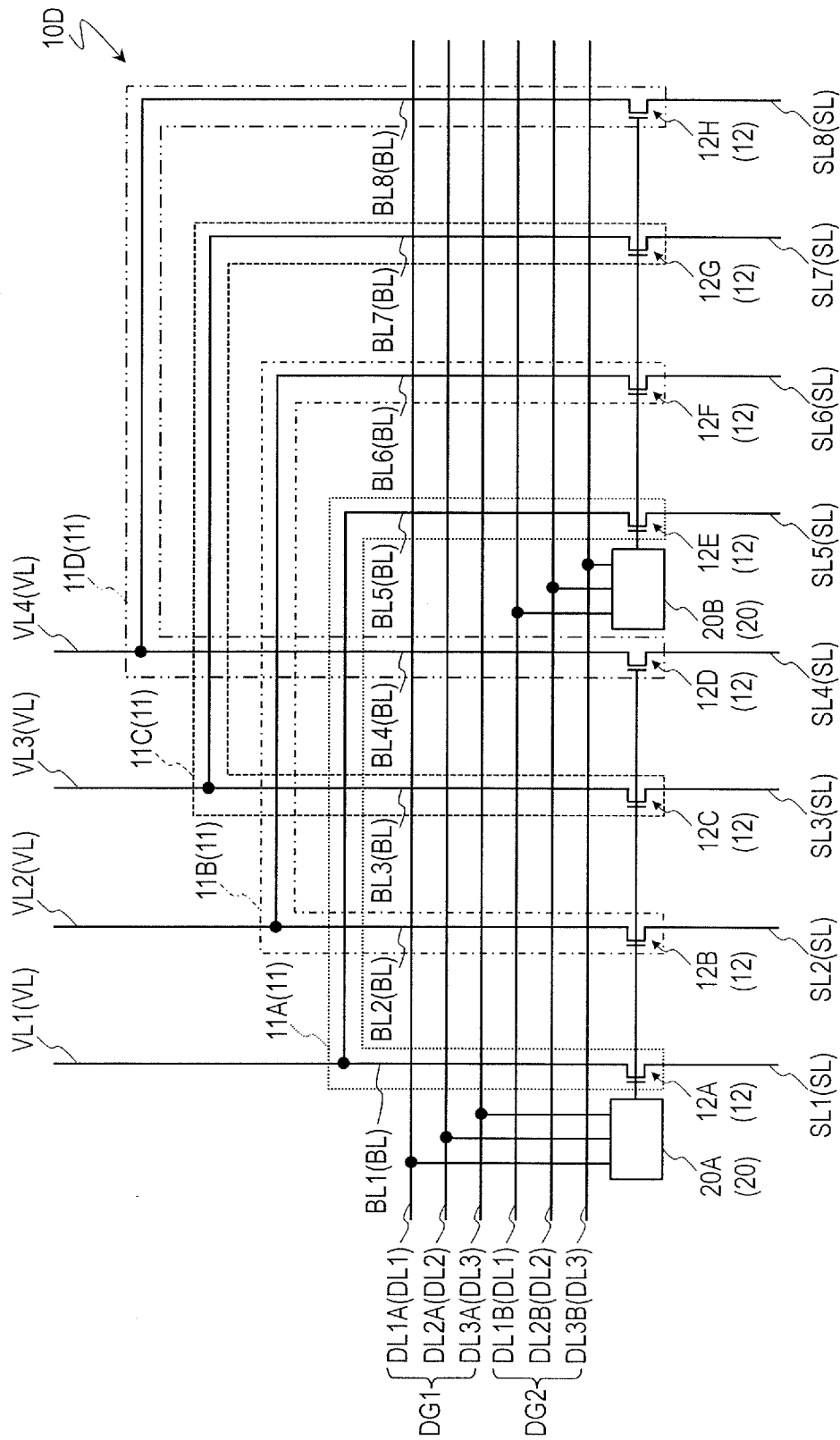




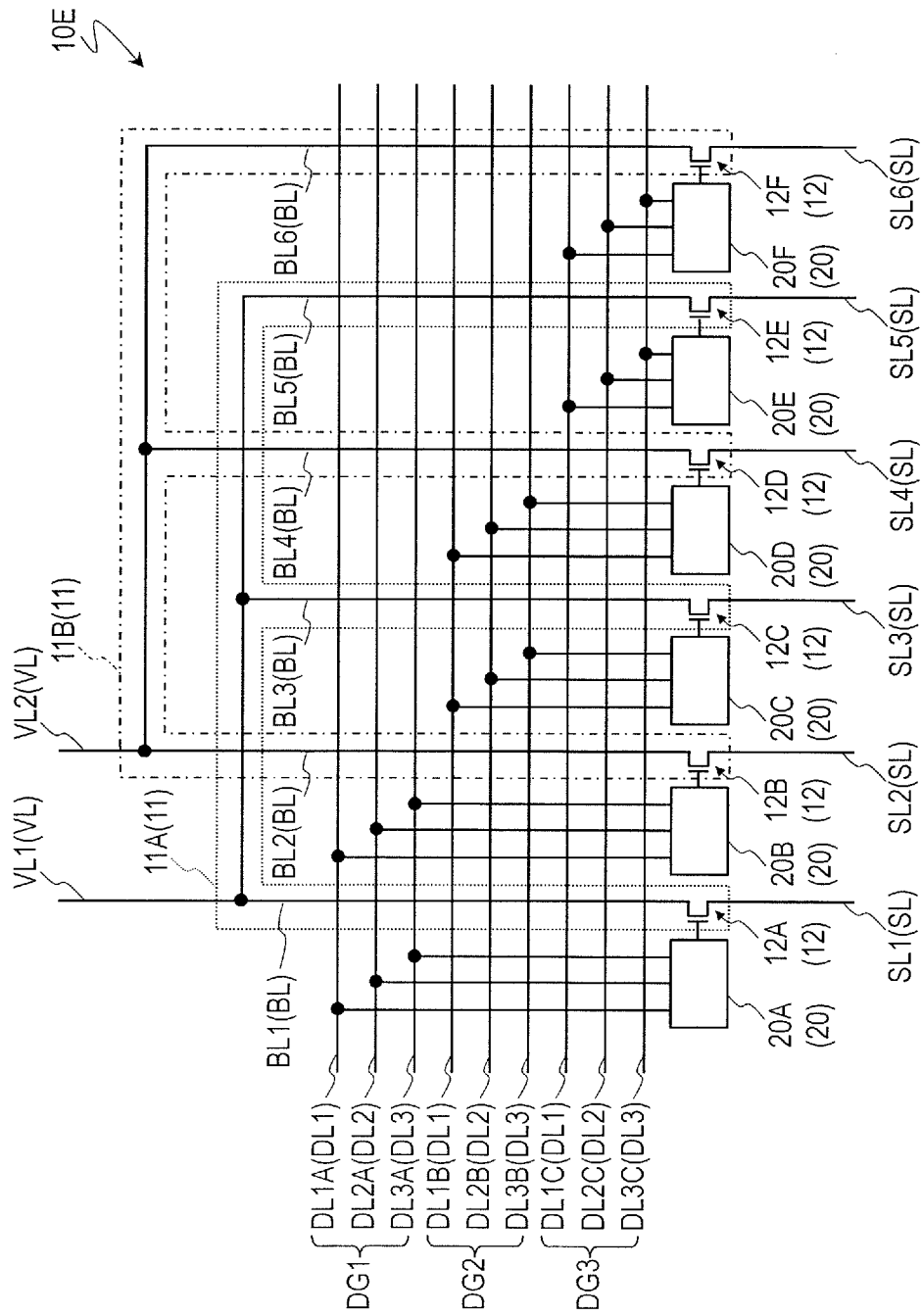
[図10]



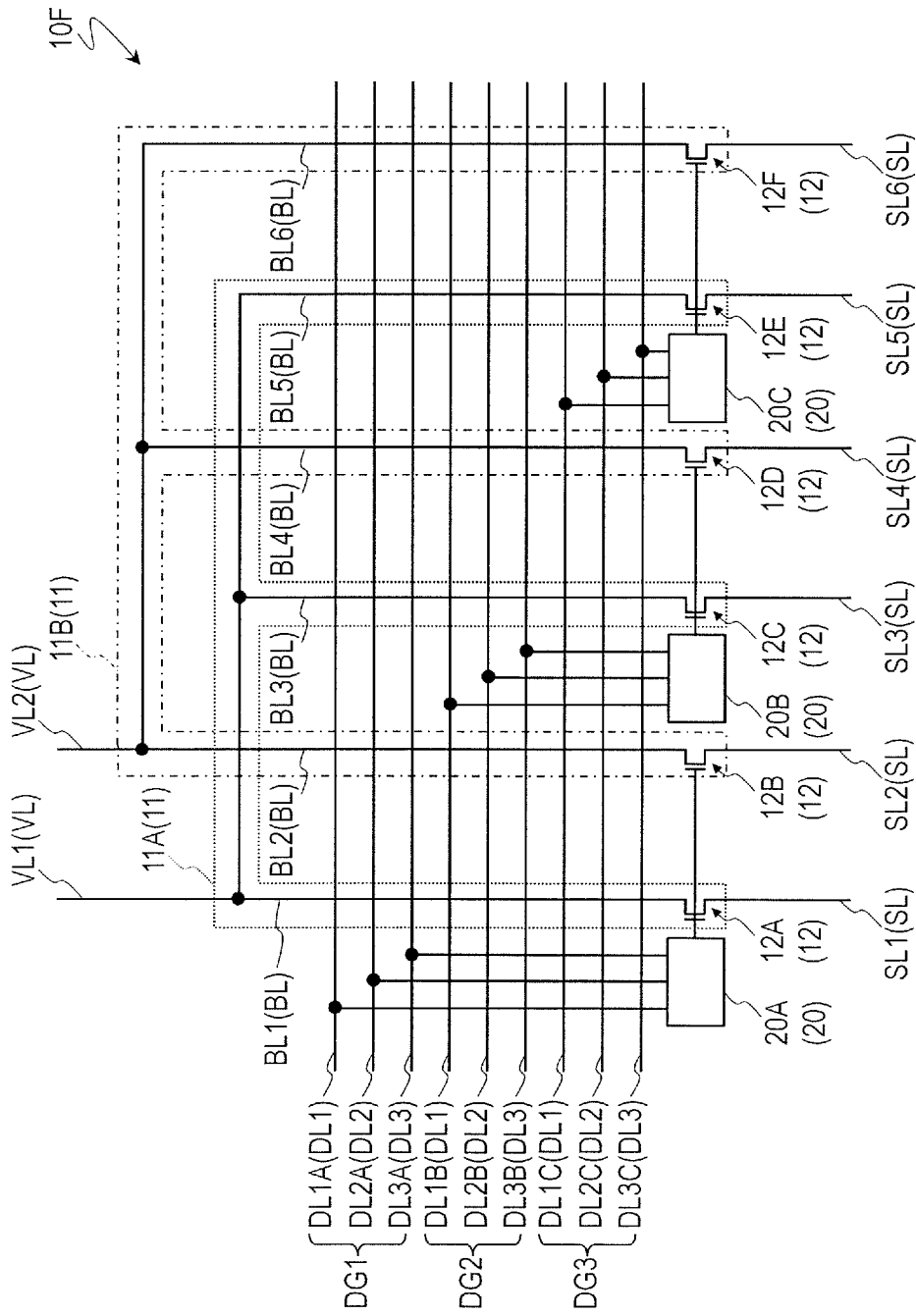
[図11]



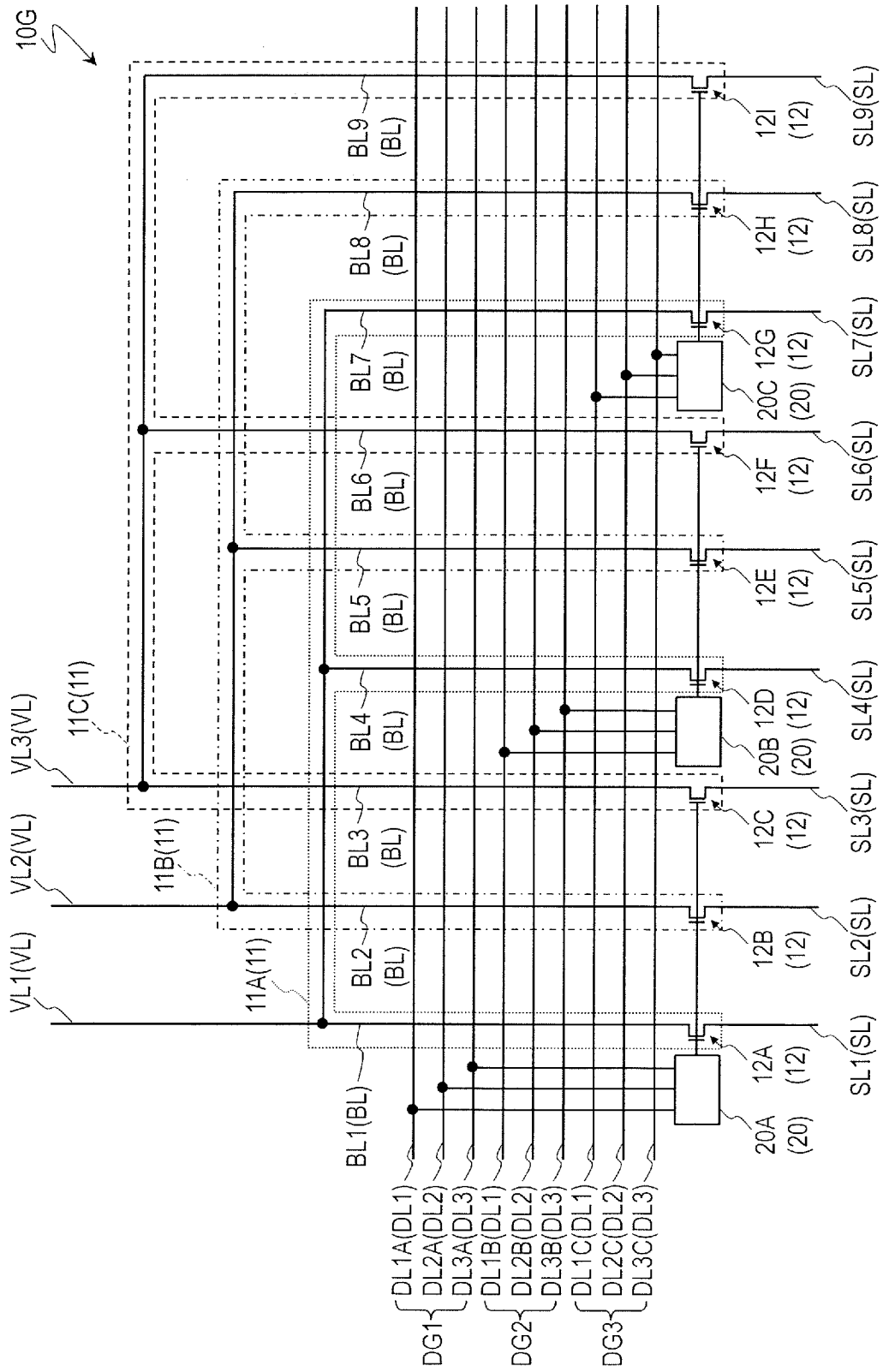
[図12]



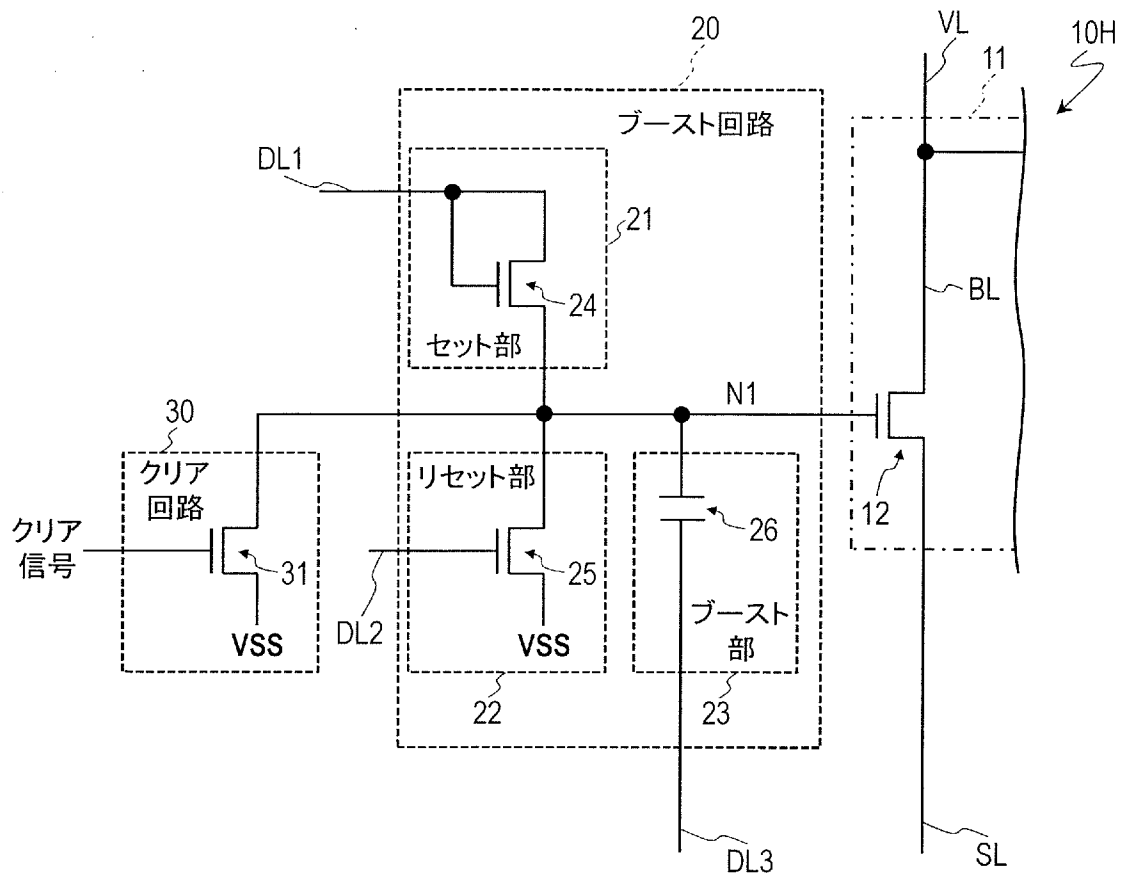
[図13]



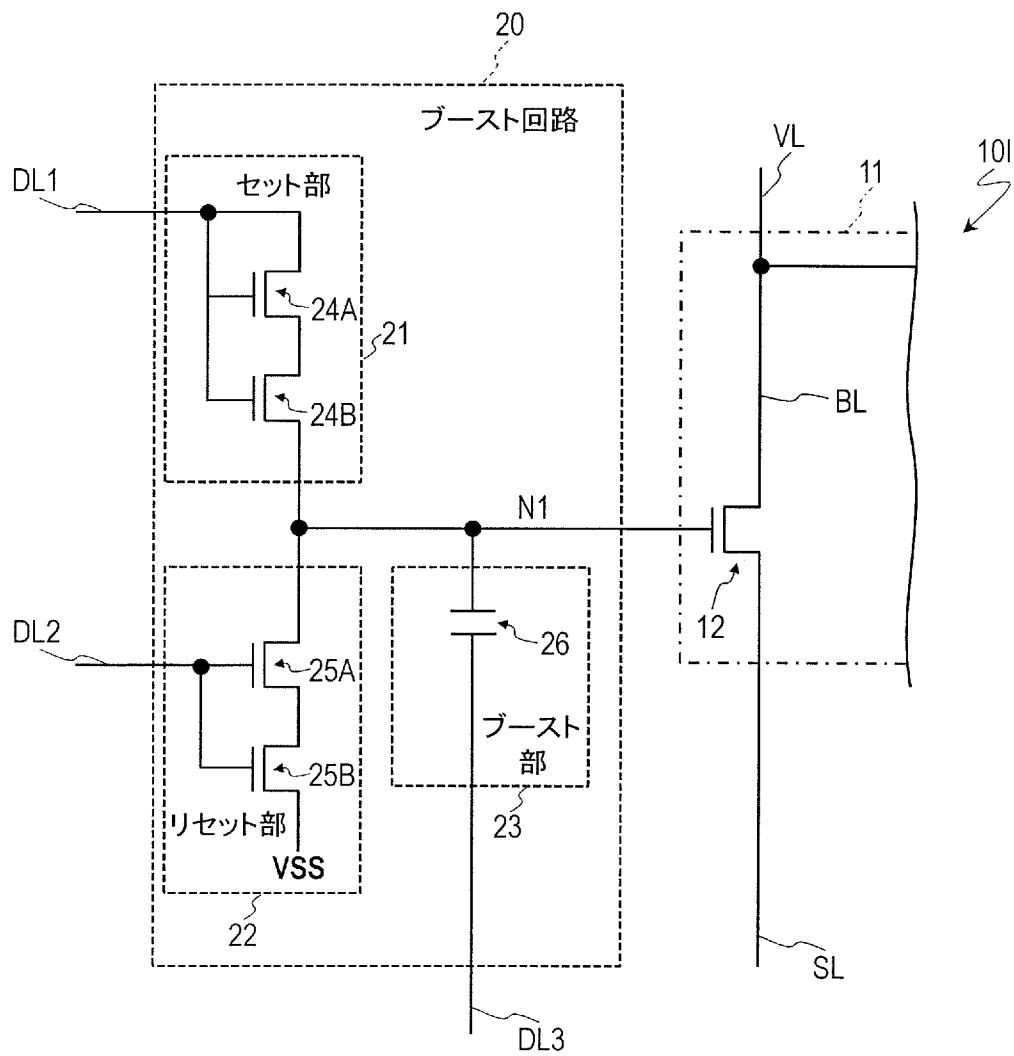
[図14]



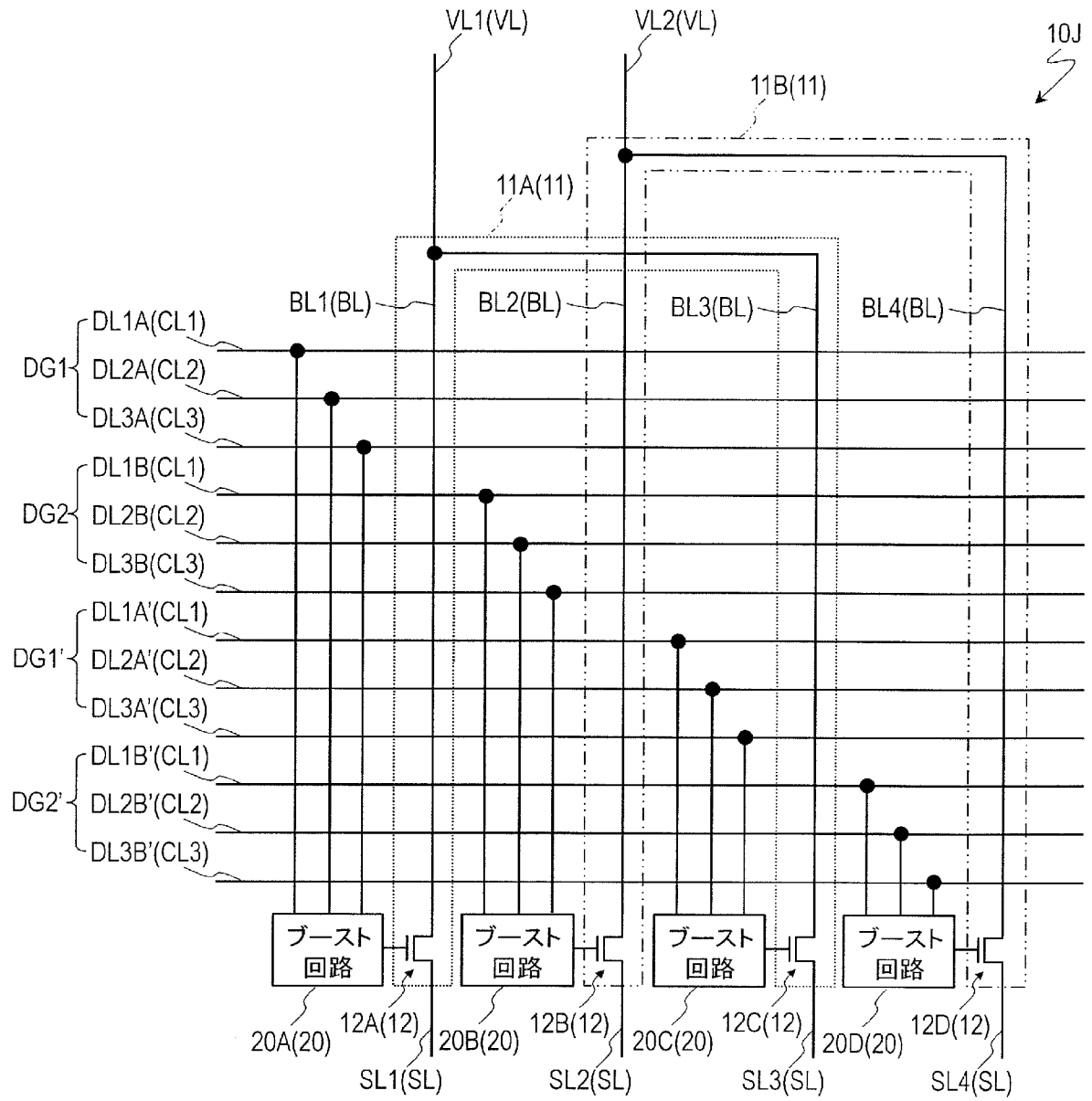
[図15]



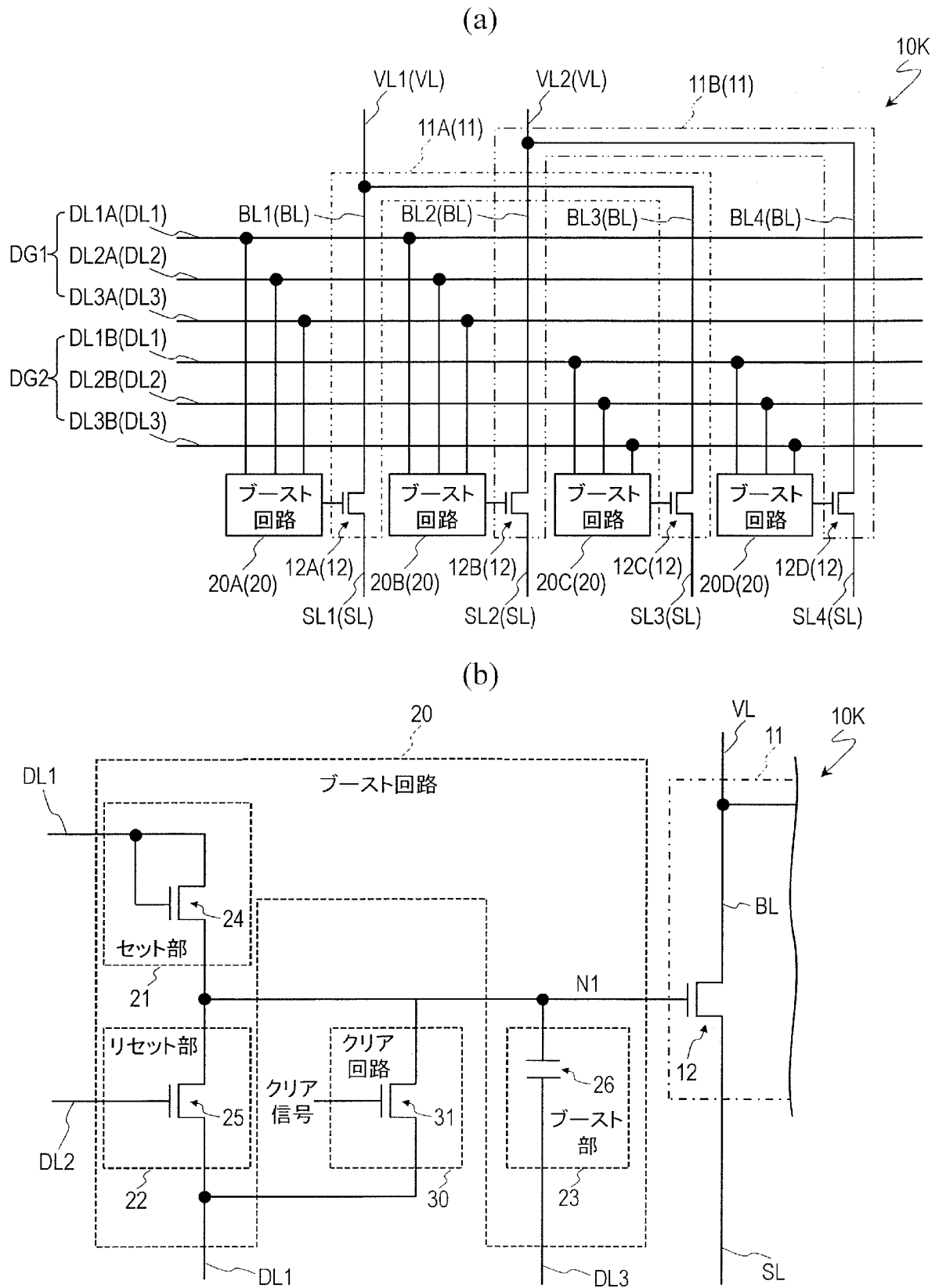
[図16]



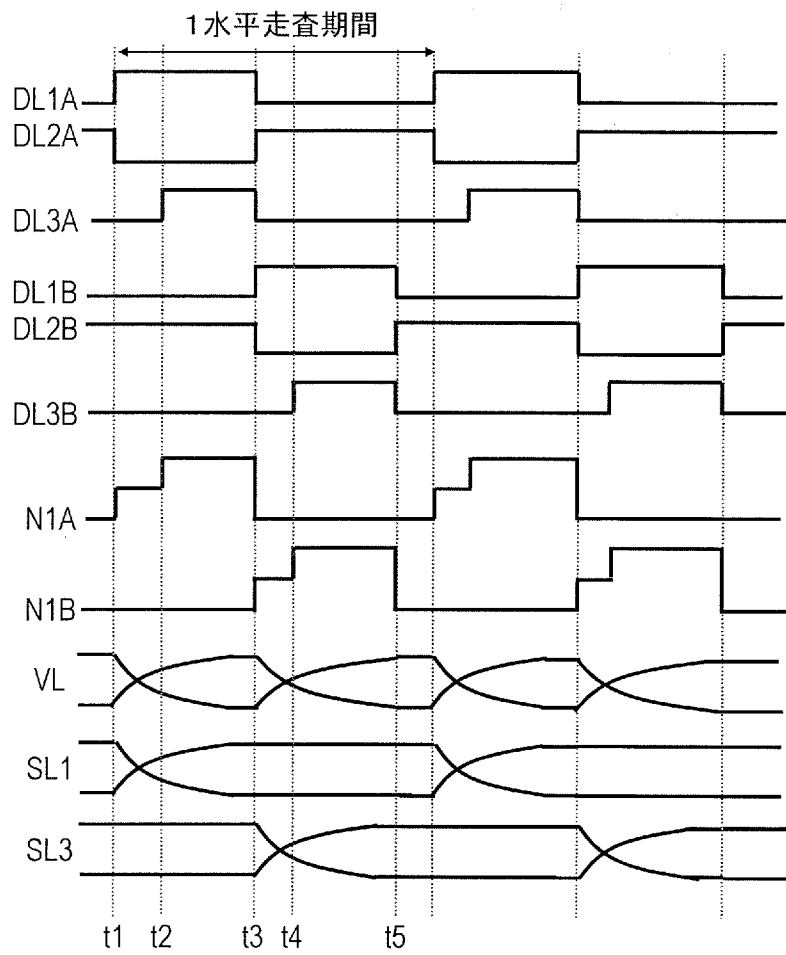
[図17]



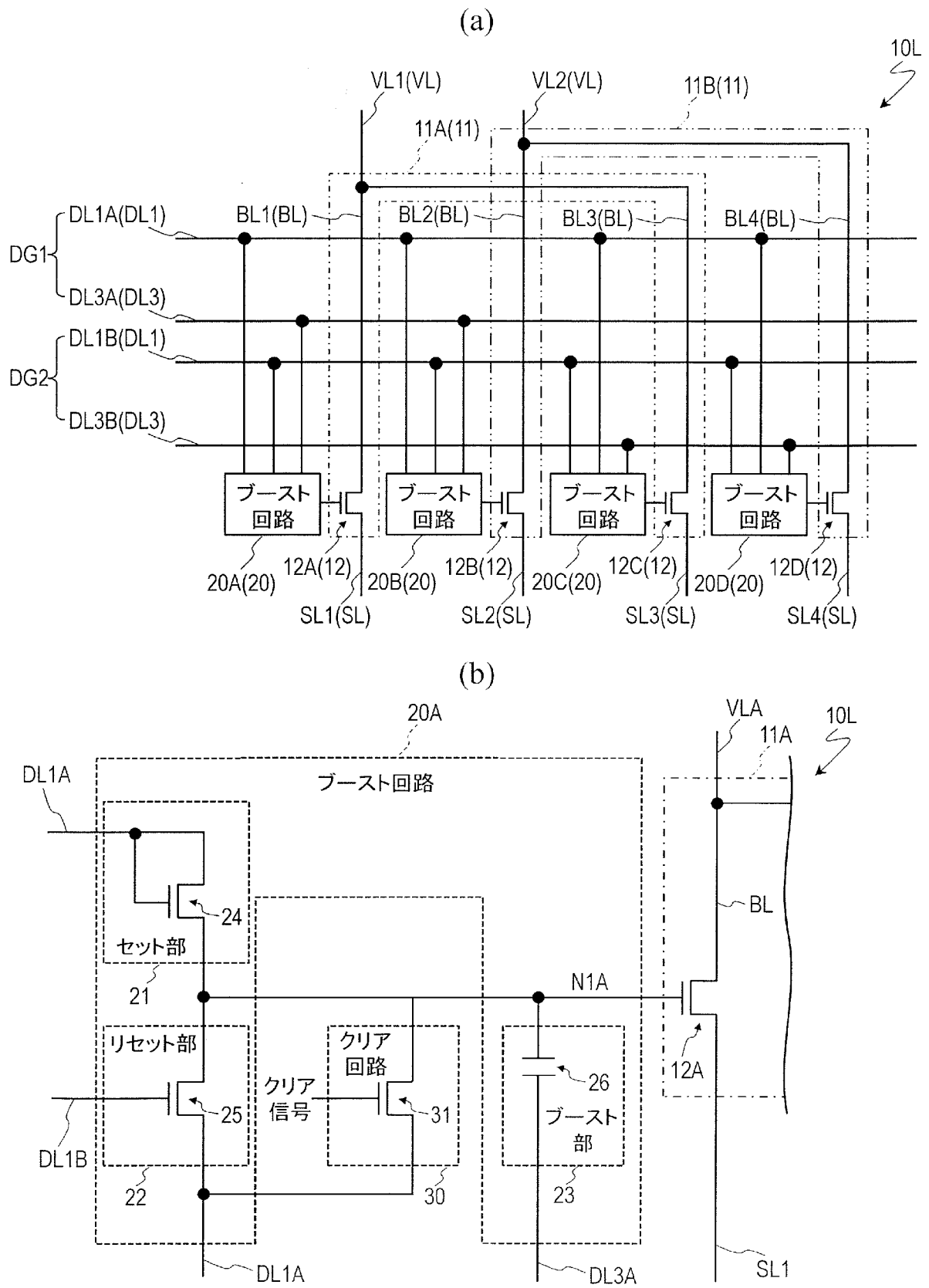
[図18]



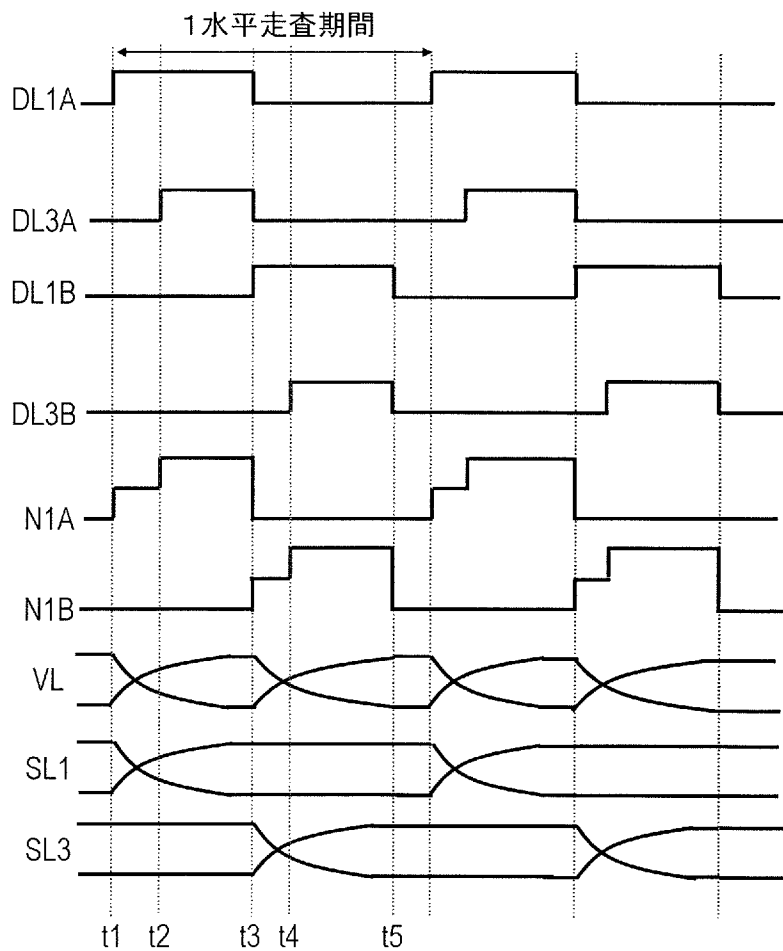
[図19]



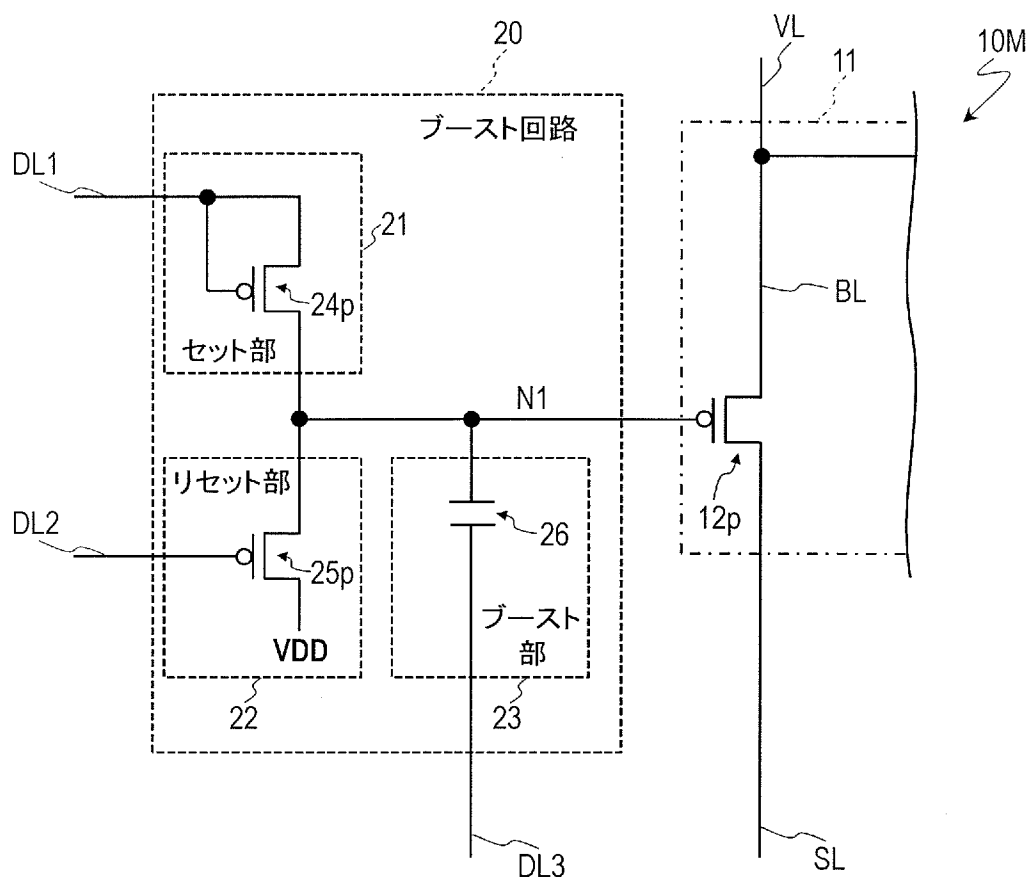
[図20]



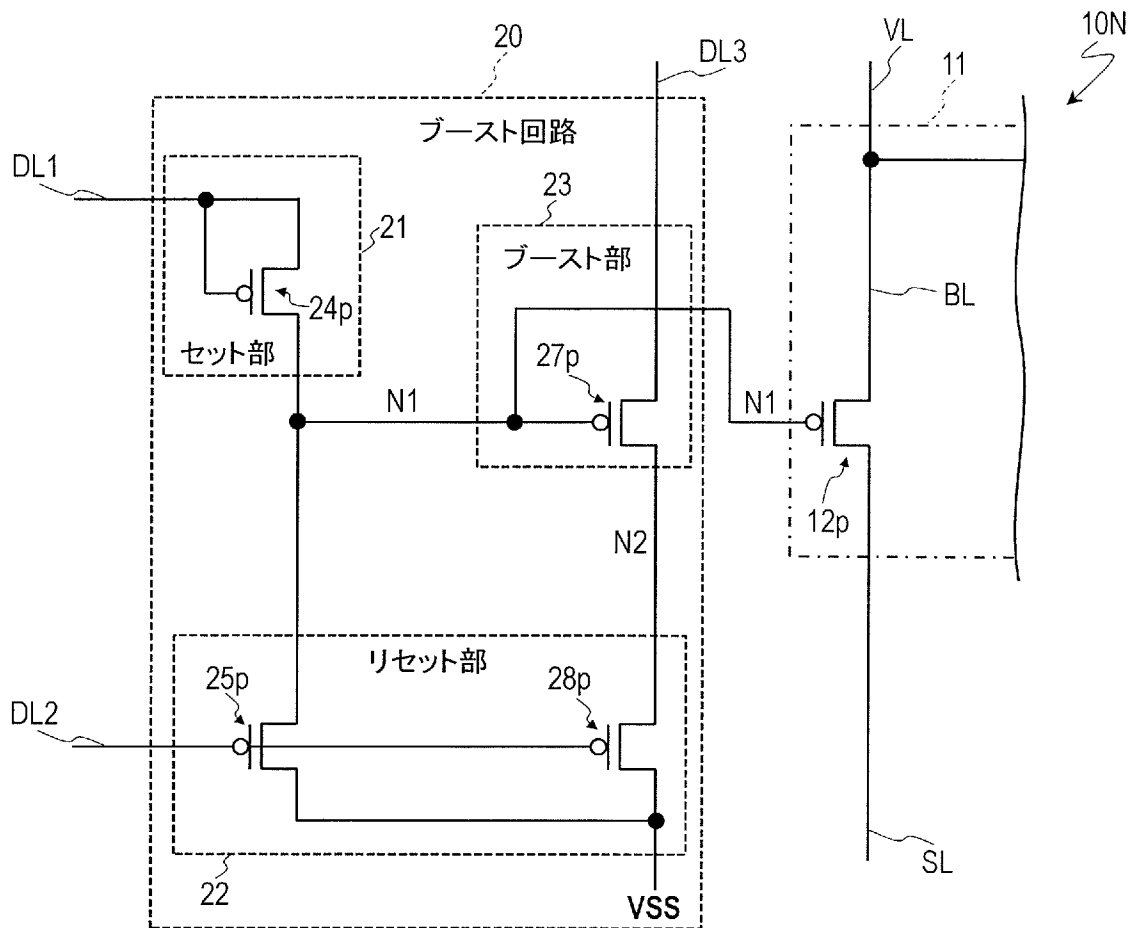
[図21]



[図22]

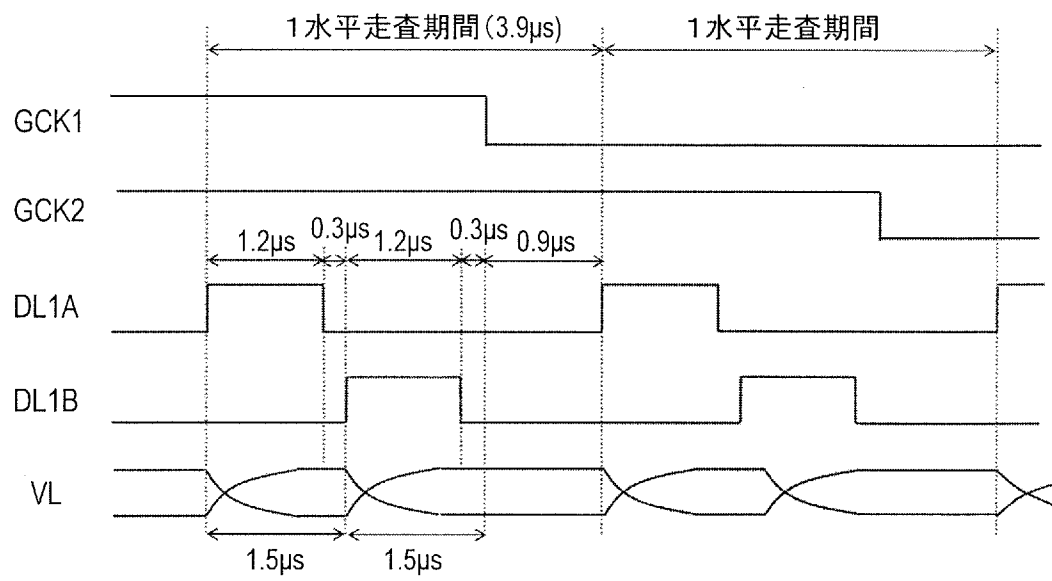


[図23]

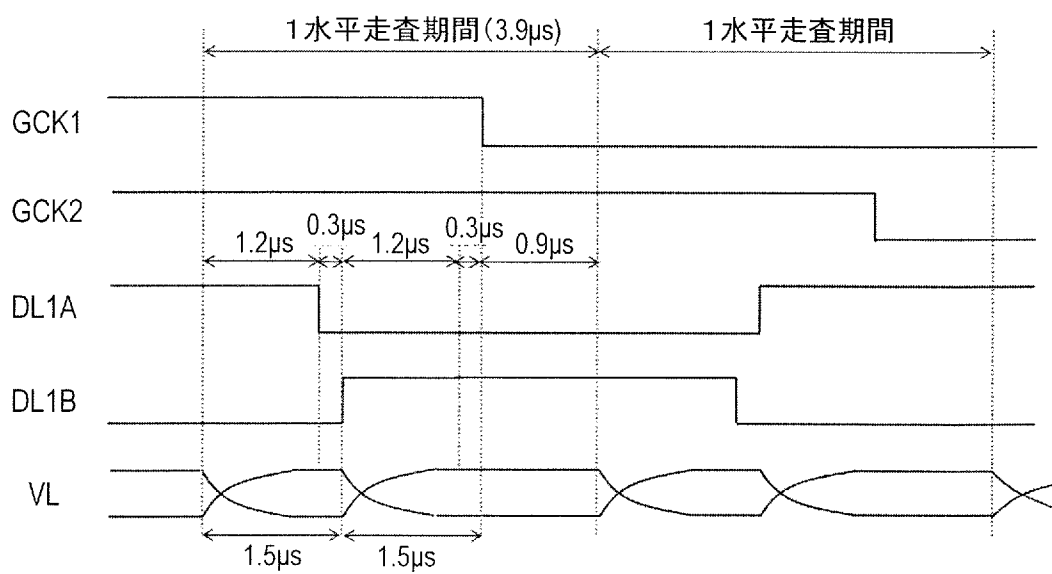


[図24]

(a)



(b)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/014610

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G09G3/20 (2006.01)i, G02F1/1368 (2006.01)i, G09G3/36 (2006.01)i,
H01L21/336 (2006.01)i, H01L29/786 (2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G09G3/20-3/36, G02F1/133

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-8224 A (SHARP CORP.) 12 January 2012, entire text, all drawings (Family: none)	1-27
A	JP 2009-134055 A (SHARP CORP.) 18 June 2009, entire text, all drawings (Family: none)	1-27
A	JP 2009-122157 A (SEIKO EPSON CORP.) 04 June 2009, entire text, all drawings (Family: none)	1-27

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18 June 2018 (18.06.2018)

Date of mailing of the international search report
03 July 2018 (03.07.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G09G3/20(2006.01)i, G02F1/1368(2006.01)i, G09G3/36(2006.01)i, H01L21/336(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G09G3/20-3/36, G02F1/133

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2012-8224 A（シャープ株式会社）2012.01.12, 全文全図（ファミリーなし）	1-27
A	JP 2009-134055 A（シャープ株式会社）2009.06.18, 全文全図（ファミリーなし）	1-27
A	JP 2009-122157 A（セイコーエプソン株式会社）2009.06.04, 全文全図（ファミリーなし）	1-27

❏ C欄の続きにも文献が列挙されている。

❏ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

18.06.2018

国際調査報告の発送日

03.07.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小野 健二

電話番号 03-3581-1101 内線 3273

21

5061