

(此處由本局於收  
文時黏貼條碼)

769943

# 發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

公告本

※申請案號：97111074

※申請日期：97 年 03 月 27 日

※IPC 分類：

一、發明名稱：

H01L <sup>21</sup>/<sub>76</sub>, <sup>21</sup>/<sub>336</sub>

(2006.01)

(中) 製造半導體裝置之方法

(英) Method for manufacturing semiconductor device

二、申請人：(共 1 人)

1. 姓 名：(中) 半導體能源研究所股份有限公司

(英) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.

代表人：(中) 1. 山崎舜平

(英) 1. YAMAZAKI, SHUNPEI

地 址：(中) 日本國神奈川縣厚木市長谷三九八番地

(英) 398, Hase, Atsugi-shi, Kanagawa-ken 243-0036, Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 2 人)

1. 姓 名：(中) 山崎舜平

(英) YAMAZAKI, SHUNPEI

國 籍：(中) 日本

(英) JAPAN

2. 姓 名：(中) 大沼英人

(英) OHNUMA, HIDETO

國 籍：(中) 日本

(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2007/05/11 ; 2007-127270 ☒ 有主張優先權

## 五、中文發明摘要

發明之名稱：製造半導體裝置之方法

本發明的目的在於提供一種半導體裝置的方法，即使使用耐熱溫度低的基底也可以高成品率製造具有結晶半導體層的半導體裝置。在半導體基底的一部分中形成槽，以形成具有凸部的半導體基底，而且形成接合層以覆蓋該凸部。另外，在形成接合層之前，對成為凸部的半導體基底部份照射加速的離子，以形成脆弱層。將接合層和支撐基底接合之後，進行分離半導體基底的熱處理，以在支撐基底上提供半導體層。選擇性地蝕刻該半導體層，形成半導體元件，以製造半導體裝置。

## 六、英文發明摘要

發明之名稱：

Method for manufacturing semiconductor device

An object is to provide a method for manufacturing, with high yield, a semiconductor device having a crystalline semiconductor layer even if a substrate with low upper temperature limit. A groove is formed in a part of a semiconductor substrate to form a semiconductor substrate that has a projecting portion, and a bonding layer is formed to cover the projecting portion. In addition, before the bonding layer is formed, a portion of the semiconductor substrate to be the projecting portion is irradiated with accelerated ions to form a brittle layer. After the bonding layer and the supporting substrate are bonded together, heat treatment for separation of the semiconductor substrate is performed to provide a semiconductor layer over the supporting substrate. The semiconductor layer is selectively etched, and a semiconductor element is formed and a semiconductor device is manufactured.

七、指定代表圖

(一)、本案指定代表圖為：第 ( 1D ) 圖

(二)、本代表圖之元件代表符號簡單說明：

104：接合層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 九、發明說明

### 【發明所屬之技術領域】

本發明係關於使用具有 SOI 結構的基底的半導體裝置的製造方法。

### 【先前技術】

正在開發在絕緣層上設置有薄單晶半導體層的稱為絕緣體上矽（Silicon on Insulator）的半導體基底（SOI 基底），而代替將單晶半導體的錠（ingot）切成薄片而形成的矽片。通過使用 SOI 基底設置構成積體電路的電晶體，可以減少電晶體的漏極和基底之間的寄生電容，從而被認為對提高工作速度及降低耗電量有效。因此，SOI 基底被期待著應用於高性能半導體裝置如微處理器等。

作為製造 SOI 基底的方法，已知氫離子注入剝離法（例如參照專利文件 1）。在氫離子注入剝離法中，通過將氫離子注入到矽片，在離表面有預定深度處形成微小氣泡層，將氫離子注入面重疊於另一矽片，進行熱處理，並以該微小氣泡層為劈開面進行剝離，來將薄矽層（SOI 層）接合到另一矽片。除了進行用來剝離 SOI 層的熱處理以外，還需要通過在氧化性氣氛下進行熱處理而在 SOI 層上形成氧化層，然後去除該氧化層，並在 1000℃ 至 1300℃ 的還原性氣氛下進行熱處理，以提高接合面的接合強度並改善 SOI 層表面的損傷層。

另一方面，揭示了在絕緣基底如高耐熱性玻璃等上設

置有單晶矽層的半導體裝置（參照專利文件 2）。在該半導體裝置中，使用絕緣性矽層保護應變點為  $750^{\circ}\text{C}$  以上的結晶玻璃的整個表面，並將通過氫離子注入剝離法而獲得的單晶矽層固定於該絕緣性矽層上。

專利文件 1 日本專利申請特開 2000-124092 號公報

專利文件 2 日本專利申請特開平 11-163363 號公報

在氫離子注入剝離法中，需要在  $1000^{\circ}\text{C}$  以上的高溫下進行熱處理，以提高 SOI 層和另一基底的接合強度並改善 SOI 層表面的損傷層。因此，在為了降低基底的成本而將單晶矽層接合到用於液晶面板等的耐熱溫度為  $700^{\circ}\text{C}$  左右的玻璃基底來形成 SOI 基底的情況下，發生玻璃基底因所述高溫下進行熱處理而收縮的問題。若玻璃基底收縮，則單晶矽層和玻璃基底的接合強度降低，因此成品率降低。

### 【發明內容】

鑒於上述問題，本發明的目的在於提供一種高成品率地製造具有結晶半導體層的半導體裝置的方法，該結晶半導體層即使使用耐熱溫度低的基底如玻璃基底等也可以實用。

通過在作為半導體層的基體的半導體基底的一部分中形成槽，形成具有凸部的半導體基底，而且覆蓋該凸部地形成接合層。另外，在形成接合層之前，通過至少對成為凸部的半導體基底照射加速了的離子，將半導體基底的一部分多孔化而形成脆弱層。在清洗接合層的表面及支撐基

底的表面之後，將接合層和支撐基底接合，並進行分離半導體基底的熱處理，以在支撐基底上提供半導體層。通過選擇性地蝕刻該半導體層，製造場效應電晶體、二極體、電容元件、非易失記憶元件等的半導體元件，以製造半導體裝置。

在進行分離半導體基底的熱處理之前，在半導體基底的一部分形成槽，來形成分離的凸部。然後，將該凸部接合到支撐基底，並進行分離半導體基底的熱處理。通過進行分離半導體基底的熱處理，支撐基底收縮，因而接合到支撐基底上的 SOI 層的位置也變化，並且產生畸變應力。但是，由於凸部是被槽分離而不是連續接合到支撐基底上，所以可以抑制由支撐基底收縮產生的半導體層的畸變應力，並可以抑制膜剝離或接合面的接合力降低。另外，因為在後續的加熱步驟中不容易發生支撐基底的收縮，所以可以抑制在多個光刻步驟中的光光罩的偏離。

當通過向半導體基底照射加速了的離子將半導體基底的一部分多孔化來形成脆弱區域時，存在著如下區域：加速了的離子即使被照射到半導體基底，在該區域在半導體基底中也不適當地包含該離子。通過去除半導體基底中的該區域形成槽，來形成凸部，以在凸部中形成連續的脆弱區域。然後，將所述被分割的半導體基底接合到支撐基底，並進行分離半導體基底的熱處理。通過進行分離半導體基底的熱處理，在連續的脆弱區域中半導體基底的整個凸部被分離，來可以在支撐基底上設置具有預定厚度的半導

體層。

接合層是形成平滑面且具有親水性表面的層。作為可形成這種表面的層，首選使用通過化學反應形成的絕緣層。例如，首選使用通過熱反應或化學反應形成的氧化層。這是因為主要通過化學反應形成的膜能夠確保表面平滑性的緣故。作為接合層的代表例子，使用以有機矽烷為原料而形成的氧化矽層。作為有機矽烷氣體，可以使用矽酸乙酯（四乙氧基矽烷，TEOS： $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）、四甲基矽烷（ $\text{Si}(\text{CH}_3)_4$ ）、三甲基矽烷（ $(\text{CH}_3)_3\text{SiH}$ ）、四甲基環四矽氧烷（TMCTS）、八甲基環四矽氧烷（OMCTS）、六甲基二矽氮烷（HMDS）、三乙氧基矽烷（ $\text{SiH}(\text{OC}_2\text{H}_5)_3$ ）、三二甲氨基矽烷（ $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ）等的含矽化合物。

另外，可以先在支撐基底上以支撐基底的應變點以下的溫度形成防止雜質擴散的阻擋層，然後接合支撐基底的阻擋層和半導體基底的接合層，並進行分離半導體基底的熱處理，以在支撐基底上設置半導體層。

另外，可以在將槽形成於半導體基底的一部分之前或之後，在半導體基底的表面上形成阻擋層，並在該阻擋層上形成接合層，然後接合支撐基底和半導體基底的接合層，並進行分離半導體基底的熱處理，以在支撐基底上設置半導體層。

作為形成在支撐基底或半導體基底上的防止雜質元素擴散的阻擋層，可以設置氮化矽層、氮氧化矽層、氮化鋁層、或氮氧化鋁層。再者，可以組合氧氮化矽層作為具有

應力緩和效果的絕緣層。這裏，氧氮化矽層指的是在其組成上氧含量多於氮含量的物質，在通過盧瑟福背散射分析（RBS; Rutherford Backscattering Spectrometry）及氫正散射分析（HFS; Hydrogen Forward Scattering）測量的情況下包含氧、氮、Si及氫，其濃度如下：50至70原子%的氧；0.5至15原子%的氮；25至35原子%的Si；以及0.1至10原子%的氫。另一方面，氮氧化矽層指的是在其組成上氮含量多於氧含量的物質，在通過RBS及HFS測量的情況下包含氧、氮、Si及氫，其濃度如下：5至30原子%的氧；20至50原子%的氮；25至35原子%的Si；以及10至30原子%的氫。注意，當將構成氧氮化矽或氮氧化矽的原子總量設定為100原子%時，氮、氧、Si及氫的含量比率在上述範圍內。

再者，在將槽形成於半導體基底的一部分之前或之後，優選在氧化性氣氛下對半導體基底進行加熱處理。尤其是，優選在包含鹵素的氧化性氣氛下進行熱處理。例如，將微量鹽酸添加到氧來進行熱處理，以在半導體基底上形成氧化層。由此，半導體基底和氧化層的介面的懸空鍵以氫為終端，從而可以使介面不啟動並實現電特性的穩定化。另外，氯有與包含在半導體基底中的金屬反應來去除它（吸雜）的作用。

在通過將槽形成於半導體基底的一部分而形成具有凸部的半導體基底之後，將該凸部接合到支撐基底，而且通過進行熱處理，可以在脆弱區域中分離半導體基底，並在

支撐基底上提供 SOI 層。由於半導體基底中的凸部被分離，所以可以防止 SOI 層的剝離，該剝離是伴隨由加熱導致的所述支撐基底的收縮而發生的。

另外，由於在半導體基底的凸部中形成有連續的脆弱層，所以可以在支撐基底上設置具有預定厚度的 SOI 層。

因此，可以通過使用上述 SOI 層高成品率地製造半導體裝置。

### 【實施方式】

下面，參照附圖說明本發明的實施方式。注意，本發明不局限於下述說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是，其方式和詳細內容可以在不脫離本發明的宗旨及其範圍的情況下被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在下述實施方式所記載的內容中。在以下所說明的本發明的結構中，在不同附圖之間共同使用同一附圖標記表示同一部分。

注意，在以下說明中，雖然說明將單晶半導體層設置在具有絕緣表面的基底上或絕緣基底上的情況，但是也可以通過改變作為單晶半導體層的基體的半導體基底的種類將多晶半導體層固定於具有絕緣表面的基底上或絕緣基底上。

### 實施方式 1

在本實施方式中，參照圖 1A 至圖 7 說明高成品率地

製造半導體裝置的方法，其中考慮到當將半導體基底接合到支撐基底並進行熱處理以剝離（分離）半導體基底的一部分時發生的支撐基底的收縮。圖 1A 至圖 4B 是沿圖 5 至圖 7 的 A-B 線的截面圖。圖 5 是半導體基底的俯視圖，而圖 6 及圖 7 是支撐基底的俯視圖。

在圖 1A 中，可以使用結晶半導體基底或單晶半導體基底作為半導體基底 101。作為結晶半導體基底或單晶半導體基底，可以舉出矽基底、鍺基底，除此以外還可使用矽鍺、鎵砷或銦磷等化合物半導體的基底。作為在市場上銷售的矽基底，典型地說，可以舉出直徑為 5 英寸（125mm）、6 英寸（150mm）、8 英寸（200mm）、12 英寸（300mm）的基底，其形狀大多是圓形。另外，可以在約 1.5mm 以下的範圍內適當地選擇其厚度。這裏，使用 p 型或 n 型單晶矽基底（矽片）作為半導體基底 101。

另外，在半導體基底 101 的一表面上形成阻擋層 102。作為阻擋層 102，可以使用選自氮化矽層、氮氧化矽層、氮化鋁層或氮氧化鋁層的一層或多個膜所構成的疊層結構。通過氣相沈積法形成 50nm 至 200nm 厚的氮化矽層、氮氧化矽層、氮化鋁層或氮氧化鋁層。例如，氮化矽層以  $\text{SiH}_4$  及  $\text{NH}_3$  為源氣體通過等離子體 CVD 法而形成，氮氧化矽層使用  $\text{SiH}_4$ 、 $\text{N}_2\text{O}$  及  $\text{NH}_3$  通過等離子體 CVD 法而形成，氮化鋁層通過使用鋁靶並使用氮作為反應氣體的反應性濺射法而形成，或者，氮化鋁層以氯化鋁或溴化鋁及氮為源氣體通過熱 CVD 法而形成，氮氧化鋁層通過使用鋁

靶並使用氮及氧作為反應氣體的反應性濺射法而形成，或者，氮氧化鋁層以氯化鋁或溴化鋁、氨及一氧化二氮為源氣體通過熱 CVD 法而形成。

阻擋層 102 起到防止雜質擴散到由半導體基底 101 構成的 SOI 層的作用。另外，阻擋層 102 還起到當形成脆弱層（具體地說，指的是被照射加速了的離子的脆弱層，下面稱為脆弱區域）時防止被照射離子的半導體基底 101 的面因離子照射而損傷使得平整度降低的作用。

在圖 1B 中，去除半導體基底 101 的一部分來形成槽 107。其結果，被分離的凸部形成在半導體基底 101 上。另外，阻擋層 102 被分開。

圖 5 是形成有槽的半導體基底 101 的上表面的示意圖。沿圖 5 的 A-B 線的截面圖相當於圖 1B。

半導體基底 101 被選擇性地蝕刻，阻擋層 102a 及 102b 殘留在相當於圖 1B 的凸部的部分中。當從上表面看時，形成於半導體基底 101 的凸部大致對應於曝光裝置曝光一次的區域。

在製造半導體裝置等的技術中，當形成微細圖案等時，大多採用光刻步驟。在光刻步驟中，通過使用以步進機為代表的曝光裝置，向塗敷在基底上的抗蝕劑層以所希望的圖案曝光並顯影，然後通過利用該圖案在基底上形成所希望的圖案。曝光裝置曝光一次的區域的面積根據各裝置而不同，但在利用現有步進機的情況下，曝光一次的區域的面積大約為 25mm 方形、100mm 方形、113mm 方形、

132mm 方形或 144mm 方形，難以通過一次曝光對一邊長超過 1 米的大面積基底整體進行曝光。因此，預先將曝光裝置曝光一次的區域對應於 SOI 層，以高效地形成所希望的電路圖案。

在圖 5 中，以虛線表示曝光裝置曝光一次的區域 108a 及 108b。選擇性地蝕刻半導體基底 101，以將通過接合而成爲 SOI 層的區域的大小對應於曝光裝置曝光一次的區域的大小。

另外，對準標記 107a 及 107b 還殘留在曝光裝置曝光一次的區域 108a 及 108b 中。關於該對準標記 107a 及 107b，當在成爲 SOI 層的半導體基底的一部分中形成抗蝕劑光罩時，還在成爲對準標記的部分中形成抗蝕劑光罩。在圖 5 所示的半導體基底 101 中，阻擋層也殘留在對準標記上。注意，在圖 1B 的截面圖中，未圖示對準標記 107a 及 107b。

作爲去除半導體基底 101 的一部分來形成槽的方法，在以抗蝕劑光罩覆蓋去除部分以外的部分之後，通過幹蝕刻法或濕蝕刻法蝕刻半導體基底 101 的一部分。或者，可通過利用切割機的刀、劃線機、雷射光束等形成槽。槽的深度根據之後轉置到支撐基底上的 SOI 層的厚度而適當地選擇。注意，SOI 層的厚度可以根據包含加速了的離子元素的區域的位置而設定。在本實施方式中，半導體基底 101 的槽的深度優選深於脆弱區域（即，形成脆弱區域的位置）。通過將半導體基底 101 的槽加工爲其深度深於脆

弱區域，可以在之後將 SOI 層轉置在支撐基底上時容易只將被分離的半導體基底 101 的凸部接合到支撐基底。

在圖 1C 中，通過將加速了的氫離子或鹵素離子照射到半導體基底 101，形成脆弱區域 103a 至 103c。脆弱區域 103a 至 103c 指的是通過照射加速了的離子而包含離子元素的區域。例如，它指的是包含氫、鹵素的脆弱區域，也稱為脆弱層。

脆弱區域 103a 至 103c 通過從半導體基底 101 的表面照射由電場加速的離子來在預定深度處包含該離子的元素而形成。作為這樣的離子照射方法，可以舉出離子摻雜法和離子注入法等。形成在半導體基底 101 中的脆弱區域 103a 至 103c 的深度由離子加速能量和離子入射角控制。在離半導體基底 101 的表面的深度接近於離子平均進入深度的區域形成脆弱區域 103a 至 103c。例如，半導體層的厚度為 5nm 至 500nm，優選為 10nm 至 200nm，當將離子照射到半導體基底時的加速電壓根據該厚度而設定。

優選使用離子摻雜裝置照射離子。就是說，採用如下摻雜方式：在不對通過使源氣體等離子體化而產生的多個離子種類進行質量分離的狀態下，以電場加速該多個離子種類來將它照射到物件物，使得物件物包含被離子化的氣體元素。在本實施方式中，優選摻雜氫離子或鹵素離子。在離子摻雜步驟中，加速電壓為 10kV 至 100kV，優選為 30kV 至 80kV，劑量為  $1 \times 10^{16}/\text{cm}^2$  至  $4 \times 10^{16}/\text{cm}^2$ ，射束電流密度為  $2 \mu\text{A}/\text{cm}^2$  以上，優選為  $5 \mu\text{A}/\text{cm}^2$  以上，更優選

為  $10 \mu \text{A}/\text{cm}^2$  以上，即可。由此，可以減少在半導體層中產生的缺陷。

在照射氫離子的情況下，優選包含  $\text{H}^+$ 、 $\text{H}_2^+$ 、 $\text{H}_3^+$  離子，並提高  $\text{H}_3^+$  離子的比例。通過在照射氫離子的情況下包含  $\text{H}^+$ 、 $\text{H}_2^+$ 、 $\text{H}_3^+$  離子，並提高  $\text{H}_3^+$  離子的比例，與在不提高  $\text{H}_3^+$  離子的比例的情況下照射離子的情況相比可以提高引入效率，而可以縮短摻雜時間。由此，可以在形成在半導體基底 101 中的脆弱區域 103a 至 103c 中包含  $1 \times 10^{20}/\text{cm}^3$ （優選為  $5 \times 10^{20}/\text{cm}^3$ ）以上的氫。通過在半導體基底 101 中局部地形成包含高濃度氫的區域，結晶結構混亂且產生微小的空位，因此可以形成具有多孔結構的脆弱區域 103a 至 103c。在此情況下，通過在比較低的溫度下進行熱處理，引起形成在脆弱區域 103a 至 103c 中的微小空洞的體積變化，並沿脆弱區域劈開（分離），可以形成厚度薄的半導體層。

在本說明書中，離子摻雜指的是如下方法：在不對通過使用原料氣體而產生的離子化氣體進行質量分離的狀態下，以電場加速該離子化氣體來將它照射到物件物。通過使用離子摻雜裝置，可以對大面積基底高效地進行高劑量離子摻雜。

另外，離子摻雜的加速電壓為 20kV 以上 100kV 以下，優選為 20kV 以上 70kV 以下，劑量為  $1 \times 10^{16}$  個離子/ $\text{cm}^2$  以上  $4 \times 10^{16}$  個離子/ $\text{cm}^2$  以下，優選為  $1 \times 10^{16}$  個離子/ $\text{cm}^2$  以上  $2.5 \times 10^{16}$  個離子/ $\text{cm}^2$  以下，即可。在本實施方式

中，在加速電壓為  $80\text{kV}$  且劑量為  $2 \times 10^{16}$  個離子/ $\text{cm}^2$  的狀態下進行離子摻雜。

通過對加速了的離子進行質量分離來將它照射到半導體基底 101，也可以同樣地形成脆弱區域 103a 至 103c。還在此情況下，優選選擇性地照射其質量大的離子（例如  $\text{H}_3^+$  離子），這是因為能夠起到與上述相同的效果的緣故。

除了氫以外，還可以選擇氖、氦等的惰性氣體作為產生離子的氣體。通過以氦為原料氣體並使用沒有質量分離功能的離子摻雜裝置，可以獲得  $\text{He}^+$  離子的比例高的離子束。通過將這種離子照射到半導體基底 101，可以形成微小的空位，而可以在半導體基底 101 中形成與上述相同的脆弱區域 103a 至 103c。

這裏，由於在離半導體基底 101 的表面有一定深度處包含加速了的離子元素，所以脆弱區域不僅形成在半導體基底的凸部中，而且還形成在離槽 107 的表面有一定深度處。

圖 1D 表示形成接合層 104（形成在接合介面中的層）的步驟。接合層 104 是形成平滑面且具有親水性表面的層。作為可形成這種表面的層，優選使用通過化學反應形成的絕緣層。例如，優選使用通過熱反應或化學反應形成的氧化層。這是因為主要通過化學反應形成的層能夠確保表面平滑性的緣故。形成平滑面及親水性表面的接合層 104 的厚度被設定為  $0.2\text{nm}$  至  $500\text{nm}$ 。若採用該厚度，則

可以降低被成膜表面的粗糙度並確保該膜的生長表面的平滑性。

作為接合層 104 的優選例子，可以採用通過化學氣相沈積法而澱積的氧化矽。在此情況下，優選採用使用有機矽烷氣體通過化學氣相沈積法而形成的氧化矽層。作為有機矽烷氣體，可以使用矽酸乙酯（四乙氧基矽烷，TEOS； $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）、四甲基矽烷（ $\text{Si}(\text{CH}_3)_4$ ）、三甲基矽烷（ $(\text{CH}_3)_3\text{SiH}$ ）、四甲基環四矽氧烷（TMCTS）、八甲基環四矽氧烷（OMCTS）、六甲基二矽氮烷（HMDS）、三乙氧基矽烷（ $\text{SiH}(\text{OC}_2\text{H}_5)_3$ ）、三二甲氨基矽烷（ $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ）等的含矽化合物。在使用化學氣相沈積法的成膜步驟中，採用從形成在半導體基底中的脆弱區域 103a 至 103c 不發生脫氣的溫度如 350℃ 以下的成膜溫度。另外，在從單晶半導體基底或多晶半導體基底剝離（分離）單晶半導體層或多晶半導體層的熱處理步驟中，採用比成膜溫度高的熱處理溫度。

接合層 104 形成在支撐基底 100 一側及半導體基底 101 一側中的單方或雙方，即可。

在圖 1B 和 1C 所示的步驟中，也可以在形成脆弱區域 103a 至 103c 並去除半導體基底的一部分而形成槽 107 之後，形成阻擋層 102 和接合層 104。通過進行這一步驟，可以在不暴露於大氣的狀態下連續形成阻擋層 102 和接合層 104，並可以防止向半導體基底 101 的異物混入、半導體基底 101 的鉀或鈉等的污染。另外，由於脆弱區域 103c

不形成在後續的剝離（分離）步驟中分離的半導體基底中，所以容易再利用半導體基底 101。

圖 2A 表示接合支撐基底 100 和半導體基底 101 的步驟。通過將支撐基底 100 和半導體基底 101 的形成有接合層 104 的面相對並密接，實現接合。對接合的面進行脫脂處理以使它十分乾淨。然後，通過將支撐基底 100 和接合層 104 密接，在室溫下實現接合。這一接合起因於表面間引力，而且更優選進行將多個親水基附著在表面上的處理。例如，優選對支撐基底 100 的表面進行氧等離子體處理或臭氧處理而使它具有親水性。在進行使表面具有親水性的這一處理的情況下，由於表面的羥基而以氫鍵實現接合。再者，通過對將乾淨的兩個表面密接而實現接合的基底等在室溫以上的溫度下進行加熱，可以提高接合強度。

爲了實現良好接合，進行如下處理是有效的：作爲接合層 104 的表面及與接合層 104 接觸的表面中的單方或雙方的預處理，對其表面照射利用惰性氣體如氬等的離子束使它乾淨。通過離子束照射，懸空鍵露出在接合層 104 的表面及與接合層 104 接觸的表面中的單方或雙方上，而形成具有高活性的表面。將這樣啓動了的兩個表面密接，則可以在低溫下實現接合。通過啓動表面而實現接合的方法因需要使該表面十分乾淨而優選在真空中進行。

通過進行上述表面處理，即使在 200℃ 至 400℃ 的溫度下也可以提高不同材料之間的接合強度。

支撐基底 100 指的是設置 SOI 層的基底，它具有絕緣性或絕緣表面，可以使用諸如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋇硼矽酸鹽玻璃之類的電子工業用玻璃基底（也稱為無城玻璃基底）。就是說，可以使用熱膨脹係數為  $25 \times 10^{-7}/^{\circ}\text{C}$  至  $50 \times 10^{-7}/^{\circ}\text{C}$ （優選為  $30 \times 10^{-7}/^{\circ}\text{C}$  至  $40 \times 10^{-7}/^{\circ}\text{C}$ ）且應變點為  $580^{\circ}\text{C}$  至  $680^{\circ}\text{C}$ （優選為  $600^{\circ}\text{C}$  至  $680^{\circ}\text{C}$ ）的玻璃基底。除了上述以外，還可以使用石英基底、陶瓷基底、其表面被絕緣層覆蓋的金屬基底等。

圖 2B 表示從半導體基底 101 剝離（分離）SOI 層 105a 及 105b 的步驟。在通過將半導體基底 101 和支撐基底 100 重疊而將接合層 104 接合到支撐基底 100 之後，進行熱處理。通過進行熱處理，可以以 SOI 層 105a 及 105b 殘留在支撐基底 100 上的方式分離半導體基底 101，並可以提高接合面的接合強度。熱處理優選在接合層 104 的成膜溫度以上的溫度下進行，優選在  $400^{\circ}\text{C}$  至  $600^{\circ}\text{C}$ （包括  $400^{\circ}\text{C}$ ，不包括  $600^{\circ}\text{C}$ ）的溫度下進行。通過在所述溫度下進行熱處理，引起形成在脆弱區域 103a 及 103b 中的微小空位的體積變化，而可以沿脆弱區域 103a 及 103b 分離半導體層。由於接合層 104 與支撐基底 100 接合，所以其結晶性與半導體基底 101 相同的 SOI 層 105a 及 105b 接合在支撐基底 100 上。

注意，在使用單晶半導體基底作為半導體基底 101 的情況下，SOI 層 105a 及 105b 成為單晶半導體層。另外，在使用結晶半導體基底作為半導體基底 101 的情況下，

SOI 層 105a 及 105b 成爲結晶半導體層。

圖 6 是接合有 SOI 層的支撐基底 100 的上表面的示意圖。注意，沿圖 6 的 A-B 線的截面圖相當於圖 2B。

在支撐基底 100 上，以曝光裝置曝光一次的區域爲一個單元而有規律地排列 SOI 層 105a 及 105b。另外，還形成有其結晶性與 SOI 層相同的對準標記 107a 及 107b。

在圖 6 中，在曝光裝置曝光一次的區域中設置有一個對準標記和一個 SOI 層。由於考慮曝光裝置曝光一次的區域排列 SOI 層，而且 SOI 層對應於曝光裝置曝光一次的區域，所以可以高效地進行曝光來形成圖案。

另外，通過進行圖 2B 所示的熱處理，支撐基底收縮，而且 SOI 層 105a 和 SOI 層 105b 的間隔縮小。在圖 2A 中，當將接合層 104 和支撐基底 100 接合時的 SOI 層的間隔 109a 與當在半導體基底 101 上形成槽時的 SOI 層的間隔 109a 相同，但是，在進行所述熱處理之後，如圖 2B 和圖 6 所示那樣縮小爲間隔 109b。

然後，優選在 SOI 層 105a 及 105b 固定於支撐基底 100 上的狀態下進行熱處理。該熱處理的目的在於將形成脆弱區域 110 時注入而殘留在 SOI 層 105a 及 105b 中的微量氫或鹵素從 SOI 層 105a 及 105b 脫離。熱處理的溫度可以在如下範圍：從脆弱區域 110 釋放氫或鹵素的溫度以上至支撐基底 100 的應變點附近的溫度。例如，在 400℃ 至 730℃ 的溫度下進行熱處理。作爲熱處理裝置，可以採用電熱爐、燈退火爐等。熱處理也可以通過以多階段改變溫

度而進行。還可使用快速熱退火（RTA）裝置。在使用 RTA 裝置進行熱處理的情況下，也可以在基底的應變點附近或比該應變點稍微高的溫度下進行加熱。

包含在 SOI 層 105a 及 105b 中的過多氫呈現複雜的性質，並有時根據熱歷史而給半導體元件的特性帶來負面影響。例如，包含在矽的晶格之間的氫使爲了價電子控制而摻雜的雜質元素不啓動，這導致電晶體的閾值電壓的變動、源區或漏區的高電阻化。另外，在氫包含在矽的晶格內的情況下，有時矽的配位數變化，從而產生晶格缺陷。當然，氫或鹵素起到補償矽中的懸空鍵，即修復缺陷的作用，但是優選從 SOI 層 105a 及 105b 去除包含在脆弱區域 110 中的氫或鹵素。

通過進行上述熱處理，可以在支撐基底 100 和接合層 104a 及 104b 的接合面中使氫鍵變成更堅固的共價鍵。

接著，優選將能量束照射到 SOI 層 105a 及 105b 以修復結晶缺陷。由於當 SOI 層 105a 及 105b 接合到支撐基底 100 時其結晶性因受到熱及/或機械損傷而退化，所以優選進行這一步驟以修復缺陷。優選使用選擇性地吸收到 SOI 層 105a 及 105b 的能量束，即雷射光束，以在不過多加熱支撐基底 100 的狀態下修復 SOI 層 105a 及 105b 的缺陷。關於雷射光束，可以使用以準分子雷射器爲代表的氣體雷射器、以 YAG 雷射器爲代表的固體雷射器作爲光源。雷射光束的波長優選在紫外光區至紅外光區。從光源發射的光優選通過使用光學系統而聚光爲矩形或線形，在 SOI 層

105a 及 105b 上使用該雷射光束進行掃描，即可。

除了上述以外，還可以採用利用鹵素燈或氬燈等的閃光燈退火，以達到同樣的目的。

在這一步驟中，由於已將 SOI 層 105a 及 105b 脫氫化，所以可以在在 SOI 層 105a 及 105b 中不產生孔隙的狀態下修復結晶缺陷。另外，通過在氮氣氛下進行對 SOI 層 105a 及 105b 的能量束照射處理，可以平整 SOI 層 105a 及 105b 的表面。

另一方面，在 SOI 層 105a 及 105b 所包含的氫很少的情況下，也可以在接合支撐基底 100 和 SOI 層 105a 及 105b 之後進行能量束照射處理。通過在修復 SOI 層 105a 及 105b 的結晶缺陷之後進行熱處理，可以消除 SOI 層 105a 及 105b 和支撐基底 100 的熱應變，提高接合面的接合強度。

通過上述步驟，可以形成半導體層的一部分被分離的 SOI 基底。

下面，參照圖 3A 至 3C 及圖 4A 和 4B 說明根據本實施方式的半導體裝置。通過選擇性地蝕刻圖 2B 所示的 SOI 層 105a 及 105b，如圖 3A 所示那樣形成半導體層 106a 及 106b。這裏，覆蓋 SOI 層 105a 及 105b 的一部分地形成通過光刻步驟而形成的抗蝕劑光罩，並選擇性地蝕刻 SOI 層 105a 及 105b，以形成半導體層 106a 及 106b。另外，可以與 SOI 層 105a 及 105b 同樣地蝕刻阻擋層 102a 及 102b、以及接合層 104a 及 104b。

半導體層 106a 及 106b 設置在支撐基底 100 上，其中間夾著阻擋層 102c 及 102d、接合層 104c 及 104d。阻擋層 102c 及 102d 也可以設置在支撐基底 100 一側。通過提供阻擋層 102c 及 102d，可以防止 SOI 層 105a 及 105b 的污染。

SOI 層 105a 及 105b 的厚度為 5nm 至 500nm，優選為 10nm 至 200nm，更優選為 10nm 至 60nm。SOI 層 105a 及 105b 的厚度可以通過控制圖 1C 所示的脆弱區域 103a 至 103c 的深度而適當地設定。優選地，根據 n 溝道型場效應電晶體及 p 溝道型場效應電晶體的形成區域，對半導體層 106a 及 106b 添加諸如硼、鋁和鎵之類的 p 型雜質或諸如磷和砷之類的 n 型雜質。就是說，通過對應於 n 溝道型場效應電晶體的形成區域添加 p 型雜質，並對應於 p 溝道型場效應電晶體的形成區域添加 n 型雜質，形成所謂的井區。雜質離子的劑量為約  $1 \times 10^{12}/\text{cm}^2$  至  $1 \times 10^{14}/\text{cm}^2$ ，即可。再者，當控制場效應電晶體的閾值電壓時，可以對這些井區添加 p 型或 n 型雜質。

圖 7 是形成有半導體層 106a 及 106b 的支撐基底 100 的上表面的示意圖。注意，沿圖 7 的 A-B 線的截面圖相當於圖 3A。

圖 7 表示使用對準標記 107a 進行位置對準並選擇性地蝕刻 SOI 層 105a 以形成所希望的圖案的例子。例如，對 SOI 層 105a 進行曝光來轉印電路圖案。此時，通過形成對準標記 107a，可以在光刻步驟中容易進行位置對準等

。至於蝕刻後的各半導體層 106a 的圖案，構成例如形成在電路部中的電晶體的溝道部。

如圖 3B 所示，形成閘極絕緣層 121、閘電極 122 及側壁絕緣層 123，並形成第一雜質區域 124 及第二雜質區域 125。絕緣層 126 由氮化矽層構成，並用作在蝕刻閘電極 122 時的硬光罩。

圖 3C 表示在形成閘電極 122 等之後形成保護層 127 的步驟。保護層 127 優選通過等離子體 CVD 法在成膜時的基底溫度為 350℃ 以下的狀態下形成氮化矽層或氮氧化矽層。就是說，使保護層 127 包含氫。在形成保護層 127 之後，通過進行 350℃ 至 400℃（優選為 400℃ 至 420℃）的熱處理將包含在保護層 127 中的氫擴散到半導體層 106a 及 106b 一側。在元件形成步驟中，對之前的步驟中被脫氫化的半導體層 106a 及 106b 提供補償缺陷的氫，來可以有效地補償成為俘獲中心的缺陷。另外，保護層 127 具有防止從上層一側的雜質污染的效果，而阻擋層 102c 及 102d 防止從支撐基底 100 一側的雜質擴散。在本實施方式中，通過使用能夠防止可動性高的雜質離子如鈉等的高效絕緣層覆蓋結晶性良好的半導體層 106a 及 106b 的下層及上層一側，對由該半導體層 106a 及 106b 構成的半導體元件的特性穩定化發揮巨大的作用。

然後，如圖 4A 所示形成層間絕緣層 128。作為層間絕緣層 128，形成 BPSG（Boron Phosphorus Silicon Glass；硼磷矽玻璃）層，或者，通過塗敷以聚醯亞胺為代表的

有機樹脂形成層間絕緣層 128。而且，在層間絕緣層 128 中形成接觸孔 129。

圖 4B 表示形成佈線的步驟。在接觸孔 129 中形成接觸栓塞 130。接觸栓塞 130 通過使用  $WF_6$  氣體和  $SiH_4$  氣體以化學氣相沈積法形成矽化鎢並將它嵌入接觸孔 129 而形成。也可以對  $WF_6$  進行氫還原來形成鎢並將它嵌入接觸孔 129。然後，根據接觸栓塞 130 形成佈線 131。佈線 131 由鋁或鋁合金構成，其上層及下層由作為阻擋金屬的鉬、鉻及鈦等的金屬層構成。再在其上形成層間絕緣層 132。適當地設置佈線，即可，也可以在其上形成另一佈線層以實現多層佈線化。在此情況下，還可採用金屬鑲嵌工藝。

如上所述，可以使用與支撐基底 100 接合的半導體層 106a 及 106b 製造場效應電晶體。半導體層 106a 及 106b 是具有一定結晶取向的半導體，因此可以獲得均勻且高性能的場效應電晶體。就是說，可以抑制電晶體特性的重要特性值如閾值電壓或遷移率等的不均勻性，來實現高遷移率化等的高性能化。

另外，在進行分離半導體基底的熱處理之前，通過在半導體基底的一部分形成槽形成分離的凸部。然後，將分離的凸部接合到支撐基底，並進行分離半導體基底的熱處理。通過進行分離半導體基底的熱處理，支撐基底收縮，因而接合到支撐基底上的 SOI 層的位置也變化。但是，由於 SOI 層是分離而不是連續接合到支撐基底上，所以可以抑制由支撐基底收縮產生的 SOI 層的畸變應力，並可以抑

制膜剝離或接合力降低。另外，通過將凸部大致對應於曝光裝置的一曝光區域，可以高效地進行曝光步驟。其結果，可以高成品率地製造半導體裝置。

## 實施方式 2

參照圖 8A 至 10C 說明與上述實施方式不相同的半導體裝置的製造方法。這裏，說明可將半導體基底高成品率地接合到支撐基底的半導體裝置的製造方法。

如圖 8A 所示，對半導體基底 101 的表面進行脫脂清洗，去除表面的氧化層並進行熱氧化。雖然可以進行一般的幹氧化作為熱氧化，但優選進行將鹵素添加到氧化氣氛中的氧化。例如，在相對於氧包含 0.5 至 10 體積%（優選為 3 體積%）HCl 的氣氛中以 700℃ 以上的溫度進行熱處理。優選在 950℃ 至 1100℃ 的溫度下進行熱氧化。處理時間為 0.1 至 6 小時，優選為 0.5 至 1 小時。所形成的氧化層的厚度為 10nm 至 1000nm（優選為 50nm 至 200nm），例如 100nm。

除了 HCl 以外，還可以使用選自 HF、NF<sub>3</sub>、HBr、Cl<sub>2</sub>、ClF<sub>3</sub>、BCl<sub>3</sub>、F<sub>2</sub>、Br<sub>2</sub> 等的一種或多種作為包含鹵素的物質。

通過在這種溫度範圍下進行熱處理，可以得到利用鹵素的吸雜效果。作為吸雜，尤其具有去除金屬雜質的效果。就是說，因為鹵素的作用，金屬等的雜質成為揮發性鹵化物並脫離到氣相中而被去除。這對其表面被進行了化學

機械拋光（CMP）處理的半導體基底 101 有效。另外，氬起到補償半導體基底 101 和氧化層 111 的介面的缺陷並降低介面的局部能級密度（local level density）的作用。

可以在通過上述熱處理而形成的氧化層 111 中包含鹵素。通過以  $1 \times 10^{16}/\text{cm}^3$  至  $5 \times 10^{20}/\text{cm}^3$  的濃度包含鹵素，可以發揮捕獲金屬等的雜質而防止半導體基底 101 的污染的保護層功能。

接著，也可以與圖 1A 所示的步驟同樣地在氧化層 111 上形成阻擋層 102。通過形成阻擋層 102 及氧化層 111，可以防止來自支撐基底的雜質元素混入半導體層。

然後，在半導體基底 101 中形成脆弱區域 103。圖 10A 是被夾具固定的半導體基底的上表面的示意圖。沿圖 10A 的 A-B 線的截面圖相當於圖 8A。

為了控制脆弱區域 103 的位置（深度）及加速了的離子的劑量，需要使用夾具 112 固定半導體基底 101 的端部。但是，在被夾具覆蓋的區域中，夾具 112 成為光罩，而不能將離子照射到半導體基底 101。因此，具有如下問題：在被夾具覆蓋的區域中，難以剝離（分離），厚度不同的半導體層被接合。

為此，如圖 8B 所示，去除被夾具 112 覆蓋的半導體基底 101 來形成槽 113。槽 113 可以與圖 1A 所示的槽 107 同樣地形成。此時，凸部形成在半導體基底 101 中。另外，在凸部中形成有連續的脆弱區域 103。將其一部分被蝕刻的阻擋層 102 表示為阻擋層 102a。在這裏，連續的脆弱

區域 103 指的是形成為橫穿整個凸部的脆弱區域。

圖 10B 是形成有槽的半導體基底的上表面的示意圖。  
沿圖 10B 的 A-B 線的截面圖相當於圖 8B。

接著，如圖 8C 所示，在阻擋層 102a 及半導體基底的凸部上形成接合層 104。

然後，如圖 8D 所示，與實施方式 1 同樣地對接合層 104 的表面及支撐基底 100 的表面進行脫脂處理而使它十分乾淨。接著，進行一種處理，即將多個羥基附著在接合層 104 的表面及支撐基底 100 的表面中的單方或雙方上。或者，通過將離子束照射到接合層 104 的表面及支撐基底 100 的表面中的單方或雙方，使其表面乾淨並啟動其表面。然後，將支撐基底 100 和接合層 104 貼緊來接合。通過壓接支撐基底 100 和半導體基底 101，可以將支撐基底 100 和半導體基底 101 堅固接合。

圖 9A 表示從半導體基底 101 剝離（分離）SOI 層 105 的步驟。在將半導體基底 101 和支撐基底 100 重疊並貼緊而將接合層 104 接合到支撐基底 100 之後，通過進行熱處理，可以以 SOI 層 105 殘留在支撐基底 100 上的方式分離半導體基底 101，並可以提高接合面的接合強度。熱處理優選在接合層 104 的成膜溫度以上的溫度下進行，優選在 400℃ 至 600℃（包括 400℃，不包括 600℃）的溫度下進行。通過在所述溫度下進行熱處理，引起形成在脆弱區域 103 中的微小空位的體積變化，而可以沿脆弱區域 103 分離半導體層。由於接合層 104 與支撐基底 100 接合，所以

其結晶性與半導體基底 101 相同的 SOI 層 105 接合在支撐基底 100 上。

通過進行上述熱處理，可以在支撐基底 100 和接合層 104a 的接合面中使氫鍵變成更堅固的共價鍵。另外，優選將能量束照射到 SOI 層 105 以修復結晶缺陷。

圖 10C 是接合有 SOI 層的支撐基底的上表面的示意圖。沿圖 10C 的 A-B 線的截面圖相當於圖 9A。由於不能將加速了的離子照射到設置有夾具的半導體基底的區域，所以具有半導體基底在該區域中不能被分離而殘留的問題。但是，根據本實施方式，通過去除設置有夾具的半導體基底的區域來形成槽，可以將預定厚度的 SOI 層接合在支撐基底上。

通過上述步驟，可以製造 SOI 基底。

然後，通過選擇性地蝕刻 SOI 層 105，如圖 9B 所示那樣形成半導體層 106a 及 106b。這裏，覆蓋 SOI 層 105 的一部分地形成通過光刻步驟而形成的抗蝕劑光罩，並選擇性地蝕刻 SOI 層 105，以形成半導體層 106a 及 106b。另外，可以與 SOI 層 105 同樣地蝕刻氧化層 111a、阻擋層 102a、以及接合層 104a。

半導體層 106a 及 106b 設置在支撐基底 100 上，其中間夾著氧化層 111b 及 111c、阻擋層 102b 及 102c、接合層 104b 及 104c。阻擋層 102b 及 102c 也可以設置在支撐基底 100 一側。通過提供阻擋層 102b 及 102c，可以防止半導體層 106a 及 106b 的污染。

注意，在本實施方式中，雖然如圖 8A 所示那樣在形成脆弱區域 103 之後在半導體基底 101 中形成槽 113，但是還可以在將槽 113 形成於被夾具 112 覆蓋的半導體基底 101 的區域之後形成脆弱區域 103。

另外，可以在實施方式 1 中適當地採用本實施方式。

如上所述，可以使用與支撐基底 100 接合的半導體層 106a 及 106b 製造場效應電晶體。半導體層 106a 及 106b 是具有一定結晶取向的半導體層，因此可以獲得均勻且高性能的場效應電晶體。就是說，可以抑制電晶體特性的重要特性值如閾值電壓或遷移率等的不均勻性，來實現高遷移率化等的高性能化。

根據本實施方式，即使使用耐熱溫度為 700℃ 以下的支撐基底 100 如玻璃基底等，也可以獲得接合部具有高接合強度的半導體層 106a 及 106b。作為支撐基底 100，可以使用諸如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋇硼矽酸鹽玻璃之類的稱為無城玻璃的各種電子工業用玻璃基底。換言之，可以在一邊長超過 1 米的基底上形成半導體層。通過使用這種大面積基底，不僅可以製造顯示裝置如液晶顯示器，而且還可以製造半導體積體電路。至於半導體基底，通過在製造步驟的最初階段中利用包含鹵素的氣氛進行熱氧化，可以得到吸雜作用，對再利用半導體基底的情況有效。

另外，在半導體層 106a 及 106b 的背溝道（back channel）一側（與閘電極 122 相反一側）設置有包含鹵素

的氧化層 111b 及 111c，因此局部能級密度降低，而可以抑制閾值電壓的變動。再者，除了包含鹵素的氧化層 111b 及 111c 以外，阻擋層 102b 及 102c 還設置在支撐基底 100 和半導體層 106a 及 106b 之間，由此可以防止金屬雜質如鈉等從支撐基底 100 一側擴散而污染半導體層 106a 及 106b。

另外，在半導體基底的凸部中形成有連續的脆弱層，因此可以將預定厚度的 SOI 層接合到支撐基底上。為此，可以通過使用該半導體層高成品率地製造半導體裝置。

### 實施方式 3

參照圖 21A 至 21C 說明與上述實施方式不相同的半導體裝置的製造方法。這裏，說明可將半導體基底高成品率地接合到支撐基底的半導體裝置的製造方法。

如圖 21A 所示，與實施方式 2 同樣地對半導體基底 101 的表面進行脫脂清洗，並去除表面的氧化層，然後進行熱氧化，以在半導體基底 101 的表面上形成氧化層 111。這裏，通過進行將鹵素引入到氧化氣氛中的氧化，進行利用鹵素的金屬雜質吸雜，補償半導體基底 101 和氧化層 111 的介面的缺陷並降低介面的局部能級密度。

接著，也可以與實施方式 2 同樣地在氧化層 111 上形成阻擋層 102。

然後，如圖 21B 所示，形成槽 113。槽 113 可以與圖 1A 所示的槽 107 同樣地形成。此時，凸部形成在半導體

基底 101 中。將其一部分被蝕刻的阻擋層 102 表示為阻擋層 102a，並將其一部分被蝕刻的氧化層 111 表示為氧化層 111a。

接下來，如圖 21C 所示，在半導體基底 101 中形成脆弱區域 103a 至 103c。這裏，在形成有槽 113 的區域中用夾具 112 固定半導體基底 101，然後通過將加速了的離子照射到半導體基底 101，形成脆弱區域 103a 至 103c。在凸部中形成連續的脆弱區域 103a。就是說，可以形成橫穿整個凸部的脆弱區域 103a。

然後，與實施方式 2 的圖 8C 同樣地在阻擋層 102a 及半導體基底的凸部上形成接合層 104。接著，通過與實施方式 2 相同的步驟將支撐基底 100 和半導體基底 101 堅固接合，然後在脆弱區域 103 中分離半導體基底 101，來可以製造在支撐基底 100 上設置有 SOI 層 105 的 SOI 基底。還可以與實施方式 2 同樣地使用該 SOI 層 105 製造場效應電晶體。

在本實施方式中，在半導體基底的凸部中形成有連續的脆弱層，因此可以將預定厚度的 SOI 層接合到支撐基底上。為此，可以通過使用該半導體層高成品率地製造半導體裝置。

#### 實施方式 4

在本實施方式中，參照圖 11A 至 14B 說明具有撓性的半導體裝置的製造方法。

如圖 11A 所示，與實施方式 2 同樣地在去除半導體基底 101 的表面的氧化層之後，進行熱氧化來形成氧化層。這裏，將 HCl 添加到氧化氣氛中並以 700℃ 以上的溫度進行熱處理，來形成包含氯的氧化層 111。接著，在氧化層 111 上形成阻擋層 102。然後，在半導體基底 101 中形成脆弱區域 103。

接下來，如圖 11B 所示，去除半導體基底 101 的一部分來形成槽 107。此時，凸部形成在半導體基底 101 中。將其一部分被蝕刻的阻擋層 102 表示為阻擋層 102a 及 102b，並將其一部分被蝕刻的脆弱區域 103 表示為脆弱區域 103a 及 103b。然後，在阻擋層 102a 及 102b 和半導體基底的凸部上形成接合層 104。注意，在將接合層形成在支撐基底表面上的情況下，不需要一定設置接合層 104。

然後，如圖 11C 所示，在支撐基底 141 上形成基底層 142，在基底層 142 上形成剝離層 143，在剝離層 143 上形成阻擋層 144，並在阻擋層 144 上形成接合層 145。注意，在將接合層形成在半導體基底表面上的情況下，不需要一定設置接合層 145。

這裏，優選使用能夠耐受在脆弱區域中產生裂縫的加熱處理溫度（有代表性的為 400℃ 至 600℃）的耐熱性基底作為支撐基底 141，典型地可以使用玻璃基底、石英基底、陶瓷基底、金屬基底、矽片等。

基底層 142 可以與阻擋層 102 同樣地形成。另外，在支撐基底 141 和剝離層 143 的貼緊性高的情況下，也可以

不形成基底層 142。

剝離層 143 是通過濺射法、等離子體 CVD 法、塗敷法、印刷法等使用由如下材料構成的單層或疊層來形成的：選自鎢、鉬、鈦、鉭、鈮、鎳、鈷、鎳、鋅、鈦、銻、鈹、鐵、銱以及矽中的元素；以元素為主要成分的合金材料；或以元素為主要成分的化合物材料。在形成包含矽的層作為剝離層 143 的情況下，包含矽的層的結晶結構可以為非晶、微晶、多晶中的任何一種。在這裏，塗敷法指的是將溶液噴出在被處理物上來形成的方法，例如包括旋塗法及液滴噴射法。另外，液滴噴射法指的是將包含微粒的組成物的液滴從微細的孔噴出而形成具有預定形狀的圖案的方法。

在剝離層 143 是單層結構的情況下，優先形成包含鎢的層、包含鉬的層、或包含鎢和鉬的混合物的層。或者，形成包含鎢的氧化物或氧氮化物的層、包含鉬的氧化物或氧氮化物的層、包含鎢和鉬的混合物的氧化物或氧氮化物的層。注意，鎢和鉬的混合物例如相當於鎢和鉬的合金。

在剝離層 143 是疊層結構的情況下，優先形成金屬層作為第一層，形成金屬氧化物層作為第二層。典型地，形成包含鎢、鉬、或鎢和鉬的混合物的層作為第一層，形成包含如下材料的層作為第二層：鎢、鉬、或鎢和鉬的混合物的氧化物；鎢、鉬、或鎢和鉬的混合物的氮化物；鎢、鉬、或鎢和鉬的混合物的氧氮化物；或者鎢、鉬、或鎢和鉬的混合物的氮氧化物。

在形成金屬層作為第一層，形成金屬氧化物層作為第二層來將它們用作剝離層 143 時，可以應用如下情況：通過形成金屬層如包含鎢的層，並在其上層形成由氧化物構成的層間絕緣層 132 如氧化矽層，來將金屬氧化物層如包含鎢的氧化物的層形成在包含鎢的層和絕緣層的介面。再者，也可以通過對金屬層的表面進行熱氧化處理、氧等離子體處理、採用氧化力強的溶液如臭氧水等的處理等，形成金屬氧化物層。

再者，作為剝離層 143，也可以形成金屬層作為第一層，形成金屬氮化物層、金屬氧氮化物層作為第二層。典型地說，在形成包含鎢的層作為第一層之後，形成氮化鎢層、氧氮化鎢層作為第二層。

阻擋層 144 可以與實施方式 1 所示的阻擋層 102 同樣地形成。

接合層 145 可以與實施方式 1 所示的接合層 104 同樣地形成。

然後，如圖 11D 所示，與實施方式 1 同樣地使接合層 104 的表面及支撐基底 141 的表面十分乾淨。接著，進行一種處理，即將多個羥基附著在接合層 104 的表面及支撐基底 141 的表面中的單方或雙方上。或者，通過將離子束照射到接合層 104 的表面及支撐基底 141 的表面中的單方或雙方，使其表面乾淨並啟動其表面。然後，將形成在支撐基底 141 上的接合層 145 和形成在半導體基底 101 上的接合層 104 貼緊來接合。

下面，參照圖 14A 和 14B 說明半導體基底表面的疊層結構及支撐基底的疊層結構。

如圖 14A 所示，可以具有如下結構：在支撐基底 141 上形成有基底層 142、剝離層 143 及阻擋層 144 的三層結構，並在半導體基底 101 的表面上層疊有氧化層 111 及接合層 104。通過將具有這種結構的支撐基底 141 和半導體基底 101 密接，可以接合阻擋層 144 及接合層 104。

雖然未圖示，但也可以具有如下結構：在支撐基底上形成有基底層、剝離層、阻擋層及接合層的四層結構，並在半導體基底的表面上形成有氧化層。通過將具有這種結構的支撐基底和半導體基底密接，可以將接合層及氧化層接合。

就是說，通過將阻擋層設置在支撐基底 141 及半導體基底 101 中的一方上，可以防止來自外部的雜質混入半導體層。另外，通過將接合層設置在支撐基底 141 及半導體基底 101 中的一方上，可以接合支撐基底 141 及半導體基底 101。再者，可以減少支撐基底 141 及半導體基底 101 的疊層數，而可以提高產率。

如圖 14B 所示，也可以不是對半導體基底 101 進行熱氧化來形成氧化層，而是與半導體基底 101 接觸地形成接合層 104。在此情況下，在支撐基底 141 上形成有基底層 142、剝離層 143 及阻擋層 144 的疊層結構。

雖然未圖示，但也可以在支撐基底上形成有基底層、剝離層、阻擋層及接合層的四層結構，並通過將支撐基底

和半導體基底密接，可以將接合層及氧化層接合。

就是說，即使不設置熱氧化層，也可通過將阻擋層設置在支撐基底 141 上防止來自外部的雜質混入半導體層。另外，通過將接合層設置在支撐基底 141 及半導體基底 101 中的一方上，可以接合支撐基底 141 及半導體基底 101。再者，可以減少支撐基底 141 及半導體基底 101 的疊層數，而可以提高產率。

接下來，如圖 12A 所示，通過進行加熱處理及加壓處理中的單方或雙方，可以以脆弱區域 103a 及 103b 為劈開面（指的是單晶半導體基底分離的區域，也稱為分離區域）將半導體基底 101 從支撐基底 141 剝離（分離），並提高接合面的接合強度。加熱處理的溫度優選為支撐基底 141 的耐熱溫度以下。例如，通過進行 400℃ 至 600℃ 的熱處理，引起形成在脆弱區域 103a 及 103b 中的微小空洞的體積變化，而可以沿脆弱區域 103a 及 103b 分離。

此時，也可以從半導體基底 101 照射雷射光束代替加熱處理，以引起形成在脆弱區域 103a 及 103b 中的微小空洞的體積變化。作為雷射光束，優選採用透過半導體基底且被包含在脆弱區域 103a 及 103b 中的元素吸收的波長，典型地可以採用紅外光。

在剝離（分離）半導體基底 101 之後，優選平整 SOI 層 105a 及 105b 的表面。典型地說，採用 CMP 或上述雷射光束照射。另外，也可以為了將所獲得的 SOI 層薄層化而進行 CMP 等。

接下來，通過選擇性地蝕刻 SOI 層 105a 及 105b，如圖 12B 所示那樣形成半導體層 106a 及 106b。此時，也可以蝕刻氧化層 111b 及 111c 和接合層 104a 及 104b 的一部分。這裏，將其一部分被蝕刻的氧化層表示為氧化層 111d 及 111e，並將被蝕刻的接合層表示為接合層 104c 及 104d。另外，也可以選擇性地蝕刻阻擋層 102c 及 102d、接合層 104a 及 104b、接合層 145。

然後，經過圖 3A 至 3C 及圖 4A 和 4B 的步驟，如圖 12C 所示那樣使用半導體層 106a 及 106b 形成包括場效應電晶體的元件層 151。接著，在元件層 151 上設置撓性基底 152。通過熱壓合撓性基底 152 及元件層 151，可以將撓性基底 152 固定於元件層 151 上。還可通過使用粘合材料（未圖示）將撓性基底 152 固定於元件層 151 上。作為撓性基底 152，使用具有撓性且具有絕緣表面的基底，典型地說，可以舉出具有撓性的絕緣基底、在其表面上形成有絕緣層的撓性金屬基底等。作為具有撓性的絕緣基底，可以舉出由 PET（聚對苯二甲酸乙二醇酯）、PEN（聚萘二甲酸乙二醇酯）、PES（聚醚砜）、聚丙烯、聚丙烯硫醚、聚碳酸酯、聚醚醯亞胺、聚苯硫醚、聚苯醚、聚砜、聚鄰苯二甲醯胺等構成的塑膠基底、或由纖維材料構成的紙。

另外，通過使用預浸料（prepreg）作為具有撓性的絕緣基底，可以防止之後形成的 SOI 基底或半導體裝置因點壓或線壓而損傷。預浸料的代表例子如下：將諸如聚乙烯

醇纖維、聚酯纖維、聚醯胺纖維、聚乙烯纖維、芳族聚醯胺纖維、聚對苯撐苯並雙噁唑纖維、玻璃纖維或碳素纖維之類的纖維體浸在使用有機溶劑稀釋諸如環氧樹脂、不飽和聚酯樹脂、聚醯亞胺樹脂或氟樹脂之類的基質樹脂而得到的清漆中，然後通過乾燥使有機溶劑揮發以將基質樹脂半固化。

作為在其表面上形成有絕緣層的撓性金屬基底，可以舉出形成有氧化矽層、氮化矽層、氧氮化矽層、氮化鋁層、氧化鋁層等的絕緣層的金屬膜或金屬片等。絕緣層不局限於上述絕緣層，可以適當地選擇。

接著，如圖 13A 所示，以物理方法從支撐基底 141 剝離包括撓性基底 152 及元件層 151 的疊層體。或者，通過將液體滲透到剝離層 143 和阻擋層 144 的介面，從支撐基底 141 剝離包括撓性基底 152 及元件層 151 的疊層體。

物理方法指的是力學方法或機械方法，就是使某種力學能量（機械能量）變化的方法。該方法典型地是施加機械性力量（例如，用人的手或夾握工具剝下的處理，或者使滾筒轉動而進行分離的處理）。此時，若在支撐基底 141 及撓性基底 152 中的至少一方的表面上設置可通過光或熱而剝離的粘結薄片，則更容易進行剝離。

這裏，剝離層 143 和阻擋層 144 的介面、剝離層 143、以及支撐基底 141 和剝離層 143 的介面中的任一處發生剝離，就可以從基底層 142 剝離包括元件層 151 及撓性基底 152 的疊層體。

在剝離層 143 處從支撐基底 141 剝離包括撓性基底 152 及元件層 151 的疊層體之前，也可以進行某種處理以容易進行剝離。再者，當從支撐基底 141 剝離包括撓性基底 152 及元件層 151 的疊層體時，通過在支撐基底 141 及撓性基底 152 中的至少一方的表面上設置可通過光或熱而剝離的粘結薄片，固定支撐基底 141 及撓性基底 152 中的一方並剝下其另一方，以更容易進行剝離。

接下來，如圖 13B 所示，將撓性基底 153 粘合到阻擋層 144。作為撓性基底 153，可以使用作為撓性基底 152 舉出例子的上述材料。

然後，在元件層 151 包括多個半導體裝置的情況下，可以將元件層 151、撓性基底 152 及 153 分割成多個半導體裝置。通過上述步驟，可以製造薄且具有撓性的多個半導體裝置。

在本實施方式中，在通過使用被接合在支撐基底上的 SOI 層形成場效應電晶體之後，從支撐基底剝離具有場效應電晶體的元件層，以製造具有撓性且薄的半導體裝置。與撓性基底相比，支撐基底容易使用，因此在製造步驟中容易進行處理，可以提高成品率。

根據本實施方式的 SOI 層 105a 和 105b 是具有一定結晶取向的半導體層，因此可以獲得均勻且高性能的場效應電晶體。就是說，可以抑制電晶體特性的重要特性值如閾值電壓或遷移率等的不均勻性，來實現高遷移率化等的高性能化。再者，在支撐基底 100 和 SOI 層 105a、105b 之

間設置有阻擋層 102c 和 102d，因此可以防止來自支撐基底的雜質侵入 SOI 層。由此，可以抑制形成在元件層中的電晶體的特性不均勻。

#### 實施方式 5

在本實施方式中，參照圖 22A 至 22D 說明與實施方式 4 不相同的半導體裝置的製造方法。在本實施方式中，說明具有撓性的半導體裝置的製造方法。

如圖 22A 所示，與實施方式 2 同樣地使用單晶半導體基底作為半導體基底 101，去除其表面的氧化層，然後進行熱氧化來形成氧化層 111。接著，在氧化層 111 上形成阻擋層 102。

其次，如圖 22B 所示，與實施方式 2 同樣地去除半導體基底 101 的一部分來形成槽 107。此時，凸部形成在半導體基底 101 中。將其一部分被蝕刻的阻擋層 102 表示為阻擋層 102a 及 102b。

接著，如圖 22C 所示，與實施方式 2 同樣地半導體基底 101 中形成脆弱區域 103a 至 103c。

然後，如圖 22D 所示，與實施方式 2 同樣地在阻擋層 102a 及 102b 和半導體基底的凸部上形成接合層 104。注意，在將接合層形成在支撐基底表面上的情況下，不需要一定設置接合層 104。

接著，如圖 11C 所示，與實施方式 4 同樣地在支撐基底 141 上依次形成基底層 142、剝離層 143、阻擋層 144

及接合層 145。

然後，如圖 11D 所示，與實施方式 4 同樣地將形成在支撐基底 141 上的接合層 145 和形成在半導體基底 101 上的接合層 104 貼緊來接合。接著，如圖 12A 所示，以脆弱區域 103a 及 103b 為分離面從支撐基底 141 剝離（分離）半導體基底 101，來在支撐基底上設置 SOI 層 105a 及 105b。然後，如圖 12C 所示，與實施方式 1 同樣地使用 SOI 層 105a 及 105b 形成場效應電晶體，並形成包括場效應電晶體的元件層 151。接著，在將撓性基底 152 固定於元件層 151 之後，如圖 13A 所示，通過物理方法從支撐基底 141 剝離包括撓性基底 152 及元件層 151 的疊層體。或者，通過將液體滲透到剝離層 143 和阻擋層 144 的介面，從支撐基底 141 剝離包括撓性基底 152 及元件層 151 的疊層體。然後，如圖 13B 所示，將撓性基底 153 粘合到阻擋層 144。通過上述步驟，可以製造具有撓性的半導體裝置。

然後，在元件層 151 包括多個半導體裝置的情況下，可以將元件層 151、撓性基底 152 及 153 分割成多個半導體裝置。通過上述步驟，可以製造薄且具有撓性的多個半導體裝置。

在本實施方式中，在通過使用被接合在支撐基底上的 SOI 層形成場效應電晶體之後，從支撐基底剝離具有場效應電晶體的元件層，以製造具有撓性且薄的半導體裝置。與撓性基底相比，支撐基底容易使用，因此在製造步驟中

容易進行處理，可以提高成品率。

根據本實施方式的 SOI 層 105a 和 105b 是具有一定結晶取向的半導體層，因此可以獲得均勻且高性能的場效應電晶體。就是說，可以抑制電晶體特性的重要特性值如閾值電壓或遷移率等的不均勻性，來實現高遷移率化等的高性能化。再者，在支撐基底 100 和 SOI 層 105a、105b 之間設置有阻擋層 102a 和 102b，因此可以防止來自支撐基底的雜質侵入 SOI 層。由此，可以抑制形成在元件層中的電晶體的特性不均勻。

#### 實施方式 6

在本實施方式中，參照圖 15 說明半導體裝置的一個方式。圖 15 表示通過使用 SOI 基底而形成的微處理器 200 的結構，作為半導體裝置的一個例子。微處理器 200 如上所述那樣通過使用根據本發明的半導體基底而形成。微處理器 200 包括算術邏輯單元 201 (Arithmetic logic unit, 也稱為 ALU)、ALU 控制器 202 (ALU Controller)、指令解碼器 203 (Instruction Decoder)、中斷控制器 204 (interrupt controller)、時序控制器 205 (Timing Controller)、暫存器 206 (Register)、暫存器控制器 207 (Register Controller)、匯流排界面 208 (Bus I/F)、唯讀記憶體 209 (ROM)、以及 ROM 介面 210 (ROM I/F)。

通過匯流排界面 208 輸入到微處理器 200 的指令在輸

入到指令解碼器 203 並被解碼之後輸入到 ALU 控制器 202、中斷控制器 204、暫存器控制器 207、以及時序控制器 205。ALU 控制器 202、中斷控制器 204、暫存器控制器 207、以及時序控制器 205 根據被解碼了的指令而進行各種控制。具體地說，ALU 控制器 202 產生用來控制算術邏輯單元 201 的工作的信號。中斷控制器 204 當在執行微處理器 200 的程式時對來自外部輸入輸出裝置或週邊電路的中斷要求根據其優先順序或光罩狀態而進行判斷來處理。暫存器控制器 207 產生暫存器 206 的位址，並根據微處理器 200 的狀態進行暫存器 206 的讀出或寫入。時序控制器 205 產生控制算術邏輯單元 201、ALU 控制器 202、指令解碼器 203、中斷控制器 204 及暫存器控制器 207 的工作時序的信號。例如，時序控制器 205 包括根據基準時鐘信號 CLK1 產生內部時鐘信號 CLK2 的內部時鐘產生部，並將時鐘信號 CLK2 提供給上述各種電路。注意，圖 15 所示的微處理器 200 只是將其結構簡化了的一個例子，在實際上，可以根據其用途具有各種各樣的結構。

在上述微處理器 200 中，通過使用接合在具有絕緣表面的支撐基底上的具有一定結晶取向的半導體層（單晶半導體層）形成積體電路，因此不僅可以實現處理速度的高速化，而且還可以實現低耗電量化。另外，阻擋層設置在支撐基底和半導體層之間，由此可以防止金屬雜質如鈉等從支撐基底一側擴散而污染半導體層。

## 實施方式 7

在本實施方式中，參照圖 16 說明說明能夠非接觸地進行資料收發且具有計算功能的半導體裝置的一個方式。這裏，參照圖 16 說明通過使用 SOI 基底而得到的 RFCPU 的結構。圖 16 表示以無線通信與外部裝置進行信號收發來工作的電腦（以下稱為 RFCPU）的一個例子。RFCPU211 包括類比電路部 212 和數位電路部 213。類比電路部 212 包括具有諧振電容的諧振電路 214、整流電路 215、恒壓電路 216、重設電路 217、振盪電路 218、解調電路 219、調變電路 220、以及電源管理電路 230。數位電路部 213 包括 RF 介面 221、控制暫存器 222、時鐘控制器 223、介面 224（CPU 介面）、中央處理單元（CPU）225、隨機存取記憶體（RAM）226、以及唯讀記憶體（ROM）227。

具有這種結構的 RFCPU211 的工作概要如下：基於天線 228 所接收的信號，諧振電路 214 產生感應電動勢。感應電動勢經過整流電路 215 而存儲到電容部 229。該電容部 229 優選由電容器如陶瓷電容器或雙電層電容器等構成。電容部 229 不需要與 RFCPU211 一體形成，而可以作為另一部件安裝在構成 RFCPU211 的具有絕緣表面的基底上。

重設電路 217 產生將數位電路部 213 重設並初始化的信號。例如，產生在電源電壓升高之後延遲升高的信號作為重設信號。振盪電路 218 根據由恒壓電路 216 產生的控

制信號改變時鐘信號的頻率和占空比。由低通濾波器構成的解調電路 219 例如將調幅（ASK）方式的接收信號的振幅的變動二值化。調變電路 220 使調幅（ASK）方式的發送信號的振幅變動來發送。調變電路 220 通過使諧振電路 214 的諧振點變化來改變通信信號的振幅。時鐘控制器 223 根據電源電壓或中央處理單元 225 的消耗電流，產生用來改變時鐘信號的頻率和占空比的控制信號。並且，由電源管理電路 230 監視電源電壓。

從天線 228 輸入到 RF CPU 211 的信號被解調電路 219 解調後，在 RF 介面 221 中被分解為控制指令、資料等。控制指令存儲在控制暫存器 222 中。控制指令包括存儲在唯讀記憶體 227 中的資料的讀出、向隨機存取記憶體 226 的資料寫入、向中央處理單元 225 的計算指令等。中央處理單元 225 通過介面 224 對唯讀記憶體 227、隨機存取記憶體 226 及控制暫存器 222 進行存取。介面 224 具有如下功能：根據中央處理單元 225 所要求的位址，產生對唯讀記憶體 227、隨機存取記憶體 226 及控制暫存器 222 中的任何一個的存取信號。

作為中央處理單元 225 的計算方式，可以採用將 OS（作業系統）存儲在唯讀記憶體 227 中並在啟動的同時讀出並執行程式的方式。另外，也可以採用由專用電路構成計算電路並以硬體方式對計算處理進行處理的方式。作為並用硬體和軟體這雙方的方式，可以採用如下方式：由專用計算電路進行一部分的處理，使用程式由中央處理單元

225 進行另一部分的計算。

在上述 RFCPU211 中，通過使用接合在具有絕緣表面的基底上或絕緣基底上的具有一定結晶取向的半導體層（單晶半導體層）形成積體電路，因此不僅可以實現處理速度的高速化，而且還可以實現低耗電量化。由此，即使將提供電力的電容部 229 小型化，也可以保證長時間工作。圖 16 雖然表示 RFCPU 的方式，但是只要具有通信功能、計算處理功能、存儲功能，就可以採用 IC 標籤。

#### 實施方式 8

上述實施方式所示的 SOI 層可以接合在製造顯示面板的稱為母玻璃的大型玻璃基底上。圖 17 表示將 SOI 層 105 接合在作為支撐基底 100 的母玻璃上的情況。母玻璃被分割成多個顯示面板，優先根據顯示面板 162 的形成區域接合 SOI 層 105。母玻璃基底的面積比半導體基底大，因此，如圖 17 所示，優先在顯示面板 162 的形成區域的內側配置多個 SOI 層 105。由此，當將多個 SOI 層 105 排列並配置在支撐基底 100 上時，可以使相鄰間隔十分寬。顯示面板 162 具有掃描線驅動電路區域 163、信號線驅動電路區域 164 及像素形成區域 165，以包括這些區域的方式將 SOI 層 105 接合到支撐基底 100。

圖 18A 和 18B 表示液晶顯示裝置的像素的一個例子，其中像素電晶體由接合在大型玻璃基底上的半導體層構成。圖 18A 是像素的平面圖，在該像素中，半導體層與掃描

線 166 交叉，並與信號線 167 和像素電極 168 連接。圖 18B 是沿圖 18A 所示的 J-K 截斷線的截面圖。

在圖 18B 中，存在著具有在支撐基底 100 上層疊有接合層 104c、阻擋層 102c 及半導體層 106 的結構的部分，該區域包括在像素電晶體中。在層間絕緣層 128 上設置有像素電極 168。在連接半導體層 106 和信號線 167 的接觸孔中，由於蝕刻層間絕緣層 128 而產生凹臺階，因此嵌入該凹部地設置柱狀間隔物 171。在相對基底 169 上形成有相對電極 170，並在柱狀間隔物 171 的間隙形成有液晶層 172。

圖 19A 表示電致發光顯示裝置的一個例子，其中像素部的電晶體由接合在大型玻璃基底上的半導體層構成。圖 19A 是像素的平面圖，包括連接到信號線 167 的選擇電晶體 173、以及連接到電源線 175 的顯示控制電晶體 174。上述顯示裝置的結構如下：在各像素中設置有其電極之間夾有包含電致發光材料的層（EL 層）的發光元件。像素電極 168 連接到顯示控制電晶體 174。圖 19B 是表示上述像素的主要部分的截面圖。

在圖 19B 中，使用大型玻璃基底作為支撐基底 100，存在著具有在該支撐基底 100 上層疊有接合層 104c、阻擋層 102c 及半導體層 106 的結構的部分，該區域包括在顯示控制電晶體中。接合層 104c、阻擋層 102c、半導體層 106 及層間絕緣層 128 等的結構與圖 18B 同樣。第一電極 168 的周邊部被具有絕緣性的隔離壁層 176 包圍。在第一

電極 168 上形成有 EL 層 177。在 EL 層 177 上形成有第二電極 170。使用密封樹脂 178 填充像素部，並設置有基底 169 作為補強板。

本實施方式的電致發光顯示裝置將上述像素排列為矩陣狀來構成顯示幕。在此情況下，像素的電晶體的溝道部由接合在支撐基底 100 上的半導體層 106 構成，因此在半導體層 106 由單晶半導體層構成的情況下，具有各電晶體之間沒有特性不均勻性、每個像素的發光亮度均勻的優點。因此，容易使用電流控制發光元件的亮度來驅動，並且不需要用來校正電晶體特性的不均勻的校正電路，而可以減輕驅動電路的負擔。再者，可以選擇透光基底作為支撐基底 100，因此可以構成從支撐基底 100 一側發射光的底部發光型電致發光顯示裝置。

如上所述，還可以在製造顯示裝置的母玻璃上形成電晶體，該電晶體由使用被接合的半導體基底的一部分而形成的半導體層構成。關於由該半導體層構成的電晶體，電流驅動能力等的所有工作特性都比非晶矽電晶體優良，因此可以減少電晶體的尺寸。由此，可以提高顯示面板中的像素部的開口率。還可以形成圖 15 及 16 所示的微處理器，因此可以在顯示裝置內提供電腦的功能。還可以製造能夠非接觸地進行資料收發的顯示器。

## 實施方式 9

根據本發明，可以構成各種各樣的電子裝置。作為電

子裝置，可以舉出攝像機、數位照相機等、導航系統、音頻再現裝置(汽車音響、音響元件等)、電腦、遊戲機、攜帶型資訊終端(移動電腦、移動電話、攜帶型遊戲機或電子書等)、具有記錄媒質的圖像再現裝置(具體地說，能夠再現記錄媒質例如數位通用盤(DVD)等並且具有能夠顯示其圖像的顯示器的裝置)等。

圖 20A 示出移動電話 301 的一個例子。該移動電話 301 包括顯示部 302、操作部 303 等。在顯示部 302 中，可以使用圖 18A 和 18B 所示的液晶顯示裝置或圖 19A 和 19B 所示的電致發光顯示裝置。通過使用根據實施方式 8 的顯示裝置，可以構成顯示不均勻性低且圖像質量高的顯示部。還可將實施方式 6 及 7 的半導體裝置適用於包括在移動電話 301 中的微處理器或記憶體。

圖 20B 示出數位播放器 304 作為音響裝置的一個典型實例。圖 20B 所示的數位播放器 304 包括顯示部 302、操作部 303、以及耳機 305 等。還可以使用頭戴式耳機或無線耳機代替耳機 305。在數位播放器 304 中，可以將本發明的半導體裝置適用於存儲音樂資料的存儲部或使數位播放器 304 工作的微處理器。具有上述結構的數位播放器 304 可以實現小型輕量化。通過將圖 18A 和 18B 所示的液晶顯示裝置或圖 19A 和 19B 所示的電致發光顯示裝置適用於顯示部 302，即使螢幕尺寸為 0.3 英寸至 2 英寸左右也能夠顯示高清晰圖像或文字資訊。

圖 20C 示出電子書 306。該電子書 306 包括顯示部

302 及操作部 303。另外，可以在其內部裝有數據機，又可以具有以無線方式輸出/輸入資訊的結構。在電子書 306 中，可以將實施方式 6 及 7 的半導體裝置適用於存儲資訊的存儲部或使電子書 306 工作的微處理器。在存儲部中，使用存儲容量為 20 至 200 千百萬位元組 (GB) 的 NOR 型非易失性記憶體，來可以存儲並再現圖像或音頻 (音樂)。通過將圖 18A 和 18B 所示的液晶顯示裝置或圖 19A 和 19B 所示的電致發光顯示裝置適用於顯示部 302，可以進行高圖像質量的顯示。

#### 實施方式 10

下面對作為本發明的特徵之一的離子照射方法進行考察。

在本發明中將來源於氫 (H) 的離子 (以下稱為氫離子種類) 照射到單晶半導體基底。更具體而言，以氫氣體或在其組成中含有氫的氣體為原料而使用，來產生氫等離子體，並且將該氫等離子體中的氫離子種類照射到單晶半導體基底。

(氫等離子體中的離子)

在上述氫等離子體中，存在氫離子種類如  $H^+$ 、 $H_2^+$ 、 $H_3^+$ 。在此，對每個氫離子種類的反應過程 (生成過程 (formation processes)、消散過程 (destruction processes))，下面舉出反應式。

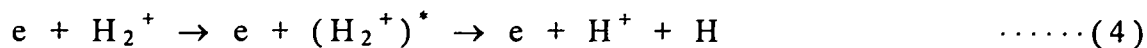
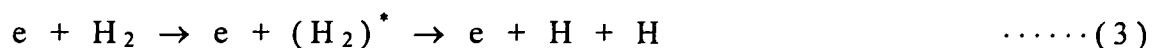


圖 23 示出示意地表示上述反應的一部分的能量圖。要注意的是，圖 23 所示的能量圖只不過是示意圖，不是嚴格地規定關於反應的能量的關係。

(  $H_3^+$  的生成過程 )

如上述那樣， $H_3^+$  主要通過反應式 ( 5 ) 所示的反應過程而生成。另一方面，作為與反應式 ( 5 ) 競爭的反應，有反應式 ( 6 ) 所示的反應過程。為了增加  $H_3^+$ ，至少需要以比反應式 ( 6 ) 的反應多的方式引起反應式 ( 5 ) 的反應 ( 注意，因為作為減少  $H_3^+$  的反應，也存在有反應式 ( 7 )、反應式 ( 8 )、反應式 ( 9 )，所以即使反應式 ( 5 ) 的反應多於反應式 ( 6 ) 的反應， $H_3^+$  也不一定增加 )。反過來，在反應式 ( 5 ) 的反應比反應式 ( 6 ) 的反應少的情況下，在等離子體中的  $H_3^+$  的比率減少。

在上述反應式的右邊（最右邊）的生成物的增加量依賴於反應式的左邊（最左邊）所示的原料的密度或關於其反應的速度係數等。在此，通過試驗已確認到如下事實：當  $H_2^+$  的動能小於大約  $11\text{eV}$  時，反應式（5）的反應成為主要反應（即，與關於反應式（6）的速度係數相比，關於反應式（5）的速度係數充分大）；當  $H_2^+$  的動能大於大約  $11\text{eV}$  時，反應式（6）的反應成為主要反應。

荷電粒子通過從電場受到力而獲得動能。該動能對應於電場的位能（potential energy）的減少量。例如，某一個荷電粒子直到與其他粒子碰撞之前獲得的動能等於在其期間中經過的電位差的勢能。也就是說，有如下趨勢：當在電場中能夠不與其他粒子碰撞地長距離移動時，與不能不與其他粒子碰撞地長距離移動的情況相比，荷電粒子的動能（的平均）增高。在粒子的平均自由程長的情況下，就是壓力低的情況下會發生這種荷電粒子的動能增大的趨勢。

另外，即使平均自由程短，也在該平均自由程中可以獲得大動能時，荷電粒子的動能會變大。就是，可以說，即使平均自由程短，也在電位差大時，荷電粒子所具有的動能變大。

將上述情況適用於  $H_2^+$ 。在如用於生成等離子體的處理室內那樣，以電場的存在為前提的情況下，當在該處理室內的壓力低時  $H_2^+$  的動能變大，當在該處理室內的壓力高時  $H_2^+$  的動能變小。換言之，因為在處理室內的壓力低

的情況下反應式（6）的反應成爲主要反應，所以  $H_3^+$  有減少的趨勢，並且因爲在處理室內的壓力高的情況下反應式（5）的反應成爲主要反應，所以  $H_3^+$  有增大的趨勢。另外，在等離子體生成區域中的電場較強的情況下，即，在某兩點之間的電位差大的情況下， $H_2^+$  的動能變大。在與此相反的情況下， $H_2^+$  的動能變小。換言之，因爲在電場較強的情況下反應式（6）的反應成爲主要反應，所以  $H_3^+$  有減少的趨勢，並且因爲在電場較弱的情況下反應式（5）的反應成爲主要反應，所以  $H_3^+$  有增加的趨勢。

（取決於離子源的差異）

在此示出離子種類的比率（尤其是  $H_3^+$  的比率）不同的一例。圖 24 是表示由 100% 的氫氣體（離子源的壓力爲  $4.7 \times 10^{-2} \text{ Pa}$ ）生成的離子的質量分析結果的圖表。注意，上述質量分析通過測量從離子源引出的離子而進行。橫軸爲離子的質量。在光譜中，質量 1 的峰值對應於  $H^+$ 、質量 2 的峰值對應於  $H_2^+$ 、質量 3 的峰值對應於  $H_3^+$ 。縱軸爲光譜的強度，其對應於離子的數量。在圖 24 中，以質量 3 的離子爲 100 的情形中的相對比來表示質量不同的離子的數量。根據圖 24 可知由上述離子源生成的離子的比率大約爲  $H^+ : H_2^+ : H_3^+ = 1 : 1 : 8$ 。注意，也可以由離子摻雜裝置獲得這種比率的離子，該離子摻雜裝置由生成等離子體的等離子體源部（離子源）和用於從該等離子體引出離子束的引出電極等構成。

圖 25 是示出在使用與圖 24 不同的離子源的情況下，當離子源的壓力大約為  $3 \times 10^{-3} \text{ Pa}$  時，由  $\text{PH}_3$  生成的離子的質量分析結果的圖表。上述質量分析結果是注目於氫離子種類的。此外，質量分析通過測量從離子源引出的離子而進行。與圖 24 相同，橫軸表示離子的質量，質量 1 的峰值對應於  $\text{H}^+$ 、質量 2 的峰值對應於  $\text{H}_2^+$ 、質量 3 的峰值對應於  $\text{H}_3^+$ 。縱軸為對應於離子的數量的光譜的強度。根據圖 25 可知在等離子體中的離子的比率大約為  $\text{H}^+ : \text{H}_2^+ : \text{H}_3^+ = 37 : 56 : 7$ 。注意，雖然圖 25 是當源氣體為  $\text{PH}_3$  時的資料，但是當將 100% 的氫氣體用作源氣體時，氫離子種類的比率也成為相同程度。

在採用獲得圖 25 所示的資料的離子源的情況下，在  $\text{H}^+$ 、 $\text{H}_2^+$ 、以及  $\text{H}_3^+$  中， $\text{H}_3^+$  的生成僅在 7% 左右。另一方面，在採用獲得圖 24 所示的資料的離子源的情況下，可以將  $\text{H}_3^+$  的比率成為 50% 以上（在上述條件下大約為 80%）。可以估計這是起因於在上述考察中獲知的處理室內的壓力及電場。

（ $\text{H}_3^+$  的照射機制）

在生成如圖 24 那樣包含多個離子種類的等離子體且對生成了的離子種類不進行質量分離而照射到單晶半導體基底的情況下， $\text{H}^+$ 、 $\text{H}_2^+$ 、 $\text{H}_3^+$  的每個離子被照射到單晶半導體基底的表面。為了再現從照射離子到形成離子引入區域的機制，舉出下列的五種模式：

1. 照射的離子種類為  $H^+$ ，照射之後也為  $H^+$  ( $H$ ) 的情況；

2. 照射的離子種類為  $H_2^+$ ，照射之後也為  $H_2^+$  ( $H_2$ ) 的情況；

3. 照射的離子種類為  $H_2^+$ ，照射之後分成兩個  $H$  ( $H^+$ ) 的情況；

4. 照射的離子種類為  $H_3^+$ ，照射之後也為  $H_3^+$  ( $H_3$ ) 的情況；

5. 照射的離子種類為  $H_3^+$ ，照射之後分成三個  $H$  ( $H^+$ ) 的情況。

(類比結果和實測值的比較)

根據上述模式，進行當將氫離子種類照射到 Si 基底時的類比。作為用於類比的軟體，使用 SRIM (the Stopping and Range of Ions in Matter: 通過蒙特卡羅 (Monte Carlo) 法的離子引入過程的類比軟體，是 TRIM (the Transport of Ions in Matter) 的改良版)。注意，為了計算上的方便，在模式 2 中將  $H_2^+$  轉換為具有兩倍質量的  $H^+$  進行計算，另外，在模式 4 中將  $H_3^+$  轉換為具有三倍質量的  $H^+$  進行計算。再者，在模式 3 中將  $H_2^+$  轉換為具有  $1/2$  動能的  $H^+$  進行計算，並且在模式 5 中將  $H_3^+$  轉換為具有  $1/3$  動能的  $H^+$  進行計算。

注意，雖然 SRIM 是以非晶結構為物件的軟體，但是在以高能量、高劑量的條件照射氫離子種類的情況下，可

以利用 SRIM。這是因為由於氫離子種類和 Si 原子的碰撞，Si 基底的晶體結構變成非單晶結構的緣故。

在圖 26 中示出使用模式 1 至模式 5 照射氫離子種類的情況（以 H 換算照射 10 萬個）的計算結果。另外，一起示出照射圖 24 所示的氫離子種類的 Si 基底中的氫濃度（SIMS（Secondary Ion Mass Spectroscopy：二次離子質譜）的資料）。對於使用模式 1 至模式 5 進行的計算的結果，以氫原子的個數表示縱軸（右軸），對於 SIMS 資料，以氫原子的濃度表示縱軸（左軸）。橫軸為離 Si 基底的表面的深度。在對實測值的 SIMS 資料和計算結果進行比較的情況下，模式 2 及模式 4 明顯地從 SIMS 資料的峰值偏離，並且在 SIMS 資料中不能觀察到對應於模式 3 的峰值。由此，可知模式 2 至模式 4 的影響相對較小。通過考慮雖然離子的動能為 keV 的數量級，但 H-H 鍵能只不過大約為幾 eV，可以估計模式 2 及模式 4 的影響小是由於與 Si 的碰撞，大部分的  $H_2^+$  或  $H_3^+$  分成  $H^+$  或 H 的緣故。

根據上述理由，下面不考慮模式 2 至模式 4。在圖 27 至圖 29 中示出當使用模式 1 及模式 5 照射氫離子種類時（以 H 換算照射 10 萬個）的計算結果。另外，一起示出照射圖 24 所示的氫離子種類的 Si 基底中的氫濃度（SIMS 資料）及將上述類比結果擬合於 SIMS 資料的資料（下面稱為擬合函數）。在此，圖 27 示出將加速電壓設定為 80kV 的情況，圖 28 示出將加速電壓設定為 60kV 的情況，並且圖 29 示出將加速電壓設定為 40kV 的情況。注意，

對於使用模式 1 及模式 5 進行計算的結果，以氫原子的個數表示縱軸（右軸），對於 SIMS 資料以及擬合函數，以氫原子的濃度表示縱軸（左軸）。橫軸為離 Si 基底的表面的深度。

通過考慮模式 1 及模式 5 使用下面的計算式算出擬合函數。注意，在計算式中，X、Y 為關於擬合的參數，並且 V 為體積。

$$[\text{擬合函數}] = X/V \times [\text{模式 1 的資料}] + Y/V \times [\text{模式 5 的資料}]$$

當考慮實際上照射的離子種類的比率（大約為  $H^+ : H_2^+ : H_3^+ = 1 : 1 : 8$ ）時，也應該顧及  $H_2^+$  的影響（即，模式 3），但是因為下面所示的理由，在此排除模式 3。

由於通過模式 3 所示的照射過程而引入的氫與模式 5 的照射過程相比極少，因此排除模式 3 來顧及也沒有大的影響（SIMS 資料中也沒有出現峰值）。

由於在模式 5 中發生的溝道效應（起因於結晶的晶格結構的元素移動），其峰值位置與模式 5 接近的模式 3 不明顯的可能性高。就是，預計模式 3 的擬合參數是很困難的。這是因為在本類比中以非晶 Si 為前提，因此不顧及起因於結晶度的影響的緣故。

在圖 30 中總結上述的擬合參數。在上述所有的加速電壓下，引入的 H 的數量的比率大約為 [模式 1] : [模式 5] = 1 : 42 至 1 : 45（當在模式 1 中的 H 的個數為 1 的情況

下，在模式 5 中的 H 的個數大約為 42 以上且 45 以下），並且照射的離子種類的個數的比率大約為  $[H^+ (\text{模式 1})] : [H_3^+ (\text{模式 5})] = 1 : 14$  至  $1 : 15$ （當在模式 1 中的  $H^+$  的個數為 1 的情況下，在模式 5 中的  $H_3^+$  的個數大約為 14 以上且 15 以下）。通過考慮不顧及模式 3 和假設用非晶 Si 而進行計算等的條件，可以認為獲得了與關於實際上的照射的離子種類的比率（大約為  $H^+ : H_2^+ : H_3^+ = 1 : 1 : 8$ ）接近的值。

（使用  $H_3^+$  的效果）

通過將如圖 24 所示那樣的提高  $H_3^+$  的比率的氫離子種類照射到基底，可以獲得起因於  $H_3^+$  的多個優點。例如，因為  $H_3^+$  分成  $H^+$  或 H 等而引入到基底內，與主要照射  $H^+$  或  $H_2^+$  的情況相比，可以提高離子的引入效率。因此，可以提高半導體基底的產率。另外， $H_3^+$  分開之後的  $H^+$  或 H 的動能有變小的趨勢，因此適合於較薄的半導體層的製造。

注意，在本說明書中，為了高效地照射  $H_3^+$ ，對利用能夠照射如圖 24 所示那樣的氫離子種類的離子摻雜裝置的方法進行說明。離子摻雜裝置的價格低廉且適合於大面積處理，因而通過利用這種離子摻雜裝置照射  $H_3^+$ ，可以獲得明顯的效果如提高半導體特性、實現大面積化、低成本化、提高產率等。另一方面，當以  $H_3^+$  的照射考慮為首要時，不需要被解釋為限於利用離子摻雜裝置的方式。

本說明書根據 2007 年 5 月 11 日在日本專利局受理的日本專利申請編號 2007-127270 而製作，所述申請內容包括在本說明書中。

【圖式簡單說明】

圖 1A 至 1D 是表示本發明的半導體裝置的製造步驟的截面圖；

圖 2A 和 2B 是表示本發明的半導體裝置的製造步驟的截面圖；

圖 3A 至 3C 是表示本發明的半導體裝置的製造步驟的截面圖；

圖 4A 和 4B 是表示本發明的半導體裝置的製造步驟的截面圖；

圖 5 是表示本發明的半導體裝置的製造步驟的俯視圖；

圖 6 是表示本發明的半導體裝置的製造步驟的俯視圖；

圖 7 是表示本發明的半導體裝置的製造步驟的俯視圖；

圖 8A 至 8D 是表示本發明的半導體裝置的製造步驟的截面圖；

圖 9A 至 9C 是表示本發明的半導體裝置的製造步驟的截面圖；

圖 10A 至 10C 是表示本發明的半導體裝置的製造步驟

的俯視圖；

圖 11A 至 11D 是表示本發明的半導體裝置的製造步驟的截面圖；

圖 12A 至 12C 是表示本發明的半導體裝置的製造步驟的截面圖；

圖 13A 和 13B 是表示本發明的半導體裝置的製造步驟的截面圖；

圖 14A 和 14B 是表示本發明的半導體裝置的製造步驟的截面圖；

圖 15 是表示作為半導體裝置的一個方式的微處理器的結構的方塊圖；

圖 16 是表示作為半導體裝置的一個方式的 RF CPU 的結構的方塊圖；

圖 17 是表示將半導體層接合到顯示面板製造用母玻璃的情況實例的平面圖；

圖 18A 和 18B 是表示像素電晶體由半導體層構成的液晶顯示裝置的一個例子的圖；

圖 19A 和 19B 是表示像素電晶體由半導體層構成的電致發光顯示裝置的一個例子的圖；

圖 20A 至 20C 是說明根據本發明的電子裝置的一個例子的圖；

圖 21A 至 21C 是表示本發明的半導體裝置的製造步驟的截面圖；

圖 22A 至 22D 是表示本發明的半導體裝置的製造步

驟的截面圖；

圖 23 是示出氫離子種類的能量圖的圖；

圖 24 是示出離子的質量分析結果的圖；

圖 25 是示出離子的質量分析結果的圖；

圖 26 是示出當將加速電壓設定為 80kV 時的氫的深度方向的廓線（實測值及計算值）的圖；

圖 27 是示出當將加速電壓設定為 80kV 時的氫的深度方向的廓線（實測值、計算值、以及擬合函數）的圖；

圖 28 是示出當將加速電壓設定為 60kV 時的氫的深度方向的廓線（實測值、計算值、以及擬合函數）的圖；

圖 29 是示出當將加速電壓設定為 40kV 時的氫的深度方向的廓線（實測值、計算值、以及擬合函數）的圖；

圖 30 是擬合參數的比率（氫原子比及氫離子種類比）之列表。

#### 【主要元件符號說明】

100：支撐基底

101：半導體基底

102：阻擋層

102a：阻擋層

102b：阻擋層

102c：阻擋層

102d：阻擋層

103：脆弱區域

103a：脆弱區域

103b：脆弱區域

103c：脆弱區域

104：接合層

104a：接合層

104b：接合層

104c：接合層

104d：接合層

105：SOI層

105a：SOI層

105b：SOI層

106：半導體層

106a：半導體層

106b：半導體層

107：槽

107a：對準標記

107b：對準標記

108a：區域

108b：區域

109a：間隔

109b：間隔

111：氧化層

111a：氧化層

111b：氧化層

- 111c：氧化層
- 111e：氧化層
- 112：夾具
- 113：槽
- 121：閘極絕緣層
- 122：閘電極
- 123：側壁絕緣層
- 124：第一雜質區域
- 125：第二雜質區域
- 126：絕緣層
- 127：保護層
- 128：層間絕緣層
- 129：接觸孔
- 130：接觸栓塞
- 131：佈線
- 132：層間絕緣層
- 141：支撐基底
- 142：基底層
- 143：剝離層
- 144：阻擋層
- 145：接合層
- 151：元件層
- 152：撓性基底
- 153：撓性基底

- 162：顯示面板
- 163：掃描線驅動電路區域
- 164：信號線驅動電路區域
- 165：像素形成區域
- 166：掃描線
- 167：信號線
- 168：像素電極
- 169：基底
- 170：電極
- 171：柱狀間隔物
- 172：液晶層
- 173：電晶體
- 174：電晶體
- 175：電源線
- 176：隔離壁層
- 177：EL層
- 178：密封樹脂
- 200：微處理器
- 201：算術邏輯單元
- 202：ALU控制器
- 203：指令解碼器
- 204：中斷控制器
- 205：時序控制器
- 206：暫存器

- 207：暫存器控制器
- 208：匯流排界面
- 209：唯讀記憶體
- 210：ROM 介面
- 211：RFCPU
- 212：類比電路部
- 213：數位電路部
- 214：諧振電路
- 215：整流電路
- 216：恒壓電路
- 217：重設電路
- 218：振盪電路
- 219：解調電路
- 220：調變電路
- 221：RF 介面
- 222：控制暫存器
- 223：時鐘控制器
- 224：介面
- 225：中央處理單元
- 226：隨機存取記憶體
- 227：唯讀記憶體
- 228：天線
- 229：電容部
- 230：電源管理電路

301：移動電話

302：顯示部

303：操作部

304：數位播放器

305：耳機

306：電子書

## 十、申請專利範圍

1. 一種半導體裝置的製造方法，包括：

在半導體基底的一部分中形成槽，以形成凸部於該半導體基底中；

對具有該槽的該半導體基底的一個表面照射單一原子或多個原子之質量不相同的離子，以便在離該凸部的一個表面的深度接近於該離子的平均進入深度的該凸部中形成脆弱區域；

在該半導體基底的該一個表面上形成接合層；

將該半導體基底的該一個表面和具有絕緣表面的基底相互重疊，其間夾著該接合層，並且接合該接合層和該具有絕緣表面的基底，然後進行加熱處理，以便在該凸部中的該脆弱區域中分離該半導體基底，並且在該具有絕緣表面的基底上形成半導體層；以及

藉由使用該半導體層形成半導體元件。

2. 一種半導體裝置的製造方法，包括：

在包含鹵素的氧化氣氛中進行第一熱處理，以在半導體基底的表面上形成氧化層；

在該半導體基底的一部分中形成槽，以形成凸部於該半導體基底中；

對具有該槽的該半導體基底的一個表面照射單一原子或多個原子的質量不相同的離子，以在離該凸部的一個表面的深度接近於該離子的平均進入深度的該凸部中形成脆弱區域；

在該半導體基底的該一個表面上形成接合層；

將該半導體基底的該一個表面和具有絕緣表面的基底相互重疊，其間夾著該接合層，並且接合該接合層和該具有絕緣表面的基底，然後進行第二加熱處理，以便在該凸部中的該脆弱區域中分離該半導體基底，並且在該具有絕緣表面的基底上形成半導體層；以及

藉由使用該半導體層形成半導體元件。

3. 一種半導體裝置的製造方法，包括：

第一步驟：在半導體基底的一部分中形成槽；對該半導體基底的一個表面照射單一原子或多個原子的質量不相同的離子，以在離該半導體基底的該一個表面的深度接近於該離子的平均進入深度的區域形成脆弱區域；以及在該半導體基底的該一個表面上形成接合層；

第二步驟：在支撐基底上形成剝離層，並在該剝離層上形成絕緣層；

該第一步驟及該第二步驟之後的第三步驟：將該半導體基底的該一個表面和形成於該支撐基底之該絕緣層相互重疊，其間夾著該接合層，並且接合該接合層和該絕緣層，然後進行加熱處理，以便在該脆弱區域中分離該半導體基底，並且在該支撐基底上形成半導體層；

該第三步驟之後的第四步驟：藉由使用該半導體層形成具有半導體元件的元件層；

第五步驟：在該元件層上設置具有絕緣表面的撓性基底；以及

該第五步驟之後的第六步驟：在該剝離層中從該元件層分離該支撐基底。

4.根據申請專利範圍第 3 項之半導體裝置的製造方法，其中該支撐基底選自鋁矽酸鹽玻璃基底、鋁硼矽酸鹽玻璃基底及鋇硼矽酸鹽玻璃基底。

5.一種半導體裝置的製造方法，包括：

在包含鹵素的氧化氣氛中進行第一熱處理，以便在半導體基底的表面上形成氧化層；

在該半導體基底的端部的一部分中形成槽，以形成凸部於該半導體基底中；

固定該半導體基底的端部的該一部分；

對該半導體基底的一個表面照射單一原子或多個原子的質量不相同的離子，以便在離該凸部的一個表面的深度接近於該離子的平均進入深度的該凸部中形成脆弱區域；

在該半導體基底的該一個表面上形成接合層；

將該半導體基底的該一個表面和具有絕緣表面的基底相互重疊，其間夾著該接合層，並且接合該接合層和該具有絕緣表面的基底，然後進行第二加熱處理，以便在該凸部中的該脆弱區域中分離該半導體基底，並且在該具有絕緣表面的基底上形成半導體層；以及

藉由使用該半導體層形成半導體元件。

6.根據申請專利範圍第 2 或 5 項之半導體裝置的製造方法，其中該鹵素從選自  $\text{HF}$ 、 $\text{NF}_3$ 、 $\text{HBr}$ 、 $\text{Cl}_2$ 、 $\text{ClF}_3$ 、 $\text{BCl}_3$ 、 $\text{F}_2$  及  $\text{Br}_2$  中的一種或多種氣體獲得。

7.根據申請專利範圍第 1、2、3 及 5 項中任一項之半導體裝置的製造方法，其中該半導體基底是單晶基底。

8.根據申請專利範圍第 1、2、3 及 5 項中任一項之半導體裝置的製造方法，其中該單一原子或多個原子的質量不相同的離子是質量不相同的氫離子。

9.根據申請專利範圍第 8 項之半導體裝置的製造方法，其中該質量不相同的氫離子包含  $H^+$ 、 $H_2^+$ 、 $H_3^+$  離子。

10.根據申請專利範圍第 9 項之半導體裝置的製造方法，其中該氫離子中的  $H_3^+$  離子的比例比其他離子種類的比例高。

11.根據申請專利範圍第 1、2 及 5 項中任一項之半導體裝置的製造方法，其中該具有絕緣表面的基底選自鋁矽酸鹽玻璃基底、鋁硼矽酸鹽玻璃基底及鋇硼矽酸鹽玻璃基底。

12.根據申請專利範圍第 1、2、3 及 5 項中任一項之半導體裝置的製造方法，其中在該半導體基底的該一個表面上形成阻擋層，並在該阻擋層上形成該接合層。

13.根據申請專利範圍第 12 項之半導體裝置的製造方法，其中該阻擋層選自氮化矽層、氮氧化矽層、氮化鋁層及氮氧化鋁層。

14.根據申請專利範圍第 1、2、3 及 5 項中任一項之半導體裝置的製造方法，其中該接合層是氧化矽層。

15.一種半導體裝置的製造方法，包括：

在單晶半導體基底上形成阻擋層；

藉由移除該阻擋層的一部分及該單晶半導體基底的一部分，在該單晶半導體基底的表面上形成槽；

對該單晶半導體基底的表面照射離子，以便在該單晶半導體基底中形成脆弱區域；

在該阻擋層上形成第一接合層；

將該單晶半導體基底接合到具有絕緣表面的支撐基底，其中該單晶半導體基底及該支撐基底之間夾著該第一接合層及該絕緣表面；以及

從該支撐基底分離該單晶半導體基底，使該第一接合層、該阻擋層、以及對應於該阻擋層及該脆弱區域之間的區域之該單晶半導體基底的薄層留在該支撐基底上。

16.一種半導體裝置的製造方法，包括：

對單晶半導體基底的表面照射離子，以便在該單晶半導體基底中形成脆弱區域；

藉由移除該單晶半導體基底的一部分及該脆弱區域的一部分，在形成有該脆弱區域的該單晶半導體基底的表面上形成槽；

在該單晶半導體基底上形成阻擋層；

在該阻擋層上形成第一接合層；

將該單晶半導體基底接合到具有絕緣表面的支撐基底，其中該單晶半導體基底及該支撐基底之間夾著該第一接合層及該絕緣表面；以及

從該支撐基底分離該單晶半導體基底，使該第一接合層、該阻擋層、以及對應於夾在該阻擋層及該脆弱區域之

間的區域之該單晶半導體基底的薄層留在該支撐基底上。

17.根據申請專利範圍第 15 或 16 項之方法，進一步包含步驟：在該支撐基底上形成第二接合層，

其中在將該單晶半導體基底接合到該支撐基底之前，進行該第二接合層之形成。

18.一種半導體裝置的製造方法，包括：

在單晶半導體基底上形成阻擋層；

藉由移除該阻擋層的一部分及該單晶半導體基底的一部分，在該單晶半導體基底的表面上形成槽；

對該單晶半導體基底的表面照射離子，以便在該單晶半導體基底中形成脆弱區域；

在具有絕緣表面的支撐基底上形成第一接合層；

將該單晶半導體基底接合到該支撐基底，其中該單晶半導體基底及該支撐基底之間夾著該第一接合層及該絕緣表面；以及

從該支撐基底分離該單晶半導體基底，使該第一接合層、該阻擋層、以及對應於夾在該阻擋層及該脆弱區域之間的區域之該單晶半導體基底的薄層留在該支撐基底上。

19.一種半導體裝置的製造方法，包括：

對單晶半導體基底的表面照射離子，以便在該單晶半導體基底中形成脆弱區域；

藉由移除該單晶半導體基底的一部分，在該單晶半導體基底的表面上形成槽；

在該單晶半導體基底上形成阻擋層；

在具有絕緣表面的支撐基底上形成第一接合層；

將該單晶半導體基底接合到該支撐基底，其中該單晶半導體基底及該支撐基底之間夾著該第一阻擋層及該第一接合層；以及

從該支撐基底分離該單晶半導體基底，使該第一接合層、該阻擋層、以及對應於夾在該阻擋層及該脆弱區域之間的區域之該單晶半導體基底的薄層留在該支撐基底上。

20.根據申請專利範圍第 15、16、18 及 19 項中任一項之方法，

其中該阻擋層包含選自氮化矽、氮氧化矽、氮化鋁及氮氧化鋁之材料。

21.根據申請專利範圍第 15、18 及 19 項中任一項之方法，

其中該脆弱區域係形成於較該槽的底部更深的區域中。

22.根據申請專利範圍第 15、16、18 及 19 項中任一項之方法，

其中該單晶半導體基底的薄層的厚度等於或大於 10 nm 且等於或小於 200 nm。

23.根據申請專利範圍第 18 或 19 項之方法，進一步包含步驟：在該阻擋層上形成第二接合層，

其中在將該單晶半導體基底接合到該支撐基底之前，進行該第二接合層之形成。

24.一種 SOI 基底，包括：

具有絕緣表面的基底；以及

在該絕緣表面上的複數個區域，該複數個區域之每一區域包含：

第一層；

該第一層上之第二層；

該第二層上之單晶半導體層，

其中，該第二層包含氮化層，

其中該第一層覆蓋該第二層之側表面及該單晶半導體層之側表面。

25.一種 SOI 基底，包括：

具有絕緣表面的基底；以及

在該絕緣表面上的複數個區域，該複數個區域之每一區域包含：

第一層；

該第一層上之第二層；

該第二層上之第三層；以及

該第二層上之單晶半導體層，

其中，該第二層包含氮化層，

其中該第一層覆蓋該第二層之側表面、該第三層之側表面、及該單晶半導體層之側表面。

26.一種 SOI 基底，包括：

具有絕緣表面的基底；以及

在該絕緣表面上的複數個區域，該複數個區域之每一區域包含：

第一層；

該第一層上之第二層；

該第二層上之第三層；以及

該第二層上之單晶半導體層，

其中，該第二層包含氮化層，

其中該第一層覆蓋該第二層之側表面、該第三層之側表面、及該單晶半導體層之第一側表面，

其中該第三層覆蓋該單晶半導體層之第二側表面，以及

其中該第一側表面與該第二側表面相對，該單晶半導體層夾於其間。

27.根據申請專利範圍第 24 或 25 項之 SOI 基底，

其中該第一層圍繞該單晶半導體層。

28.根據申請專利範圍第 26 項之 SOI 基底，

其中該第一層及該第三層圍繞該單晶半導體層。

29.根據申請專利範圍第 24 或 25 項之 SOI 基底，

其中該第一層圍繞該第二層。

30.根據申請專利範圍第 25 項之 SOI 基底，

其中該第一層圍繞該第三層。

31.根據申請專利範圍第 24、25 及 26 項中任一項之 SOI 基底，

其中該第一層包含氧化矽。

32.根據申請專利範圍第 24、25 及 26 項中任一項之 SOI 基底，

其中該第二層包含選自氮化矽、氮氧化矽、氮化鋁及

氮氧化鋁之材料。

33.根據申請專利範圍第 25 或 26 項之 SOI 基底，

其中該第三層包含包括於該單晶半導體層中之半導體之氧化物。

34.根據申請專利範圍第 25 或 26 項之 SOI 基底，

其中該第三層包含：

包括於該單晶半導體層中之半導體之氧化物；以及  
鹵素元素。

35.根據申請專利範圍第 24、25 及 26 項中任一項之  
SOI 基底，

其中該單晶半導體層的厚度等於或大於 10 nm 且等於  
或小於 200 nm。

圖 1A

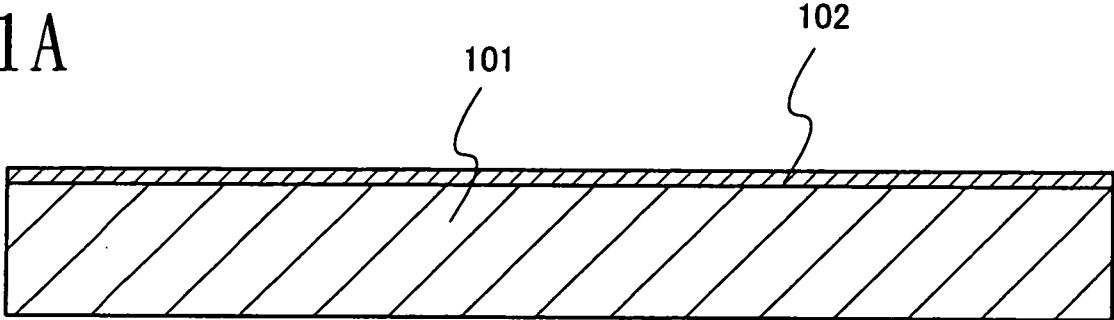


圖 1B

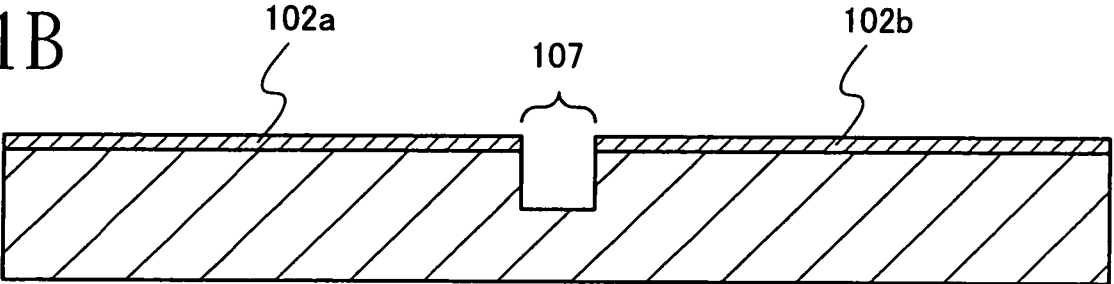


圖 1C

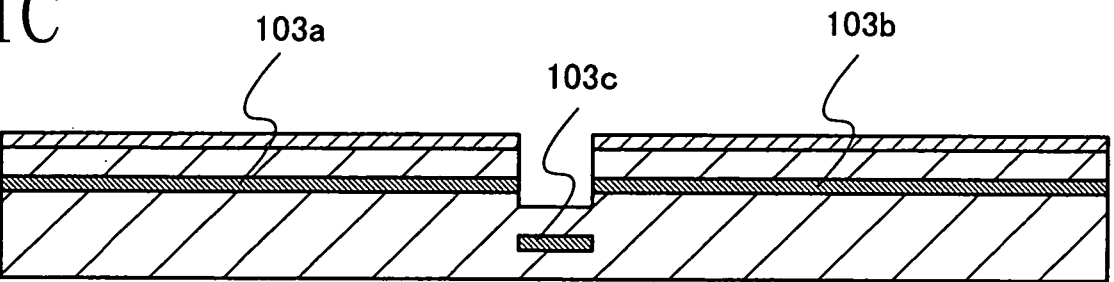


圖 1D

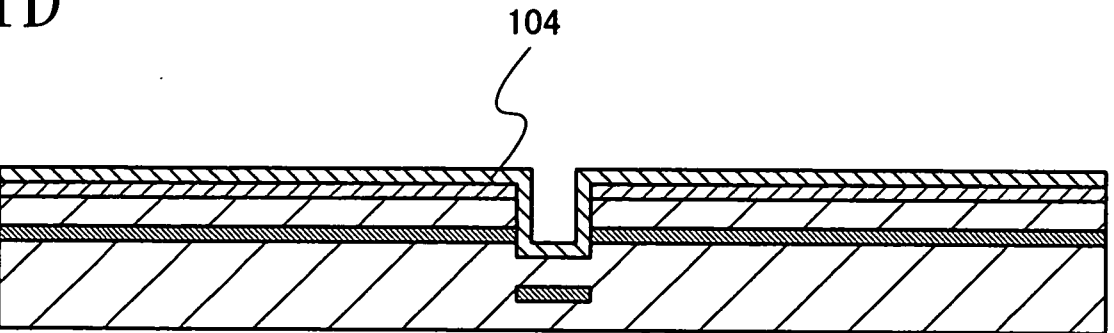


圖 2A

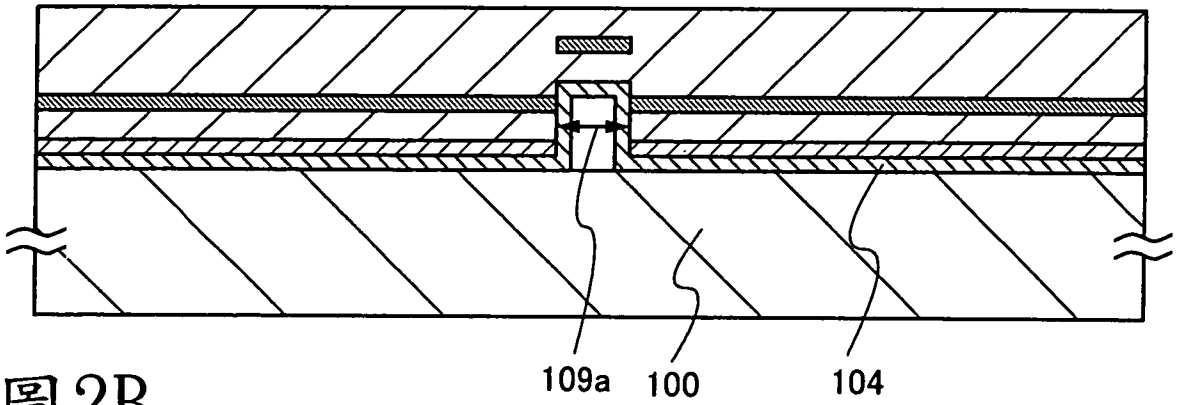


圖 2B

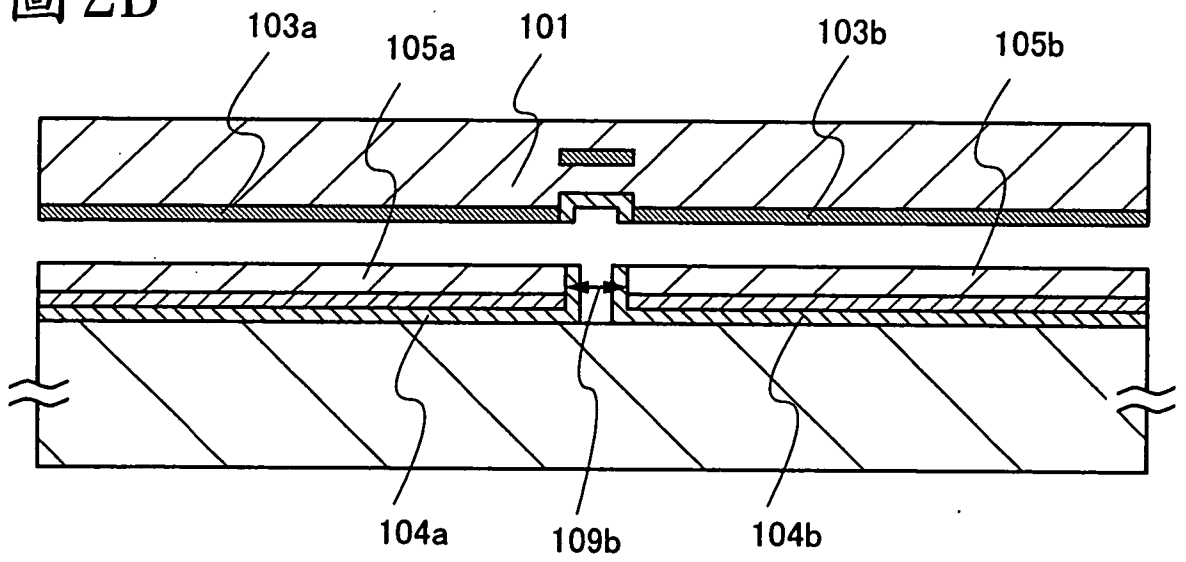


圖 3A

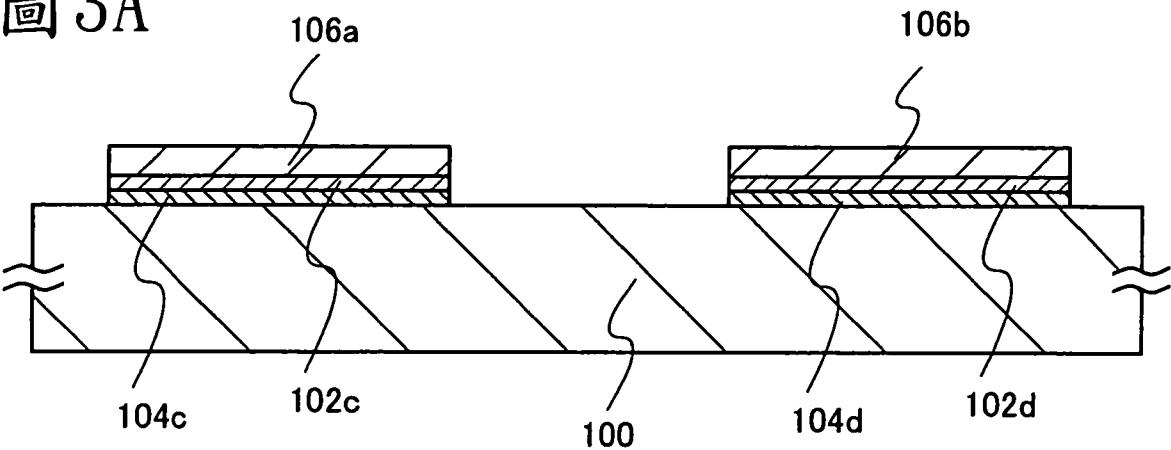


圖 3B

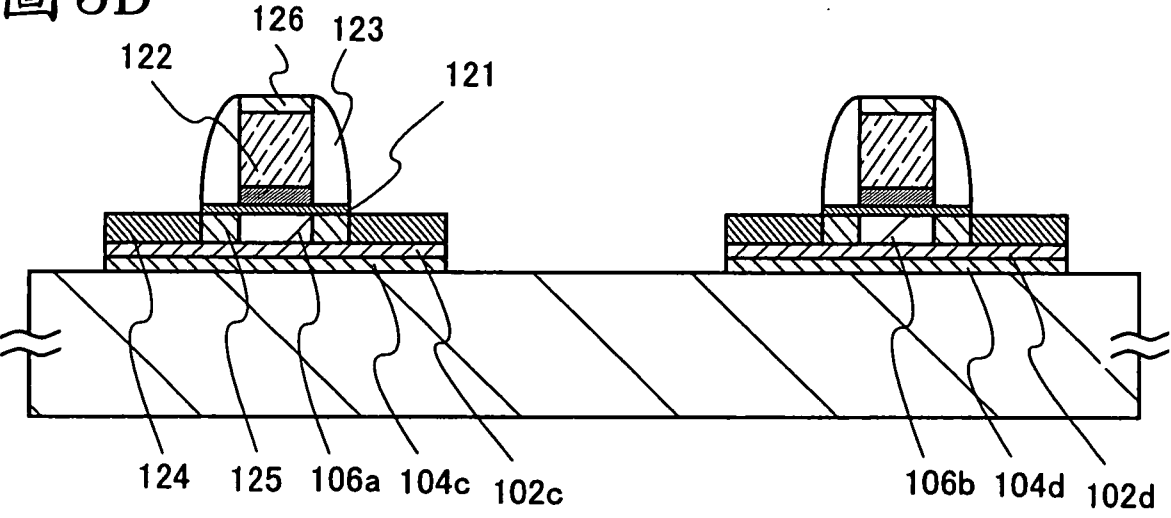


圖 3C

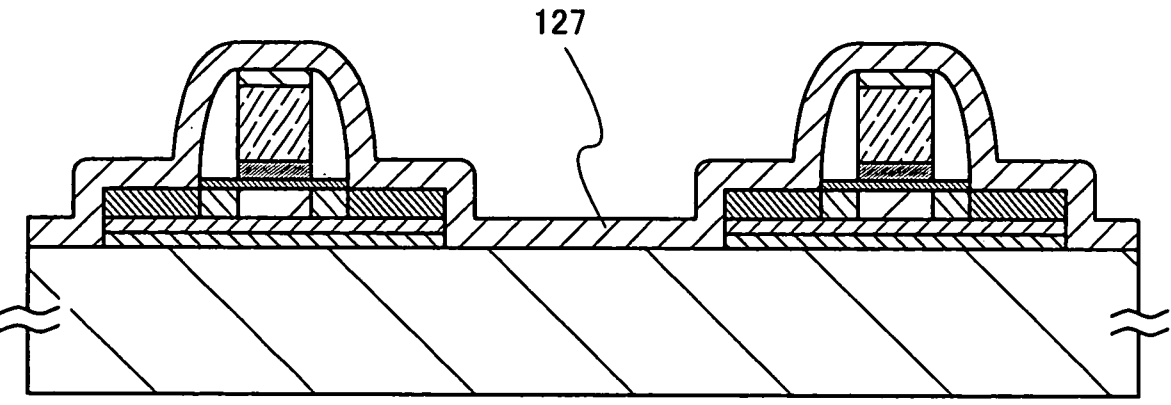


圖 4A

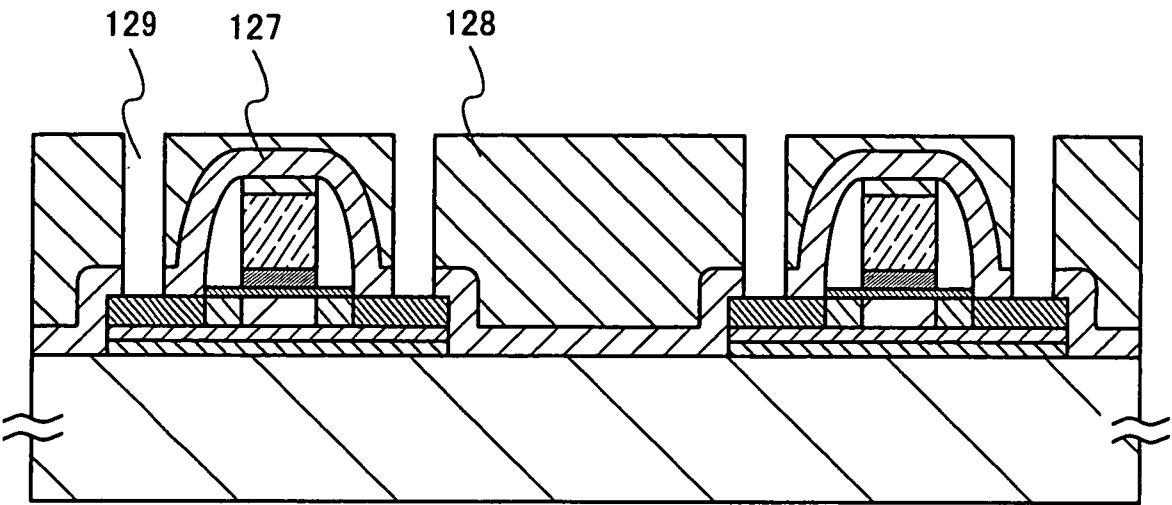


圖 4B

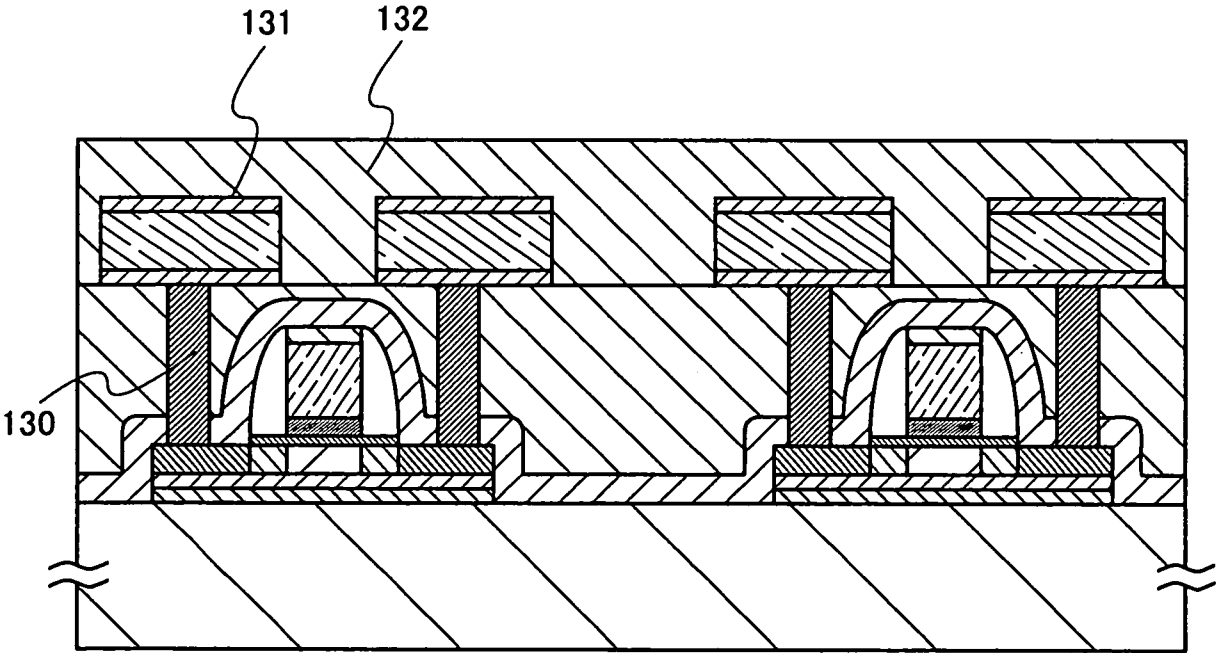


圖5

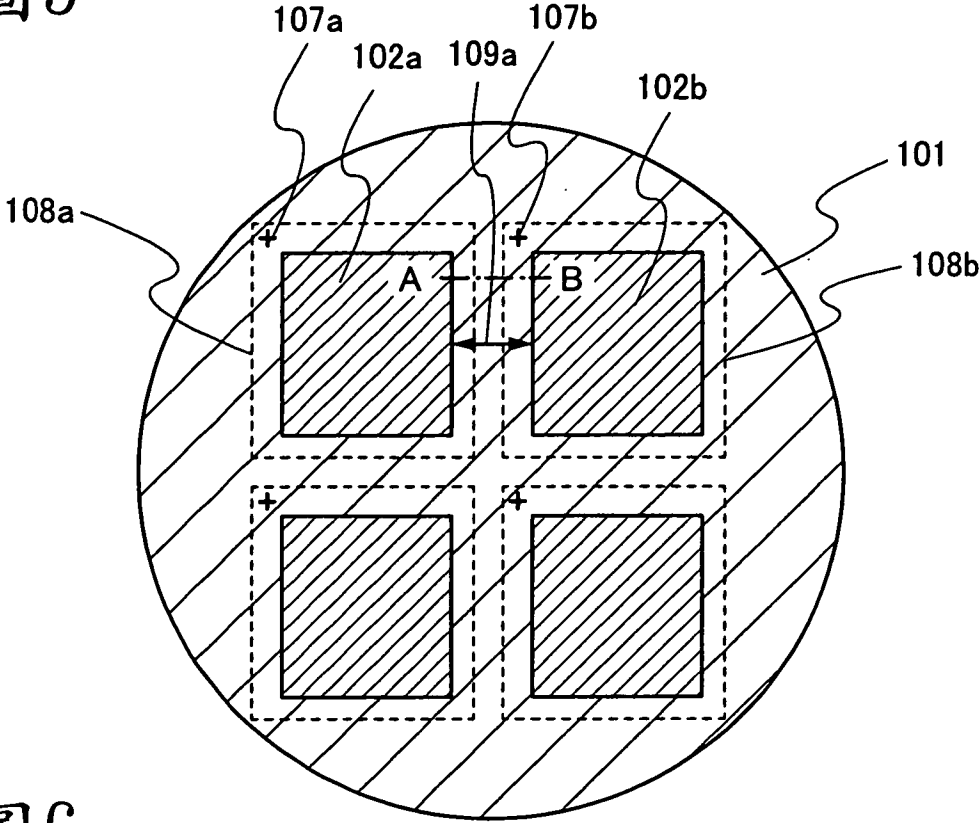


圖6

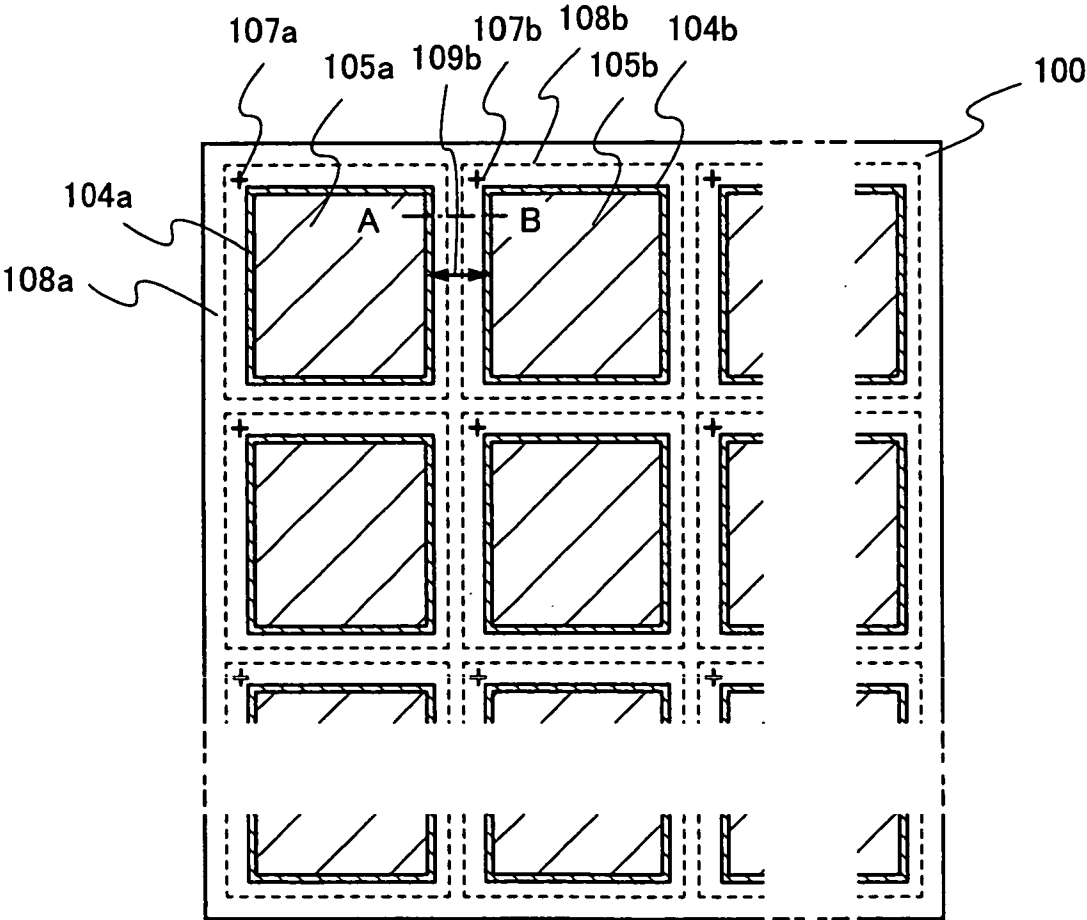


圖 7

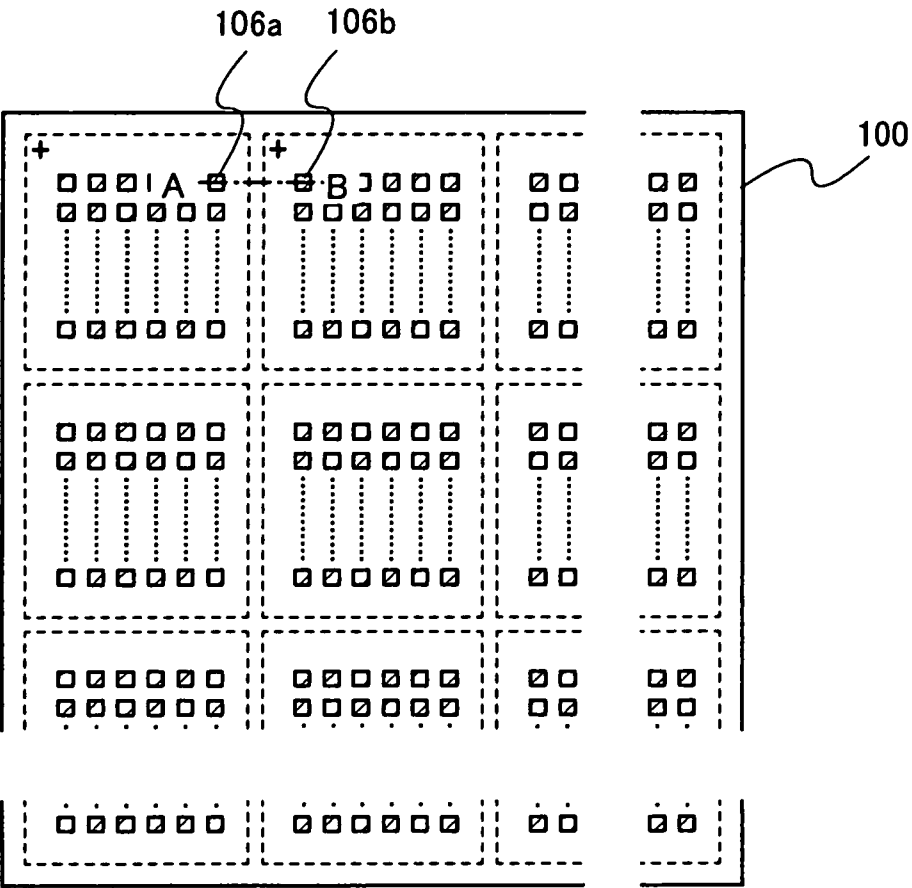


圖 8A

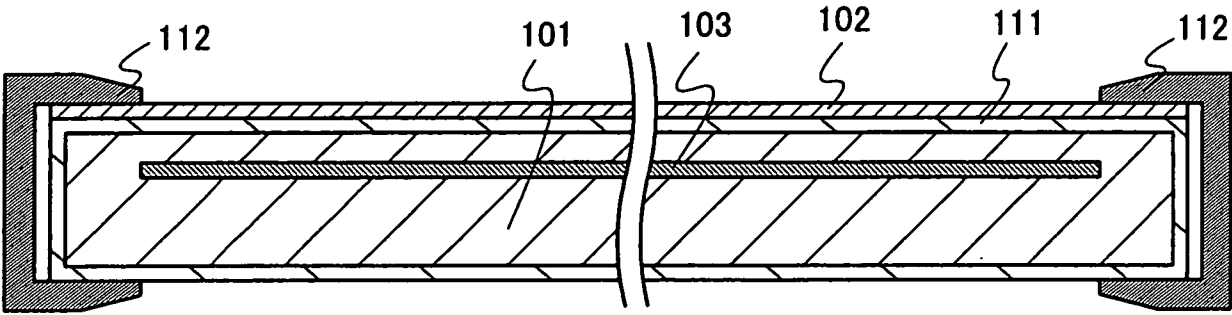


圖 8B

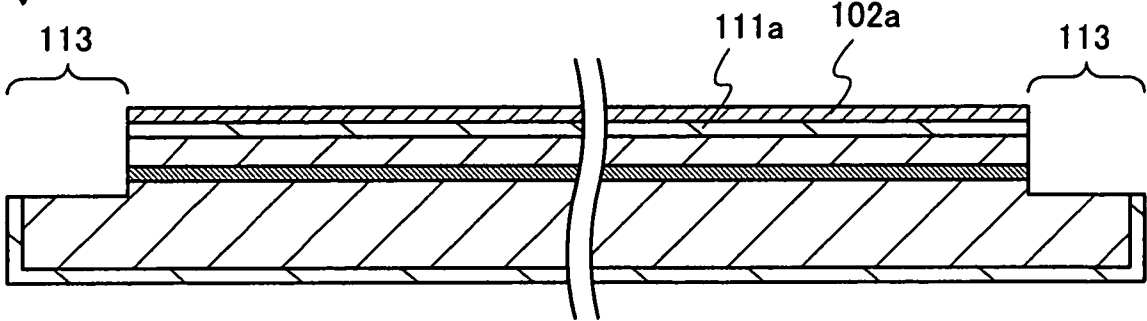


圖 8C

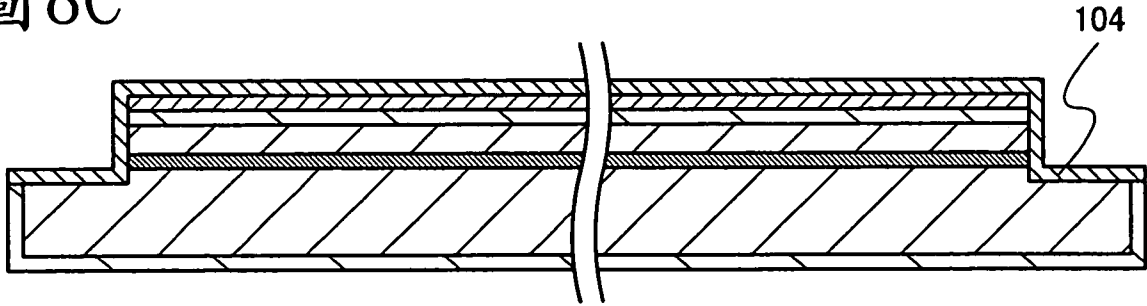


圖 8D

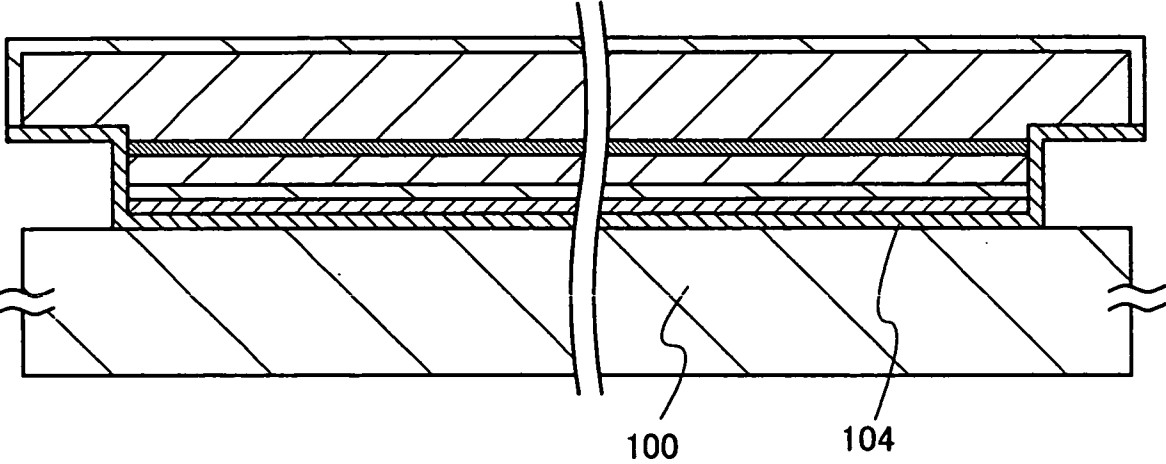


圖 9A

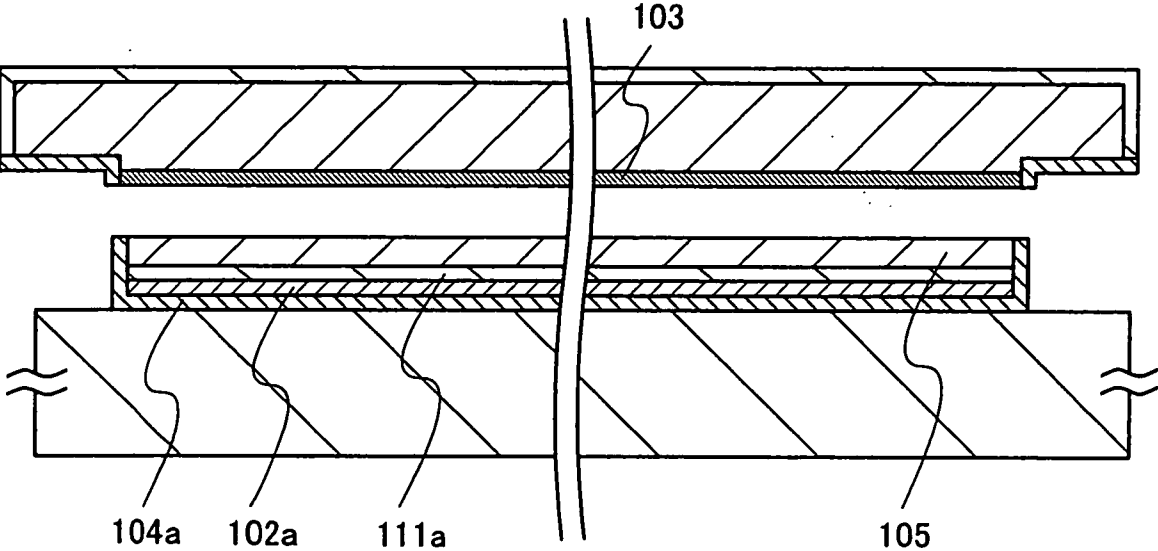


圖 9B

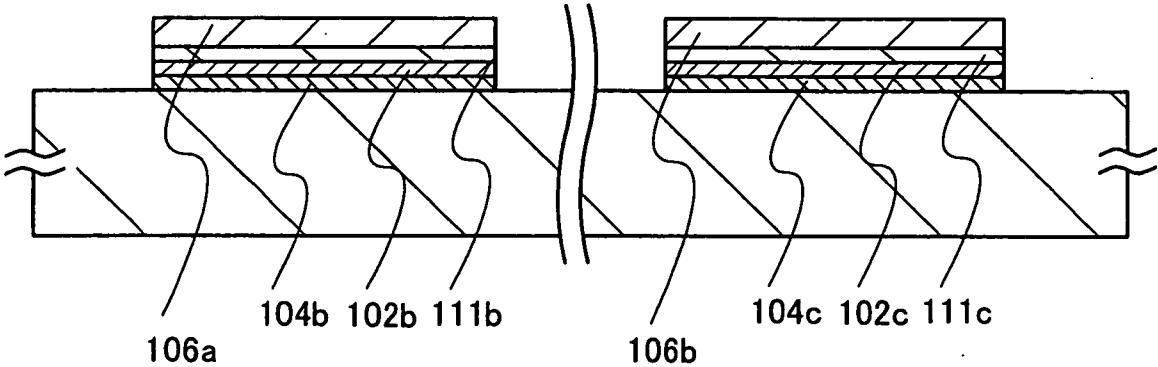


圖 9C

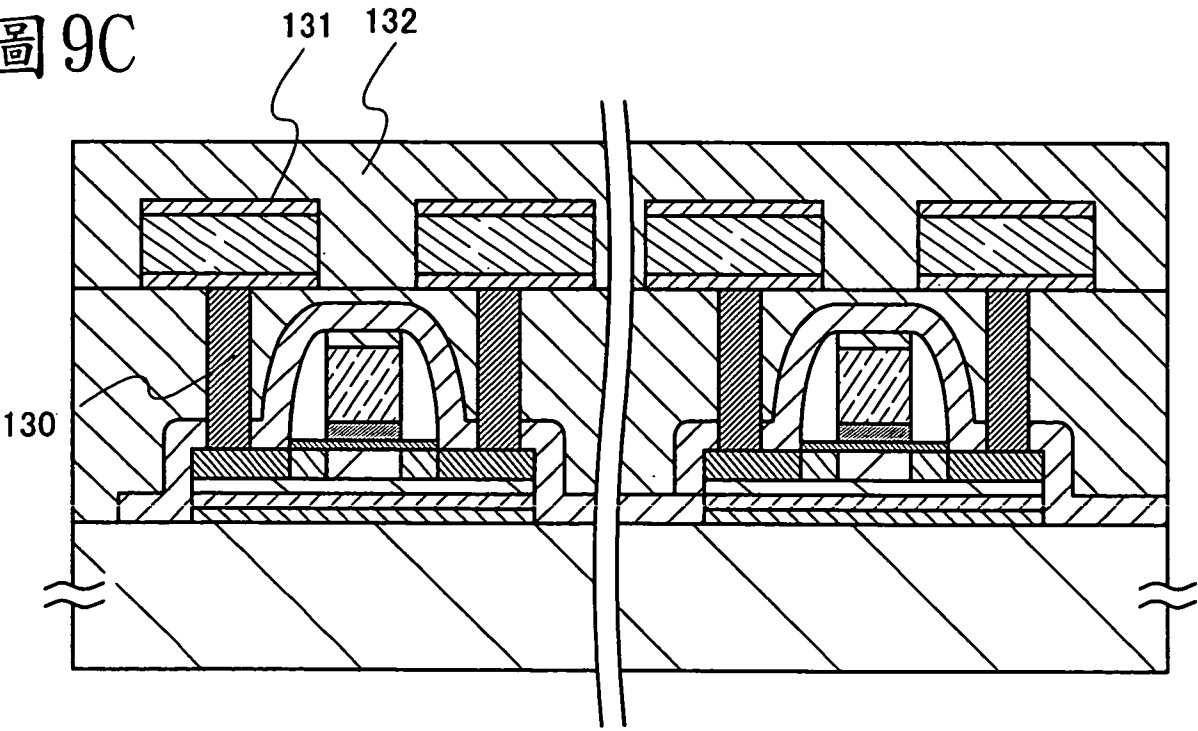


圖 10A

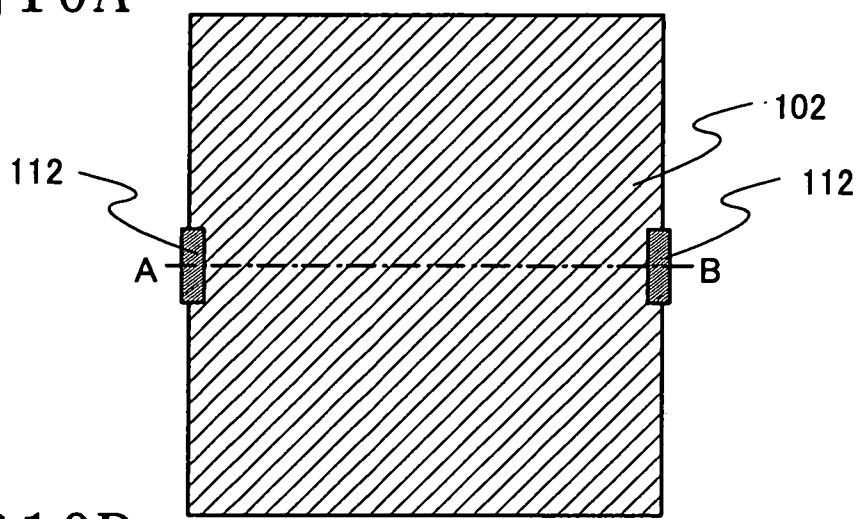


圖 10B

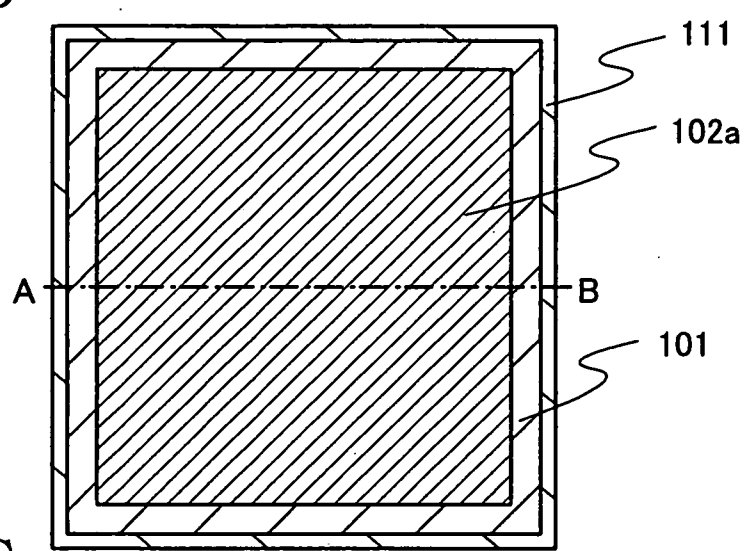


圖 10C

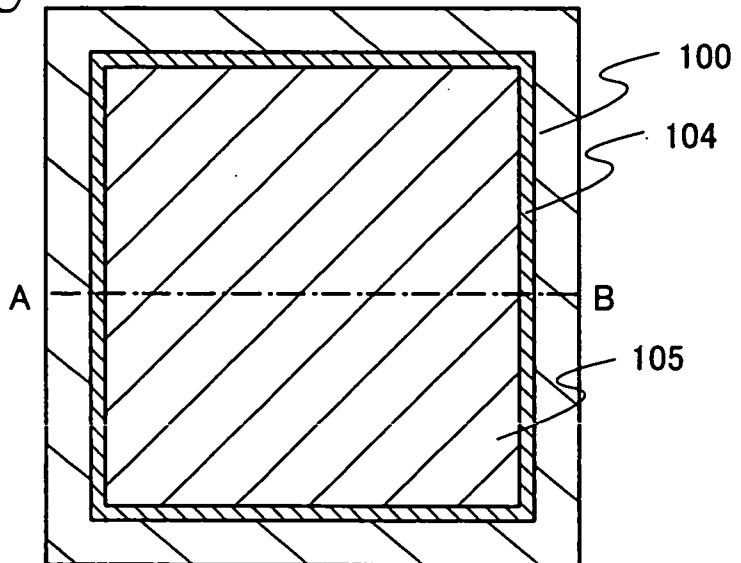


圖 11A

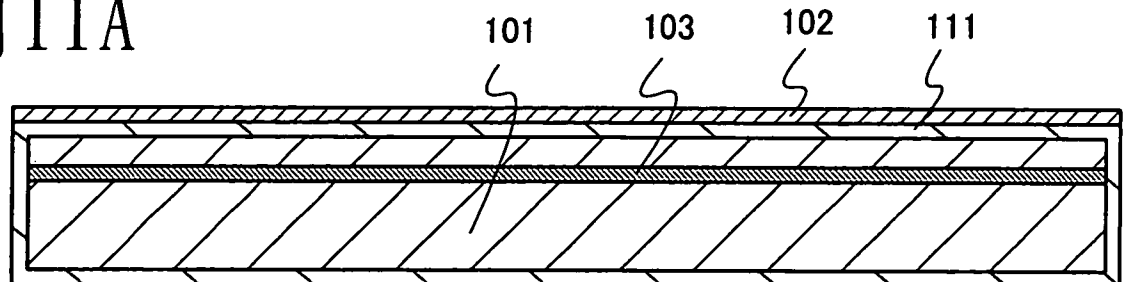


圖 11B

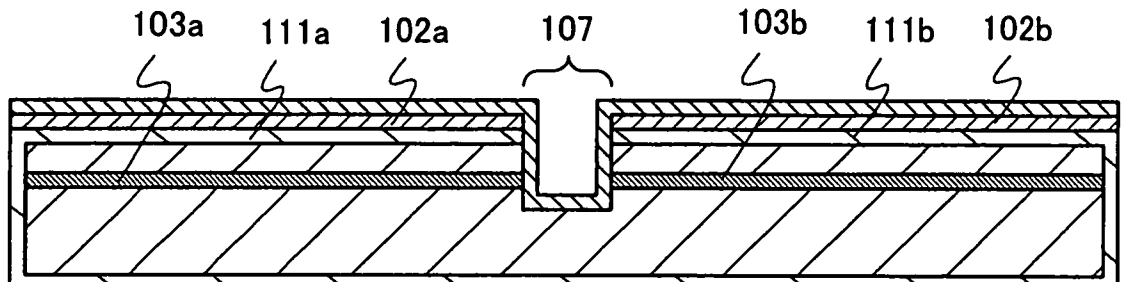


圖 11C

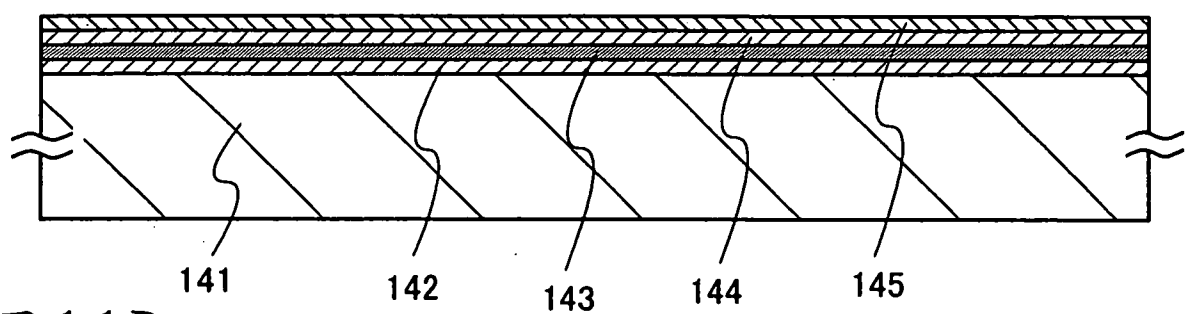


圖 11D

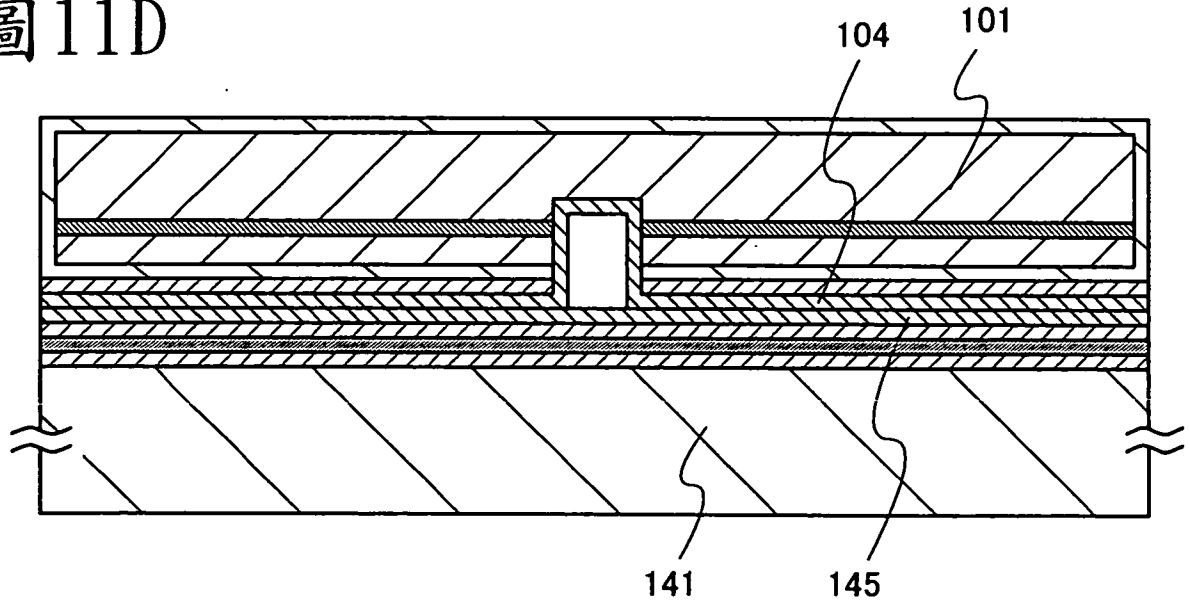


圖 12A

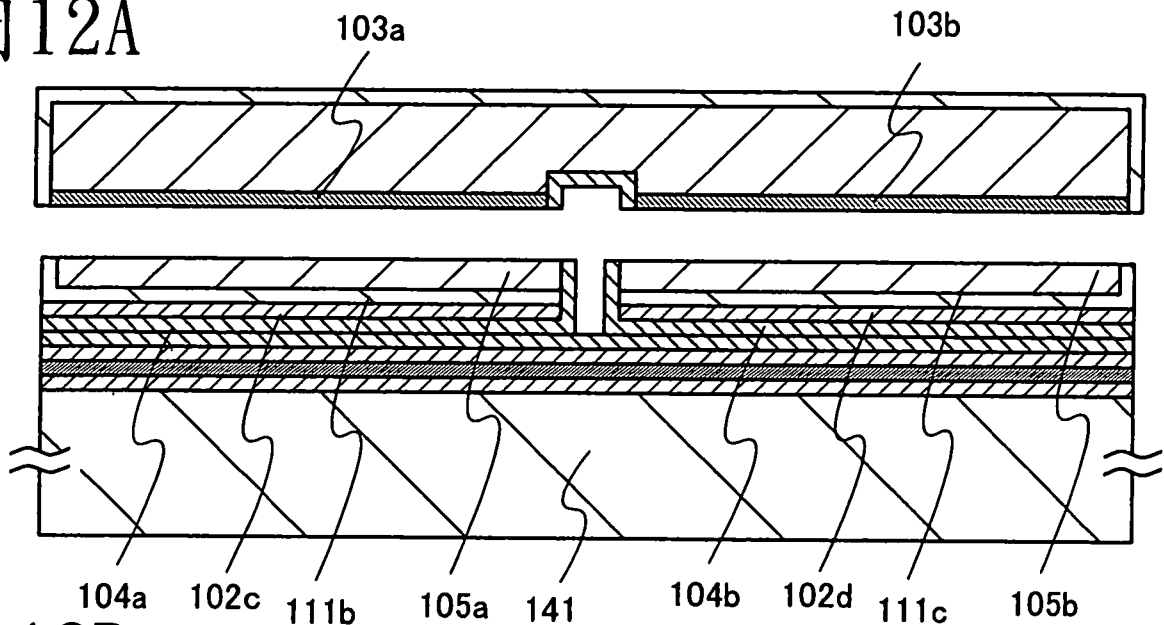


圖 12B

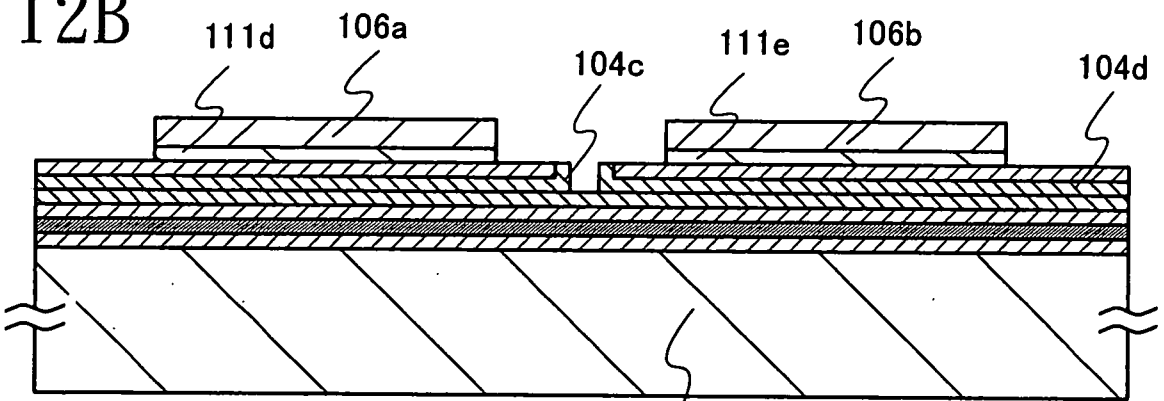


圖 12C

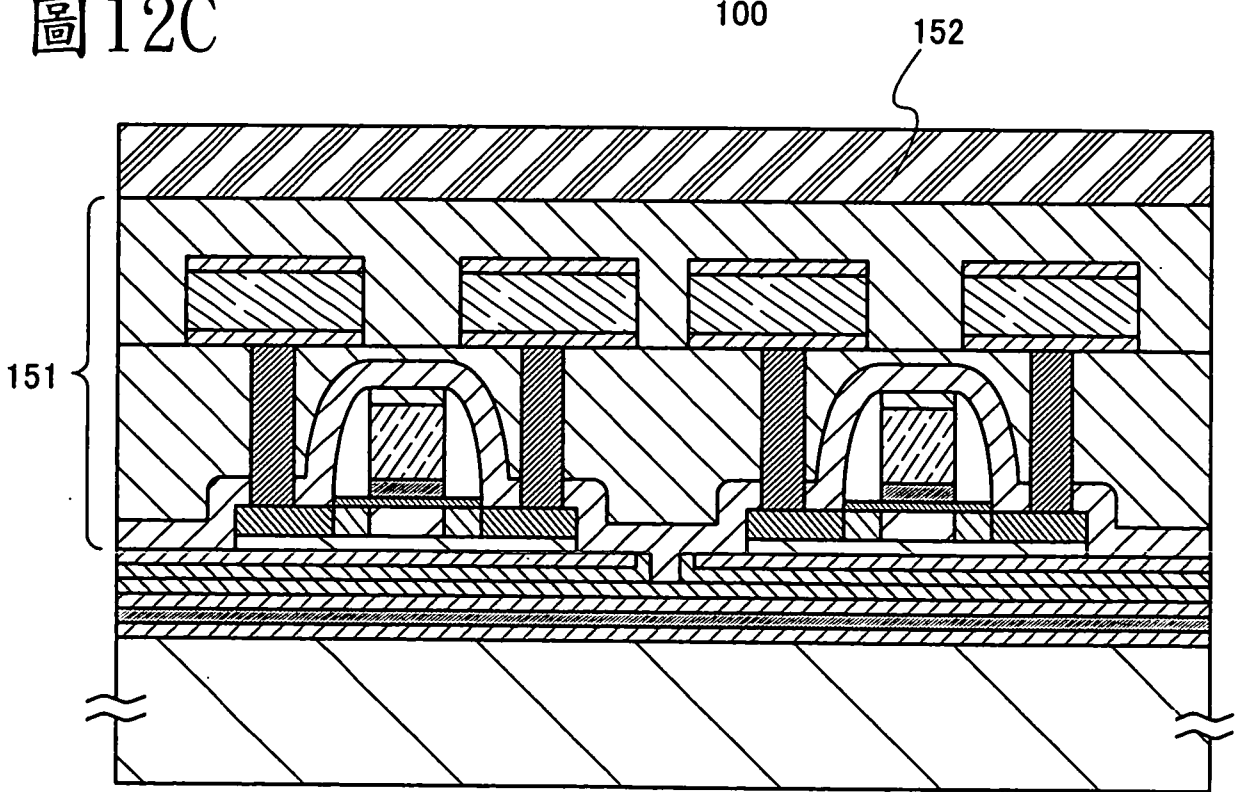


圖 13A

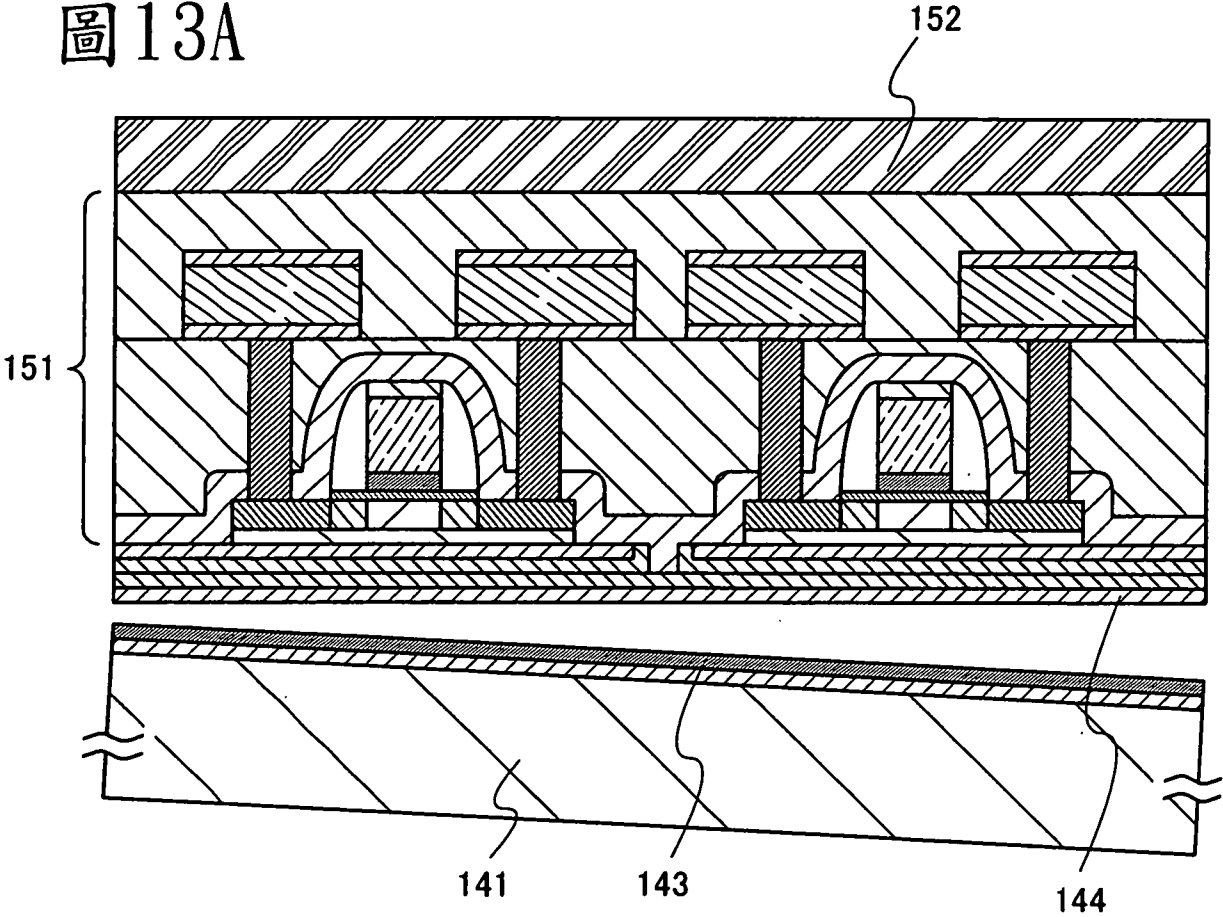


圖 13B

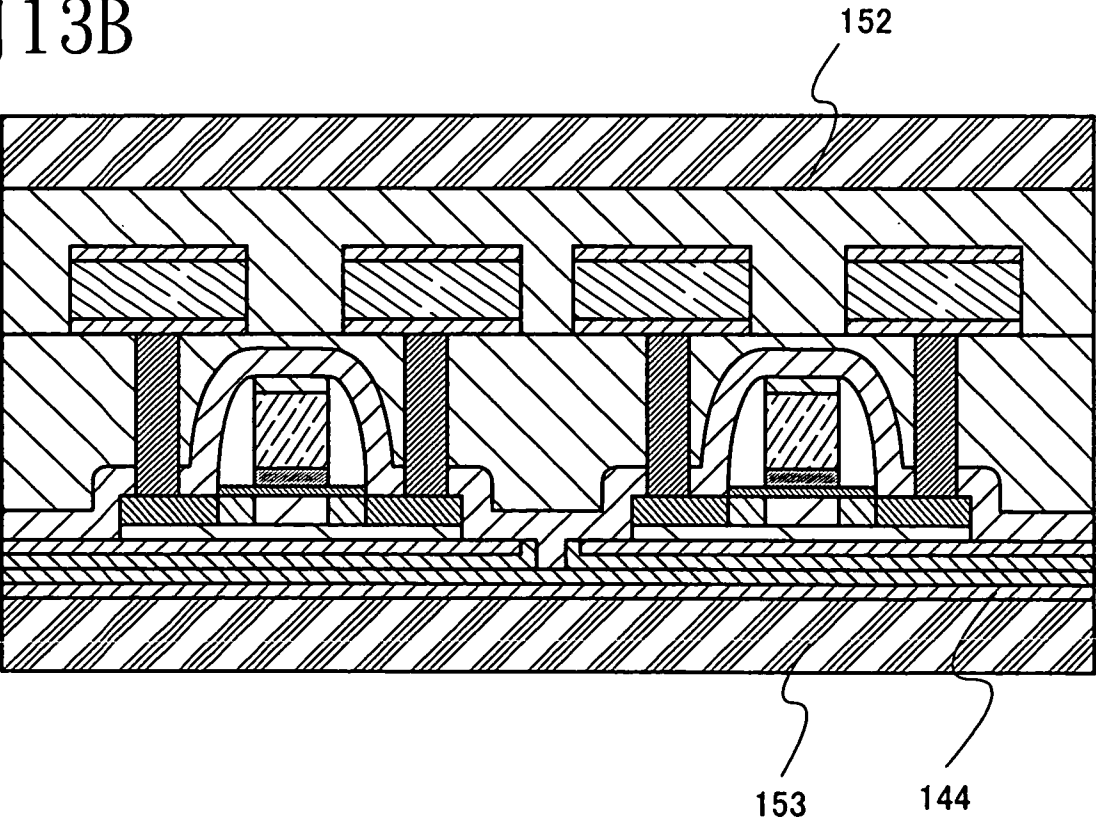


圖 14A

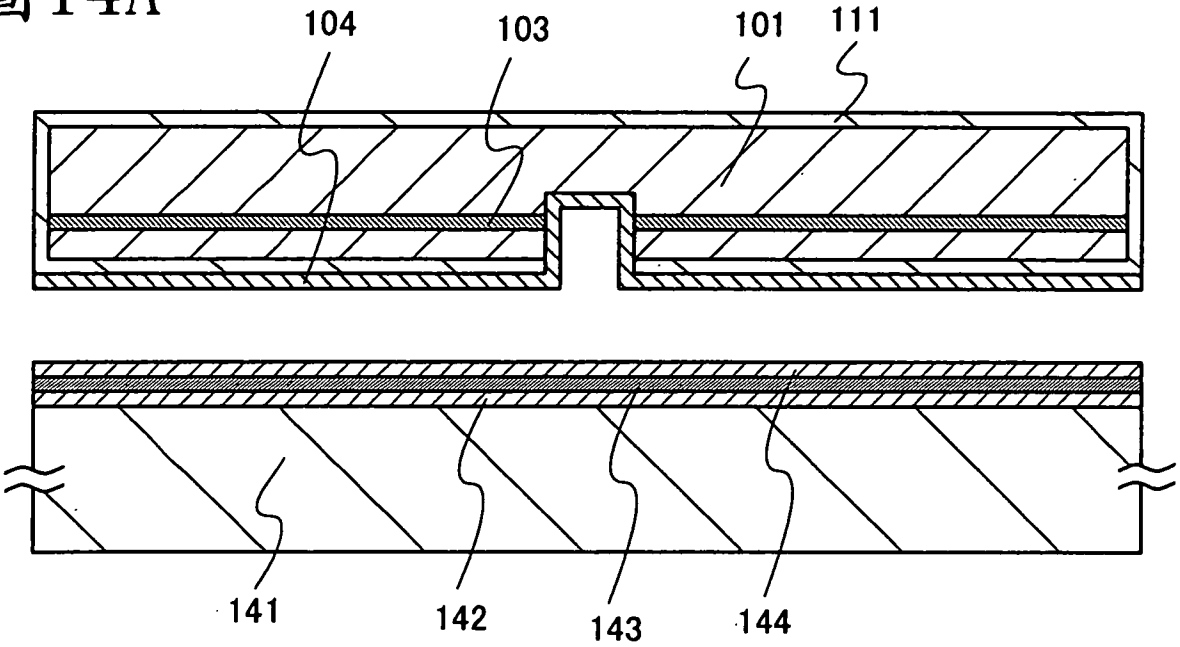


圖 14B

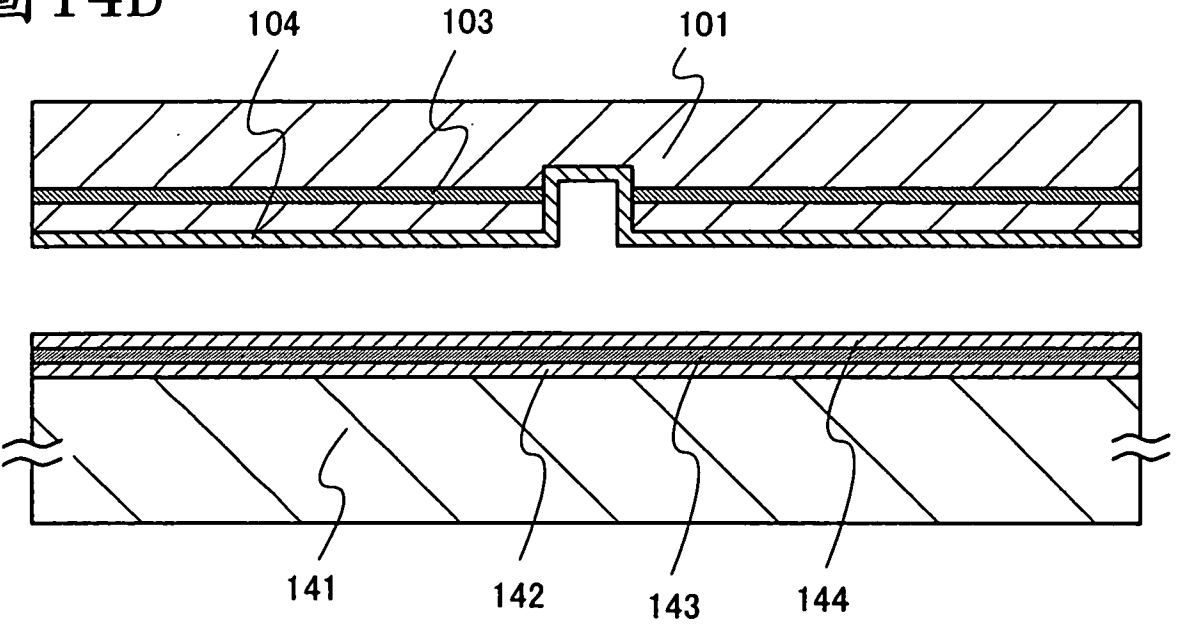


圖15

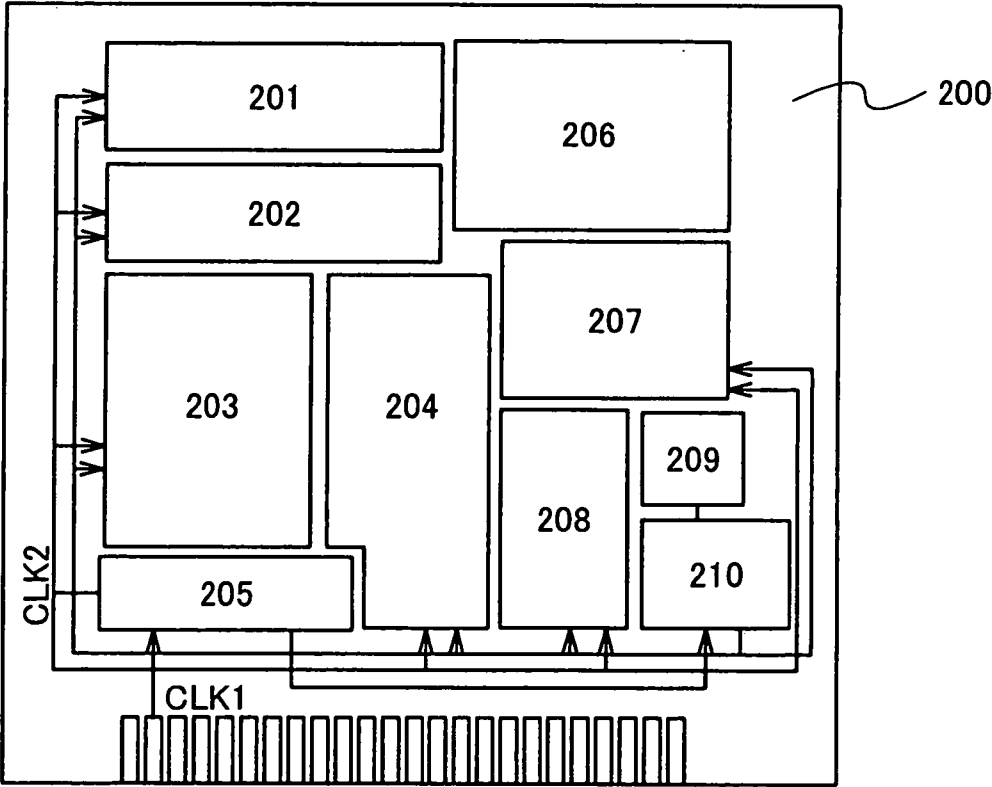


圖 16

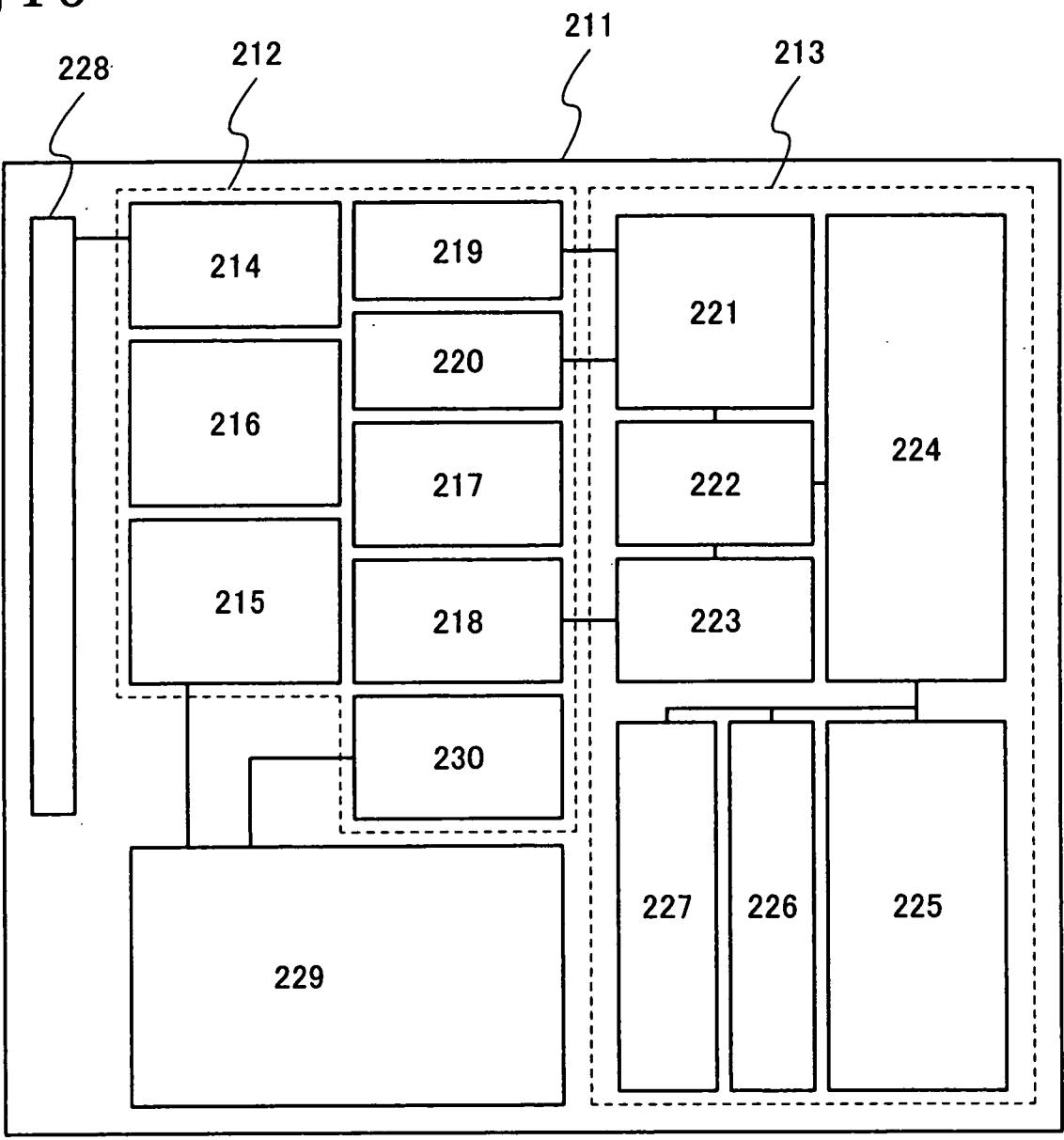


圖 17

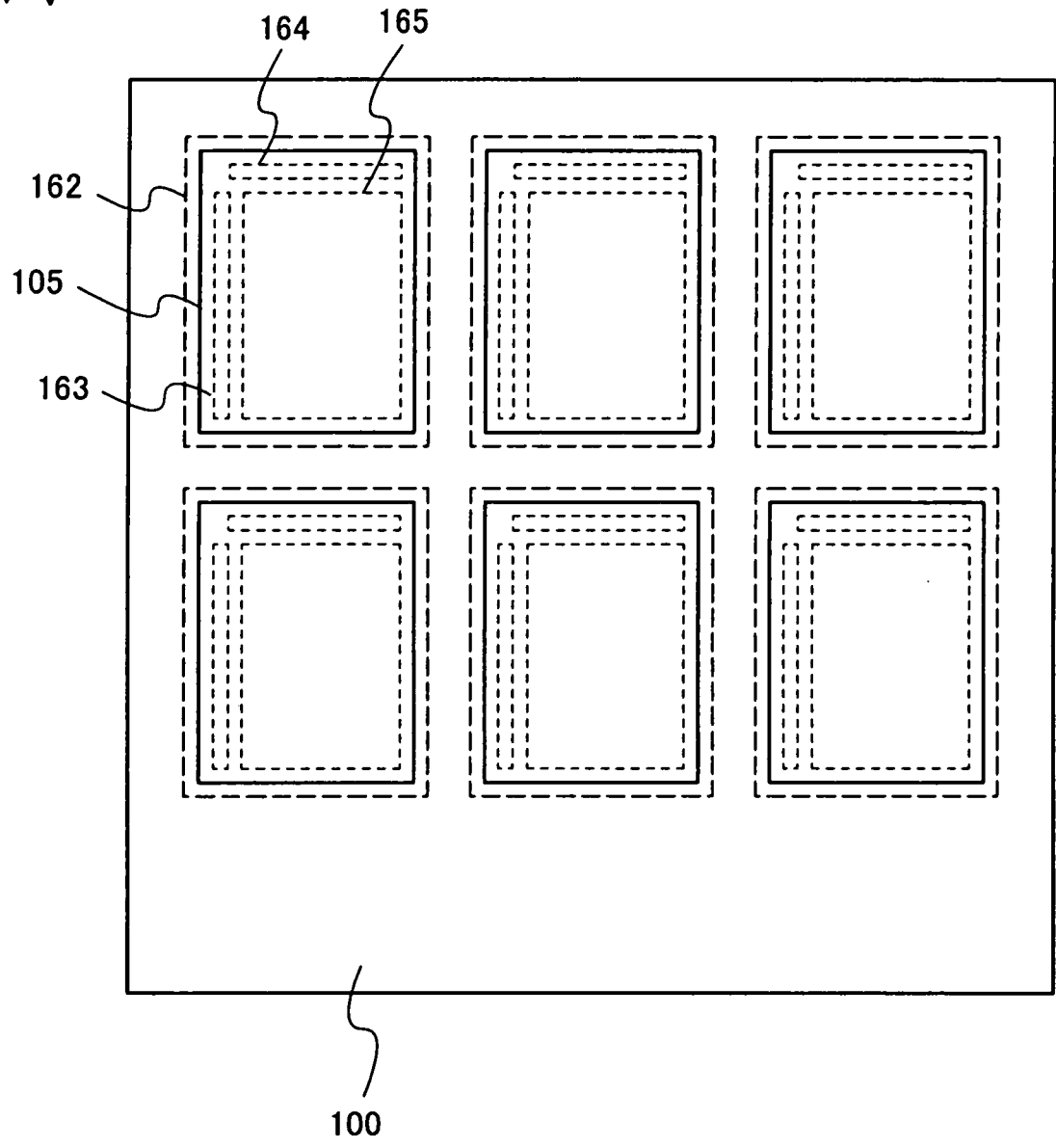


圖 18A

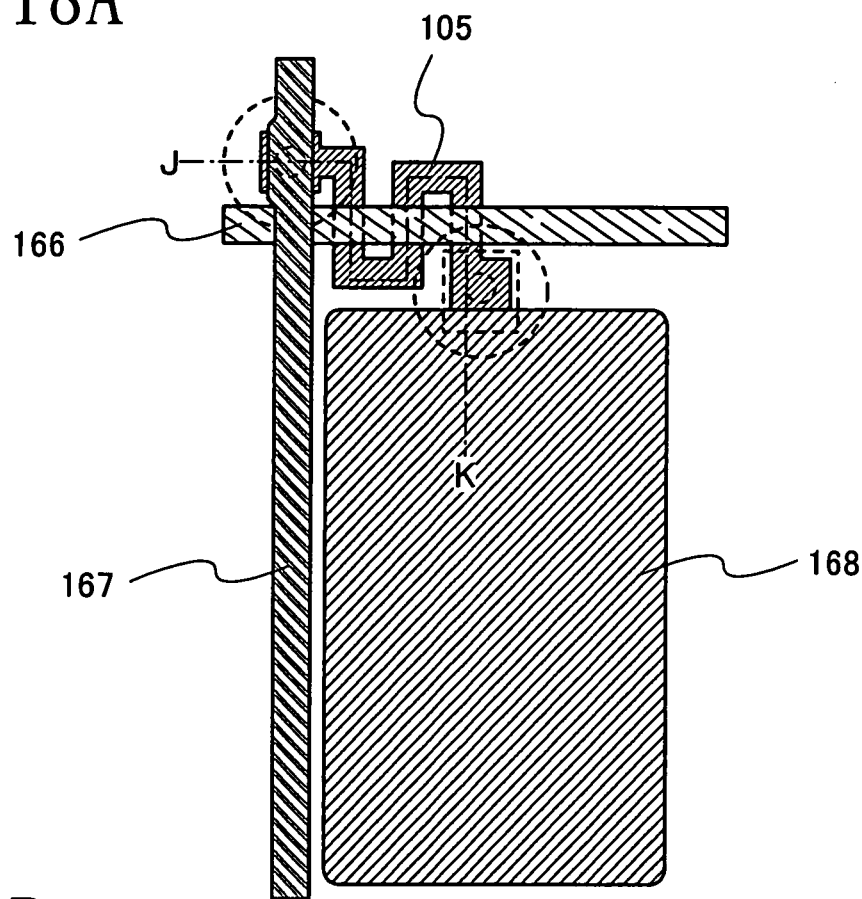


圖 18B

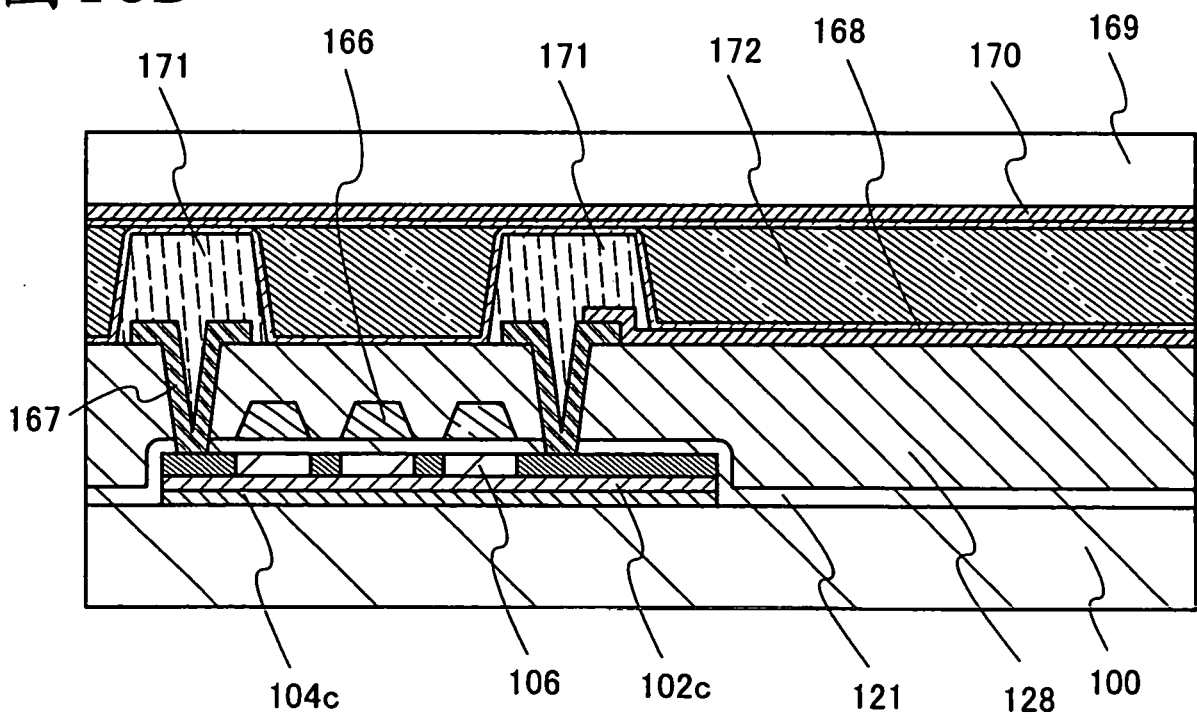


圖 19A

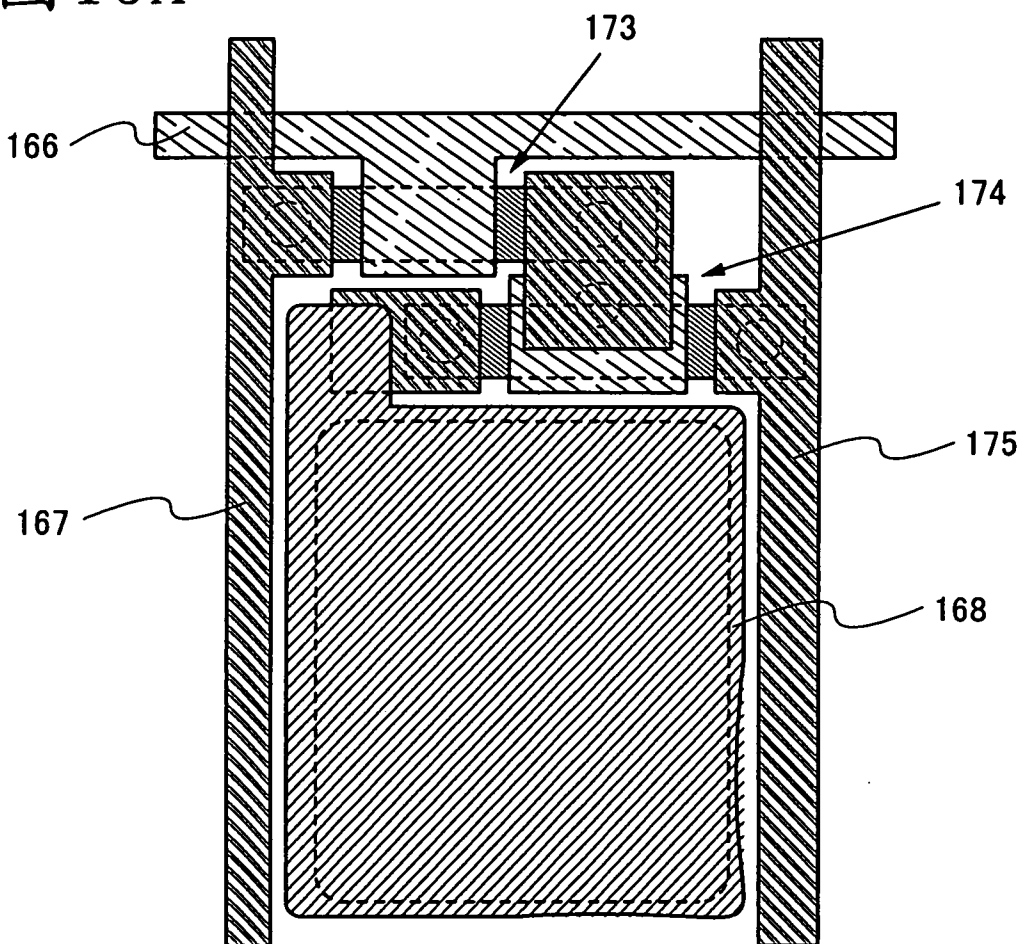


圖 19B

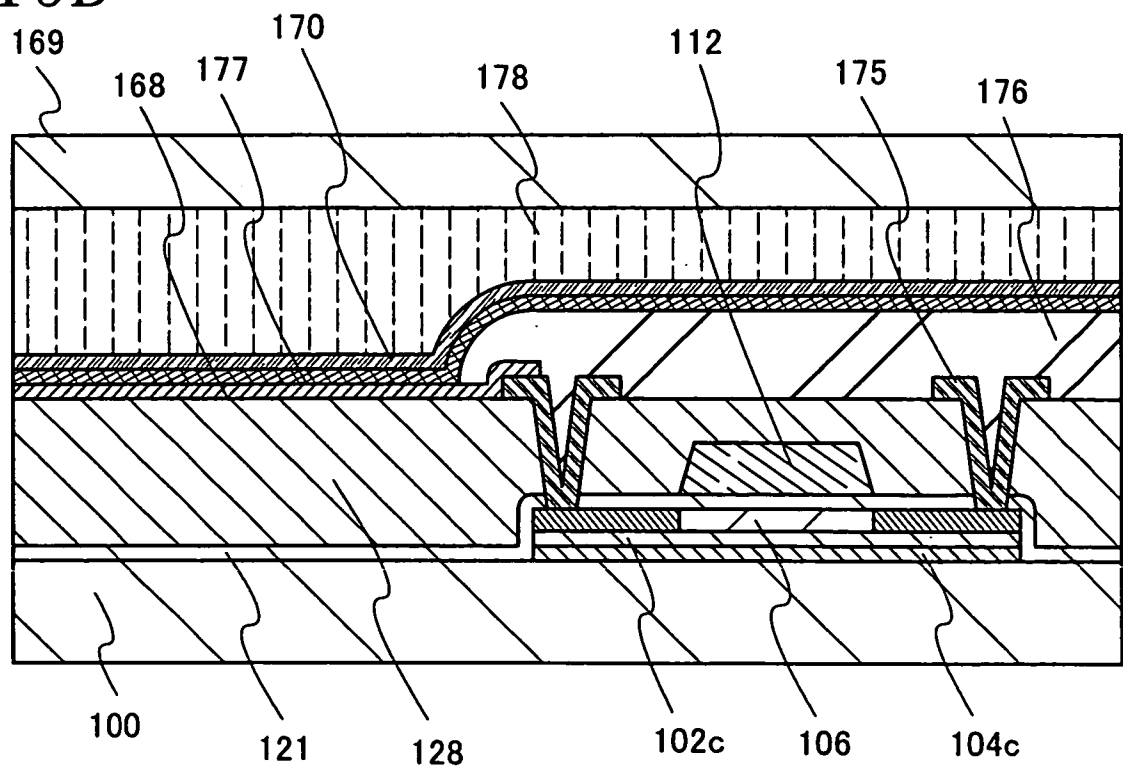


圖 20A

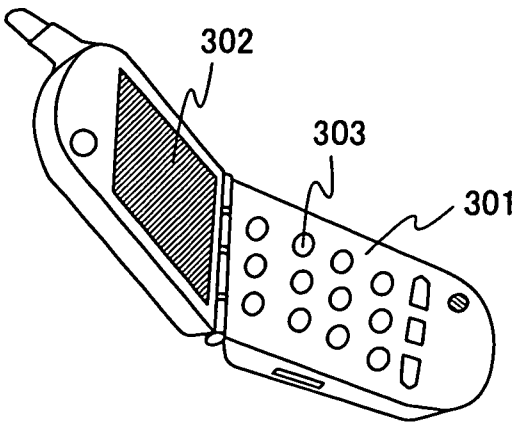


圖 20B

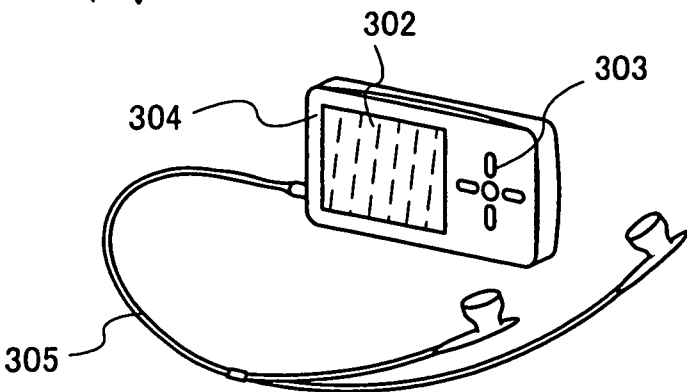


圖 20C

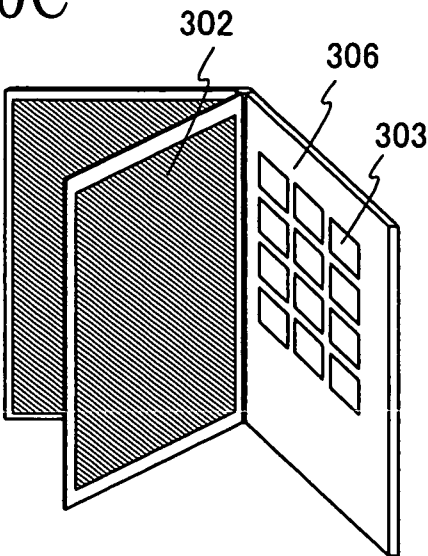


圖 21A

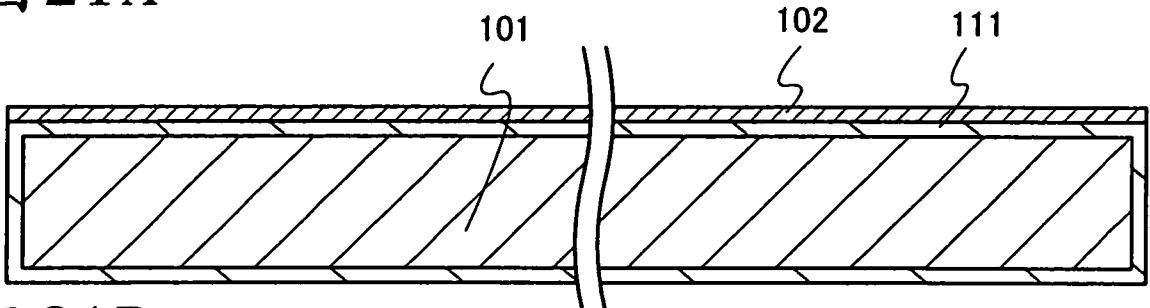


圖 21B

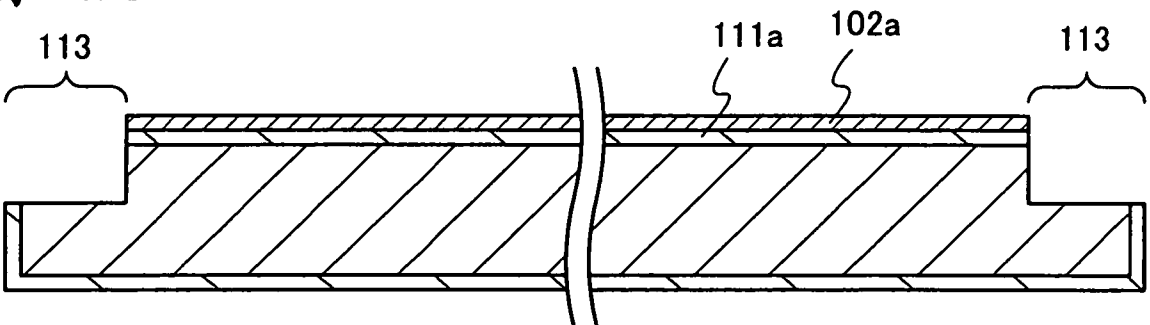


圖 21C

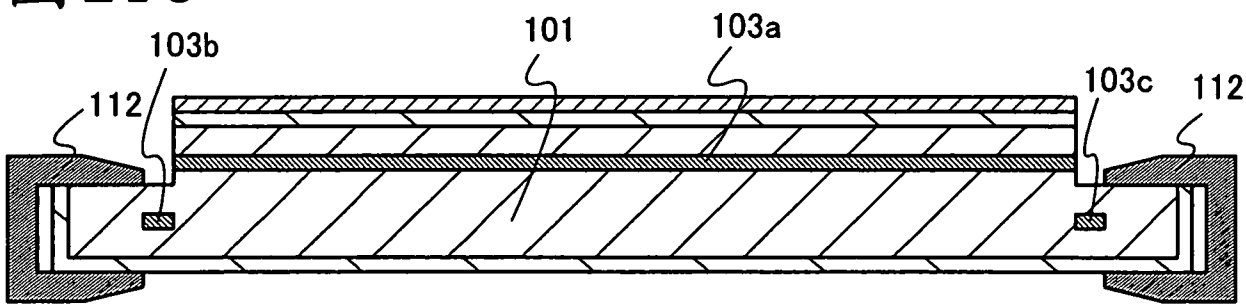


圖 22A

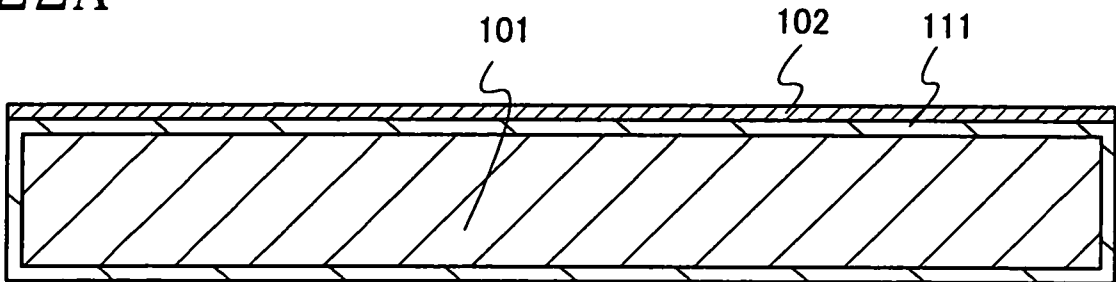


圖 22B

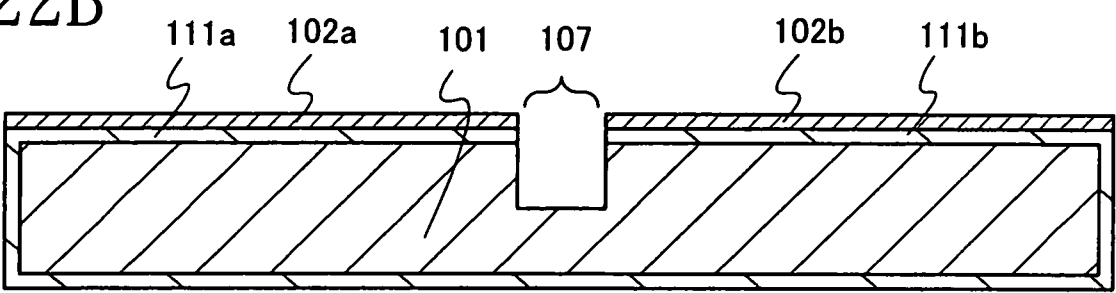


圖 22C

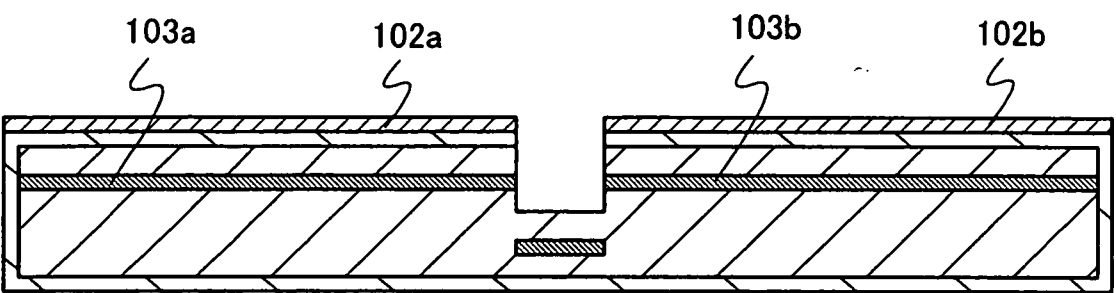


圖 22D

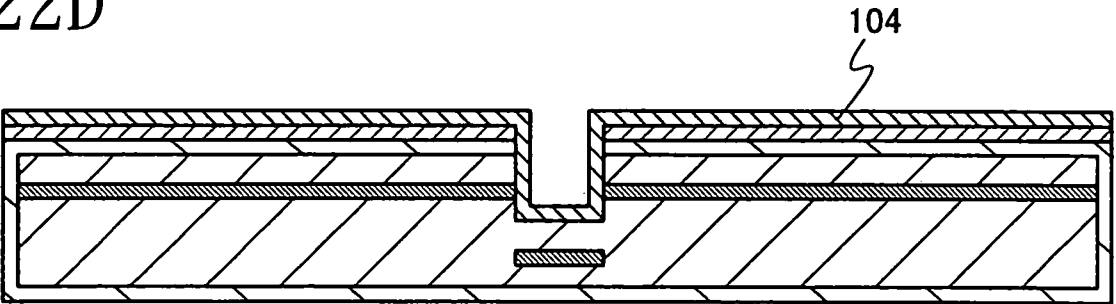


圖23

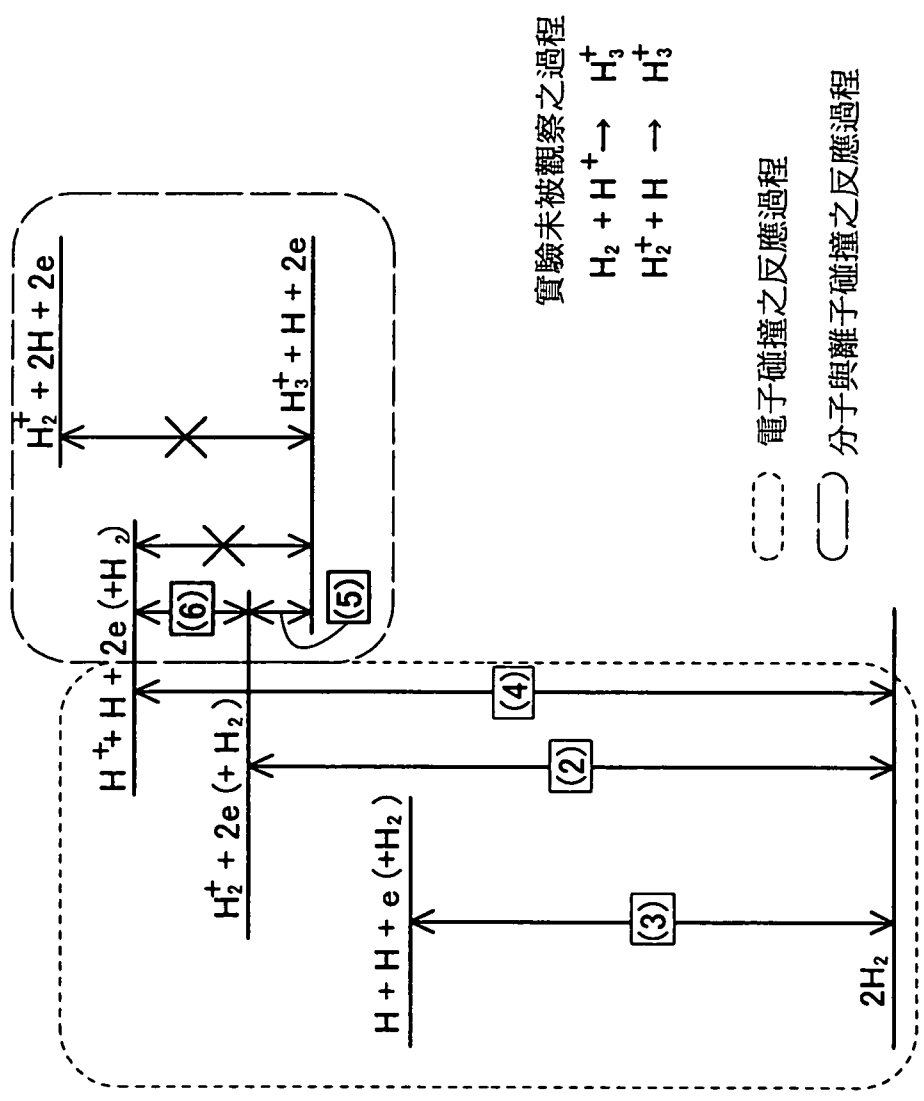


圖 24

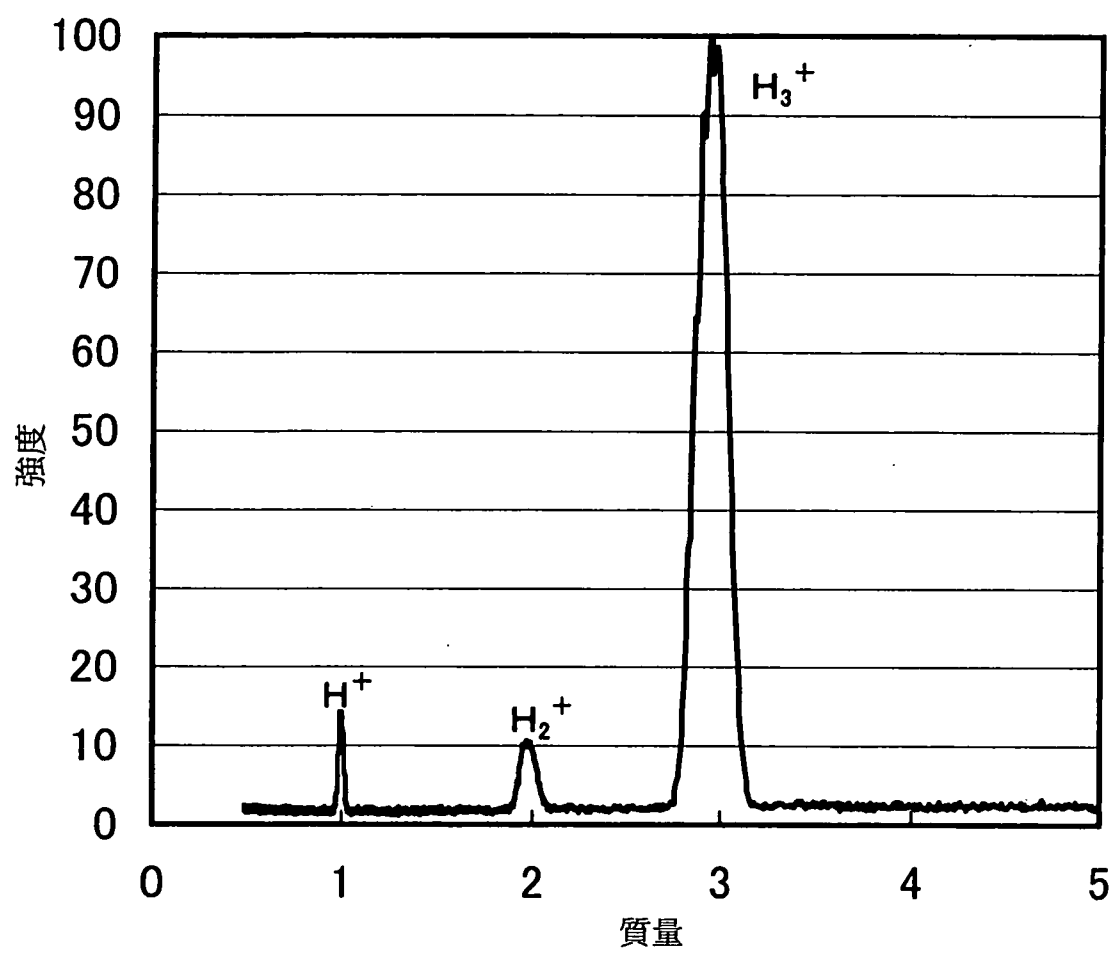
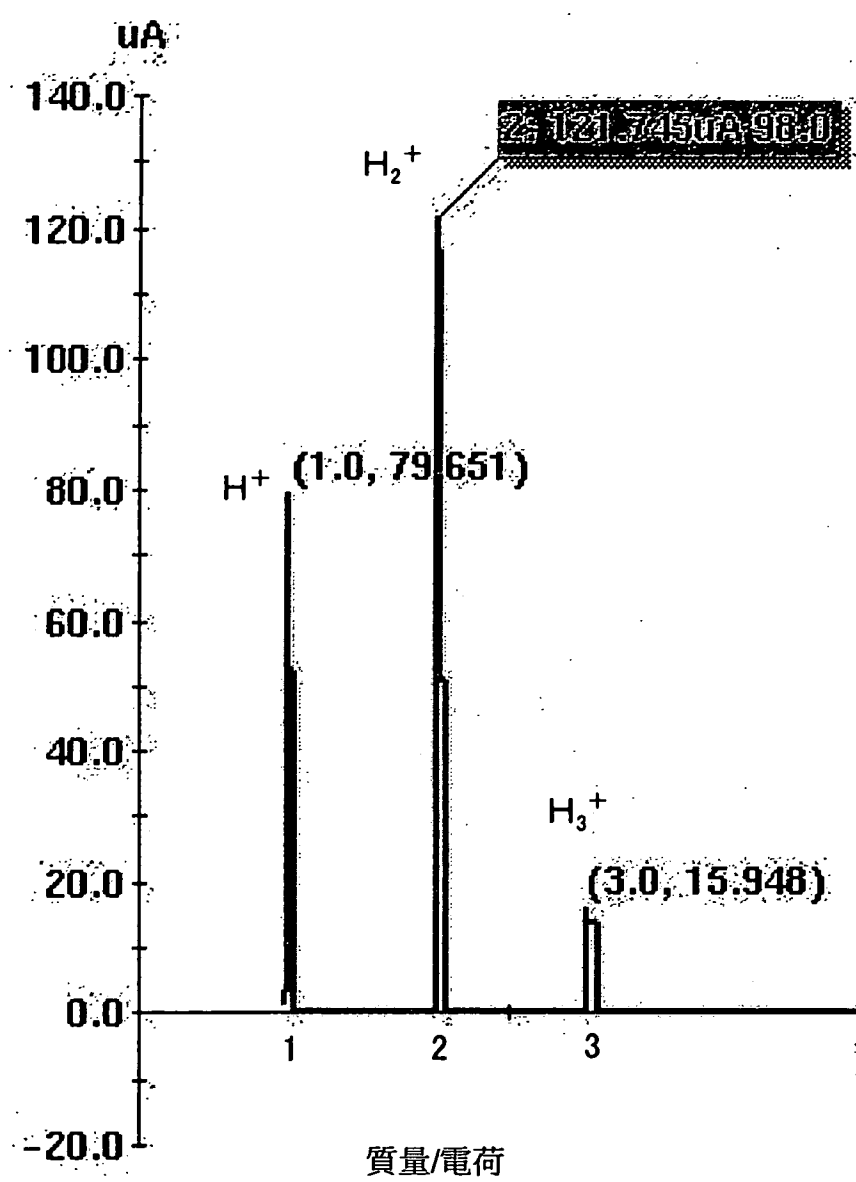


圖 25



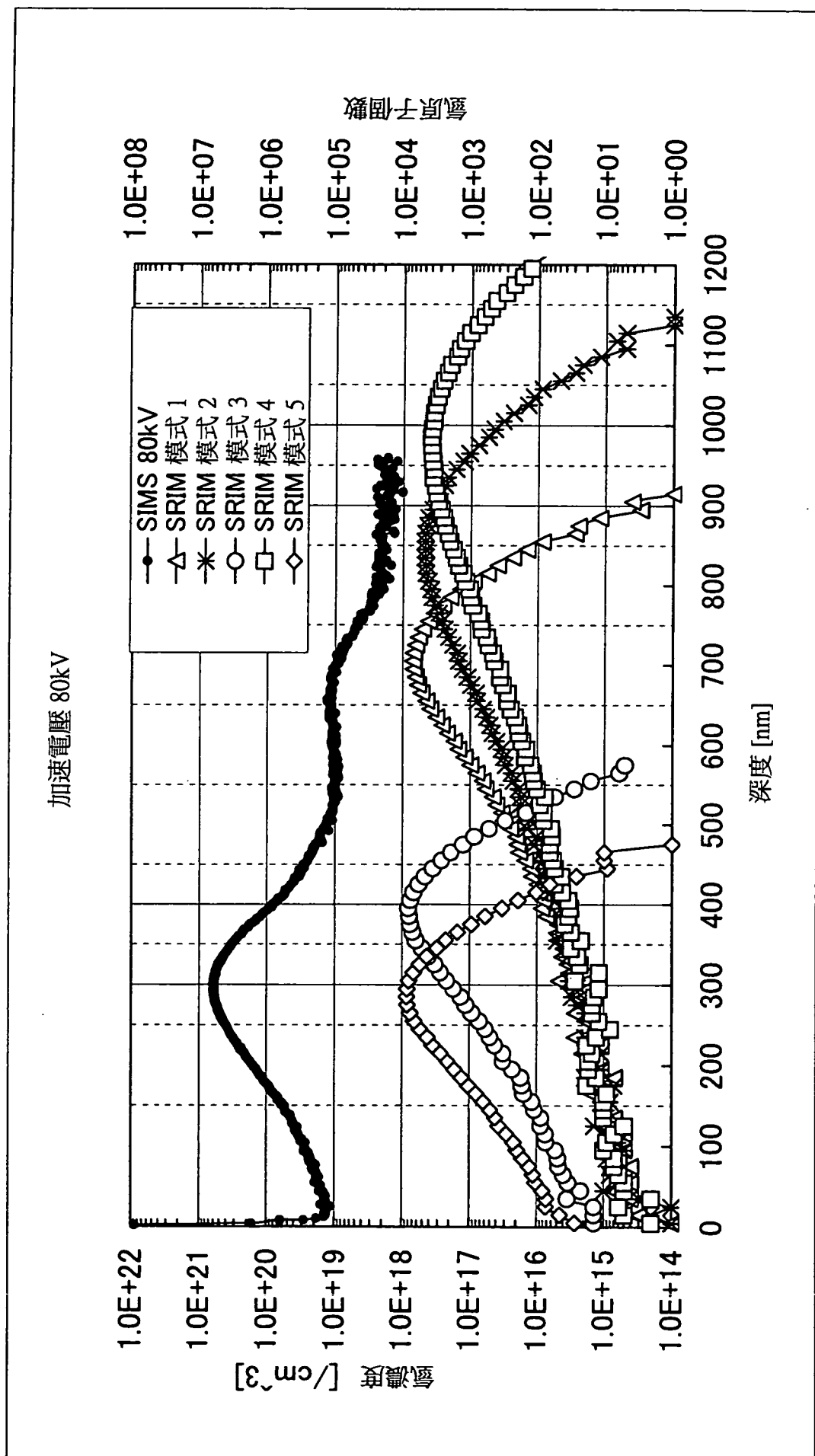


圖27

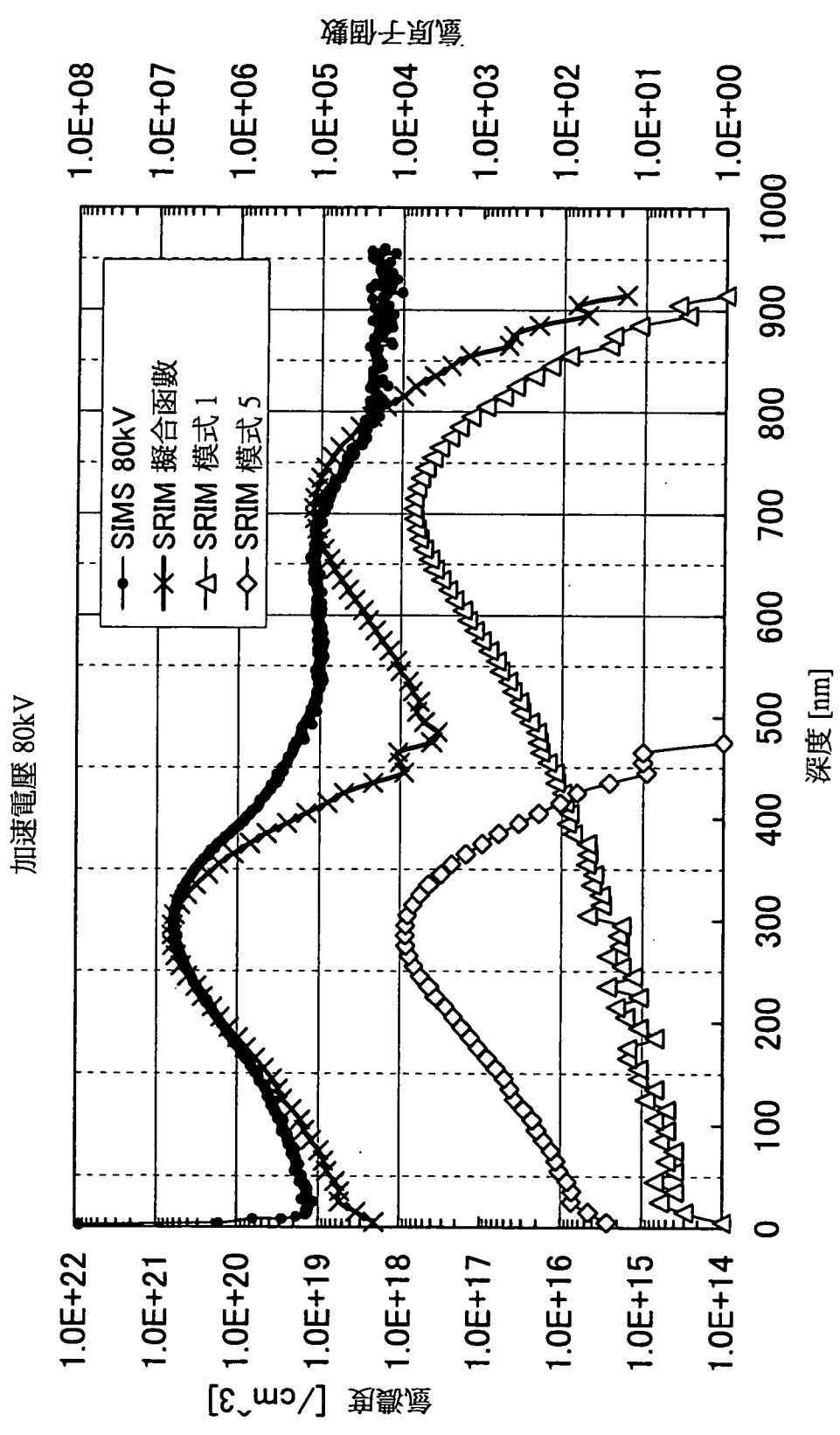


圖28

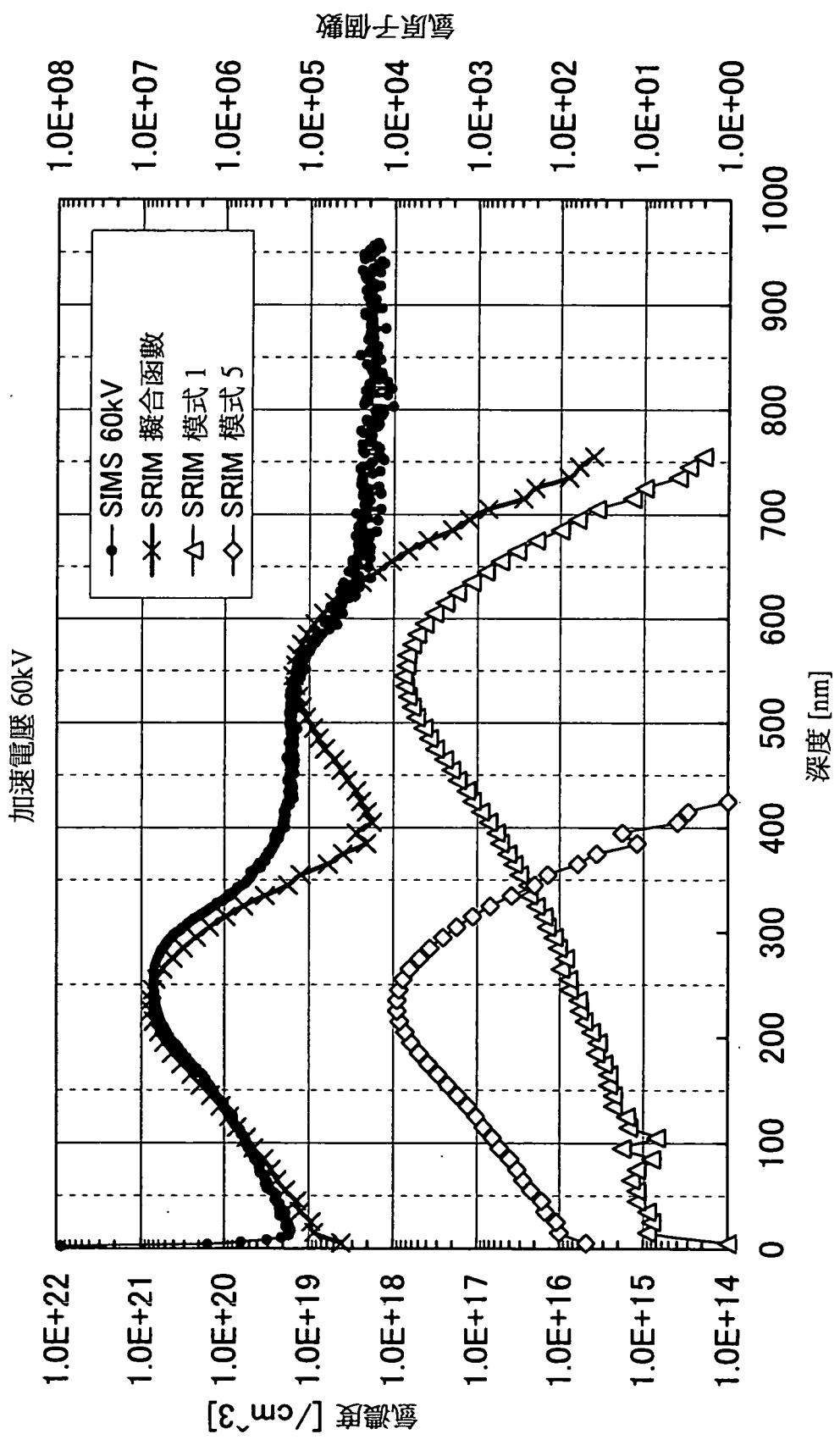


圖29

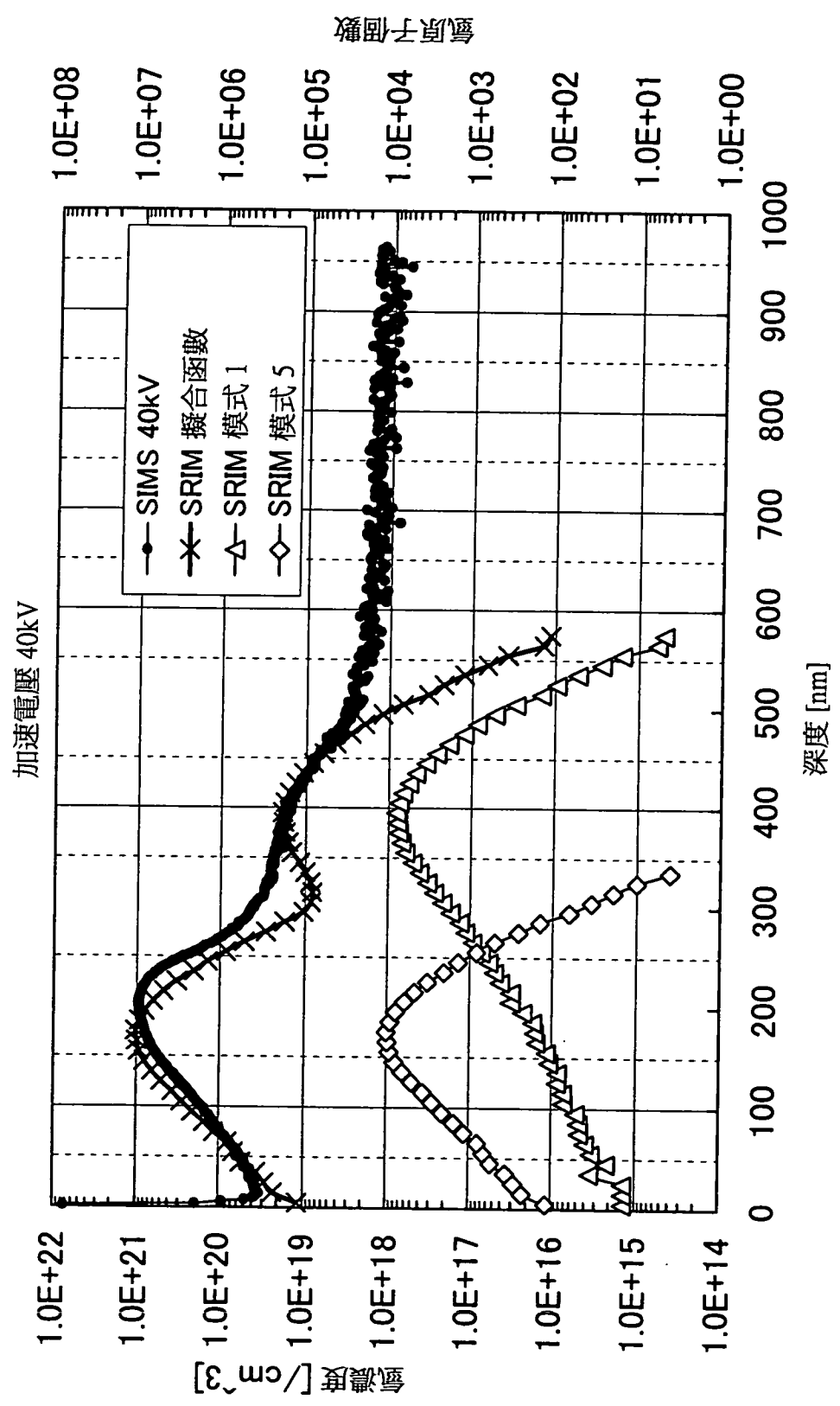


圖 30

| 加速電壓      | H的數量的比率<br>(X : Y) | H <sup>+</sup> 離子個數的比率<br>(X : Y / 3) |
|-----------|--------------------|---------------------------------------|
| 8 0 k e V | 1 : 4 4 . 1        | 1 : 1 4 . 7                           |
| 6 0 k e V | 1 : 4 2 . 5        | 1 : 1 4 . 2                           |
| 4 0 k e V | 1 : 4 3 . 5        | 1 : 1 4 . 5                           |