



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0038165
(43) 공개일자 2010년04월13일

(51) Int. Cl.

H01L 27/12 (2006.01) H01L 21/20 (2006.01)

(21) 출원번호 10-2009-0094040

(22) 출원일자 2009년10월01일

심사청구일자 없음

(30) 우선권주장

JP-P-2008-258290 2008년10월03일 일본(JP)

JP-P-2008-258301 2008년10월03일 일본(JP)

(71) 출원인

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

쉬이치, 타케시

일본 243-0036, 카나가와Ken, 아쓰기시, 하세, 398, 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

고에주카, 쥬니치

일본 243-0036, 카나가와Ken, 아쓰기시, 하세, 398, 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

(뒷면에 계속)

(74) 대리인

장춘

전체 청구항 수 : 총 20 항

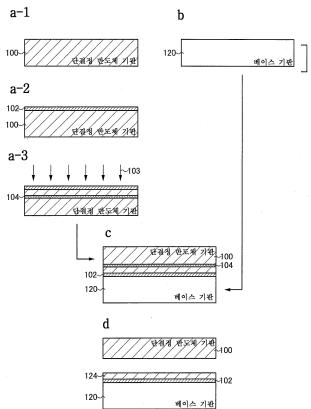
(54) S O I 기판의 제작 방법

(57) 요 약

SOI 기판의 제작 방법에 있어서, 비질량 분리형의 이온 조사 방법을 사용하는 경우라도, 단결정 반도체 기판의 분리를 양호하게 행하고, 분리 후의 단결정 반도체층의 표면의 평탄성을 향상시키는 것을 목적의 하나로 한다. 또는, SOI 기판의 제작 방법에 있어서, 스루풋을 향상시킴과 함께 분리 후의 단결정 반도체층의 표면의 평탄성을 향상시키는 것을 목적의 하나로 한다.

단결정 반도체 기판에 가속된 이온들을 조사함으로써 단결정 반도체 기판 중에 취화 영역(embrittled region)을 형성하는 단계와, 절연층을 사이에 두고 단결정 반도체 기판과 베이스 기판을 서로 접합하는 단계와, 취화 영역에 있어서 단결정 반도체 기판을 분리하고, 베이스 기판 위에 절연층을 사이에 두고 단결정 반도체층을 형성하는 단계를 포함하고, 단결정 반도체 기판으로의 이온들의 조사는, 이온 도핑법을 사용하고 또한 단결정 반도체 기판을 냉각하면서 실시한다.

대 표 도 - 도1



(72) 발명자

오누마, 히데토

일본 243-0036, 카나가와켄, 아쓰기시, 하세, 398,
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

야마자키, 슈페이

일본 243-0036, 카나가와켄, 아쓰기시, 하세, 398,
가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

특허청구의 범위

청구항 1

단결정 반도체 기판에 가속된 이온들을 조사함으로써 상기 단결정 반도체 기판 중에 취화 영역(embrittled region)을 형성하는 단계와,

절연층을 개재하여 상기 단결정 반도체 기판과 베이스 기판을 서로 접합하는 단계와,

상기 취화 영역에 있어서 상기 단결정 반도체 기판을 분리하고, 상기 베이스 기판 위에 상기 절연층을 개재하여 단결정 반도체층을 형성하는 단계를 포함하고,

상기 단결정 반도체 기판을 냉각하면서 상기 단결정 반도체 기판으로의 상기 이온들의 조사는 이온 도핑법을 사용하는, SOI 기판의 제작 방법.

청구항 2

단결정 반도체 기판에 가속된 이온들을 조사함으로써 상기 단결정 반도체 기판 중에 취화 영역을 형성하는 단계 와,

절연층을 사이에 두고 상기 단결정 반도체 기판과 베이스 기판을 서로 접합하는 단계와,

상기 취화 영역에 있어서 상기 단결정 반도체 기판을 분리하고, 상기 베이스 기판 위에 상기 절연층을 사이에 두고 단결정 반도체층을 형성하는 단계를 포함하고,

상기 단결정 반도체 기판을 요동시킴과 함께 냉각하면서 상기 단결정 반도체 기판으로의 상기 이온들의 조사는 이온 도핑법을 사용하는, SOI 기판의 제작 방법.

청구항 3

제 2 항에 있어서,

상기 단결정 반도체 기판이 보유되는 기판 지지대를 이동시킴으로써 상기 단결정 반도체 기판의 요동을 행하는, SOI 기판의 제작 방법.

청구항 4

제 1 항에 있어서,

상기 단결정 반도체 기판이 보유되는 기판 지지대를 냉각함으로써 상기 단결정 반도체 기판이 냉각되는, SOI 기판의 제작 방법.

청구항 5

제 2 항에 있어서,

상기 단결정 반도체 기판이 보유되는 기판 지지대를 냉각함으로써 상기 단결정 반도체 기판이 냉각되는, SOI 기판의 제작 방법.

청구항 6

제 4 항에 있어서,

상기 단결정 반도체 기판은 정전 척(electrostatic chuck)을 사용하여 보유되는, SOI 기판의 제작 방법.

청구항 7

제 5 항에 있어서,

상기 단결정 반도체 기판은 정전 척을 사용하여 보유되는, SOI 기판의 제작 방법.

청구항 8

단결정 반도체 기판에 가속된 이온들을 조사함으로써 상기 단결정 반도체 기판 중에 취화 영역을 형성하는 단계

와,

절연층을 사이에 두고 상기 단결정 반도체 기판과 베이스 기판을 서로 접합하는 단계와,

상기 취화 영역에 있어서 상기 단결정 반도체 기판을 분리하고, 상기 베이스 기판 위에 상기 절연층을 사이에 두고 단결정 반도체층을 형성하는 단계를 포함하고,

상기 단결정 반도체 기판으로의 상기 이온들의 조사는 이온 도핑법을 사용하여 복수 단계들을 통해서 행하는, SOI 기판의 제작 방법.

청구항 9

제 8 항에 있어서,

상기 단결정 반도체 기판에 복수 단계들을 통해서 상기 이온들을 조사할 때에, 제 n 회째(n은 1 이상의 자연 수)의 조사 후로서 제 n+1 회째의 조사 전에, 상기 단결정 반도체 기판의 온도를 낮추는, SOI 기판의 제작 방법.

청구항 10

제 8 항에 있어서,

상기 단결정 반도체 기판을 냉각하면서 상기 단결정 반도체 기판에 이온들을 조사하는, SOI 기판의 제작 방법.

청구항 11

제 8 항에 있어서,

상기 단결정 반도체 기판을 요동시키면서 상기 단결정 반도체 기판에 상기 이온들을 복수 단계들을 통해서 조사하는, SOI 기판의 제작 방법.

청구항 12

제 1 항에 있어서,

상기 이온들로서, 수소 원소로 이루어지는 이온들을 사용하고, 상기 이온들의 총수에 대하여 H_3^+ 이온들의 비율은 70% 이상인, SOI 기판의 제작 방법.

청구항 13

제 2 항에 있어서,

상기 이온들로서, 수소 원소로 이루어지는 이온들을 사용하고, 상기 이온들의 총수에 대하여 H_3^+ 이온들의 비율은 70% 이상인, SOI 기판의 제작 방법.

청구항 14

제 8 항에 있어서,

상기 이온들로서, 수소 원소로 이루어지는 이온들을 사용하고, 상기 이온들의 총수에 대하여 H_3^+ 이온들의 비율은 70% 이상인, SOI 기판의 제작 방법.

청구항 15

제 1 항에 있어서,

상기 이온들을 조사할 때의 상기 단결정 반도체 기판의 온도는 200°C 이하인, SOI 기판의 제작 방법.

청구항 16

제 2 항에 있어서,

상기 이온들을 조사할 때의 상기 단결정 반도체 기판의 온도는 200°C 이하인, SOI 기판의 제작 방법.

청구항 17

제 8 항에 있어서,

상기 이온들을 조사할 때의 상기 단결정 반도체 기판의 온도는 200°C 이하인, SOI 기판의 제작 방법.

청구항 18

제 1 항에 있어서,

상기 베이스 기판으로서 유리 기판을 사용하는, SOI 기판의 제작 방법.

청구항 19

제 2 항에 있어서,

상기 베이스 기판으로서 유리 기판을 사용하는, SOI 기판의 제작 방법.

청구항 20

제 8 항에 있어서,

상기 베이스 기판으로서 유리 기판을 사용하는, SOI 기판의 제작 방법.

명세서

발명의 상세한 설명

기술 분야

[0001]

본 발명은 절연막을 사이에 두고 반도체층이 형성된 기판의 제작 방법에 관한 것으로, 특히 SOI(Silicon on Insulator) 기판의 제작 방법에 관한 것이다. 또한, 절연막을 사이에 두고 반도체층이 형성된 기판을 사용한 반도체 장치의 제작 방법에 관한 것이다.

배경 기술

[0002]

최근, 벌크형의 실리콘 웨이퍼 대신에, 절연 표면에 얇은 단결정 반도체층이 존재하는 SOI(Silicon on Insulator) 기판을 사용한 집적 회로가 개발되고 있다. SOI 기판을 사용함으로써, 트랜지스터의 드레인과 기판 간에 있어서의 기생 용량이 저감되기 때문에, SOI 기판은 반도체 집적 회로의 성능을 향상시키는 것으로서 주목을 모으고 있다.

[0003]

SOI 기판을 제조하는 방법의 하나로, 수소 이온 주입 박리법이 알려져 있다(예를 들어, 특허문현 1 참조). 수소 이온 주입 박리법에 의한 SOI 기판의 제작 방법의 개요를 이하에 설명한다. 먼저, 실리콘 웨이퍼에 이온 주입법을 사용하여 수소 이온들을 주입함으로써 표면으로부터 소정의 깊이에 미소 기포층을 형성한다. 그 다음에, 산화 실리콘막을 사이에 두고, 수소 이온들을 주입한 실리콘 웨이퍼를 다른 실리콘 웨이퍼에 접합시킨다. 그 후, 열처리를 행함으로써, 미소 기포층이 벽개면이 되고, 수소 이온들이 주입된 실리콘 웨이퍼의 일부가 미소 기포층을 경계로 박막형으로 분리하고, 접합시킨 다른 실리콘 웨이퍼 위에 단결정 실리콘막을 형성할 수 있다.

[0004]

또, 이러한 수소 이온 주입 박리법을 사용하여 단결정 실리콘층을 유리로 이루어지는 베이스 기판 위에 형성하는 방법이 제안되어 있다(예를 들어, 특허문현 2 참조). 유리 기판은 실리콘 웨이퍼보다도 대면적화가 용이하고, 저렴하기 때문에, 유리 기판을 베이스 기판으로서 사용함으로써, 대면적이며 저렴한 SOI 기판을 제작할 수 있게 된다.

[0005]

또, SOI 기판의 대면적화가 진행함에 따라서, 생산성의 향상이 중요한 과제가 된다. SOI 기판의 제조에 있어서는, 사용하는 단결정 실리콘 기판 자체가 고가이므로, 생산성의 향상 등에 의한 가격 저감은 중요해진다.

- [0006] [선행 기술문헌]
- [0007] [특허문헌]
- [0008] [특허문헌 1] 일본 공개특허공보 2000-124092호
- [0009] [특허문헌 2] 일본 공개특허공보 2004-87606호

발명의 내용

해결 하고자하는 과제

- [0010] 그러나, 상기의 수소 이온 주입 박리법에서는, 원료 가스로부터 생성되는 이온들을 질량 분리하여 실리콘 웨이퍼에 조사하는 질량 분리형의 이온 조사 방법(이온 주입법)을 사용하고 있기 때문에, 실리콘 웨이퍼에 조사하는 이온들의 조사 범위가 좁고 처리 시간의 단축화가 곤란해진다. 특히, 실리콘 웨이퍼가 대형화됨에 따라서 처리 시간의 문제가 현저해진다. 따라서, 스루풋을 향상시키기 위해서는, 원료 가스로부터 생성되는 이온들을 질량 분리하지 않고 실리콘 웨이퍼에 조사하는 비질량 분리형의 이온 조사 방법(이온 도핑법)을 사용하는 것이 유효하게 된다.
- [0011] 한편으로, 비질량 분리형의 이온 조사 방법을 사용하는 경우에는, 질량 분리형의 이온 조사 방법을 사용하는 경우와 비교하여 스루풋은 현저하게 향상하지만, 기판의 넓은 면적에 한번에 이온들을 조사할 수 있기 때문에, 이온들의 조사에 수반하는 온도 상승이 이온 주입법을 사용하는 경우보다 커져 버리는 문제가 있다. 이러한 기판의 온도 상승은, 기판 중에 있어서, 첨가된 이온들에 기인하는 원소의 열 확산을 촉진시켜, 이온들의 깊이 방향의 분포를 넓히는 요인이 된다. 또한, 기판의 온도 상승은, 기판 중에 존재하는 첨가된 이온들에 기인하는 원소의 이탈을 촉진시켜 버린다.
- [0012] 또, 이온 도핑 장치는, 피처리물을 배치하는 챔버, 원하는 이온들을 발생시키는 이온원 및 이온들을 가속하여 조사하기 위한 인출 가속 기구를 가지고 있다. 인출 가속 기구를 구성하는 전극에는 복수의 개구나 슬릿이 형성되어 있고, 이온원으로 생성된 이온들은 전극에 형성된 개구나 슬릿을 통하여 가속되기 때문에, 이온들이 단결정 반도체 기판에 균일하게 조사되지 않는 문제가 있다. 이 경우, 단결정 반도체 기판에 있어서 국소적으로 온도 상승이 일어나고, 첨가된 이온들에 기인하는 원소의 열 확산도 국소적으로 발생함으로써, 상기 원소의 깊이 방향의 분포가 넓어짐과 함께 수평 방향에 불균일함이 생기게 된다.
- [0013] 이와 같이, 깊이 방향이나 수평 방향에 있어서 첨가된 이온들에 기인하는 원소의 분포가 넓어지면, 반도체 기판의 분리를 양호하게 행하는 것이 곤란해진다. 이것은, 상기 반도체 기판의 분리가 복수의 깊이 영역에서 발생하는 것에 기인한다. 또한, 반도체 기판의 분리는, 상기 반도체 기판 중에 존재하는 첨가된 이온들에 기인하는 원소의 농도에 의존하기 때문에, 원소의 이탈이 촉진되어 버리면, 결과적으로 보다 많은 이온들을 조사해야만 하고, 스루풋이 저하하게 될 수도 있다.
- [0014] 개시하는 발명의 일 형태는, SOI 기판의 제작 방법에 있어서, 비질량 분리형의 이온 조사 방법을 사용하는 경우라도, 단결정 반도체 기판의 분리를 양호하게 행하고, 분리 후의 단결정 반도체층의 표면의 평탄성을 향상시키는 것을 목적의 하나로 한다. 또는, 개시하는 발명의 일 형태는, SOI 기판의 제작 방법에 있어서, 스루풋을 향상시킴과 함께 분리 후의 단결정 반도체층의 표면의 평탄성을 향상시키는 것을 목적의 하나로 한다.

과제 해결수단

- [0015] 개시하는 발명의 일 형태는, SOI 기판의 제조 방법에 있어서, 이온 도핑법을 사용하여 단결정 반도체 기판에 가속된 이온들을 조사함으로써, 상기 단결정 반도체 기판 중에 결정 구조가 손상된 취화 영역(embrittled region)을 형성할 때, 단결정 반도체 기판을 냉각하면서 행하는 것이다. 또한, 단결정 반도체 기판을 냉각함과 함께 요동시키면서 행하여도 좋다.
- [0016] 개시하는 발명의 일 형태는, 단결정 반도체 기판에 가속된 이온들을 조사함으로써 단결정 반도체 기판 중에 취화 영역을 형성하는 단계와, 절연층을 사이에 두고 단결정 반도체 기판과 베이스 기판을 서로 접합하는 단계와, 취화 영역에 있어서 단결정 반도체 기판을 분리하고, 베이스 기판 위에 절연층을 사이에 두고 단결정 반도체층을 형성하는 단계를 포함하고, 단결정 반도체 기판으로의 이온들의 조사는, 이온 도핑법을 사용하고 또한 단결정 반도체 기판을 냉각하면서 행하는 것을 특징으로 하고 있다. 또한, 단결정 반도체 기판을 냉각함과 함께 요동시키면서 행하여도 좋다.

[0017] 개시하는 발명의 일 형태는, 단결정 반도체 기판에 가속된 이온들을 조사함으로써 단결정 반도체 기판 중에 취화 영역을 형성하는 단계와, 절연층을 사이에 두고 단결정 반도체 기판과 베이스 기판을 접합하는 단계와, 취화 영역에 있어서 단결정 반도체 기판을 분리하고, 베이스 기판 위에 절연층을 사이에 두고 단결정 반도체층을 형성하는 단계를 포함하고, 단결정 반도체 기판으로의 이온들의 조사는, 이온 도핑법을 사용하고 또한 복수회로 나누어서 행하는 것을 특징으로 한다. 또한, 단결정 반도체 기판에 복수회로 나누어서 이온들을 조사할 때, 제 n 회째(n은 1 이상의 자연수)의 조사 후로서 제 n+1 회째의 조사 전에, 단결정 반도체 기판을 냉각하여도 좋다. 또한, 단결정 반도체 기판을 냉각함과 함께 요동시키면서 행하여도 좋다.

[0018] 개시하는 발명의 일 형태에서는, 질량 분리를 수반하지 않는 이온 조사를 사용하고 있기 때문에, 질량 분리를 수반하는 이온 조사를 사용하는 경우와 비교하여, 광범한 영역을 한번에 처리하는 것이 가능하다. 한편으로, 질량 분리에 의해 국소적으로 이온들을 조사하는 경우와 비교하여, 기판의 온도 상승으로 인한 영향은 무시할 수 없는 수준이 된다. 이렇게 온도 상승이 큰 경우에는, 단결정 반도체 기판 중에 있어서, 첨가되는 이온들을 구성하는 원소의 프로파일이 넓어져 버린다. 상기 문제를 해소하기 위하여, 개시하는 발명의 일 형태에서는, 기판의 온도 상승을 억제하여 단결정 반도체 기판 중의 깊이 방향에 있어서 원소 프로파일이 넓어지는 것을 억제한다. 이로써, 효율적인 이온 조사를 실현하면서, 단결정 반도체 기판의 분리를 양호하게 행하고, 분리 후의 단결정 반도체층 표면을 평탄하게 할 수 있다.

[0019] 또, 본 명세서 중에 있어서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키며, 전기 광학 장치, 반도체 회로 및 전자기기는 모두 반도체 장치에 포함된다.

[0020] 또, 본 명세서 중에 있어서 표시장치란, 발광 장치나 액정 표시 장치를 포함한다. 발광 장치는 발광 소자를 포함하고, 액정 표시 장치는 액정 소자를 포함한다. 발광 소자는, 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 범주에 포함하고 있으며, 구체적으로는 무기 EL(Electro Luminescence), 유기 EL 등이 포함된다.

효과

[0021] 개시하는 발명의 일 형태에 의해, SOI 기판의 제작 방법에 있어서, 비질량 분리형의 이온 조사 방법을 사용하는 경우라도, 단결정 반도체 기판의 분리를 양호하게 행하고, 분리 후의 단결정 반도체층의 표면의 평탄성을 향상시킬 수 있다.

[0022] 개시하는 발명의 일 형태에 의해, SOI 기판의 제작 방법에 있어서, 스루풋을 향상시킴과 함께 분리 후의 단결정 반도체층의 표면의 평탄성을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

[0023] 이하에, 실시형태를 도면에 기초하여 설명한다. 단, 발명은 많은 다른 형태로 실시할 수 있으며, 발명의 취지 및 그 범위로부터 벗어나지 않고 그 형태 및 상세를 변경할 수 있는 것은 당업자라면 용이하게 이해된다. 따라서, 본 실시형태의 기재 내용에 한정하여 해석되지 않는다. 또, 실시형태를 설명하기 위한 전체 도면에서, 동일 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 붙이고, 그 반복 설명은 생략한다.

[0024] (실시형태 1)

[0025] 본 실시형태에서는, SOI 기판의 제작 방법의 일례에 관하여 도면을 참조하여 설명한다.

[0026] 우선, 단결정 반도체 기판(100)을 준비한다(도 1a-1 참조).

[0027] 단결정 반도체 기판(100)으로서는, 예를 들어, 단결정 실리콘 기판, 단결정 게르마늄 기판, 단결정 실리콘 게르마늄 기판 등, 제 14 족 원소로 이루어지는 단결정 반도체 기판을 사용할 수 있다. 또한, 갈륨비소나 인듐인 등의 화합물 반도체 기판도 사용할 수 있다. 시판되는 실리콘 기판으로서는, 직경 5인치(125mm), 직경 6인치(150mm), 직경 8인치(200mm), 직경 12인치(300mm), 직경 16인치(400mm) 사이즈의 원형이 대표적이다. 또, 단결정 반도체 기판(100)의 형상은 원형에 한정되지 않고, 직사각형 등으로 가공하여 사용할 수도 있다.

[0028] 다음에, 단결정 반도체 기판(100)의 표면에 절연층(102)을 형성한다(도 1a-2 참조).

[0029] 절연층(102)은, 산화 실리콘막, 산화질화 실리콘막, 질화 실리콘막, 질화산화 실리콘막 등의 절연층을 단층, 또는 적층시켜서 형성할 수 있다. 이를 막은, 열산화법, CVD법 또는 스퍼터링법 등을 사용하여 형성할 수 있다.

[0030] 본 명세서 중에 있어서, 산화질화 실리콘이란, 그 조성으로서, 질소보다도 산소의 함유량이 많은 것이며, 바람

직하게는, 러더포드 후방 산란법(RBS: Rutherford Backscattering Spectrometry) 및 수소 전방 산란법(HFS: Hydrogen Forward Scattering)을 사용하여 측정한 경우에, 농도 범위로서 산소가 50 내지 70atoms%, 질소가 0.5 내지 15atoms%, 실리콘 25 내지 35atoms%, 수소가 0.1 내지 10atoms%의 범위로 포함되는 것을 말한다. 또한, 질화산화 실리콘이란, 그 조성으로서, 산소보다도 질소의 함유량이 많은 것이며, 바람직하게는, RBS 및 HFS를 사용하여 측정한 경우에, 농도 범위로서 산소가 5 내지 30atoms%, 질소가 20 내지 55atoms%, 실리콘 25 내지 35atoms%, 수소가 10 내지 30atoms%의 범위로 포함되는 것을 말한다. 단, 산화질화 실리콘 또는 질화산화 실리콘을 구성하는 원자의 합계를 100atoms%라고 하였을 때, 질소, 산소, 실리콘 및 수소의 함유 비율이 상기의 범위 내에 포함되는 것으로 한다.

[0031] 다음에, 운동 에너지를 가지는 이온들을 단결정 반도체 기판(100)에 조사함으로써, 단결정 반도체 기판(100)의 소정의 깊이에 결정 구조가 손상된 취화 영역(104)을 형성한다(도 1a-3 참조). 도 1a-3에 도시하는 바와 같이, 절연층(102)을 사이에 두고, 가속된 이온들(103)을 단결정 반도체 기판(100)에 조사함으로써, 단결정 반도체 기판(100)의 표면으로부터 소정의 깊이의 영역에 이온들(103)에 기인하는 원소가 침가되어, 취화 영역(104)을 형성할 수 있다.

[0032] 본 실시형태에서는, 원료 가스로부터 생성되는 이온들을 질량 분리하지 않고 대상물에 조사하는 비질량 분리형의 이온 조사 방법(이온 도핑법)을 사용하여 취화 영역(104)을 형성한다. 따라서, 이온들(103)은, 프로세스 가스를 여기하여 플라즈마를 생성하고, 이 플라즈마에 포함되는 모든 이온종을 전계의 작용에 의해 플라즈마로부터 끌어내어, 가속된 이온들이다.

[0033] 이온 도핑법은, 이온 도핑 장치를 사용하여 행할 수 있다. 이온 도핑 장치는, 프로세스 가스를 플라즈마 여기하여 생성된 모든 이온종을 질량 분리하지 않고, 챔버 내에 배치된 대상물에 조사하는 비질량 분리형의 장치다.

[0034] 예를 들어, 본 실시형태에서는, 도 2에 도시하는 이온 도핑 장치를 사용할 수 있다.

[0035] 도 2에 도시하는 이온 도핑 장치는, 이온들을 생성하기 위한 이온원(200)과, 대상물에 이온들의 조사자를 행하는 처리실(220)을 가지고 있다. 또한, 이온원(200)은, 플라즈마를 생성하는 플라즈마 생성실(202)과, 플라즈마를 생성하기 위한 전극(204)과, 프로세스 가스를 도입하는 가스 도입구(206)와, 생성된 플라즈마로부터 이온들을 끌어내어 가속하는 인출 가속 기구(208)를 가지고 있다.

[0036] 플라즈마를 형성하기 위한 전극(204)으로서는, 필라멘트형의 전극이나 용량 결합 고주파 방전용의 전극 등을 사용할 수 있다. 또한, 인출 가속 기구(208)는, 인출 전극(208a), 가속 전극(208b), 억제 전극(208c), 접지 전극(208d) 등의 전극, 및 이들의 전극에 전력을 공급하기 위한 전원 등으로 구성된다. 인출 가속 기구를 구성하는 전극에는 복수의 개구나 슬릿이 형성되어 있고, 이온원(200)으로 생성된 이온들은 전극에 형성된 개구나 슬릿을 통하여 가속된다.

[0037] 처리실(220)은, 기판을 보유하는 기판 지지대(222)와, 기판을 냉각하기 위한 냉각 수단(224)을 가지고 있다. 또한, 처리실(220)에는, 가스의 배기구(226)가 형성된다.

[0038] 이하에, 도 2를 사용한 경우의 이온들의 조사 방법에 관하여 구체적으로 설명한다. 이하의 설명에서는, 단결정 반도체 기판(100)에 수소 이온들을 조사하는 경우에 대하여 설명한다.

[0039] 우선, 플라즈마 생성실(202)에 프로세스 가스를 도입하고, 전극(204)과 인출 전극(208a)의 사이에 고주파 전력을 인가함으로써 상기 프로세스 가스를 여기하여 플라즈마를 발생시킨다. 프로세스 가스로서, 예를 들어, 수소(H_2) 가스를 공급하는 경우, 수소 가스로부터 생성되는 이온종(H^+ , H_2^+ , H_3^+)이 생성된다. 계속하여, 인출 가속 기구(208)에 형성된 전극에 전압을 인가함으로써, 플라즈마로부터 이온들을 끌어내어 가속하고, 기판 지지대(222)에 형성된 단결정 반도체 기판(100)에 조사되어, 취화 영역(104)이 형성된다.

[0040] 도 2에 있어서, 이온들의 가속은, 인출 전압이 인가되는 인출 전극(208a)과, 가속 전압이 인가되는 가속 전극(208b)에 의해 실시된다. 억제 전극(208c)에서는 발산하는 이온들을 포집하여 이온류의 방향성을 높이고 있다.

[0041] 또, 본 실시형태에서는, 이온들(103)을 조사할 때에 단결정 반도체 기판(100)을 냉각한다. 단결정 반도체 기판(100)의 냉각은, 기판 지지대(222)에 설치된 냉각 수단(224)을 사용하여 행할 수 있다.

[0042] 냉각 수단(224)으로서는, 이온들(103)의 조사 시에 있어서의 단결정 반도체 기판(100)의 온도 상승을 억제할 수

있는 구성이면 좋고, 예를 들어, 기판 지지대(222) 내에 냉각수를 흘리는 구성으로 할 수 있다. 또한, 펠티어(Peltier)소자 등을 사용하는 구성으로 하여도 좋다.

[0043] 또, 기판 지지대(222)로서, 정전 척을 사용할 수 있다. 정전 척은, 기판 지지대 표면에 유전층을 설치하고, 기판 지지대와 단결정 반도체 기판의 사이에 전압을 인가하여, 양자 간에 발생한 힘에 의해 단결정 반도체 기판을 흡착하는 기구다. 정전 척은 높은 열 전도성을 가지는 재료에 의해 형성되고 있고, 높은 냉각 성능을 갖추고 있다. 또한, 단결정 반도체 기판의 냉각 및 균열화를 위하여, 정전 척의 흡착면에 슬릿 가공을 실시하고, 가스 유로를 형성해 두는 것도 유효하다.

[0044] 또, 이온들(103)을 조사할 때에 단결정 반도체 기판(100)을 요동시켜도 좋다. 단결정 반도체 기판(100)의 요동은, 기판 지지대(222)에 설치된 요동 수단(228)을 사용하여 행할 수 있다(도 12 참조). 단결정 반도체 기판(100)을 요동시키면서 이온들을 조사함으로써, 인출 가속 기구(208)에 형성된 개구나 슬릿에 따르는 조사 불균일함을 억제할 수 있게 된다. 또한, 단결정 반도체 기판(100)의 국소적인 온도 상승에 의해, 단결정 반도체 기판(100) 중에 있어서 첨가된 이온들에 기인하는 원소의 열 확산을 억제하고, 상기 원소의 수평 방향에 있어서의 분포 불균일함을 저감함과 함께, 깊이 방향의 분포의 확장을 저감할 수 있다.

[0045] 요동 수단(228)으로서는, 이온들(103)을 조사할 때에 단결정 반도체 기판(100)을 이동시킬 수 있는 구성이면 좋고, 예를 들어, 1축 방향으로 이동시키는 구성으로 하여도 좋고, 2축 방향으로 이동 가능한 구성으로 하여도 좋다. 물론, 더 복잡한 이동(기판의 회전 등)이 가능한 수단을 사용할 수도 있다.

[0046] 도 12에 도시한 구성에서는, 수평 이동 기구(228a) 및 수직 이동 기구(228b)을 설치하고, 단결정 반도체 기판(100)을 좌우 및 상하로 이동 가능한 경우를 나타낸다. 물론, 도 12의 구성에 있어서, 수평 이동 기구(228a)와 수직 이동 기구(228b)의 어느 한쪽을 설치한 구성으로 하여도 좋다.

[0047] 또, 전극에 규칙적인 개구가 복수 형성되어 있는 경우에는, 단결정 반도체 기판(100)을, 상기 개구의 규칙적인 배열로부터 약간 어긋난 방향으로 요동시키는 것이 바람직하다. 예를 들어, 개구가 a축 및 b축을 따라서 규칙적으로 배열되어 있는 경우에는, a축 및 b축에 따르는 방향 이외의 방향으로 요동시킨다. 이로써, 규칙적인 개구 패턴에 기인하는 조사 불균일함을 저감할 수 있다.

[0048] 또, 단결정 반도체 기판(100)을 요동시키는 경우 외에, 단결정 반도체 기판(100)과 평행한 방향에 전위차를 발생시켜, 단결정 반도체 기판(100)에 조사되는 이온들(103)의 조사 방향을 제어하여도 좋다. 물론, 단결정 반도체 기판(100)의 요동과 조합하여도 좋다.

[0049] 또, 이온들(103)을 조사할 때에 단결정 반도체 기판(100)을 냉각함과 함께 요동시켜도 좋다. 단결정 반도체 기판(100)의 냉각은, 기판 지지대(222)에 형성된 냉각 수단(224)을 사용하여 행할 수 있다.

[0050] 이와 같이, 단결정 반도체 기판(100)을 냉각하면서 이온들(103)을 조사함으로써, 단결정 반도체 기판(100)의 넓은 면적에 한번에 이온들을 조사하는 경우라도, 단결정 반도체 기판(100)의 온도 상승을 억제할 수 있다. 그 결과, 조사된 이온들의 열 확산을 억제하고, 첨가되는 이온들의 깊이 방향의 분포의 확장을 저감할 수 있다. 또한, 단결정 반도체 기판(100)을 요동함과 함께 냉각하면서 이온들(103)을 조사함으로써, 단결정 반도체 기판(100)의 온도 상승을 억제함과 함께 인출 가속 기구에 형성된 개구나 슬릿에 따르는 조사 불균일함을 억제할 수 있게 된다.

[0051] 또, 단결정 반도체 기판(100)의 온도 상승을 억제함으로써, 단결정 반도체 기판(100)중에 첨가된 수소의 이탈을 저감할 수 있다. 이로써, 이온들(103)의 조사 시간을 짧게 하고, 스루풋을 향상시키는 것이 가능해진다.

[0052] 단결정 반도체 기판(100)으로부터 분리되는 단결정 반도체층의 두께는, 이온들(103)이 첨가되는 깊이로 결정된다. 본 실시형태에서는, 이 단결정 반도체층의 두께가 10nm 이상 500nm 이하, 바람직하게는 50nm 이상 200nm 이하가 되도록, 취화 영역(104)이 형성되는 깊이를 조절한다. 취화 영역(104)이 형성되는 영역의 깊이는, 이온들(103)의 운동 에너지, 질량, 이온들(103)의 입사각 등에 의해 조절하면 좋다. 또, 운동 에너지는 가속 전압, 도즈량 등에 의해 조절할 수 있다.

[0053] 또, 본 실시형태에서는, 상술한 이온들의 조사 방법에 있어서, 수소 가스로부터 생성되는 이온종(H^+ , H_2^+ , H_3^+)의 총수에 대하여 H_3^+ 의 비율을 50% 이상, 바람직하게는, H_3^+ 의 비율을 70% 이상으로 한다. 같은 질량의 이온들을 조사함으로써, 단결정 반도체 기판(100)의 같은 깊이에 집중시켜서 이온들을 첨가할 수 있기 때문이다.

- [0054] 취화 영역(104)을 얇은 영역에 형성하기 위해서는, 통상, 이온들(103)의 가속 전압을 낮게 할 필요가 있지만 가속 전압이 같아도, H_3^+ 이온들을 사용하는 경우에는 H^+ 이온들을 사용하는 경우와 비교하여 얇은 영역에 수소 원자가 첨가된다. 이것은, H_3^+ 이온들은 단결정 반도체 기판(100) 중에 있어서 구성 원소(H)로 분리하고, 결과적으로 각 원소(H)의 운동 에너지가 약 1/3이 되는 것에 기인하기 때문이라고 고찰된다. 즉, 플라즈마 중의 H_3^+ 이온들의 비율을 높임으로써, 단결정 반도체 기판(100)의 얇은 영역에 수소 원자를 효율적으로 첨가할 수 있게 된다. 한편으로, H_3^+ 이온들은 H^+ 이온들의 3배의 질량을 갖기 때문에, 같은 깊이에 수소 원자를 첨가하는 경우, H_3^+ 이온들의 가속 전압은, H^+ 이온들의 가속 전압의 3배로 할 필요가 있다. 이 때문에, 이온들의 가속 전압을 크게 하는 것이 가능하다면, 동등한 깊이에 수소 원자를 첨가하는 경우에 있어서의 이온들의 조사 공정의 택트 타임(tact time)을 단축할 수 있게 되어, 생산성이나 스루풋의 향상을 도모할 수 있다.
- [0055] 프로세스 가스로서 수소 가스를 사용하는 경우, 플라즈마 중의 H_3^+ 이온들의 비율을 높게 하여 단결정 반도체 기판(100)의 넓은 면적에 한번에 이온들(103)을 조사함으로써, 스루풋을 향상시킬 수 있다. 또한, 단결정 반도체 기판(100)을 냉각하면서 이온들(103)을 조사함으로써, 단결정 반도체 기판(100)의 온도 상승을 억제하고, 깊이 방향에서의 취화 영역(104)이 형성되는 영역의 폭을 작게 할 수 있다.
- [0056] 또, 상기 설명에서는, 프로세스 가스로 수소 가스를 사용하는 경우를 설명하였지만, 본 실시형태에 적용할 수 있는 프로세스 가스는 이것에 한정되지 않는다. 예를 들어, 프로세스 가스로 헬륨(He) 가스를 사용할 수도 있다. 헬륨을 여기하여 생성되는 이온종은, He^+ 이 대부분이기 때문에, 질량 분리를 수반하지 않는 이온 도핑법에서도, He^+ 을 중심 이온들로서 단결정 반도체 기판(100)에 조사할 수 있다. 이 경우, 단결정 반도체 기판(100)의 깊이 방향에 있어서, 취화 영역(104)이 형성되는 영역의 폭을 작게 할 수 있다. 물론, H_3^+ 과 He^+ 을 조합하여 조사하여도 좋다. 이 경우, 공정 수를 증가시키지 않고 반도체층 표면의 표면 거칠기를 억제하는 것이 가능하다.
- [0057] 또, 본 실시형태에서는, 이온들을 조사할 때에 단결정 반도체 기판(100)을 냉각할 수 있는 구성이면, 이온 도핑 장치의 구성은 도 2에 도시한 것에 한정되지 않고, 필요에 따른 구성으로 설치할 수 있다.
- [0058] 또, 본 실시형태에서는, 절연층(102)을 사이에 두고 가속된 이온(103)을 단결정 반도체 기판(100)에 조사하는 경우를 나타내었지만, 이온들(103)을 단결정 반도체 기판(100)에 조사한 후에 절연층(102)을 형성하여도 좋다.
- [0059] 계속하여, 베이스 기판(120)을 준비하고(도 1b 참조), 단결정 반도체 기판(100)과 베이스 기판(120)의 접합을 행한다.
- [0060] 베이스 기판(120)으로서는, 예를 들어, 절연체로 이루어지는 기판을 사용할 수 있다. 구체적으로는, 알루미노 실리케이트 유리, 알루미노 보로실리케이트 유리, 바륨 보로실리케이트 유리와 같은 전자공업용으로 사용되는 각종 유리 기판, 석영 기판, 세라믹 기판, 사파이어 기판을 들 수 있다. 그 외에도, 베이스 기판(120)으로서 단결정 반도체 기판(예를 들어, 단결정 실리콘 기판 등)이나 다결정 반도체 기판(예를 들어, 다결정 실리콘 기판)을 사용하여도 좋다.
- [0061] 본 실시형태에서는, 베이스 기판(120)으로서 유리 기판을 사용하는 것이 바람직하다. 베이스 기판(120)으로서 대면적화가 가능하며 저렴한 유리 기판을 사용한 경우에는, 저가격화를 도모할 수 있다. 특히, 베이스 기판(120)으로서, 예를 들어, 제 6 세대($1500\text{mm} \times 1850\text{mm}$), 제 7 세대($1870\text{mm} \times 2200\text{mm}$), 제 8 세대($2200\text{mm} \times 2400\text{mm}$)로 불리는 대면적의 마더 유리 기판을 사용함으로써, 상기 마더 유리 기판에, 복수의 단결정 반도체 기판을 접합하여 SOI 기판을 제조함으로써, SOI 기판의 대면적화를 실현할 수 있다.
- [0062] 다음에, 단결정 반도체 기판(100)과 베이스 기판(120)을, 절연층(102)을 사이에 두고 접합한다(도 1c 참조). 여기에서는, 단결정 반도체 기판(100)과 베이스 기판(120)을 대향시키고, 절연층(102)의 표면과 베이스 기판(120)의 표면을 접합시킨다.
- [0063] 다음에, 열처리를 행하여 취화 영역(104)에 있어서 단결정 반도체 기판(100)을 분리함으로써, 베이스 기판(120) 위에, 절연층(102)을 사이에 두고 단결정 반도체층(124)을 형성한다(도 1d 참조).

- [0064] 열처리를 행함으로써, 온도 상승에 의해 취화 영역(104)에 형성되어 있는 미소한 구멍에는, 첨가된 원소가 석출되고, 내부의 압력이 상승한다. 압력 상승에 의해, 취화 영역(104)의 미소한 구멍에 체적 변화가 일어나고, 취화 영역(104)에 균열이 생기므로, 취화 영역(104)을 따라서 단결정 반도체 기판(100)이 분리된다. 절연층(102)은 베이스 기판(120)에 접합하고 있으므로, 베이스 기판(120) 위에는 단결정 반도체 기판(100)으로부터 분리된 단결정 반도체층(124)이 형성된다.
- [0065] 또, 본 실시형태에서는, 상술한 바와 같이, 단결정 반도체 기판(100)에 형성되는 취화 영역(104)의 깊이 방향에 있어서의 폭을 좁게 할 수 있기 때문에, 단결정 반도체 기판(100)의 분리를 양호하게 행할 수 있다. 또한, 분리 후의 단결정 반도체층(124)의 표면을 평탄하게 할 수 있다.
- [0066] 또, 열처리는, 확산로, 저항 가열로 등의 가열로, RTA(순간 열 어닐, Rapid Thermal Anneal) 장치, 마이크로파 가열 장치 등을 사용할 수 있다. 예를 들어, RTA 장치를 사용하는 경우, 가열 온도 550°C 이상 730°C 이하, 처리 시간 0.5분 이상 60분 이내로 행할 수 있다. 또한, 여기에서의 열처리의 온도는, 베이스 기판(120)의 변형 점을 초과하지 않는 온도로 한다.
- [0067] 이상의 공정에 의해, 베이스 기판(120) 위에 절연층(102)을 사이에 두고 단결정 반도체층(124)이 형성된 SOI 기판을 제작할 수 있다.
- [0068] 본 실시형태에서 나타내는 제작 방법을 사용함으로써, 비질량 분리형의 이온 조사 방법을 사용하는 경우라도, 단결정 반도체 기판(100)의 분리를 양호하게 행하고, 분리 후의 단결정 반도체층(124)의 표면의 평탄성을 항상 시킬 수 있다.
- [0069] 또, 본 실시형태에서 나타낸 SOI 기판의 제작 방법은, 본 명세서의 다른 실시형태에서 나타낸 제작 방법과 적당하게 조합시킬 수 있다.
- [0070] (실시형태 2)
- [0071] 본 실시형태에서는, 이온들의 조사 시에 있어서의 단결정 반도체 기판(100)의 냉각 방법에 관하여, 상기 실시형태와 다른 방법에 대하여 설명한다.
- [0072] 상술한 바와 같이, 이온 도핑법을 사용한 경우에는, 넓은 면적에 한번에 이온들이 조사되기 때문에 단결정 반도체 기판(100)의 온도가 상승해 간다. 그 때문에, 이온들의 조사 시간이 길어짐에 따라서 단결정 반도체 기판(100)의 온도가 상승하게 된다. 즉, 이온들의 조사 개시 시의 단결정 반도체 기판(100)의 온도와 이온들의 조사 종료 시의 단결정 반도체 기판(100)의 온도의 차이는 현저하게 다르게 된다.
- [0073] 따라서, 이온들의 조사 개시 시에는, 첨가된 이온들에 기인하는 원소의 열 확산이 일어나기 어렵지만, 이온들이 조사됨에 따라서 단결정 반도체 기판(100)의 온도가 상승하여 첨가된 이온들에 기인하는 원소의 열 확산이 생기고, 원소의 깊이 방향의 분포가 넓어지게 된다. 또한, 단결정 반도체 기판(100)의 온도 상승에 따라, 기판 중에 존재하는 첨가된 이온들에 기인하는 원소의 이탈이 촉진되고, 스루풋이 악화된다. 스루풋이 악화되면, 조사 시간이 길어져 더욱 단결정 반도체 기판(100)의 온도가 상승한다는 문제가 생긴다. 단결정 반도체 기판(100)의 온도가 지나치게 상승하면, 이온들의 첨가 시에 단결정 반도체 기판(100)이 분리될 우려도 있다.
- [0074] 그래서, 본 실시형태에서는, 단결정 반도체 기판(100)으로의 이온들의 조사를, 적어도 2회 이상의 복수회로 나누어 실시한다. 즉, 이온 도핑법을 사용하여 단결정 반도체 기판(100)의 전체면에 한번에 이온들을 조사하는 경우라도, 1회의 조사 시간을 짧게 하여 복수회 이온들을 조사한다. 또, 복수회로 나누어서 이온들을 조사하는 경우라도, 이온들의 조사 시에 단결정 반도체 기판(100)을 요동시켜서 행하여도 좋다.
- [0075] 이온들의 조사 시간을 짧게 함으로써, 이온들의 조사에 의한 단결정 반도체 기판(100)의 온도 상승을 억제할 수 있게 되고, 첨가된 이온들에 기인하는 원소의 열 확산을 저감할 수 있다. 또한, 단결정 반도체 기판(100)중에 존재하는 첨가된 이온들에 기인하는 원소의 이탈을 저감할 수 있다.
- [0076] 또, 이온들의 조사 시간은, 이온 조사 시의 단결정 반도체 기판(100)의 온도에 기초하여 결정하면 된다. 예를 들어, 이온 조사 시의 단결정 반도체 기판(100)의 온도를 측정하고, 단결정 반도체 기판(100)의 온도가 소정의 온도를 초과하기 전에 이온들의 조사를 멈추고, 단결정 반도체 기판(100)의 온도를 낮춘 후, 다시 단결정 반도체 기판(100)에 이온들의 조사를 행하는 구성을 할 수 있다. 예를 들어, 단결정 반도체 기판(100)에 복수회로 나누어서 이온들을 조사하는 공정에 있어서, 제 n 회째(n은 1 이상의 자연수)의 조사 후로서 제 n+1 회째의 조사 전에, 단결정 반도체 기판(100)의 온도를 낮출 수 있다.

- [0077] 소정의 온도로서는, 예를 들어 200°C로 할 수 있다. 이것은, 200°C를 넘는 온도에서는, 이온들의 열 확산이 커짐과 함께, 첨가된 이온들의 이탈이 증대하는 경향이 있기 때문이다. 또한, 복수회의 이온들의 조사 공정에 있어서, 이온 미조사 시에 단결정 반도체 기판(100)을 적극적으로 냉각하여 온도를 낮추어도 좋다.
- [0078] 또, 본 실시형태에서 제시한 냉각 방법과, 상기 실시형태에서 제시한 냉각 방법을 조합하여 실시하여도 좋다.
- [0079] 즉, 이온들의 조사를 복수회로 나누어 행하는 동시에, 단결정 반도체 기판(100)을 냉각하면서 이온들을 조사할 수 있다. 이 경우, 단결정 반도체 기판(100)의 넓은 면적에 한번에 이온들(103)을 조사하는 경우라도, 단결정 반도체 기판(100)의 기판 온도의 상승을 효과적으로 억제할 수 있다. 또한, 냉각 수단에 의해 이온 조사 시의 단결정 반도체 기판(100)의 온도 상승을 억제할 수 있기 때문에, 이온들의 조사 시간을 길게 할 수 있다.
- [0080] 또, 본 실시형태에서 나타낸 SOI 기판의 제작 방법은, 본 명세서의 다른 실시형태에서 나타낸 제작 방법과 적절하게 조합할 수 있다.
- [0081] (실시형태 3)
- [0082] 본 실시형태에서는, 상기 실시형태에서 나타낸 제작 방법에 있어서, 단결정 반도체 기판(100)과 베이스 기판(120)의 접합 방법에 관하여 도면을 참조하여 상세하게 설명한다.
- [0083] 우선, 단결정 반도체 기판(100)을 준비한다(도 3a-1 참조). 단결정 반도체 기판(100)의 표면은, 미리 황산과수(SPM), 암모니아과수(APM), 염산과수HPM), 희불산(DHF) 등을 사용하여 적절하게 세정하는 것이 오염 제거 면에서 바람직하다. 또한, 희불산과 오존수를 번갈아 토출하여 세정하여도 좋다.
- [0084] 다음에, 단결정 반도체 기판(100)의 표면에 산화막(132)을 형성한다(도 3a-2 참조).
- [0085] 산화막(132)은, 예를 들어, 산화 실리콘막, 산화질화 실리콘막 등의 단층, 또는 이들을 적층시킨 막을 사용할 수 있다. 이를 막은, 열산화법, CVD법 또는 스퍼터링법 등을 사용하여 형성할 수 있다. 또한, CVD법을 사용하여 산화막(132)을 형성하는 경우에는, 테트라에톡시실란(약칭; TEOS:화학식 $\text{Si}(\text{OC}_2\text{H}_5)_4$) 등의 유기실란을 사용하여 제작되는 산화 실리콘막을 산화막(132)에 사용하는 것이 생산성 면에서 바람직하다.
- [0086] 본 실시형태에서는, 단결정 반도체 기판(100)에 열산화 처리를 행함으로써 산화막(132)(여기서는, SiO_x 막)을 형성한다(도 3a-2 참조). 열산화 처리는, 산화성 분위기 중에 할로겐을 첨가하여 실시하는 것이 바람직하다.
- [0087] 예를 들어, 염소(C1)가 첨가된 산화성 분위기 중에서 단결정 반도체 판(100)에 열산화 처리를 행함으로써, 염소 산화된 산화막(132)을 형성한다. 이 경우, 산화막(132)은, 염소 원자를 함유한 막이 된다.
- [0088] 산화막(132)중에 함유된 염소 원자는, 변형을 형성한다. 그 결과, 산화막(132)의 수분에 대한 흡수 비율이 향상하고, 확산 속도가 증대한다. 즉, 산화막(132) 표면에 수분이 존재하는 경우에, 상기 표면에 존재하는 수분을 산화막(132)중에 재빨리 흡수하여, 확산시킬 수 있다.
- [0089] 열산화 처리의 일 예로서는, 산소에 대하여 염화수소(HCl)를 0.5 내지 10체적%(바람직하게는 3체적%)의 비율로 포함하는 산화성 분위기 중에서, 900°C 내지 1150°C의 온도(대표적으로는 1000°C)에서 행할 수 있다. 처리 시간은 0.1 내지 6시간, 바람직하게는 0.5 내지 1시간으로 하면 좋다. 형성되는 산화막의 막 두께로서는, 10nm 내지 1000nm(바람직하게는 50nm 내지 300nm), 예를 들어 100nm의 두께로 한다.
- [0090] 본 실시형태에서는, 산화막(132)에 포함되는 염소 원자의 농도를 $1 \times 10^{17} \text{ atoms/cm}^3$ 내지 $1 \times 10^{21} \text{ atoms/cm}^3$ 이 되도록 제어한다. 산화막(132)에 염소 원자를 함유시킴으로써, 외인성 불순물인 중금속(예를 들어, Fe, Cr, Ni, Mo 등)을 포집하여 단결정 반도체 기판(100)이 오염되는 것을 방지하는 효과를 나타낸다.
- [0091] 산화막(132)으로서, HCl 산화 등에 의해 막 중에 염소 등의 할로겐을 포함시킴으로써, 단결정 반도체 기판에 악영향을 주는 불순물(예를 들어, Na 등의 가동 이온)을 제거할 수 있다. 즉, 산화막(132)을 형성한 후에 행하여지는 열처리에 의해, 단결정 반도체 기판에 포함되는 불순물이 산화막(132)에 석출되고, 할로겐(예를 들어 염소)과 반응하여 포획되게 된다. 이로써 산화막(132) 중에 포집한 상기 불순물을 고정하여 단결정 반도체 기판(100)의 오염을 막을 수 있다. 또한, 산화막(132)은 유리 기판과 서로 접합한 경우에, 유리에 포함되는 Na 등의 불순물을 고정하는 막으로서 기능할 수 있다.
- [0092] 특히, 산화막(132)으로서, HCl 산화 등에 의해 막 중에 염소 등의 할로겐을 포함시키는 것은, 반도체 기판의 세

정이 불충분한 경우나, 반복 재이용하여 사용할 수 있는 반도체 기판의 오염 제거에 유효하게 된다.

[0093] 또, 산화막(132)에 함유시키는 할로겐 원자로서는 염소 원자에 한정되지 않는다. 산화막(132)에 불소 원자를 함유시켜도 좋다. 단결정 반도체 기판(100) 표면을 불소 산화하기 위해서는, 단결정 반도체 기판(100) 표면에 불산에 침지한 후에 산화성 분위기 중에서 열산화 처리를 하거나, NF₃를 산화성 분위기에 첨가하여 열산화 처리를 하면 좋다.

[0094] 다음에, 운동 에너지를 가지는 이온들(103)을 단결정 반도체 기판(100)에 조사함으로써, 단결정 반도체 기판(100)의 소정의 깊이에 결정 구조가 손상된 취화 영역(104)을 형성한다(도 3a-3 참조). 취화 영역(104)의 형성은, 상기 실시형태에서 나타낸 바와 같이, 단결정 반도체 기판(100)을 냉각하면서 이온들(103)을 조사함으로써 행한다.

[0095] 또, 이온 도핑법을 사용한 경우, 중금속도 동시에 도입될 우려가 있지만, 염소 원자를 함유하는 산화막(132)을 사이에 두고 이온들의 조사를 행함으로써, 중금속에 의한 단결정 반도체 기판(100)의 오염을 막을 수 있다.

[0096] 다음에, 베이스 기판(120)을 준비한다(도 3b-1 참조).

[0097] 또, 베이스 기판(120)을 사용할 때, 베이스 기판(120)의 표면을 미리 세정하는 것이 바람직하다. 구체적으로는, 베이스 기판(120)을, 염산과수(HPM), 황산과수(SPM), 암모니아과수(APM), 희불산(DHF) 등을 사용하여 초음파 세정을 한다. 예를 들어, 베이스 기판(120)의 표면에 염산과수를 사용하여 초음파 세정을 실시하는 것이 바람직하다. 이러한 세정 처리를 함으로써, 베이스 기판(120) 표면의 평탄화나 잔존하는 연마 입자를 제거할 수 있다.

[0098] 다음에, 베이스 기판(120)의 표면에 질소 함유층(121)(예를 들어, 질화 실리콘막 또는 질화산화 실리콘막 등의 질소를 함유하는 절연막)을 형성한다 (도 3b-2 참조).

[0099] 본 실시형태에 있어서, 질소 함유층(121)은, 단결정 반도체 기판(100) 위에 형성된 산화막(132)과 접합되는 층(접합층)이 된다. 또한, 질소 함유층(121)은, 후에 베이스 기판 위에 단결정 구조를 가지는 단결정 반도체층을 형성하였을 때에, 베이스 기판에 포함되는 Na(나트륨) 등의 불순물이 단결정 반도체층으로 확산하는 것을 막기 위한 배리어층으로서 기능한다.

[0100] 또, 질소 함유층(121)을 접합층으로서 사용하기 때문에, 접합 불량을 억제하기 위해서는 질소 함유층(121)의 표면을 평활하게 하는 것이 바람직하다. 구체적으로는, 질소 함유층(121)의 표면의 평균 면 거칠기(Ra)를 0.50nm 이하, 자승 평균 거칠기(Rms)를 0.60nm 이하, 보다 바람직하게는, 평균 면 거칠기를 0.35nm 이하, 제곱 평균 거칠기를 0.45nm 이하가 되도록 질소 함유층(121)을 형성한다. 막 두께는, 10nm 이상 200nm 이하, 바람직하게는 50nm 이상 100nm 이하의 범위에서 형성하는 것이 바람직하다.

[0101] 다음에, 단결정 반도체 기판(100)의 표면과 베이스 기판(120)의 표면을 대향시켜, 산화막(132)의 표면과 질소 함유층(121)의 표면을 접합시킨다(도 3c 참조).

[0102] 여기서는, 단결정 반도체 기판(100)과 베이스 기판(120)을 산화막(132)과 질소 함유층(121)을 사이에 두고 밀착시킨 후, 단결정 반도체 기판(100)의 1개소에 1 내지 500N/cm², 바람직하게는 1 내지 20N/cm² 정도의 압력을 가한다. 압력을 가한 부분으로부터 산화막(132)과 질소 함유층(121)이 접합하기 시작하고, 자발적으로 접합이 형성되어 전체면에 도달한다. 이 접합 공정은, 반데르발스힘이나 수소 결합이 작용하고 있어, 가열 처리를 수반하지 않고, 상온에서 행할 수 있기 때문에, 베이스 기판(120)에, 유리 기판과 같이 내열 온도가 낮은 기판을 사용할 수 있다.

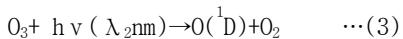
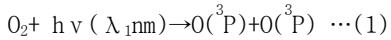
[0103] 또, 단결정 반도체 기판(100)과 베이스 기판(120)의 접합을 행하기 전에, 단결정 반도체 기판(100) 위에 형성된 산화막(132)과, 베이스 기판(120) 위에 형성된 질소 함유층(121)의 표면 처리를 행하는 것이 바람직하다.

[0104] 표면 처리로서는, 플라즈마 처리, 오존 처리, 메가 소닉 세정, 2유체 세정(순수나 수소 첨가수 등의 기능수를 질소 등의 캐리어 가스와 함께 살포하는 방법) 또는 이들의 방법을 조합하여 행할 수 있다. 특히, 산화막(132), 질소 함유층(121)의 적어도 한쪽의 표면에 플라즈마 처리를 행한 후에, 오존 처리, 메가 소닉 세정, 2유체 세정 등을 실시함으로써, 산화막(132), 질소 함유층(121) 표면의 유기물 등의 먼지를 제거하여, 표면을 친수화할 수 있다. 그 결과, 산화막(132)과 질소 함유층(121)의 접합 강도를 향상시킬 수 있다.

[0105] 여기서, 오존 처리의 일례를 설명한다. 예를 들어, 산소를 포함하는 분위기하에서 자외선(UV)을 조사함으로써, 피처리체 표면에 오존 처리를 행할 수 있다. 산소를 포함하는 분위기 하에서 자외선을 조사하는 오존 처리는,

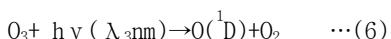
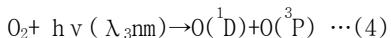
UV 오존 처리 또는 자외선 오존 처리 등이라고도 불린다. 산소를 포함하는 분위기 하에 있어서, 자외선 중 200nm 미만의 파장을 포함하는 빛과 200nm 이상의 파장을 포함하는 빛을 조사함으로써, 오존을 생성시킴과 함께, 오존으로부터 일중항 산소를 생성시킬 수 있다. 자외선 중 180nm 미만의 파장을 포함하는 빛을 조사함으로써, 오존을 생성시킴과 함께, 오존으로부터 일중항 산소를 생성시킬 수도 있다.

[0106] 산소를 포함하는 분위기하에서, 200nm 미만의 파장을 포함하는 빛 및 200nm 이상의 파장을 포함하는 빛을 조사함으로써 일어나는 반응 예를 나타낸다.



[0110] 상기 반응식(1)에 있어서, 산소(O_2)를 포함하는 분위기 하에서 200nm 미만의 파장($\lambda_{1\text{nm}}$)을 포함하는 광($h\nu$)을 조사함으로써 기저 상태의 산소 원자($O(^3P)$)가 생성된다. 다음에, 반응식(2)에 있어서, 기저 상태의 산소 원자($O(^3P)$)와 산소(O_2)가 반응하여 오존(O_3)이 생성된다. 그리고, 반응식(3)에 있어서, 생성된 오존(O_3)을 포함하는 분위기 하에서 200nm 이상의 파장($\lambda_{2\text{nm}}$)을 포함하는 광이 조사됨으로써, 여기 상태의 일중항 산소($O(^1D)$)가 생성된다. 산소를 포함하는 분위기 하에 있어서, 자외선 중, 200nm 미만의 파장을 포함하는 광을 조사함으로써 오존을 생성시킴과 함께, 200nm 이상의 파장을 포함하는 광을 조사함으로써 오존을 분해하여 일중항 산소를 생성한다. 상기와 같은 오존 처리는, 예를 들어, 산소를 포함하는 분위기 하에서의 저압 수은 램프의 조사($\lambda_1=185\text{nm}$, $\lambda_2=254\text{nm}$)에 의하여 행할 수 있다.

[0111] 또한, 산소를 포함하는 분위기 하에서, 180nm 미만의 파장을 포함하는 광을 조사함으로써 일어나는 반응 예를 나타낸다.



[0115] 상기 반응식(4)에 있어서, 산소(O_2)를 포함하는 분위기 하에서 180nm 미만의 파장($\lambda_{3\text{nm}}$)을 포함하는 광을 조사함으로써, 여기 상태의 일중항 산소($O(^1D)$)와 기저 상태의 산소 원자($O(^3P)$)가 생성된다. 다음에, 반응식(5)에 있어서, 기저 상태의 산소 원자($O(^3P)$)와 산소(O_2)가 반응하여 오존(O_3)이 생성된다. 반응식(6)에 있어서, 생성된 오존(O_3)을 포함하는 분위기 하에서 180nm 미만의 파장($\lambda_{3\text{nm}}$)을 포함하는 광이 조사됨으로써, 여기 상태의 일중항 산소와 산소가 생성된다. 산소를 포함하는 분위기 하에 있어서, 자외선 중, 180nm 미만의 파장을 포함하는 광을 조사함으로써 오존을 생성시킴과 함께, 오존 또는 산소를 분해하여 일중항 산소를 생성한다. 상기와 같은 오존 처리는, 예를 들어, 산소를 포함하는 분위기 하에서의 Xe 엑시머 UV 램프의 조사($\lambda_3=172\text{nm}$)에 의하여 행할 수 있다.

[0116] 200nm 미만의 파장을 포함하는 광에 의하여, 피처리체 표면에 부착되는 유기물 등의 화학 결합을 절단하고, 오존 또는 오존으로부터 생성된 일중항 산소에 의하여 피처리체 표면에 부착되는 유기물, 또는 화학 결합을 절단한 유기물 등을 산화 분해하여 제거할 수 있다. 상술한 바와 같은 오존 처리를 행함으로써, 피처리체 표면의 친수성 및 청정성을 높일 수 있고, 접합을 양호하게 행할 수 있다.

[0117] 산소를 포함하는 분위기 하에서 자외선을 조사함으로써, 오존이 생성된다. 오존은 피처리체 표면에 부착되는 유기물의 제거에 효과를 갖는다. 또한, 일중항 산소도 오존과 동등, 또는 동등 이상으로 피처리체 표면에 부착되는 유기물의 제거에 효과를 갖는다. 오존 및 일중항 산소는, 활성 상태에 있는 산소의 예이며, 총칭하여 활성 산소라고도 불린다. 상기 반응식 등으로 설명한 바와 같이, 일중항 산소를 생성할 때, 오존이 생기는 반응,

또는 오존으로부터 일중항 산소를 생성하는 반응도 있기 때문에, 여기서는 일중항 산소가 기여하는 반응도 포함하여 편의적으로 오존 처리라고 부른다.

[0118] 또, 산화막(132)과 질소 함유층(121)을 접합시킨 후, 접합 강도를 증가시키기 위한 열처리를 행하는 것이 바람직하다. 이 열처리의 온도는, 취화 영역(104)에 균열을 발생시키지 않는 온도로 하고 예를 들어, 실온 이상 400°C 미만의 온도 범위에서 처리한다. 또한, 이 온도 범위에서 가열하면서, 산화막(132)과 질소 함유층(121)을 접합시켜도 좋다. 열 처리에는, 확산로, 저항 가열로 등의 가열로, RTA(순간 열 어닐, Rapid Thermal Anneal) 장치, 마이크로파 가열 장치 등을 사용할 수 있다.

[0119] 일반적으로, 산화막(132)과 질소 함유층(121)을 접합과 동시에 또는 접합시킨 후에 열처리를 행하면, 접합 계면에 있어서 탈수 반응이 진행하고, 수소결합의 강화나 공유결합의 형성에 의해 접합이 강화된다. 탈수 반응을 촉진시키기 위해서는, 탈수 반응에 의해 접합 계면에 생기는 수분을, 고온의 열처리에 의해 제거할 필요가 있다. 즉, 접합 후의 열처리 온도가 낮은 경우에는, 탈수 반응에서 접합 계면에 생긴 수분을 효과적으로 제거할 수 없기 때문에, 탈수 반응이 진행하지 않고 접합 강도를 충분히 향상시키는 것이 어렵다.

[0120] 한편으로, 산화막(132)으로서, 염소 원자 등을 함유시킨 산화막을 사용한 경우, 상기 산화막(132)이 수분을 흡수하여 확산시키기 때문에, 접합 후의 열처리를 저온에서 행하는 경우라도, 탈수 반응에서 접합 계면에 생긴 수분을 산화막(132)에 흡수, 확산시켜 탈수 반응을 효율 좋게 촉진시킬 수 있다. 이 경우, 베이스 기판(120)으로서 유리 등의 내열성이 낮은 기판을 사용한 경우라도, 산화막(132)과 질소 함유층(121)의 접합 강도를 충분히 향상시키는 것이 가능해진다. 또한, 바이어스 전압을 인가하여 플라즈마 처리를 행함으로써, 산화막(132)의 표면 근방에 마이크로 포어를 형성하여, 수분을 효과적으로 흡수하여 확산시켜, 저온이라도 산화막(132)과 질소 함유층(121)의 접합 강도를 향상시킬 수 있다.

[0121] 다음에, 열처리를 실시하여 취화 영역(104)에서 분리함으로써, 베이스 기판(120) 위에, 산화막(132) 및 질소 함유층(121)을 사이에 두고 단결정 반도체층(124)을 형성한다(도 3d 참조).

[0122] 가열 처리를 행함으로써, 온도 상승에 의해 취화 영역(104)에 형성되어 있는 미소한 구멍에는, 침가된 원소가 석출되고, 내부의 압력이 상승한다. 압력의 상승에 의해, 취화 영역(104)의 미소한 구멍에 체적 변화가 일어나고, 취화 영역(104)에 균열이 생기므로, 취화 영역(104)을 따라서 단결정 반도체 기판(100)이 벽개한다. 산화막(132)은 베이스 기판(120)에 접합하고 있으므로, 베이스 기판(120) 위에는 단결정 반도체 기판(100)으로부터 분리된 단결정 반도체층(124)이 형성된다. 또한, 여기에서의 열처리의 온도는, 베이스 기판(120)의 변형점을 초과하지 않는 온도로 한다.

[0123] 이 가열 처리에는, 확산로, 저항 가열로 등의 가열로, RTA(순간 열 어닐, Rapid Thermal Anneal) 장치, 마이크로파 가열 장치 등을 사용할 수 있다. 예를 들어, RTA 장치를 사용하는 경우, 가열 온도 550°C 이상 730°C 이하, 처리 시간 0.5분 이상 60분 이내로 실시할 수 있다.

[0124] 또, 상술한 베이스 기판(120)과 산화막(132)의 접합 강도를 증가시키기 위한 열처리를 하지 않고, 도 3d의 열처리를 행함으로써, 산화막(132)과 질소 함유층(121)의 접합 강도 증가의 열처리 단계와, 취화 영역(104)에서의 분리의 열처리 공정을 동시에 행하여도 좋다.

[0125] 이상의 공정에 의해, 베이스 기판(120) 위에 산화막(132) 및 질소 함유층(121)을 사이에 두고 단결정 반도체층(124)이 형성된 SOI 기판을 제작할 수 있다.

[0126] 본 실시형태에서 나타내는 방법을 사용함으로써, 질소 함유층(121)을 접합층으로서 사용한 경우라도, 베이스 기판(120)과 단결정 반도체층(124)의 접합 강도를 향상시키고, 신뢰성을 향상시킬 수 있다. 그 결과, 베이스 기판(120) 위에 형성되는 단결정 반도체층(124)으로의 불순물의 확산을 억제함과 함께, 베이스 기판(120)과 단결정 반도체층(124)이 강고하게 밀착한 SOI 기판을 형성할 수 있다.

[0127] 또, 베이스 기판측에 질소 함유층을 설치하고, 반도체 기판측에 염소 등의 할로겐을 가지는 산화막을 형성함으로써, 제작 공정을 간략화함과 함께 베이스 기판과의 접합 전에 상기 반도체 기판으로 불순물 원소가 침입하는 것을 억제할 수 있다. 또한, 반도체 기판측에 설치하는 접합층으로서 염소 등의 할로겐을 가지는 산화막을 형성함으로써, 접합 후의 열처리를 저온에서 행하는 경우라도, 탈수 반응을 효율 좋게 촉진시킴으로써 접합 강도를 향상시킬 수 있다.

[0128] 그 후, 분리된 단결정 반도체 기판(100)은, 상기 실시형태 1에서 나타낸 바와 같이 SOI 기판의 제조 프로세스에 있어서, 재이용할 수 있다.

- [0129] 또, 본 실시형태에서는, 단결정 반도체 기판(100) 위에 산화막(132)을 형성하고, 베이스 기판(120) 위에 질소 함유층(121)을 형성하는 경우를 나타냈지만, 이것에 한정되지 않는다. 예를 들어, 단결정 반도체 기판(100) 위에 산화막(132)과 질소 함유층을 순서대로 적층시켜서 형성하고, 산화막(132) 위에 형성된 질소 함유층의 표면과 베이스 기판(120)의 표면을 접합시켜도 좋다. 이 경우, 질소 함유층은 취화 영역(104)의 형성 전에 설치하여도 좋고, 형성 후에 설치하여도 좋다. 또, 질소 함유층 위에 산화막(예를 들어, 산화 실리콘)을 형성하고, 상기 산화막의 표면과 베이스 기판(120)의 표면을 접합시켜도 좋다.
- [0130] 또, 베이스 기판(120)으로부터 단결정 반도체층(124)으로의 불순물의 흡입이 문제가 되지 않는 경우에는, 베이스 기판(120) 위에 질소 함유층(121)을 형성하지 않고, 단결정 반도체 기판(100) 위에 형성된 산화막(132)의 표면과 베이스 기판(120)의 표면을 접합시켜도 좋다. 이 경우, 질소 함유층을 형성하는 공정을 생략할 수 있다.
- [0131] 또, 본 실시형태에서 나타낸 구성은, 본 명세서의 다른 실시형태에서 나타내는 구성과 적절하게 조합하여 행할 수 있다.
- [0132] (실시형태 4)
- [0133] 본 실시형태에서는, 상기 실시형태에서 제작한 SOI 기판을 사용하여, 반도체 장치를 제작하는 방법을 설명한다.
- [0134] 우선, 도 4 및 도 5를 참조하여, n채널형 박막 트랜지스터, 및 p채널형 박막 트랜지스터를 제작하는 방법을 설명한다. 복수의 박막 트랜지스터(TFT)를 조합함으로써 각종 반도체 장치를 형성할 수 있다.
- [0135] 본 실시형태에서는, SOI 기판으로서 상기 도 1의 공정을 사용하여 제작한 SOI 기판을 사용하는 경우에 대하여 설명한다. 물론, 상기 실시형태에서 나타낸 것 외의 방법으로 제작한 SOI 기판을 사용할 수도 있다.
- [0136] 도 4a는 상기 도 1을 사용하여 설명한 방법으로 제작된 SOI 기판의 단면도이다.
- [0137] 우선, 에칭에 의해, 단결정 반도체층(124)을 소자 분리하고, 도 4b에 도시하는 바와 같이 반도체층(251, 252)을 형성한다. 반도체층(251)은 n채널형의 TFT를 구성하고, 반도체층(252)은 p채널형의 TFT를 구성한다.
- [0138] 도 4c에 도시하는 바와 같이, 반도체층(251, 252) 위에 절연막(254)을 형성한다. 다음에, 절연막(254)을 사이에 두고 반도체층(251) 위에 게이트 전극(255)을 형성하고, 반도체층(252) 위에 게이트 전극(256)을 형성한다.
- [0139] 또, 단결정 반도체층(124)의 에칭을 실시하기 전에, TFT의 임계 값전압을 제어하기 위해서, 붕소, 알루미늄, 갈륨 등의 불순물 원소, 또는 인, 비소 등의 불순물 원소를 단결정 반도체층(124)에 첨가하는 것이 바람직하다. 예를 들어, n채널형 TFT가 형성되는 영역에 불순물 원소를 첨가하고, p 채널형 TFT가 형성되는 영역에 불순물 원소를 첨가한다.
- [0140] 다음에, 도 4d에 도시하는 바와 같이 반도체층(251)에 n형의 저농도 불순물 영역(257)을 형성하고, 반도체층(252)에 p형의 고농도 불순물 영역(259)을 형성한다. 구체적으로는, 우선, 반도체층(251)에 n형의 저농도 불순물 영역(257)을 형성한다. 따라서, p채널형 TFT가 되는 반도체층(252)을 레지스트로 마스크 하고, 불순물 원소를 반도체층(251)에 첨가한다. 불순물 원소로서 인 또는 비소를 첨가하면 좋다. 이온 도핑법 또는 이온 주입법에 의해 불순물 원소를 첨가함으로써, 게이트 전극(255)이 마스크가 되고, 반도체층(251)에 자기정합적으로 n형의 저농도 불순물 영역(257)이 형성된다. 반도체층(251)의 게이트 전극(255)과 겹치는 영역은 채널 형성 영역(258)이 된다.
- [0141] 다음에, 반도체층(252)을 덮는 마스크를 제거한 후, n채널형 TFT가 되는 반도체층(251)을 레지스트 마스크로 덮는다. 다음에, 이온 도핑법 또는 이온 주입법에 의해 불순물 원소를 반도체층(252)에 첨가한다. 불순물 원소로서, 붕소를 첨가할 수 있다. 불순물 원소의 첨가 공정에서는, 게이트 전극(256)이 마스크로서 기능하고, 반도체층(252)에 p형의 고농도 불순물 영역(259)이 자기정합적으로 형성된다. 고농도 불순물 영역(259)은 소스 영역 또는 드레인 영역으로서 기능한다. 반도체층(252)의 게이트 전극(256)과 겹치는 영역은 채널 형성 영역(260)이 된다. 여기에서는, n형의 저농도 불순물 영역(257)을 형성한 후, p형의 고농도 불순물 영역(259)을 형성하는 방법을 설명하였지만, 먼저 p형의 고농도 불순물 영역(259)을 형성할 수도 있다.
- [0142] 다음에, 반도체층(251)을 덮는 레지스트를 제거한 후, 플라즈마 CVD법 등에 의해 질화 실리콘 등의 질소 화합물이나 산화 실리콘 등의 산화물로 이루어지는 단층 구조 또는 적층 구조의 절연막을 형성한다. 이 절연막을 수

직 방향의 이방성 예칭함으로써, 도 5a에 도시하는 바와 같이, 게이트 전극(255, 256)의 측면에 접하는 사이드 월 절연막(261, 262)을 형성한다. 이 이방성 예칭에 의해, 절연막(254)도 예칭된다.

[0143] 다음에, 도 5b에 도시하는 바와 같이, 반도체층(252)을 레지스트(265)로 덮는다. 반도체층(251)에 소스 영역 또는 드레인 영역으로서 기능하는 고농도 불순물 영역을 형성하기 위해서, 이온 주입법 또는 이온 도핑법에 의해, 반도체층(251)에 고도즈량으로 불순물 원소를 첨가한다. 게이트 전극(255) 및 사이드 월 절연막(261)이 마스크가 되고, n형의 고농도 불순물 영역(267)이 형성된다. 다음에, 불순물 원소의 활성화를 위한 가열 처리를 행한다.

[0144] 활성화의 가열 처리 후, 도 5c에 도시하는 바와 같이, 수소를 포함한 절연막(268)을 형성한다. 절연막(268)을 형성한 후, 350°C 이상 450°C 이하의 온도에 의한 가열 처리를 행하고, 절연막(268) 중에 포함되는 수소를 반도체층(251, 252) 중에 확산시킨다. 절연막(268)은, 프로세스 온도가 350°C 이하인 플라즈마 CVD법에 의해 질화실리콘 또는 질화산화 실리콘을 퇴적시킴으로써 형성할 수 있다. 반도체층(251, 252)에 수소를 공급함으로써, 반도체층(251, 252) 중 및 절연막(254)과의 계면에서의 포획 중심이 되는 결함을 효과적으로 보상할 수 있다.

[0145] 그 후, 충간 절연막(269)을 형성한다. 충간 절연막(269)은, 산화 실리콘막, BPSG(Boron Phosphorus Silicon Glass)막 등의 무기재료로 이루어지는 절연막, 또는, 폴리이미드, 아크릴 등의 유기수지막으로부터 선택된 단층 구조의 막, 적층 구조의 막으로 형성할 수 있다. 충간 절연막(269)에 콘택트 홀을 형성한 후, 도 5c에 도시하는 바와 같이 배선(270)을 형성한다. 배선(270)의 형성에는, 예를 들어, 알루미늄막 또는 알루미늄 합금막 등의 저저항 금속막을 배리어 메탈 막으로 끼운 3층 구조의 도전막으로 형성할 수 있다. 배리어 메탈막은, 몰리브덴, 크롬, 티탄늄 등의 금속막으로 형성할 수 있다.

[0146] 이상의 공정에 의해, n채널형 TFT와 p채널형 TFT를 가지는 반도체 장치를 제작할 수 있다. SOI 기판의 제작 과정에서, 채널 형성 영역을 구성하는 반도체층의 산소 농도를 저감시키고 있으므로, 오프 전류가 작고, 임계값 전압의 변동이 억제된 TFT를 제작할 수 있다. 또한, 채널 형성 영역을 구성하는 반도체층의 산소 농도를 $1 \times 10^{18} \text{ atoms/cm}^3$ 미만, 바람직하게는 $5 \times 10^{17} \text{ atoms/cm}^3$ 미만으로 하는 것이 바람직하다.

[0147] 도 4 및 도 5를 참조하여 TFT의 제작 방법을 설명하였지만, TFT의 외에, 용량, 저항 등 TFT와 함께 각종 반도체 소자를 형성함으로써, 고부가 가치의 반도체 장치를 제작할 수 있다. 이하, 도면을 참조하면서 반도체 장치의 구체적인 형태를 설명한다.

[0148] 우선, 반도체 장치 일례로서, 마이크로 프로세서에 대하여 설명한다. 도 6은 마이크로 프로세서(500)의 구성 예를 도시하는 블록도이다.

[0149] 마이크로 프로세서(500)는, 연산 회로(501)(Arithmetic logic unit. ALU이라고도 함.), 연산 회로 제어부(502)(ALU Controller), 명령 해석부(503)(Instruction Decoder), 인터럽트 제어부(504)(Interrupt Controller), 타이밍 제어부(505)(Timing Controller), 레지스터(506)(Register), 레지스터 제어부(507)(Register Controller), 버스 인터페이스(508)(Bus I/F), 판독 전용 메모리(509), 및 메모리 인터페이스(510)를 가지고 있다.

[0150] 버스 인터페이스(508)를 사이에 두고 마이크로 프로세서(500)에 입력된 명령은, 명령 해석부(503)에 입력되고, 디코드된 후, 연산 회로 제어부(502), 인터럽트 제어부(504), 레지스터 제어부(507), 타이밍 제어부(505)에 입력된다. 연산 회로 제어부(502), 인터럽트 제어부(504), 레지스터 제어부(507), 타이밍 제어부(505)는, 디코드된 명령에 기초하여 여러 가지 제어를 실시한다.

[0151] 연산 회로 제어부(502)는, 연산 회로(501)의 동작을 제어하기 위한 신호를 생성한다. 또한, 인터럽트 제어부(504)는, 마이크로 프로세서(500)의 프로그램 실행 중에, 외부의 입출력 장치나 주변회로로부터의 인터럽트 요구를 처리하는 회로이며, 인터럽트 제어부(504)는, 인터럽트 요구의 우선도나 마스크 상태를 판단하고, 인터럽트 요구를 처리한다. 레지스터 제어부(507)는, 레지스터(506)의 어드레스를 생성하고, 마이크로 프로세서(500)의 상태에 따라서 레지스터(506)의 판독이나 기록을 행한다. 타이밍 제어부(505)는, 연산 회로(501), 연산 회로 제어부(502), 명령 해석부(503), 인터럽트 제어부(504), 및 레지스터 제어부(507)의 동작 타이밍을 제어하는 신호를 생성한다. 예를 들어, 타이밍 제어부(505)는, 기준 클록 신호(CLK1)를 바탕으로, 내부 클록 신호(CLK2)를 생성하는 내부 클록 생성부를 구비한다. 도 6에 도시하는 바와 같이, 내부 클록 신호(CLK2)는 다른 회로에 입력된다.

[0152] 다음에, 비접촉으로 데이터의 송수신을 실시하는 기능, 및 연산 기능을 갖춘 반도체 장치의 일례를 설명한다.

도 7은, 이러한 반도체 장치의 구성 예를 도시하는 블록도이다. 도 7에 도시하는 반도체 장치는, 무선 통신에 의해 외부장치와 신호의 송수신을 실시하여 동작하는 컴퓨터(이하, “RFCPU”라고 함)라고 부를 수 있다.

[0153] 도 7에 도시하는 바와 같이, RFCPU(511)는, 아날로그 회로부(512)와 디지털 회로부(513)를 가지고 있다. 아날로그 회로부(512)로서, 공진 용량을 가지는 공진 회로(514), 정류 회로(515), 정전압 회로(516), 리셋 회로(517), 발진 회로(518), 복조 회로(519)와, 변조 회로(520)와, 전원관리 회로(530)를 가지고 있다. 디지털 회로부(513)는, RF 인터페이스(521), 제어 레지스터(522), 클록 컨트롤러(523), 인터페이스(524), 중앙 처리 유닛(525), 랜덤 액세스 메모리(526), 판독 전용 메모리(527)를 가지고 있다.

[0154] RFCPU(511)의 동작 개요는 아래와 같다. 안테나(528)가 수신한 신호는 공진회로(514)에 의해 유도 기전력을 발생한다. 유도 기전력은, 정류 회로(515)를 거쳐서 용량부(529)에 충전된다. 이 용량부(529)는 세라믹 콘덴서나 전기 이중층 콘덴서 등의 커패시터에서 형성되어 있는 것이 바람직하다. 용량부(529)는, RFCPU(511)를 구성하는 기판에 접적되어 있을 필요는 없고, 다른 부품으로서 RFCPU(511)에 장착할 수도 있다.

[0155] 리셋 회로(517)는, 디지털 회로부(513)를 리셋하여 초기화하는 신호를 생성한다. 예를 들어, 전원 전압의 상승에 지연하여 상승하는 신호를 리셋 신호로서 생성한다. 발진 회로(518)는, 정진압회로(516)에 의해 생성되는 제어 신호에 따라서, 클록 신호의 주파수와 듀티비를 변경한다. 복조 회로(519)는, 수신 신호를 복조하는 회로이며, 변조 회로(520)는, 송신하는 데이터를 변조하는 회로이다.

[0156] 예를 들어, 복조 회로(519)는 로 패스 필터로 형성되고, 진폭변조(ASK) 방식의 수신 신호를, 그 진폭의 변동을 바탕으로, 2치화한다. 또한, 송신 데이터를 진폭 변조(ASK) 방식의 송신 신호의 진폭을 변동시켜서 송신하기 때문에, 변조 회로(520)는, 공진회로(514)의 공진점을 변화시킴으로써 통신 신호의 진폭을 변화시키고 있다.

[0157] 클록 컨트롤러(523)는, 전원 전압 또는 중앙 처리 유닛(525)에 있어서의 소비 전류에 따라서 클록 신호의 주파수와 듀티비를 변경하기 위한 제어 신호를 생성하고 있다. 전원 전압의 감시는 전원 관리 회로(530)가 행하고 있다.

[0158] 안테나(528)로부터 RFCPU(511)에 입력된 신호는 복조 회로(519)에서 복조된 후, RF 인터페이스(521)에서 제어 커맨드나 데이터 등으로 분해된다. 제어 커맨드는 제어 레지스터(522)에 격납된다. 제어 커맨드에는, 판독 전용 메모리(527)에 기억되어 있는 데이터의 판독, 랜덤 액세스 메모리(526)로의 데이터의 기록, 중앙 처리 유닛(525)으로의 연산 명령 등이 포함된다.

[0159] 중앙 처리 유닛(525)은, 인터페이스(524)를 사이에 두고 판독 전용 메모리(527), 랜덤 액세스 메모리(526), 제어 레지스터(522)에 액세스한다. 인터페이스(524)는, 중앙 처리 유닛(525)이 요구하는 어드레스로부터, 판독 전용 메모리(527), 랜덤 액세스 메모리(526), 제어 레지스터(522)의 어느 하나에 대한 액세스 신호를 생성하는 기능을 가지고 있다.

[0160] 중앙 처리 유닛(525)의 연산 방식은, 판독 전용 메모리(527)에 OS(오퍼레이팅 시스템)을 기억시켜 두고, 기동과 함께 프로그램을 판독하여 실행하는 방식을 채용할 수 있다. 또한, 전용 회로로 연산 회로를 구성하고, 연산 처리를 하드웨어적으로 처리하는 방식을 채용할 수도 있다. 하드웨어와 소프트웨어를 병용하는 방식에서는, 전용의 연산 회로로 일부의 연산 처리를 행하고, 프로그램을 사용하고, 나머지의 연산을 중앙 처리 유닛(525)이 처리하는 방식을 적용할 수 있다.

[0161] 다음에, 도 8, 도 9를 사용하여, 표시장치에 대하여 설명한다.

[0162] 도 8은 액정 표시 장치를 설명하기 위한 도면이다. 도 8a는 액정 표시 장치의 화소의 평면도이며, 도 8b는, J-K 절단선에 의한 도 8a의 단면도이다.

[0163] 도 8a에 도시하는 바와 같이, 화소는, 단결정 반도체층(320), 단결정 반도체층(320)과 교차하고 있는 주사선(322), 주사선(322)과 교차하고 있는 신호선(323), 화소 전극(324), 화소 전극(324)과 단결정 반도체층(320)을 전기적으로 접속하는 전극(328)을 가진다. 단결정 반도체층(320)은, 베이스 기판(120) 위에 형성된 단결정 반도체층으로부터 형성된 층이며, 화소의 TFT(325)를 구성한다.

[0164] SOI 기판에는 상기 실시형태에서 나타낸 SOI 기판이 사용되고 있다. 도 8b에 도시하는 바와 같이, 베이스 기판(120) 위에, 산화막(132) 및 질소 함유층(121)을 사이에 두고 단결정 반도체층(320)이 적층된다. 베이스 기판(120)으로서는, 유리 기판을 사용할 수 있다. TFT(325)의 단결정 반도체층(320)은, SOI 기판의 단결정 반도체층을 에칭에 의해 소자 분리하여 형성된 막이다. 단결정 반도체층(320)에는, 채널 형성 영역(340), 불순물 원소가 첨가된 n형의 고농도 불순물 영역(341)이 형성된다. TFT(325)의 게이트 전극은 주사선(322)에 포함되고,

소스 전극 및 드레인 전극의 한쪽은 신호선(323)에 포함된다.

[0165] 층간 절연막(327) 위에는, 신호선(323), 화소 전극(324) 및 전극(328)이 형성된다. 층간 절연막(327) 위에는, 기동형 스페이스(329)가 형성된다. 신호선(323), 화소 전극(324), 전극(328) 및 기동형 스페이스(329)를 덮고 배향막(330)이 형성된다. 대향 기판(332)에는, 대향 전극(333), 대향 전극을 덮는 배향막(334)이 형성된다. 기동형 스페이스(329)는, 베이스 기판(120)과 대향 기판(332)의 틈을 유지하기 위해서 형성된다. 기동형 스페이스(329)에 의해 형성되는 틈에 액정층(335)이 형성된다. 신호선(323) 및 전극(328)과 고농도 불순물 영역(341)의 접속부는, 콘택트 홀의 형성에 의해 층간 절연막(327)에 단자가 생기므로, 이 접속부에서는 액정층(335)의 액정의 배향이 흐트러지기 쉽다. 따라서, 이 단자부에 기동형 스페이스(329)를 형성하여, 액정의 배향의 혼란을 막는다.

[0166] 다음에, 일렉트로루미네센스 표시장치(이하, EL 표시 장치라고 함.)에 대하여 도 9를 참조하여 설명한다. 도 9a는 EL 표시장치의 화소의 평면도이며, 도 9b는, J-K 절단선에 의한 도 9a의 단면도이다.

[0167] 도 9a에 도시하는 바와 같이, 화소는, TFT로 이루어지는 선택용 트랜지스터(401), 표시 제어용 트랜지스터(402), 주사선(405), 신호선(406), 및 전류 공급선(407), 화소 전극(408)을 포함한다. 일렉트로루미네센스 재료를 포함하여 형성되는 층(EL층)이 한 쌍의 전극 간에 끼운 구조의 발광 소자가 각 화소에 형성된다. 발광 소자의 한쪽의 전극이 화소 전극(408)이다. 또한, 반도체층(403)은, 선택용 트랜지스터(401)의 채널 형성 영역, 소스 영역 및 드레인 영역이 형성된다. 반도체층(404)은, 표시 제어용 트랜지스터(402)의 채널 형성 영역, 소스 영역 및 드레인 영역이 형성된다. 반도체층(403, 404)은, 베이스 기판 위에 형성된 단결정 반도체층(124)으로 형성된 층이다.

[0168] 선택용 트랜지스터(401)에 있어서, 게이트 전극은 주사선(405)에 포함되고, 소스 전극 또는 드레인 전극의 한쪽은 신호선(406)에 포함되고, 다른쪽은 전극(411)으로서 형성된다. 표시 제어용 트랜지스터(402)는, 게이트 전극(412)이 전극(411)과 전기적으로 접속되고, 소스 전극 또는 드레인 전극의 한쪽은, 화소 전극(408)에 전기적으로 접속되는 전극(413)으로서 형성되고, 다른쪽은, 전류 공급선(407)에 포함된다.

[0169] 표시 제어용 트랜지스터(402)는 p채널형의 TFT이다. 도 9b에 도시하는 바와 같이, 반도체층(404)에는, 채널 형성 영역(451), 및 p형의 고농도 불순물 영역(452)이 형성된다. 또, SOI 기판은, 실시형태에서 제작한 SOI 기판이 사용되고 있다.

[0170] 표시 제어용 트랜지스터(402)의 게이트 전극(412)을 덮고, 층간 절연막(427)이 형성된다. 층간 절연막(427) 위에, 신호선(406), 전류 공급선(407), 전극(411, 413) 등이 형성된다. 또한, 층간 절연막(427) 위에는, 전극(413)에 전기적으로 접속되어 있는 화소 전극(408)이 형성된다. 화소 전극(408)은 주변부가 절연성의 격벽층(428)으로 둘러싸여 있다. 화소 전극(408) 위에는 EL층(429)이 형성되고, EL 층(429) 위에는 대향 전극(430)이 형성된다. 보강판으로서 대향 기판(431)이 형성되어 있고, 대향 기판(431)은 수지층(432)에 의해 베이스 기판(120)에 고정된다.

[0171] EL 표시장치의 제조의 제어는, 발광 소자의 휘도를 전류로 제어하는 전류 구동 방식과, 전압으로 그 휘도를 제어하는 전압 구동 방식이 있지만, 전류 구동 방식은, 화소마다 트랜지스터의 특성 값의 차이가 큰 경우, 채용하는 것은 곤란하고, 따라서 특성의 편차를 보정하는 보정 회로가 필요하게 된다. SOI 기판의 제작 공정을 포함하는 제조 방법으로 EL 표시장치를 제작함으로써, 선택용 트랜지스터(401) 및 표시 제어용 트랜지스터(402)는 화소마다 특성의 편차가 없어지기 때문에, 전류 구동 방식을 채용할 수 있다.

[0172] 즉, SOI 기판을 사용함으로써, 다양한 전기기기를 제작할 수 있다. 전기기기로서는, 비디오카메라, 디지털 카메라, 네비게이션 시스템, 음향 재생 장치(카오디오, 오디오 컴포넌트 시스템 등), 컴퓨터, 게임 기기, 휴대 정보 단말(모바일 컴퓨터, 휴대전화, 휴대형 게임기 또는 전자서적 등, 기록 매체를 구비한 화상 재생 장치(구체적으로는 DVD(digital versatile disc) 등의 기록 매체에 기억된 음성 데이터를 재생하고, 또한 기억된 화상 데이터를 표시할 수 있는 표시장치를 구비한 장치) 등이 포함된다. 이들의 일례를 도 10에 도시한다.

[0173] 도 10은, SOI 기판을 적용한 휴대전화의 일 예이며, 도 10a가 정면도, 도 10b가 배면도, 도 10c가 2개의 케이스를 슬라이드 시켰을 때의 정면도이다. 도 10의 휴대전화는, 케이스(701) 및 케이스(702) 2개의 케이스로 구성된다. 도 10의 휴대전화는, 휴대전화와 휴대 정보 단말의 쌍방의 기능을 갖추고 있고, 컴퓨터를 내장하고, 음성 통화 이외에도 여러 데이터 처리가 가능한 소위 스마트 폰이다.

[0174] 도 10의 휴대전화는, 케이스(701) 및 케이스(702)로 구성된다. 케이스(701)에 있어서는, 표시부(703), 스파커(704), 마이크로폰(705), 조작 키(706), 포인팅 디바이스(707), 표면 카메라용 렌즈(708), 외부 접속 단자 잭

(709) 및 이어폰 단자(710) 등을 구비하고, 케이스(702)에 있어서는, 키보드(711), 외부 메모리 슬롯(712), 뒷면 카메라(713), 라이트(714) 등에 의해 구성된다. 또한, 안테나는 케이스(701)에 내장된다.

[0175] 또, 도 10 휴대전화에는, 상기 구성에 더하여, 비접촉형 IC칩, 소형기록 장치 등을 내장하고 있어도 좋다.

[0176] 서로 중첩한 케이스(701)와 케이스(702)(도 10a에 도시함)는, 슬라이드시킴으로써 도 10c와 같이 전개된다. 표시부(703)에는, 실시형태 2 및 실시형태 3에서 설명한 표시장치의 제작 방법을 적용한 표시 패널 또는 표시 장치를 장착하는 것이 가능하다. 표시부(703)와 표면 카메라용 렌즈(708)를 동일한 면에 구비하고 있기 때문에, 영상 전화로서의 사용이 가능하다. 또한, 표시부(703)를 파인더로서 사용함으로써, 뒷면 카메라(713) 및 라이트(714)에서 정지화 및 동화의 촬영이 가능하다.

[0177] 스피커(704) 및 마이크로폰(705)을 사용함으로써, 도 10의 휴대전화는, 음성 기록 장치(녹음 장치)또는 음성 재생 장치로서 사용할 수 있다. 또한, 조작 키(706)에 의해, 전화의 착발신 조작, 전자 메일 등의 간단한 정보 입력 조작, 표시부에 표시하는 화면의 스크롤 조작, 표시부에 표시하는 정보의 선택 등을 하는 이동 조작 등이 가능하다.

[0178] 또, 서류의 작성, 휴대 정보 단말로서의 사용 등, 취급하는 정보가 많은 경우는, 키보드(711)를 사용하면 편리하다. 또한, 서로 중첩한 케이스(701)와 케이스(702)(도 10a)를 슬라이드시킴으로써, 도 10c와 같이 전개시킬 수 있다. 휴대 정보 단말로서 사용하는 경우에는, 키보드(711) 및 포인팅 디바이스(707)를 사용하여, 원활한 조작이 가능하다. 외부 접속 단자 책(709)은 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속 가능하며, 충전 및 퍼스널 컴퓨터 등과의 데이터 통신이 가능하다. 또한, 외부 메모리 슬롯(712)에 기록 매체를 삽입하여, 보다 대량의 데이터 보존 및 이동이 가능하게 된다.

[0179] 케이스(702)의 뒷면(도 10b)에는, 뒷면 카메라(713) 및 라이트(714)를 구비하고, 표시부(703)를 파인더로서 정지화 및 동화의 촬영이 가능하다.

[0180] 또, 상기 기능 구성에 더하여, 적외선 통신 기능, USB 포트, 원 세그먼트 텔레비전 브로드캐스트(one segment television broadcast) 수신 기능, 비접촉 IC칩 또는 이어폰 책 등을 구비한 것이라도 좋다.

[0181] 도 10에서 설명한 전자기기는, 상술한 트랜지스터 및 표시장치의 제작 방법을 적용하여 제작할 수 있다.

[0182] 또, 본 실시형태에서 나타낸 구성은, 본 명세서의 다른 실시형태에서 나타내는 구성과 적절하게 조합하여 실시할 수 있다.

실시예

[0183] 본 실시예에서는, 단결정 반도체 기판에 이온들을 조사할 때의, 단결정 반도체 기판의 온도 상승 억제의 효과를 확인하였다. 구체적으로는, 소정수의 이온들을 조사할 때에, 한번으로 조사하는 경우와, 복수회로 나누어서 조사하는 경우에 대하여, 단결정 반도체 기판 중의 첨가된 이온들에 기인하는 원소 프로파일을 확인하였다.

[0184] 우선, 단결정 반도체 기판을 준비하여, 상기 단결정 반도체 기판에 가속된 수소 이온들을 조사하여 취화 영역을 형성하였다. 그 후, 단결정 반도체 기판에 첨가된 수소 농도를 분석하였다.

[0185] 취화 영역을 형성하기 위해서, 이온 도핑 장치를 사용하여, 수소 이온들을 단결정 실리콘 웨이퍼에 첨가하였다. 소스 가스에는 100% 수소 가스를 사용하여, 수소 가스를 여기하여 생성된 플라즈마 중의 이온들을 질량 분리하지 않고, 전계에서 가속하여 단결정 실리콘 웨이퍼 기판에 조사함으로써, 취화 영역을 형성하였다. 이온 도핑 장치에 있어서, 수소 가스를 여기함으로써, 3종류의 이온종(H^+ , H_2^+ , H_3^+)을 생성하고, 이 모든 이온종을 가속하여 단결정 반도체 기판에 조사하였다. 또, 수소 가스로부터 생성된 수소 이온종 중, 70%정도를 H_3^+ 로 하였다.

[0186] 이온들의 조사 조건으로서는, 이온들의 총 조사수(도즈량)가 일정하게 되는 조건(여기서는, $2.0 \times 10^{16} \text{ cm}^{-2}$ 이 되는 조건)을 각각 선택하였다. 예를 들어, 1회로 조사하는 경우에는, 1회로 조사되는 이온들의 도즈량이 $2.0 \times 10^{16} \text{ cm}^{-2}$ 이 되는 조건으로 조사하고, 2회로 나누어 조사하는 경우에는, 1회로 조사되는 이온들의 도즈량이 $1.0 \times 10^{16} \text{ cm}^{-2}$ 이 되는 조건으로, 2회 조사하였다. 마찬가지로, 4회, 8회로 나누어서 조사하는 경우에는, 1회로 조사되는 이온들의 도즈량이 $5.0 \times 10^{15} \text{ cm}^{-2}$ 이 되는 조건으로 4회, 또는 1회로 조사되는 이온들의 도즈량이 $2.5 \times$

10^{15} cm^{-2} 이 되는 조건으로 8회 조사하였다. 또한, 그 밖의 공통 조건으로서, 가속 전압 50kV, 빔 전류밀도 $5 \mu \text{ A/cm}^2$ 로 하였다.

[0187] 단결정 반도체 기판 중의 수소 농도의 분석은, 2차 이온 질량 분석법(SIMS, Secondary Ion Mass Spectrometry)을 사용하여 행하였다.

[0188] 분석 결과를 도 11a에 도시한다. 또한, 도 11a의 프로파일 중, 200nm 부근에 존재하는 피크(H_3^+ 의 조사에 기인하는 피크)에 관하여, 각 샘플의 피크 위치와 피크 농도의 관계를 도 11b에 도시한다.

[0189] 또, 이온들의 조사에 있어서, 한번에 조사하는 도즈량을 변화시켰을 때의 단결정 실리콘 기판의 온도를 측정한 결과를 표 1에 나타낸다. 단결정 실리콘 기판의 온도는, 단결정 반도체 기판에 특정 온도에서 표시부가 변색되는 불가역성 서모 라벨(TMC(Thermographic Measurements Ltd)회사 제조, 상품명: THERMAX 6Level Mini Strip s)을 사용하여 측정하였다.

표 1

도즈량 [atoms/cm ²]	기판 온도 [°C]	조사수
5.0E+14	54	40
1.0E+15	77	20
2.0E+15	99	10
3.0E+15	116	
4.0E+15	171	5
5.0E+15	193	4
6.0E+15	224	
7.0E+15	241	
8.0E+15	254	
9.0E+15	224~260	
1.0E+16	254~290	2
1.5E+16	290~360	
2.0E+16	290~360	1

[0190]

표 1로부터, 1회로 조사하는 이온들의 도즈량이 증가함에 따라서 (1회의 조사 시간이 늘어남에 따라서), 단결정 실리콘 기판의 온도가 상승되는 것이 확인되었다.

[0192]

도 11a 및 도 11b로부터, 이온들을 한번으로 조사하였을 경우에는 피크 위치는 가장 얕고, 또한 피크 농도는 가장 작아져 있는 것을 알 수 있다. 한편, 조사 회수가 늘어날수록 피크 위치는 깊고, 피크 농도는 커지는 경향이 있다. 특히, 조사 회수가 4회 이상인 경우에는, 조사 회수가 1회인 경우와 비교하여 피크 위치가 깊고 또한 피크 농도가 커지는 것을 알았다. 이것은, 조사 회수가 증가함 (즉, 한번에 조사하는 이온들의 도즈량을 적게하거나, 또는 기판 냉각 기간을 설정함)으로써, 기판의 온도 상승이 억제되기 때문이다.

[0193]

단결정 반도체 기판의 온도 상승이 억제됨으로써, 단결정 반도체 기판 중에 있어서, 첨가된 이온들에 기인하는 원소(여기서는, 수소)의 열 확산을 억제할 수 있기 때문에, 단결정 반도체 기판의 깊이 방향에 있어서 수소가 첨가되는 영역이 좁아지는 것을 알 수 있다. 또한, 기판의 온도 상승이 억제됨으로써, 단결정 실리콘 기판 중의 실리콘 원자와 결합한 수소의 이탈이 저감하여, 결과적으로, 잔존하는 수소가 증가한다고 생각된다. 이렇게, 단결정 반도체 기판의 깊이 방향에 있어서 취화 영역이 형성되는 영역이 좁아짐으로써, 단결정 반도체 기판의 분리를 양호하게 행하고, 분리 후의 단결정 반도체층 표면을 평坦하게 할 수 있다.

[0194]

또, 도 11a, 도 11b 및 표 1로부터, 이온들의 조사 시에 있어서의 단결정 반도체 기판의 온도가 대략 200°C 이하의 온도 조건이면, 충분히 효과를 얻을 수 있다고 할 수 있다.

[0195] 또, 본 실시예에서 나타낸 구성은, 본 명세서의 다른 실시형태에서 나타내는 구성과 적절하게 조합할 수 있다.

도면의 간단한 설명

[0196] 도 1은 SOI 기판의 제작 방법의 일 예를 도시하는 도면.

[0197] 도 2는 SOI 기판의 제작 방법에 적용 가능한 이온 도핑 장치의 일 예를 도시하는 도면.

[0198] 도 3은 SOI 기판의 제작 방법의 일 예를 도시하는 도면.

[0199] 도 4는 SOI 기판의 제작 방법의 일 예를 도시하는 도면.

[0200] 도 5는 SOI 기판의 제작 방법의 일 예를 도시하는 도면.

[0201] 도 6은 SOI 기판을 사용한 반도체 장치의 일 예를 도시하는 도면.

[0202] 도 7은 SOI 기판을 사용한 반도체 장치의 일 예를 도시하는 도면.

[0203] 도 8은 SOI 기판을 사용한 표시장치의 일 예를 도시하는 도면.

[0204] 도 9는 SOI 기판을 사용한 표시장치의 일 예를 도시하는 도면.

[0205] 도 10은 SOI 기판을 사용한 사용 형태의 일 예를 도시하는 도면.

[0206] 도 11은 이온들의 조사 회수를 변화시킨 경우에 있어서의 단결정 반도체 기판 중의 수소 농도의 측정 결과를 도시하는 도면.

[0207] 도 12는 SOI 기판의 제작 방법에 적용 가능한 이온 도핑 장치의 일 예를 도시하는 도면.

[0208] <도면의 주요 부분에 대한 부호의 설명>

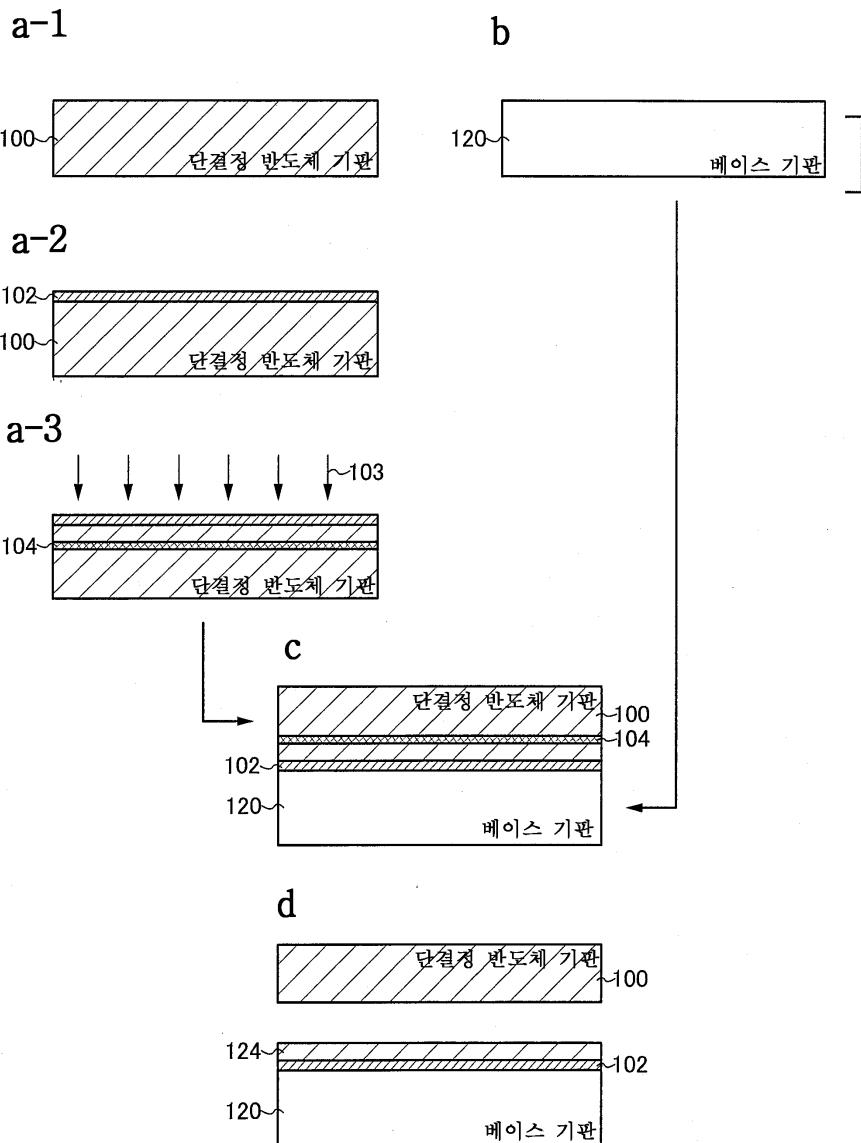
[0209] 100: 단결정 반도체 기판 102: 절연층

[0210] 103: 이온 104: 취화 영역

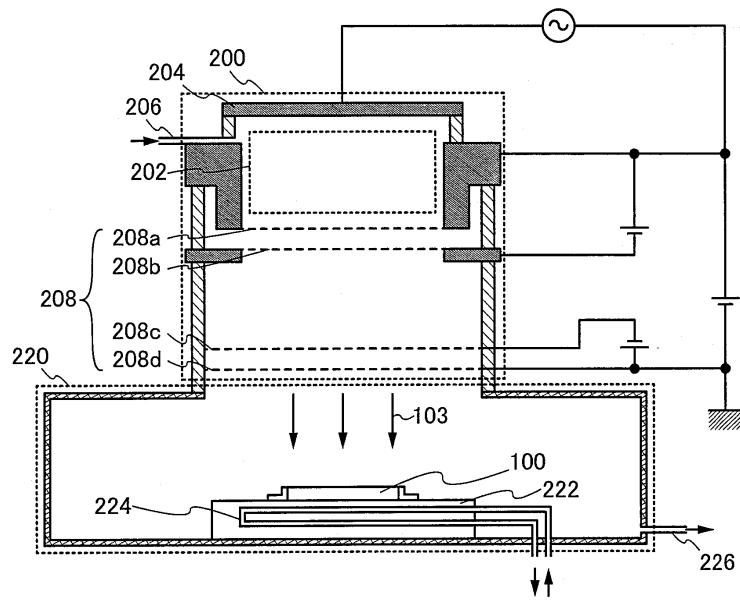
[0211] 120: 베이스 기판 121: 질소 함유층

도면

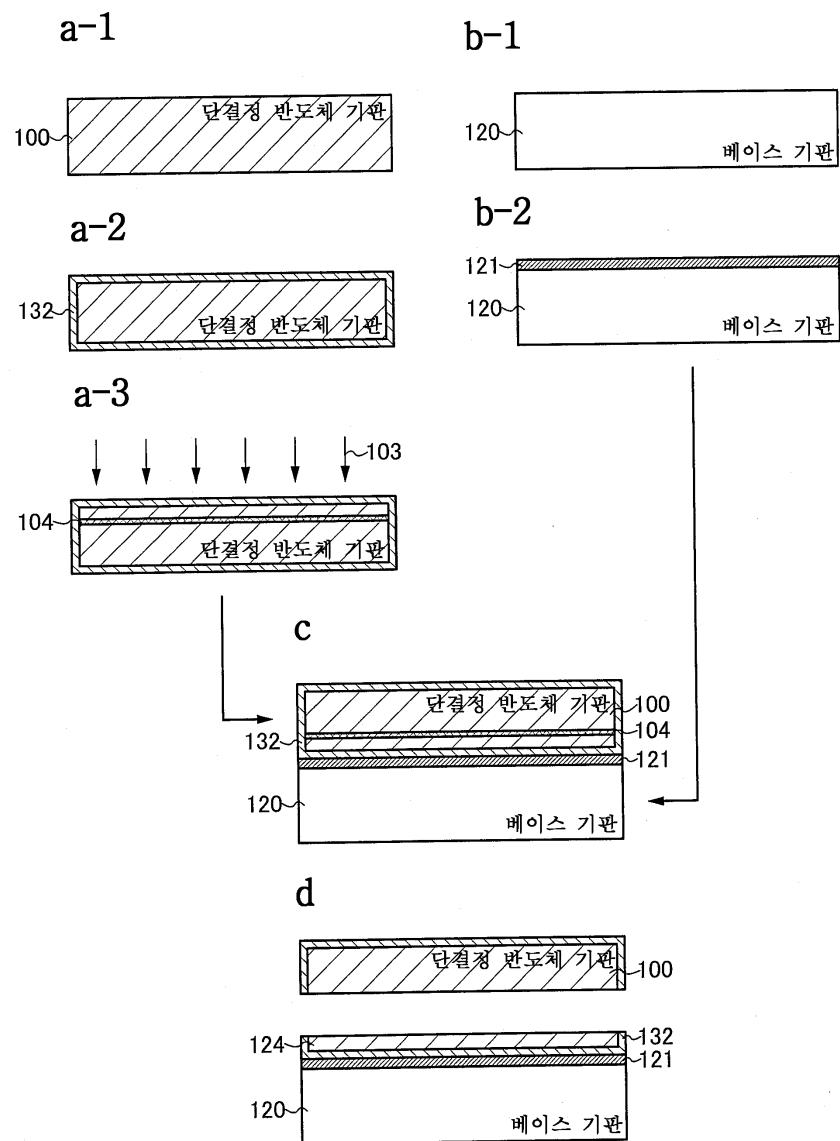
도면1



도면2

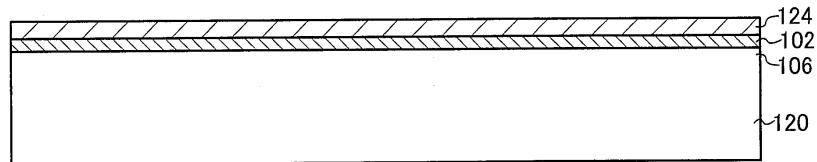


도면3

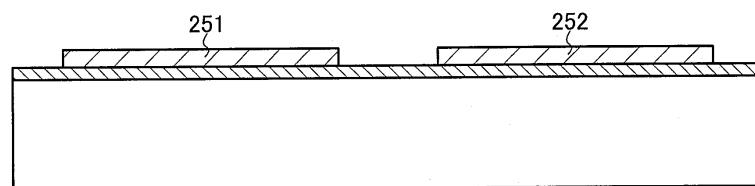


도면4

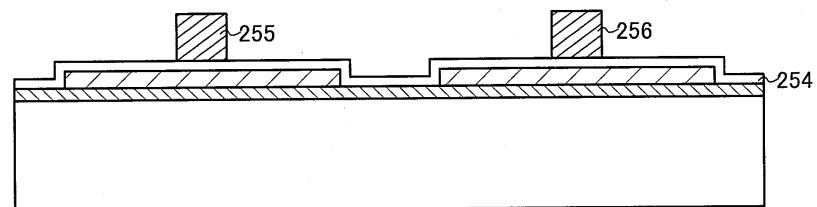
a



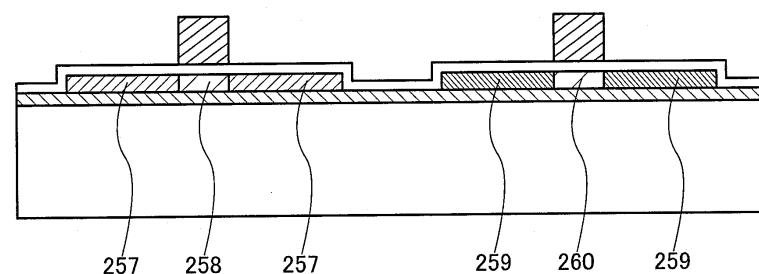
b



c

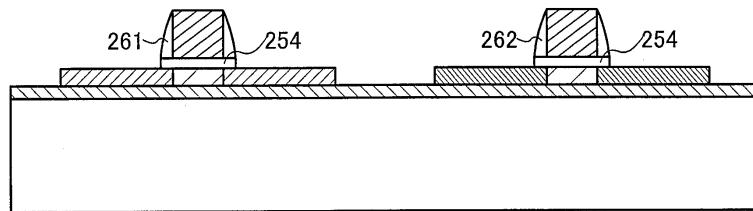


d

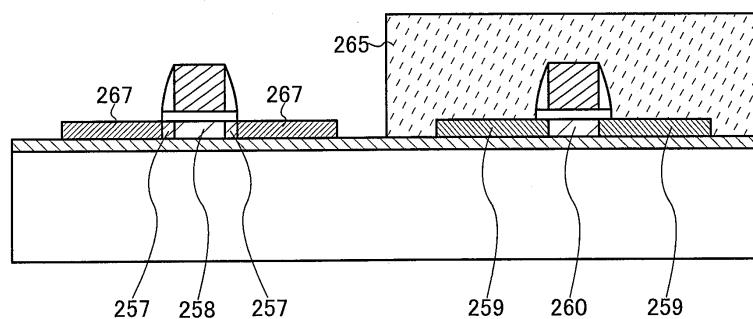


도면5

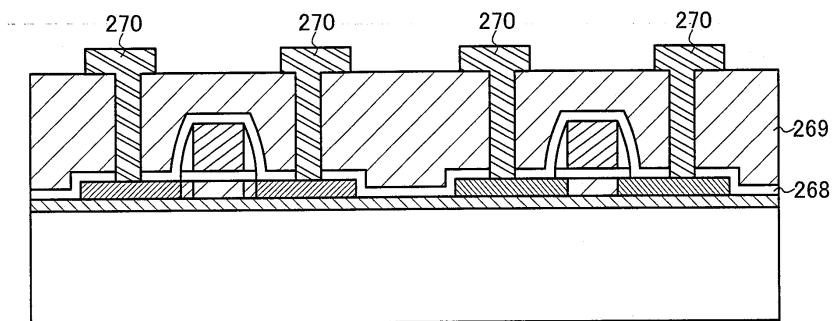
a



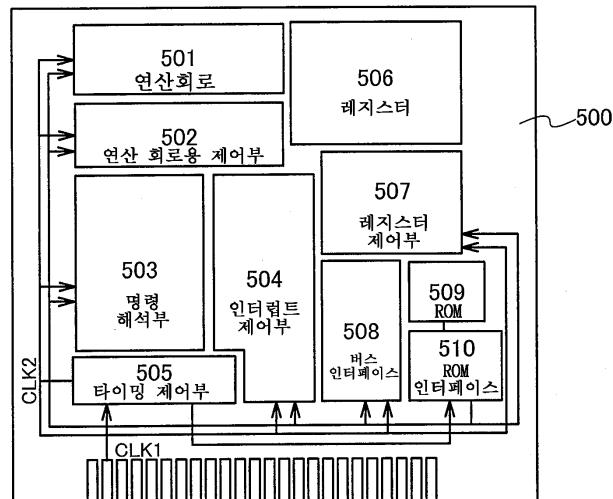
b



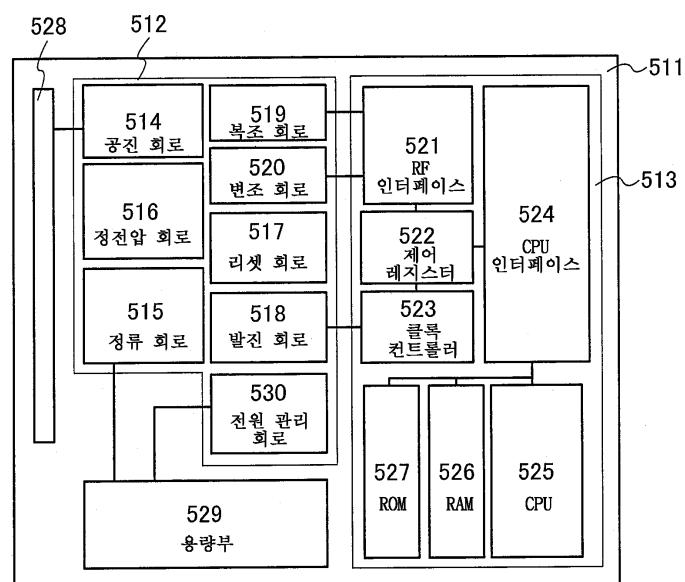
c



도면6

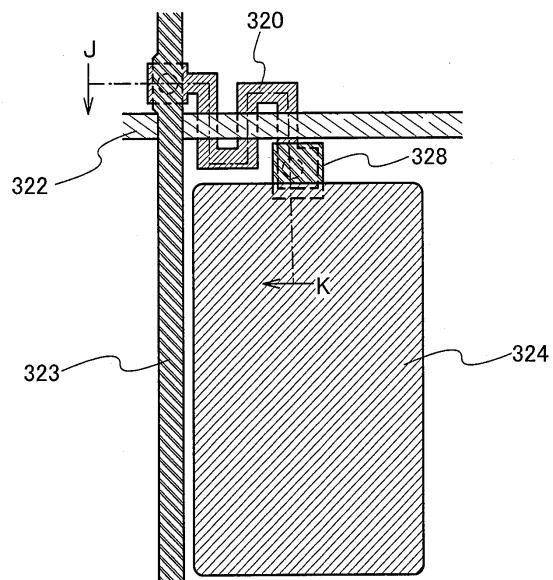


도면7

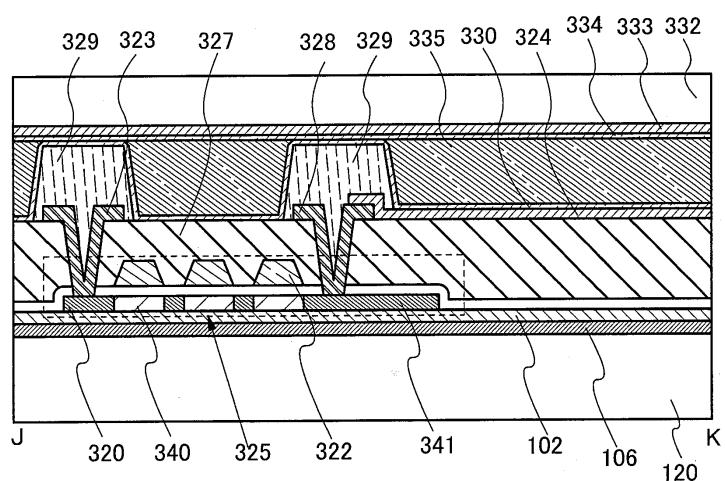


도면8

a

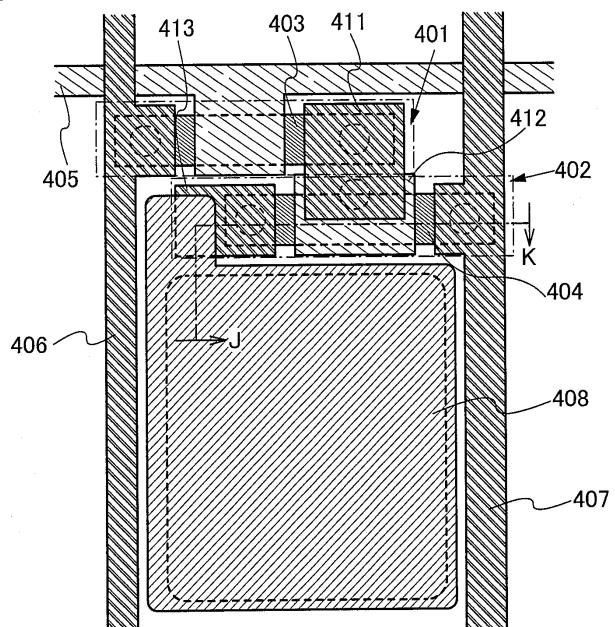


b

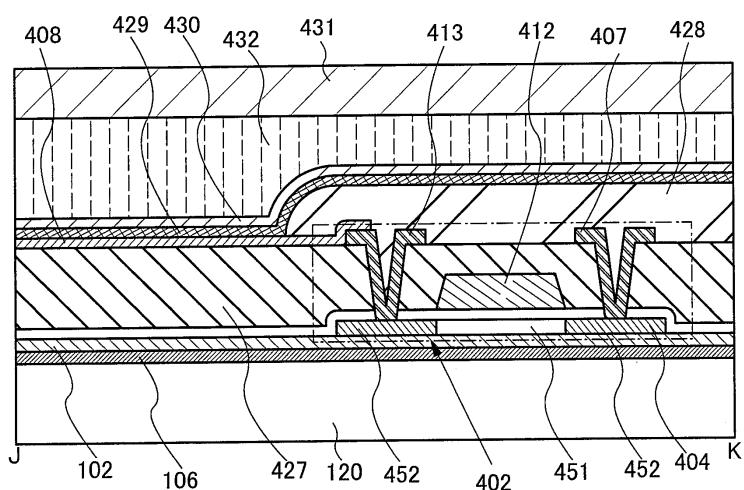


도면9

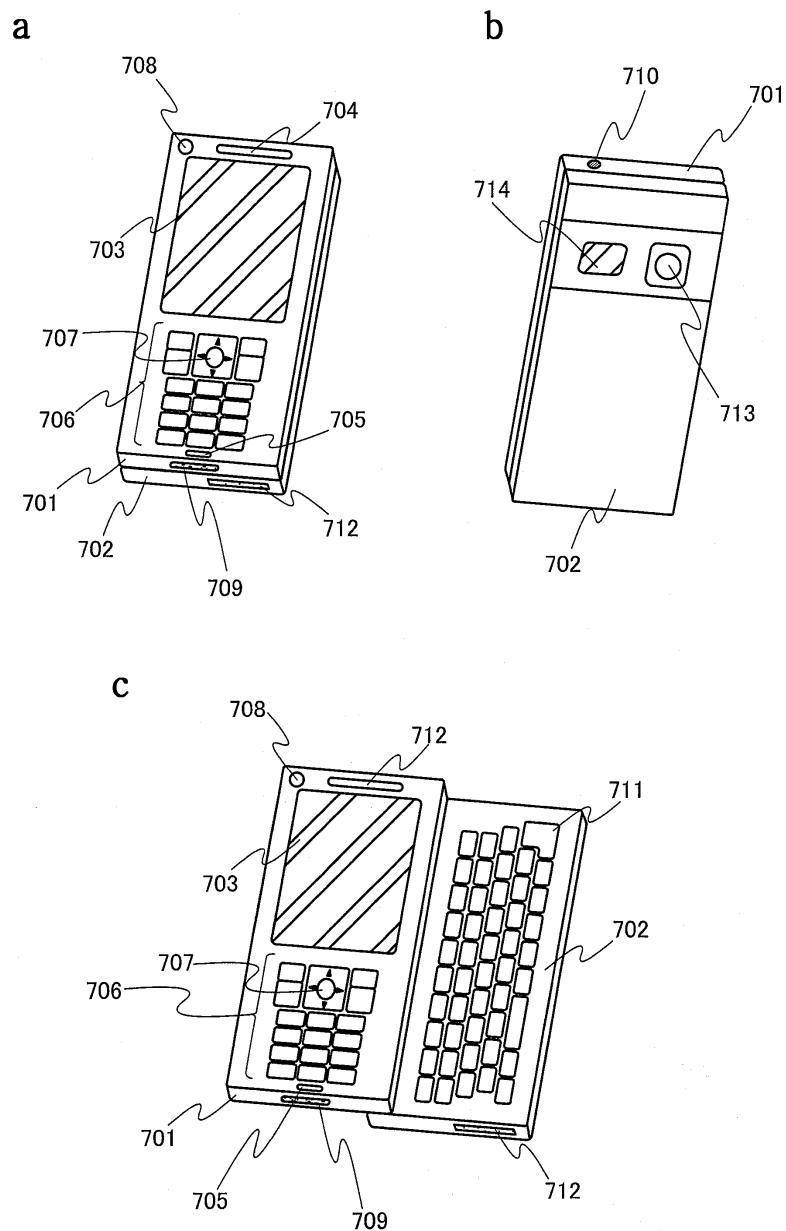
a



b

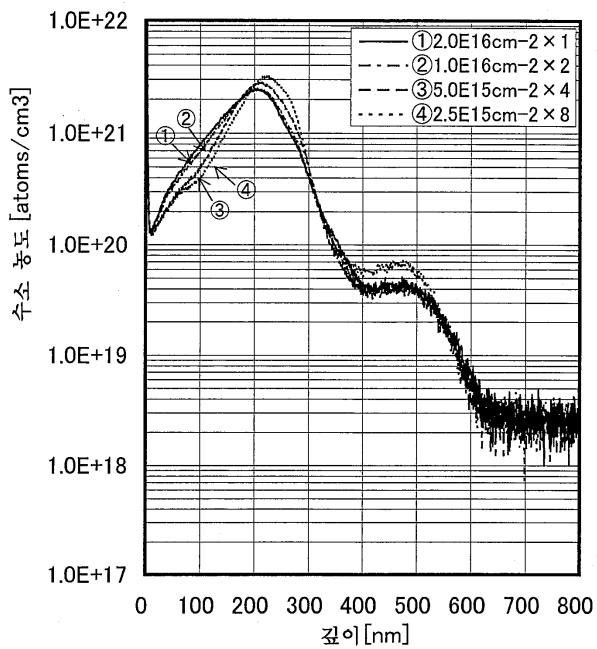


도면10



도면11

a



b

샘플 No.	피크 깊이 [nm]	피크 농도 [atoms/cm ³]
2.0E16cm ⁻² × 1	204.42	2.46E+21
1.0E16cm ⁻² × 2	204.51	2.49E+21
5.0E15cm ⁻² × 4	210.24	2.81E+21
2.5E15cm ⁻² × 8	223.85	3.17E+21

도면12

