



(12) 发明专利申请

(10) 申请公布号 CN 104778931 A

(43) 申请公布日 2015. 07. 15

(21) 申请号 201510142728. 2

(22) 申请日 2015. 03. 27

(71) 申请人 京东方科技集团股份有限公司  
地址 100015 北京市朝阳区酒仙桥路 10 号  
申请人 北京京东方显示技术有限公司

(72) 发明人 胡巍浩 廖燕平 郭鲁强 苏文刚

(74) 专利代理机构 北京三高永信知识产权代理  
有限责任公司 11138

代理人 张所明

(51) Int. Cl.  
G09G 3/36(2006. 01)

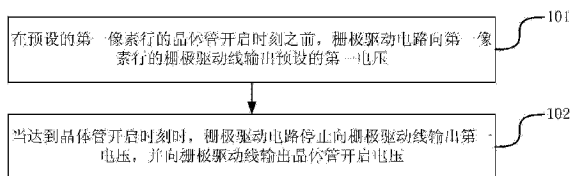
权利要求书2页 说明书6页 附图3页

(54) 发明名称

一种像素晶体管的栅极驱动方法和栅极驱动电路

(57) 摘要

本发明公开了一种像素晶体管的栅极驱动方法和栅极驱动电路,属于显示技术领域。所述方法包括:在预设的第一像素行的晶体管开启时刻之前,栅极驱动电路向所述第一像素行的栅极驱动线输出预设的第一电压;其中,所述第一电压大于晶体管关闭电压;当达到所述晶体管开启时刻时,所述栅极驱动电路停止向所述栅极驱动线输出所述第一电压,并向所述栅极驱动线输出晶体管开启电压。采用本发明,可以提高像素显示的准确度。



1. 一种像素晶体管的栅极驱动方法,其特征在于,所述方法包括:

在预设的第一像素行的晶体管开启时刻之前,栅极驱动电路向所述第一像素行的栅极驱动线输出预设的第一电压;其中,所述第一电压大于晶体管关闭电压;

当达到所述晶体管开启时刻时,所述栅极驱动电路停止向所述栅极驱动线输出所述第一电压,并向所述栅极驱动线输出晶体管开启电压。

2. 根据权利要求1所述的方法,其特征在于,所述第一电压小于所述晶体管开启电压。

3. 根据权利要求1所述的方法,其特征在于,所述在预设的第一像素行的晶体管开启时刻之前,栅极驱动电路向所述第一像素行的栅极驱动线输出预设的第一电压,包括:

从预设的第一像素行的晶体管开启时刻之前预设时长时起,栅极驱动电路向所述第一像素行的栅极驱动线输出预设的第一电压。

4. 根据权利要求3所述的方法,其特征在于,所述预设时长小于预设的第一像素行的晶体管关闭时刻与晶体管开启时刻的时间差。

5. 根据权利要求1所述的方法,其特征在于,所述方法还包括:

当达到预设的所述第一像素行的晶体管关闭时刻时,所述栅极驱动电路停止向所述栅极驱动线输出所述晶体管开启电压,并向所述栅极驱动线输出晶体管关闭电压。

6. 根据权利要求1所述的方法,其特征在于,所述在预设的第一像素行的晶体管开启时刻之前,栅极驱动电路向所述第一像素行的栅极驱动线输出预设的第一电压,包括:

在预设的第一像素行的晶体管开启时刻之前,栅极驱动电路在第一控制信号的控制下,向所述第一像素行的栅极驱动线输出预设的第一电压。

7. 根据权利要求6所述的方法,其特征在于,所述当达到所述晶体管开启时刻时,所述栅极驱动电路停止向所述栅极驱动线输出所述第一电压,并向所述栅极驱动线输出晶体管开启电压,包括:

当达到所述晶体管开启时刻时,所述栅极驱动电路在第二控制信号的控制下,停止向所述栅极驱动线输出所述第一电压,并向所述栅极驱动线输出晶体管开启电压。

8. 根据权利要求7所述的方法,其特征在于,所述方法还包括:

当达到预设的所述第一像素行的晶体管关闭时刻时,所述栅极驱动电路在所述第二控制信号的控制下,停止向所述栅极驱动线输出所述晶体管开启电压,并向所述栅极驱动线输出晶体管关闭电压。

9. 一种栅极驱动电路,其特征在于,所述栅极驱动电路包括:

预充模块,用于在预设的第一像素行的晶体管开启时刻之前,向所述第一像素行的栅极驱动线输出预设的第一电压;其中,所述第一电压大于晶体管关闭电压;

控制模块,用于当达到所述晶体管开启时刻时,停止向所述栅极驱动线输出所述第一电压,并向所述栅极驱动线输出晶体管开启电压。

10. 根据权利要求9所述的栅极驱动电路,其特征在于,所述第一电压小于所述晶体管开启电压。

11. 根据权利要求9所述的栅极驱动电路,其特征在于,所述预充模块,用于:

从预设的第一像素行的晶体管开启时刻之前预设时长时起,向所述第一像素行的栅极驱动线输出预设的第一电压。

12. 根据权利要求11所述的栅极驱动电路,其特征在于,所述预设时长小于预设的第

一像素行的晶体管关闭时刻与晶体管开启时刻的时间差。

13. 根据权利要求 9 所述的栅极驱动电路,其特征在于,所述控制模块,还用于:

当达到预设的所述第一像素行的晶体管关闭时刻时,停止向所述栅极驱动线输出所述晶体管开启电压,并向所述栅极驱动线输出晶体管关闭电压。

14. 根据权利要求 9 所述的栅极驱动电路,其特征在于,所述预充模块,用于:

在预设的第一像素行的晶体管开启时刻之前,在第一控制信号的控制下,向所述第一像素行的栅极驱动线输出预设的第一电压。

15. 根据权利要求 14 所述的栅极驱动电路,其特征在于,所述控制模块,用于:

当达到所述晶体管开启时刻时,在第二控制信号的控制下,停止向所述栅极驱动线输出所述第一电压,并向所述栅极驱动线输出晶体管开启电压。

16. 根据权利要求 15 所述的栅极驱动电路,其特征在于,所述控制模块,还用于:

当达到预设的所述第一像素行的晶体管关闭时刻时,在所述第二控制信号的控制下,停止向所述栅极驱动线输出所述晶体管开启电压,并向所述栅极驱动线输出晶体管关闭电压。

## 一种像素晶体管的栅极驱动方法和栅极驱动电路

### 技术领域

[0001] 本发明涉及显示技术领域,特别涉及一种像素晶体管的栅极驱动方法和栅极驱动电路。

### 背景技术

[0002] 在液晶显示设备中,对于每个像素,设置有一个像素电路,用于显示相应的像素。每个像素电路中设置有像素晶体管和像素电容。液晶显示设备中设置有栅极驱动电路,用于对各像素电路中像素晶体管进行栅极驱动,即对像素晶体管的开关进行控制。像素晶体管开启时,数据电压则会通过像素晶体管对像素电容进行充电,充电后的像素电容可以控制输出相应的光信号。

[0003] 一般地,栅极驱动电路设置有多个输出端口,每个输出端口与一个像素行的栅极驱动线连接,该栅极驱动线与该像素行中所有像素电路的像素晶体管的栅极连接。栅极驱动电路通过某输出端口向连接的栅极驱动线输出驱动电压,以控制对应的像素行中所有像素电路的像素晶体管的开启和关闭,当驱动电压为高电平的晶体管开启电压  $V_{GH}$  时,像素晶体管开启,当驱动电压为低电平的晶体管关闭电压  $V_{GL}$  时,像素晶体管关闭。

[0004] 在实现本发明的过程中,发明人发现现有技术至少存在以下问题:

[0005] 每个像素行的栅极驱动线上都会存在电阻和寄生电容,会使得驱动电压的传输受到延迟,这样,远离栅极驱动电路的像素晶体管的开启则会受到较大的延迟,使相应的像素电容的充电时间不足,进而导致像素显示不准确。

### 发明内容

[0006] 为了解决现有技术的问题,本发明实施例提供了一种像素晶体管的栅极驱动方法和栅极驱动电路。所述技术方案如下:

[0007] 一方面,提供了一种像素晶体管的栅极驱动方法,所述方法包括:

[0008] 在预设的第一像素行的晶体管开启时刻之前,栅极驱动电路向所述第一像素行的栅极驱动线输出预设的第一电压;其中,所述第一电压大于晶体管关闭电压;

[0009] 当达到所述晶体管开启时刻时,所述栅极驱动电路停止向所述栅极驱动线输出所述第一电压,并向所述栅极驱动线输出晶体管开启电压。

[0010] 可选地,所述第一电压小于所述晶体管开启电压。

[0011] 可选地,所述在预设的第一像素行的晶体管开启时刻之前,栅极驱动电路向所述第一像素行的栅极驱动线输出预设的第一电压,包括:

[0012] 从预设的第一像素行的晶体管开启时刻之前预设时长时起,栅极驱动电路向所述第一像素行的栅极驱动线输出预设的第一电压。

[0013] 可选地,所述预设时长小于预设的第一像素行的晶体管关闭时刻与晶体管开启时刻的时间差。

[0014] 可选地,所述方法还包括:

[0015] 当达到预设的所述第一像素行的晶体管关闭时刻时,所述栅极驱动电路停止向所述栅极驱动线输出所述晶体管开启电压,并向所述栅极驱动线输出晶体管关闭电压。

[0016] 可选地,所述在预设的第一像素行的晶体管开启时刻之前,栅极驱动电路向所述第一像素行的栅极驱动线输出预设的第一电压,包括:

[0017] 在预设的第一像素行的晶体管开启时刻之前,栅极驱动电路在第一控制信号的控制下,向所述第一像素行的栅极驱动线输出预设的第一电压。

[0018] 可选地,所述当达到所述晶体管开启时刻时,所述栅极驱动电路停止向所述栅极驱动线输出所述第一电压,并向所述栅极驱动线输出晶体管开启电压,包括:

[0019] 当达到所述晶体管开启时刻时,所述栅极驱动电路在第二控制信号的控制下,停止向所述栅极驱动线输出所述第一电压,并向所述栅极驱动线输出晶体管开启电压。

[0020] 可选地,所述方法还包括:

[0021] 当达到预设的所述第一像素行的晶体管关闭时刻时,所述栅极驱动电路在所述第二控制信号的控制下,停止向所述栅极驱动线输出所述晶体管开启电压,并向所述栅极驱动线输出晶体管关闭电压。

[0022] 另一方面,提供了一种栅极驱动电路,所述栅极驱动电路包括:

[0023] 预充模块,用于在预设的第一像素行的晶体管开启时刻之前,向所述第一像素行的栅极驱动线输出预设的第一电压;其中,所述第一电压大于晶体管关闭电压;

[0024] 控制模块,用于当达到所述晶体管开启时刻时,停止向所述栅极驱动线输出所述第一电压,并向所述栅极驱动线输出晶体管开启电压。

[0025] 可选地,所述第一电压小于所述晶体管开启电压。

[0026] 可选地,所述预充模块,用于:

[0027] 从预设的第一像素行的晶体管开启时刻之前预设时长时起,向所述第一像素行的栅极驱动线输出预设的第一电压。

[0028] 可选地,所述预设时长小于预设的第一像素行的晶体管关闭时刻与晶体管开启时刻的时间差。

[0029] 可选地,所述控制模块,还用于:

[0030] 当达到预设的所述第一像素行的晶体管关闭时刻时,停止向所述栅极驱动线输出所述晶体管开启电压,并向所述栅极驱动线输出晶体管关闭电压。

[0031] 可选地,所述预充模块,用于:

[0032] 在预设的第一像素行的晶体管开启时刻之前,在第一控制信号的控制下,向所述第一像素行的栅极驱动线输出预设的第一电压。

[0033] 可选地,所述控制模块,用于:

[0034] 当达到所述晶体管开启时刻时,在第二控制信号的控制下,停止向所述栅极驱动线输出所述第一电压,并向所述栅极驱动线输出晶体管开启电压。

[0035] 可选地,所述控制模块,还用于:

[0036] 当达到预设的所述第一像素行的晶体管关闭时刻时,在所述第二控制信号的控制下,停止向所述栅极驱动线输出所述晶体管开启电压,并向所述栅极驱动线输出晶体管关闭电压。

[0037] 本发明实施例提供的技术方案带来的有益效果是:

[0038] 本发明实施例中,在晶体管开启时刻之前,对栅极驱动线上的寄生电容进行充电,这样,当晶体管开启时刻栅极驱动电路向栅极驱动线输出晶体管开启电压时,可以减少晶体管开启电压传输所受的延迟,增加像素电容的充电时间,提高像素显示的准确度。

## 附图说明

[0039] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0040] 图 1 是本发明实施例提供的像素晶体管的栅极驱动方法的流程图;

[0041] 图 2 是本发明实施例提供的栅极驱动线的等效寄生电容示意图;

[0042] 图 3a、3b、3c 是现有技术提供的栅极驱动线不同位置的电压的波形图;

[0043] 图 4a、4b、4c 是本发明实施例提供的栅极驱动线不同位置的电压的波形图;

[0044] 图 5 是本发明实施例提供的栅极驱动电路的输入信号和输出信号的示意图;

[0045] 图 6 是本发明实施例提供的栅极驱动电路的输入信号和输出信号的波形图;

[0046] 图 7 是本发明实施例提供的栅极驱动电路的结构示意图。

## 具体实施方式

[0047] 为使本发明的目的、技术方案和优点更加清楚,下面将结合附图对本发明实施方式作进一步地详细描述。

[0048] 实施例一

[0049] 本发明实施例提供了一种像素晶体管的栅极驱动方法,如图 1 所示,该方法的处理过程包括如下步骤:

[0050] 步骤 101,在预设的第一像素行的晶体管开启时刻之前,栅极驱动电路向第一像素行的栅极驱动线输出预设的第一电压,其中,第一电压大于晶体管关闭电压。

[0051] 步骤 102,当达到晶体管开启时刻时,栅极驱动电路停止向栅极驱动线输出第一电压,并向栅极驱动线输出晶体管开启电压。

[0052] 本发明实施例中,在晶体管开启时刻之前,对栅极驱动线上的寄生电容进行充电,这样,当晶体管开启时刻栅极驱动电路向栅极驱动线输出晶体管开启电压时,可以减少晶体管开启电压传输所受的延迟,增加像素电容的充电时间,提高像素显示的准确度。

[0053] 实施例二

[0054] 本发明实施例提供了一种像素晶体管的栅极驱动方法,该方法的执行主体可以为显示设备中的栅极驱动电路,栅极驱动电路可以对多个像素行的像素晶体管进行开关控制,栅极驱动电路的每个输出端口分别与一个像素行的栅极驱动线连接。

[0055] 下面将结合具体的实施过程,对图 1 所示的处理流程进行详细,内容可以如下:

[0056] 步骤 101,在预设的第一像素行的晶体管开启时刻之前,栅极驱动电路向第一像素行的栅极驱动线输出预设的第一电压。

[0057] 其中,栅极驱动线是将栅极驱动电路的输出端口与对应的像素行中各像素电路的像素晶体管的栅极连接线路。栅极驱动线的等效寄生电容可以如图 2 所示。第一像素行是

栅极驱动电路控制的任意像素行。晶体管开启时刻是预先设置的向第一像素行中的像素晶体管的栅极输入晶体管开启电压  $V_{GH}$  的时刻。第一电压可以称作预充电电压,可记做  $V_{GM}$ ,用于对栅极驱动线中的寄生电容进行充电,可以设置第一电压大于晶体管关闭电压。

[0058] 在实施中,可以为每个像素行设置晶体管开启时刻和晶体管关闭时刻,此两个时刻之间的时段即为相应的像素行中各像素的数据电压为像素电容充电的时段。每个像素行对应的时段按时序顺次排列,即第一像素行的晶体管关闭时刻之后为第二像素行的晶体管开启时刻,第二像素行的晶体管关闭时刻之后为第三像素行的晶体管开启时刻,依此类推。对于任意一个像素行,在其晶体管开启时刻之前的某个时刻,栅极驱动电路可以通过相应的输出端口向该像素行的栅极驱动线输出  $V_{GM}$ 。在输出  $V_{GM}$  之前,栅极驱动电路向该栅极驱动线输出的是晶体管关闭电压  $V_{GL}$ ,因为  $V_{GM}$  大于  $V_{GL}$ ,所以在输出  $V_{GM}$  时, $V_{GM}$  开始对栅极驱动线上的寄生电容进行充电。

[0059] 栅极驱动电路实现输出  $V_{GM}$  的方式可以多种多样,可以为栅极驱动电路增加两路输入信号,一路输入  $V_{GM}$  的恒定信号,另一路输入对应的使能信号,用于触发栅极驱动电路对外输出  $V_{GM}$ ,相应的处理在后面内容中会由详细阐述。或者,也可以不增加输入信号,将原有的栅极驱动电路中晶体管开启电压的输入信号由  $V_{GH}$  的恒定信号,调整为  $V_{GM}$  电平、 $V_{GH}$  电平交替变化的信号 ( $V_{GM}$  跳变为  $V_{GH}$  的时间点为晶体管开启时刻),并将晶体管开启电压的使能信号的时间提前一定时长。

[0060] 可选的,可以进一步对第一电压的电压范围进行限定,使第一电压小于晶体管开启电压。

[0061] 在实施中, $V_{GH}$  的取值范围可以为  $25V \sim 35V$ , $V_{GL}$  的取值范围可以为  $-4V \sim -8V$ ,相应的可以设置  $V_{GM}$  的取值在  $V_{GH}$  和  $V_{GL}$  之间,如  $3V$  等。栅极驱动电路通过第一像素行的栅极驱动线,将  $V_{GM}$  输入第一像素行的像素晶体管的栅极时,因为还没有到达第一像素行的晶体管开启时刻,所以这时通过像素晶体的数据电压是第一像素行的上一行的数据电压。由于  $V_{GM}$  的取值在  $V_{GH}$  和  $V_{GL}$  之间,所以此时第一像素行的像素晶体管进入微开启状态,因此像素电容的充电电荷较少,可以减少上一行的数据电压对第一像素行的影响。

[0062] 可选的,可以为第一电压设置一个合理的输出时长,相应的,步骤 101 的处理可以如下:从预设的第一像素行的晶体管开启时刻之前预设时长时起,栅极驱动电路向第一像素行的栅极驱动线输出预设的第一电压。

[0063] 而且优选的,可以设置该预设时长小于预设的第一像素行的晶体管关闭时刻与晶体管开启时刻的时间差。

[0064] 在实施中,可以根据实际需求选择一个较小的时长值作为上述预设时长,例如,预设时长可以为晶体管关闭时刻与晶体管开启时刻的时间差的  $10\%$ 。栅极驱动电路通过第一像素行的栅极驱动线,将  $V_{GM}$  输入第一像素行的像素晶体管的栅极时,因为还没有到达第一像素行的晶体管开启时刻,所以这时通过像素晶体的数据电压是第一像素行的上一行的数据电压。因为上述预设时长设置的比较短,所以像素电容的充电电荷较少,可以减少上一行的数据电压对第一像素行的影响。

[0065] 步骤 102,当达到晶体管开启时刻时,栅极驱动电路停止向栅极驱动线输出第一电压,并向栅极驱动线输出晶体管开启电压。

[0066] 在实施中,到达晶体管开启时刻时,输出电压则可以由  $V_{GM}$  跳变为  $V_{GH}$ ,而且此时,

数据电压由第一像素行上一行的数据电压变化到第一像素行的数据电压。第一像素行的像素晶体管进入开启状态,当前的数据电压为第一像素行的像素电容充电。

[0067] 可选的,后续还可以对像素晶体管进行关闭,相应的,在步骤 102 之后还可以进行如下处理:当达到预设的第一像素行的晶体管关闭时刻时,栅极驱动电路停止向栅极驱动线输出晶体管开启电压,并向栅极驱动线输出晶体管关闭电压。

[0068] 在实施中,到达晶体管关闭时刻时,输出电压则可以由 VGH 跳变到 VGL,而且此时,第一像素行的数据电压结束输入。第一像素行的像素晶体管进入关闭状态,停止对像素电容充电,此时,第一像素行的每个像素电容输出电压,显示相应的像素内容。

[0069] 对于相关技术中未输出 VGM 的情况,栅极驱动电路输出端口处电压的波形可以如图 3a 所示,离输出端口距离较近处的像素晶体管的栅极输入电压的波形可以入图 3b 所示,离输出端口距离较远处的像素晶体管的栅极输入电压的波形可以入图 3c 所示。对于采用本实施例的上述处理流程的情况,栅极驱动电路输出端口处电压的波形可以如图 4a 所示,离输出端口距离较近处的像素晶体管的栅极输入电压的波形可以入图 4b 所示,离输出端口距离较远处的像素晶体管的栅极输入电压的波形可以入图 4c 所示。可见,通过本实施例的处理流程,可以有效延长像素电容的有效充电时长。

[0070] 本发明实施例中,为了实现上述流程的处理,可以为栅极驱动电路增加两路输入信号,一路输入 VGM 的恒定信号,另一路输入对应的使能信号,用于触发栅极驱动电路对外输出 VGM,相应的,步骤 101 的处理可以如下:在预设的第一像素行的晶体管开启时刻之前,栅极驱动电路在第一控制信号的控制下,向第一像素行的栅极驱动线输出预设的第一电压。相应的,步骤 102 的处理可以如下:当达到晶体管开启时刻时,栅极驱动电路在第二控制信号的控制下,停止向栅极驱动线输出所述第一电压,并向栅极驱动线输出晶体管开启电压。另外,步骤 102 之后的处理可以如下:当达到预设的第一像素行的晶体管关闭时刻时,栅极驱动电路在第二控制信号的控制下,停止向栅极驱动线输出晶体管开启电压,并向栅极驱动线输出晶体管关闭电压。

[0071] 在实施中,栅极驱动电路的输入信号和输出信号可以如图 5 所示,各信号的波形可以如图 6 所示,其中,STV 为帧开始信号,CPV 为行切换信号,用于对当前像素行进行切换,OE1 为 VGH 的使能信号,用于控制 VGH 输出的开始和结束,OE3 为 VGM 的使能信号,用于触发输出 VGM。OE3 的上升沿触发栅极驱动电路输出 VGM。OE1 的下降沿触发栅极驱动电路停止输出 VGM 并输出 VGH,即此下降沿的时刻为晶体管开启时刻,OE1 的上升沿触发栅极驱动电路停止输出 VGH 并输出 VGL,即此上升沿的时刻为晶体管关闭时刻。

[0072] 本发明实施例中,在晶体管开启时刻之前,对栅极驱动线上的寄生电容进行充电,这样,当晶体管开启时刻栅极驱动电路向栅极驱动线输出晶体管开启电压时,可以减少晶体管开启电压传输所受的延迟,增加像素电容的充电时间,提高像素显示的准确度。

[0073] 实施例三

[0074] 本发明实施例提供了一种栅极驱动电路,该栅极驱动电路与上述实施例中像素晶体管的栅极驱动方法是基于相同的技术构思,栅极驱动电路中各模块的具体处理方式可以参见实施例二中的相应内容。如图 7 所示,该栅极驱动电路包括:

[0075] 预充模块 710,用于在预设的第一像素行的晶体管开启时刻之前,向所述第一像素行的栅极驱动线输出预设的第一电压;其中,所述第一电压大于晶体管关闭电压;



[0076] 控制模块 720,用于当达到所述晶体管开启时刻时,停止向所述栅极驱动线输出所述第一电压,并向所述栅极驱动线输出晶体管开启电压。

[0077] 可选地,所述第一电压小于所述晶体管开启电压。

[0078] 可选地,所述预充模块 710,用于:

[0079] 从预设的第一像素行的晶体管开启时刻之前预设时长时起,向所述第一像素行的栅极驱动线输出预设的第一电压。

[0080] 可选地,所述预设时长小于预设的第一像素行的晶体管关闭时刻与晶体管开启时刻的时间差。

[0081] 可选地,所述控制模块 720,还用于:

[0082] 当达到预设的所述第一像素行的晶体管关闭时刻时,停止向所述栅极驱动线输出所述晶体管开启电压,并向所述栅极驱动线输出晶体管关闭电压。

[0083] 可选地,所述预充模块 710,用于:

[0084] 在预设的第一像素行的晶体管开启时刻之前,在第一控制信号的控制下,向所述第一像素行的栅极驱动线输出预设的第一电压。

[0085] 可选地,所述控制模块 720,用于:

[0086] 当达到所述晶体管开启时刻时,在第二控制信号的控制下,停止向所述栅极驱动线输出所述第一电压,并向所述栅极驱动线输出晶体管开启电压。

[0087] 可选地,所述控制模块 710,还用于:

[0088] 当达到预设的所述第一像素行的晶体管关闭时刻时,在所述第二控制信号的控制下,停止向所述栅极驱动线输出所述晶体管开启电压,并向所述栅极驱动线输出晶体管关闭电压。

[0089] 需要说明的是:上述实施例提供的修复浏览器内核的装置在修复浏览器内核时,仅以上述各功能模块的划分进行举例说明,实际应用中,可以根据需要而将上述功能分配由不同的功能模块完成,即将装置的内部结构划分成不同的功能模块,以完成以上描述的全部或者部分功能。另外,上述实施例提供的修复浏览器内核的装置与修复浏览器内核的方法实施例属于同一构思,其具体实现过程详见方法实施例,这里不再赘述。

[0090] 本发明实施例中,在晶体管开启时刻之前,对栅极驱动线上的寄生电容进行充电,这样,当晶体管开启时刻栅极驱动电路向栅极驱动线输出晶体管开启电压时,可以减少晶体管开启电压传输所受的延迟,增加像素电容的充电时间,提高像素显示的准确度。

[0091] 以上所述仅为本发明的较佳实施例,并不用以限制本发明,凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

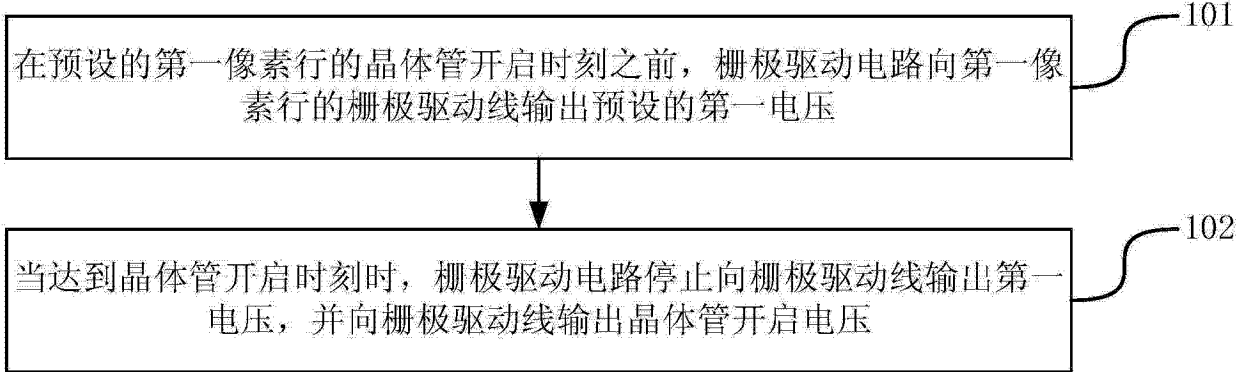


图 1

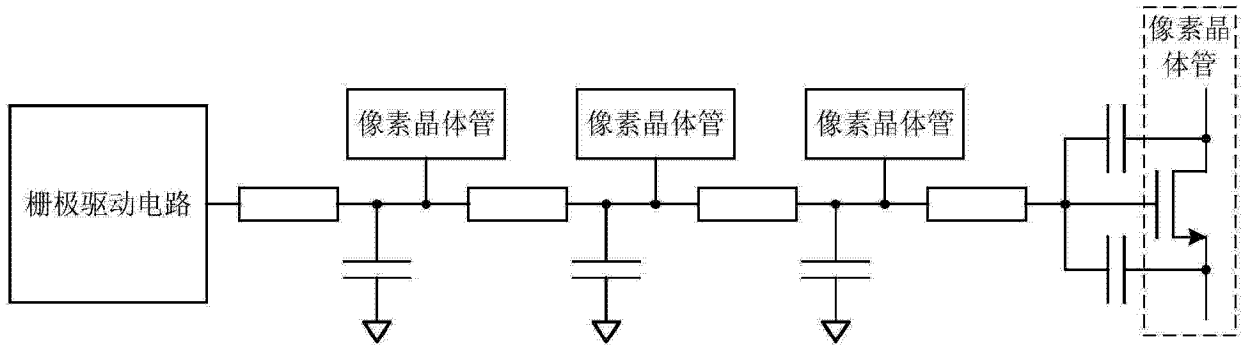


图 2

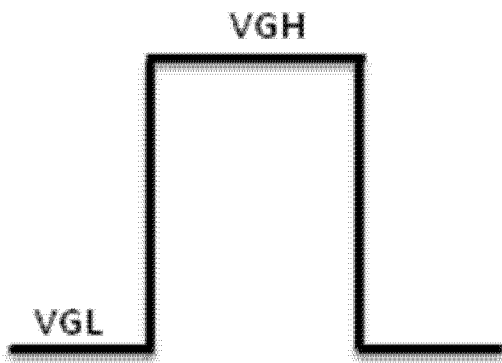


图 3a

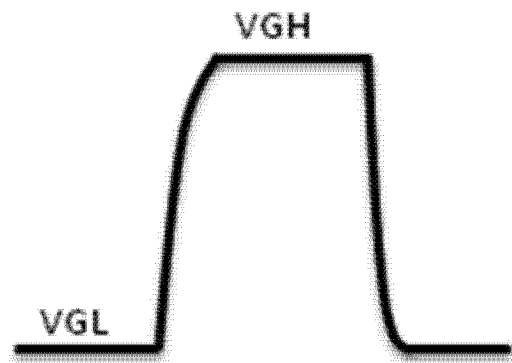


图 3b

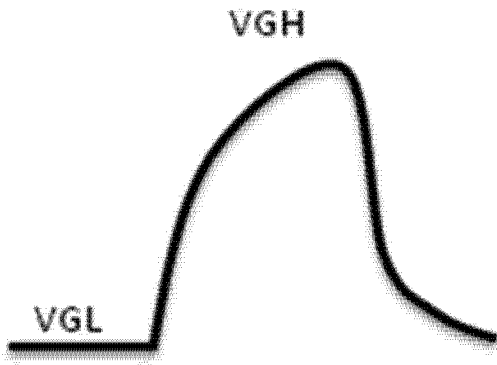


图 3c

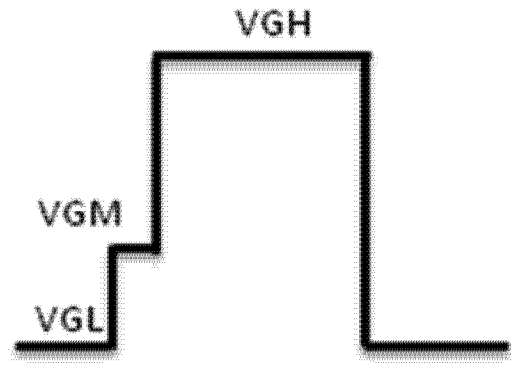


图 4a

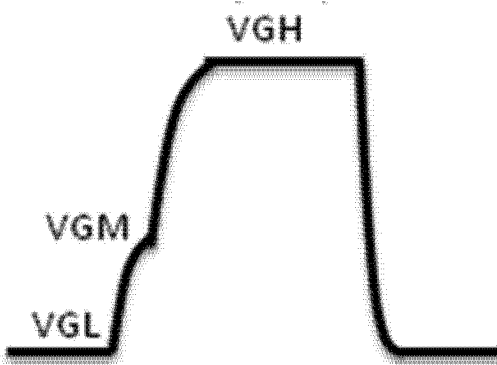


图 4b

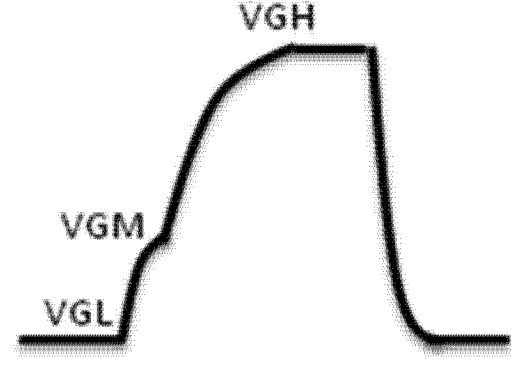


图 4c

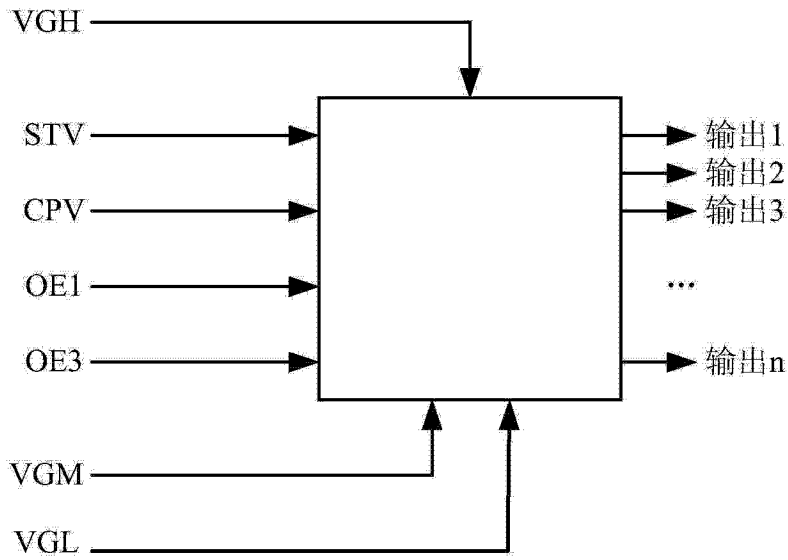


图 5

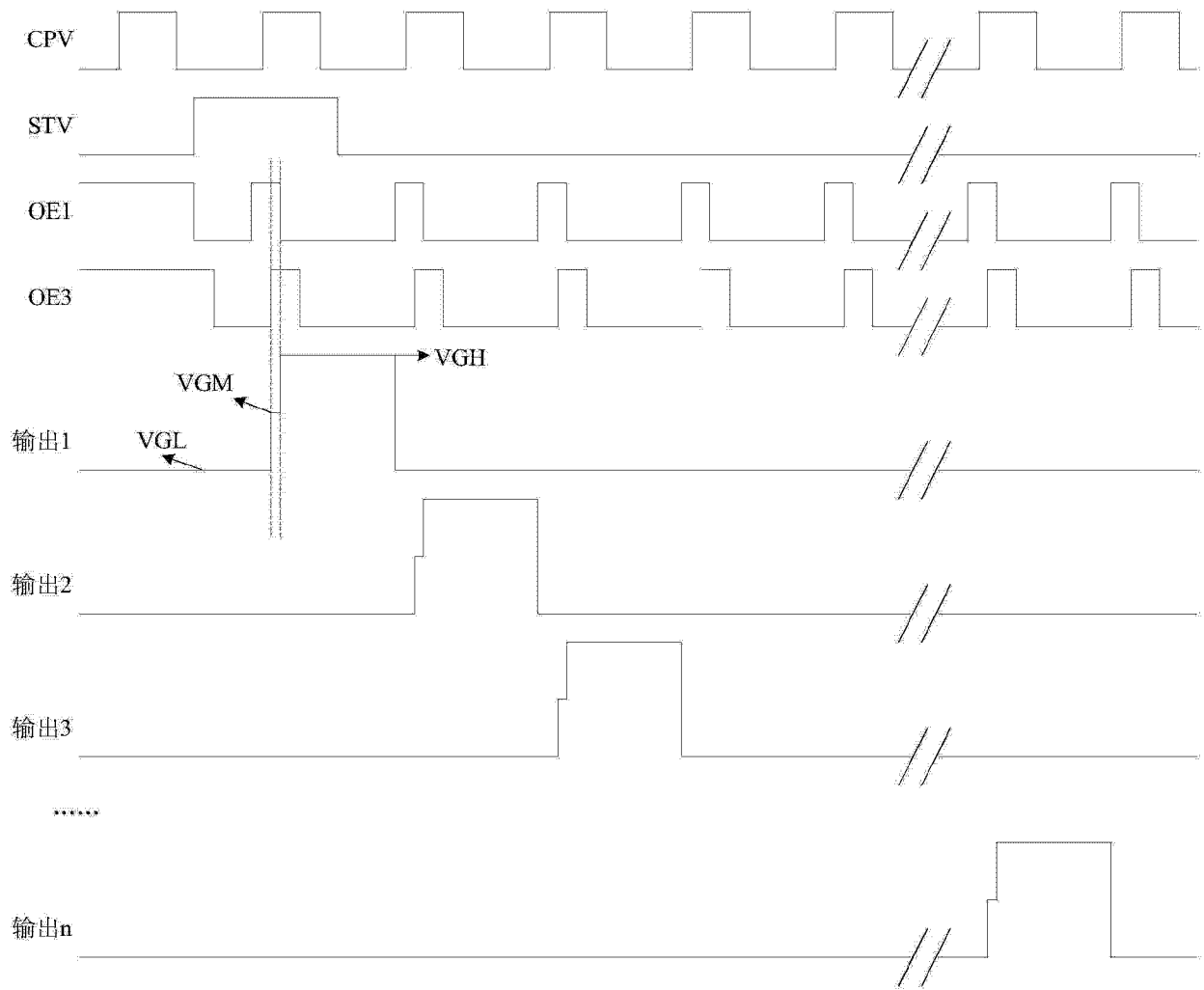


图 6

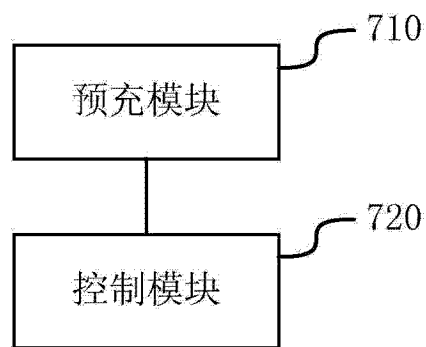


图 7