

參、發明人：(共 3 人)

姓 名：(中文/英文)

1. 喬治 L. 艾斯賓納

GEORGE L. ESPINOR

2. 威廉 L. 魯卡斯

WILLIAM L. LUCAS

3. 麥可 C. 伍德

MICHAEL C. WOOD

住居所地址：(中文/英文)

1. 美國德州奧斯汀市海豚灣1902號

1902 DAUPHINE COVE, AUSTIN, TEXAS 78727, U.S.A.

2. 美國維吉尼亞州墨琴鎮比提米爾大道8070號

8070 BEATTIEMILL DRIVE, MECHANICSVILLE, VIRGINIA 23111,
U.S.A.

3. 美國德州芙洛傑鎮克雷公園圓環1000號

1000 PARKCREST CT., PFLUGERVILLE, TEXAS 78660, U.S.A.

國 籍：(中文/英文)

1.-3. 均美國 U.S.A.

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

☒ 本案申請前已向下列國家（地區）申請專利：

1. 美國；2002年11月12日；10/292,323

2.

3.

4.

5.

☒ 主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國；2002年11月12日；10/292,323

2.

3.

4.

5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【先前申請案參照】

本申請案於2002年11月12日申請美國專利申請案第10/292,323號。

【發明所屬之技術領域】

本發明概言之係關於低電壓偵測系統，詳言之係關於一種具有多個電壓偵測位準之低電壓偵測系統。

【先前技術】

在許多電池供電系統中(例如在可攜電子產品市場中使用之電池供電系統)，邏輯裝置，例如微處理器和微控制器，扮演主控制器和/或該功率管理單元之角色。在此角色中，一項重要的工作係：當電池變得較弱或被取出時，要負責保護該邏輯裝置之內部邏輯狀態和揮發性記憶體(RAM、控制暫存器、邏輯狀態等等)。例如，在如今可用之微控制器中，低電壓偵測(LVD)電路偵測何時出現一低電池電壓，並重設該微控制器。作為替代，一些LVD系統允許該微控制器接收一中斷，而非一重設，以在該電池電壓被恢復之前，藉由軟體可使該微控制器進入一停止模式，以使該電流消耗最小。但是，在此等系統中，雖然處於停止模式，仍可接收一中斷(例如來自一鍵盤輸入)，使該微控制器在該電池電壓被恢復之前重新啟動而使該電池耗盡，從而丟失資料。因此，需要提供一保護一邏輯裝置之內部邏輯狀態和揮發性記憶體之LVD系統。而且，為減少成本，需要提供一使用該邏輯裝置之最少數目插腳之系統。

【發明內容】

用一種於一邏輯裝置之一種低電壓偵測(LVD)系統，其包括一第一LVD電路(110)，以當一供應插腳電壓(109)下降至低於一第一電壓位準時提供一指示器，並且包括一第二LVD電路(116)，以當該供應插腳電壓下降至低於一第二電壓位準時提供一中斷(118)。在一實施例中，該第二LVD電路相比該第一LVD電路消耗更多功率，因此其係被有選擇地啟用。在一實施例中，當該供應插腳電壓係處於該第一和第二電壓位準之間，且該邏輯裝置係處於一停止或低功率模式時，週期啟用該第二LVD電路，以監視該供應插腳電壓。在該供應插腳電壓下降至該第二電壓位準以下時，使該邏輯裝置係處於一安全狀態，在該供應插腳電壓上升至該第一電壓位準以上之前禁止該邏輯裝置應答中斷。

【實施方式】

如在此處所用，術語"匯流排"用於指複數個信號或導線，其可用於傳輸一個或多個不同種類之資訊，例如資料、位址、控制或狀態。可參考一單根導線、複數根導線、單向導線或雙向導線來說明或描述在此處所討論之該等導線。但是，不同實施例可改變該等導線之實行。例如，可採用分離之單向導線，而非雙向導線，反過來亦可。同樣，可用一串列傳輸多個信號或處於一時間多工方式之單一導線來替換複數根導線。而且，傳送多個信號之單一導線可分離為許多不同傳送此等信號之子集之導線。因此，對於傳輸信號可有許多選擇。

當提到使一信號、狀態位元或類似裝置(apparatus)分別進入其邏輯真或者邏輯假狀態時，可採用術語"判定(assert)"和"否定(negate)"(或"反判定(deassert)"). 如果該邏輯真狀態係一邏輯位準 1，則該邏輯假狀態係一邏輯位準 0。並且如果該邏輯真狀態係一邏輯位準 0，則該邏輯假狀態係一邏輯位準 1。

圖 1 以方塊圖形式說明一資料處理系統 100 之一實施例。資料處理系統 100 包括一邏輯裝置，例如微控制器(MCU)102，及其外部電路，顯示如圖 1。在替代實施例中，可用不同微處理器、微控制器或其他類型邏輯裝置替換 MCU 102，其中在一實施例中，MCU 102(或者任何其他類型邏輯裝置)係設置於一單一積體電路上。MCU 102 包括中央處理單元(CPU)160、記憶體 158、內部週邊設備 156、輸入/輸出(I/O)介面 154、安全位元暫存器 134 和中斷處置器(IH)142，其皆係雙向耦合至匯流排 152。(注意如此處所用，匯流排 152 包括位址、資料和控制信號。)

MCU 102 還包括一耦合至一電池節點 109(即一電源供應插腳)之 LVD1 單元 110，該電池節點提供一電壓 V_{batt} 。LVD1 110 偵測何時 V_{batt} 下降至低於一第一電壓位準 LV1。MCU 102 還包括一 LVD2 單元 116，其偵測何時 V_{batt} 下降至低於一第二電壓位準 LV2，其中 LV1 通常係大於 LV2。MCU 102 還可包括一耦合至電池節點 109 和 LVD2 116 之電壓調整器 114，用於為 LVD2 116 提供 V_{reg} 。但是，在替代實施例中，可不存在電壓調整器 114，在此情形下，

LVD2 116 係耦合至電池節點 109。MCU 102 還包括一週期喚醒單元(PWU)124，一 PWU 啟用單元 120、LVD2 啟用單元 128 和一中斷處置器(IH)控制單元 138。匯流排 152 向 LVD2 啟用單元 128 和 PWU 啟用單元 120 提供一停止模式指示器 STOP 132。LVD1 110 為 PWU 啟用單元 120 和 IH 控制單元 138 提供一信號 LV1_Detect 112。PWU 啟用單元 120 向 PWU 124 提供一信號 PWU_en 122，且 PWU 124 為 LVD2 啟用單元 128 提供一信號 wakeup 126。LVD2 啟用單元 128 為 LVD 116 和電壓調整器 114(如果存在)提供一信號 LVD2_en 130。安全位元暫存器 134 為 PWU 啟用單元 120 和 IH 控制單元 138 提供一信號，safe 136。中斷處置器 142 從 LVD2 116 接收一信號 LV2_interrupt 118，從 IH 控制單元 138 接收一信號 IH_block 140，經由匯流排 152 接收內部中斷 146，並經由雙向導線 148 接收外部中斷 144。

資料處理系統 100 之該外部電路包括一電池 106，其可連接至電池節點 109、充電元件 104 和外部週邊設備 166。注意充電元件 104 係顯示為圖 1 中之一電容(且因此可稱為電容 104 或功率儲存電容 104)。但是，注意可用一可充電電池來替換電池 106，可藉由一充電電路(其因此將替換電容 104)來對該可充電電池充電。電池 106 亦可用任何適當的電源來替換。如圖 1 中說明，電池 106 之一第一終端和電容 104 之一第一終端係耦合至電池節點 109。電池 106 之一第二終端和電容 104 之一第二終端係耦合至地。還要注意，儘管在圖 1 中沒有顯示，在 MCU 102 中顯示之每一

單元皆耦合至電池節點 109 或電壓調整器 114(如果存在)之該輸出。I/O 介面 154 係雙向耦合至外部週邊設備 166。注意外部週邊設備 166 可包括多種週邊設備，例如鍵盤、顯示器、其他處理器等等。

在操作中，電容 104 將電池節點 109 之雜訊濾除，並且當電池 106 連接至節點 109 時為出現之高頻彈跳提供彈跳保護。當取出電池 106 時，電容 30 向電池節點 109 供應足夠電壓，以在一低功率狀態下，在 MCU 102 中使 RAM 記憶體、控制暫存器、邏輯狀態等等保持一延長時期。同樣，注意在該顯示之實施例中，利用一單一電壓供應插腳(電池節點 109)來為 MCU 102 供電，並用來偵測產生自電池變弱或取出之低電壓條件，其將在以下更詳細描述。

I/O 介面 154、內部週邊設備 156、記憶體 158 和 CPU 160 以本領域習知方式操作，在此不詳細討論。換言之，只討論與此處描述低電壓偵測系統相關之每一此等單元之方面。將參考圖 2 至 7 更詳細討論 MCU 102 之低電壓偵測系統(包括 LVD1 110、LVD2 116、可選擇之電壓調整器 114、PWU 啟用單元 120、PWU 124、LVD2 啟用單元 128、安全位元暫存器 134、IH 控制單元 138、中斷處置器 142 和 CPU 160)之操作。

在一實施例中，只要 V_{batt} 保持於 MCU 102 之一最低操作電壓 V_{min} 以上，則 MCU 102 就可正常地以一運行或停止模式操作。在運行模式，MCU 102 能夠執行指令，而該停止模式係一低功率模式，該模式下 MCU 102 不能執行指

令。透過執行一停止指令，MCU 102 可從運行模式進入停止模式。回應外部中斷 144 或內部中斷 146，MCU 102 可離開停止模式並進入運行模式。例如，一外部中斷可包括一鍵盤中斷，從而一使用者可透過按下一鍵而喚醒 MCU 102。但是，當 V_{batt} 係低於 V_{min} 時如果 MCU 102 從停止模式轉變為運行模式，則操作 MCU 102 可能出錯，因為其將低於其最低操作電壓運行，即在其規定操作範圍之外操作。因此，在一實施例中，當 V_{batt} 下降至低於 V_{min} 時(由於電池變弱或被取出)，MCU 102 進入一安全狀態，其中禁止 MCU 102 應答任何外部或內部中斷。只有當 V_{batt} 上升至高於一安全操作電壓時(藉由置換該變弱或被取出之電池或者藉由對該電池充電)，方可離開安全狀態，從而 MCU 102 可恢復常態操作，其中不再禁止 MCU 102 應答中斷。在此點，MCU 102 可安全返回至運行模式。

在一實施例中，MCU 102 之該低電壓偵測系統採用一第一低電壓偵測單元(LVD1 110)來偵測何時 V_{batt} 係低於 LV1(其中 LV1 對應一 MCU 102 之安全操作電壓)。在此實施例中，MCU 102 採用一第二電壓偵測單元(LVD2 116)來偵測何時 V_{batt} 係低於 LV2，LV2 通常低於 LV1，但高於 V_{min} 。如上所述，一旦 V_{batt} 下降至低於 LV2，則將 MCU 102 置於一安全狀態，其中 MCU 102 不再能重新進入該運行模式，並且在 V_{batt} 上升至高於 LV1 以前，禁止其應答任何外部或內部中斷。在該顯示之實施例中，LVD1 110 係一低功率消耗電壓偵測電路，其操作於 MCU 102 之所有常

態模式，同時包括運行和停止模式。但是，由於將 LVD1 110 設計為消耗少量功率(在以下將參考圖 6 討論其一實例)，所以 LVD1 110 不能足夠準確保證 MCU 102 保持高於 V_{min} ，同時保證有最大的電池壽命。雖然將 LVD2 116 設計為提供一準確低電壓指示，但是 LVD2 116 為此取得更多電流。因此，當 V_{batt} 近似為 LV1 時(由於該低功率消耗之不準確所導致)，LVD1 110 提供一指示器(即，判定 LV1_Detect 112)，並且當 V_{batt} 達到 LV2 時 LVD2 116 提供一中斷(即，判定 LV2_interrupt 118)。注意在該電流實施例中，在運行模式下總是啟用 LVD2 116。但是，因為 LVD2 116 消耗較多功率，所以當 MCU 102 係處於停止模式時，不希望允許啟用 LVD2 116。換言之，與總是啟用 LVD1 110 不同，當 MCU 102 係處於停止模式時，可根據需要有選擇啟用 LVD2 116。

注意在以上及隨後所作描述中，LVD2 116 監視 V_{batt} 以偵測何時 V_{batt} 係低於 LV2。此假定 MCU 102 中不存在可選擇之電壓調整器 114 (亦即，LVD2 116 直接接收 V_{batt} ，而非 V_{reg})。但是，注意如果電壓調整器 114 存在，如在 MCU 102 中所顯示，則 LVD2 116(耦合至電壓調整器 114)接收 V_{reg} ，並因此可實際偵測何時 V_{reg} 係低於 LV2。因此，在此實施例中，可基於由電壓調整器 114 所引入之電壓下降來調節 LV2 之實際值。但無論監視 V_{reg} 或 V_{batt} ，當 V_{batt} 下降至低於一第二定限 LV2 時，LVD2 116 提供一 LV2_interrupt 118。同樣，注意當 V_{batt} 接近 LV2 之電壓位準時，經過電壓調整器 114 之該電壓降下降至 V_{batt} 近似

與 Vreg 相同之處。因此，此處為易於說明，以下描述將指 LVD2 監視 Vbatt，而非監視 Vreg，但是熟習此項技術者可理解監視 Vreg 可得到相同結果。

圖 2 以曲線圖形式說明一種根據本發明之一實施例之進入和離開一安全狀態之方法。由於電池變弱或被取出，當 Vbatt 開始下降時(其中 Vbatt 藉由電容 104 提供)，LVD1 110 偵測何時 Vbatt 近似達到 LV1，其顯示為圖 2 之點 180。在達到點 180 後，如果 MCU 102 操作於停止模式，則週期啟用 LVD2 116 以提供一準確低電壓偵測。

例如，再參考圖 1，PWU 啟用單元 120 基於 LV1_Detect 112、safe 136 和 STOP 132 啟用 PWU 124。換言之，當 LV1_Detect 112、safe 136 和 STOP 132 係如圖 5 之該真值表所示時，PWU 啟用單元 120 判定 PWU_en 122(以啟用 PWU 124)。換言之，如圖 5 所示，僅當 LV1_Detect 112 被判定、STOP 132 被判定且 safe 136 不被判定時，判定 PWU_en 122。換言之，當 LVD1 110 偵測 Vbatt 係低於 LV1(從而判定 LV1_Detect 112)，MCU 102 係處於停止模式(判定 STOP 132)，且 MCU 102 不處於一安全狀態(不啟用 safe 136)時，啟用 PWU 124。注意在 LV1_Detect 112、safe 136 和 STOP 132 之所有其他組合值，不判定 PWU_en 122，從而不啟用 PWU 124。

PWU 124 向 LVD2 啟用單元 128 提供 wakeup 126。在一實施例中，wakeup 126 係一用於經由 LVD2 啟用 128 以週期啟用 LVD2 116 之週期脈衝。換言之，LVD2 啟用單元

128 接收 wakeup 126 和 STOP 132，並為 LVD2 116(以及電壓調整器 114，如果存在)提供 LVD2_en 130。當 LVD2_en 130 被判定，則啟用 LVD2 116 且監視 Vbatt 以確定 Vbatt 是否高於或低於 LV2。(作為替代，如以上所述，如果存在電壓調整器 114，則 LVD2 116 可改為監視 Vreg，其在此點可近似等於 Vbatt，以確定 Vbatt 是否高於或低於 LV2)。LVD2 啟用單元 128 根據顯示於圖 4 中之真值表操作。因此，當處於運行模式時(當沒有判定 STOP 132)，判定 LVD2_en 130，從而啟用 LVD2 116。但是，當處於停止模式時(判定 STOP 132)，則僅當判定 wakeup 126 時判定 LVD2_en 130。以此方式，在停止模式時，並且當 Vbatt 係處於 LV1 和 LV2 之間，藉由 wakeup 126 週期啟用 LVD2 116，以消耗最小功率。

再參考圖 2 之該曲線圖，當由於一電池變弱或電池被取出而使 Vbatt 繼續下降時，LVD2 116 偵測何時 Vbatt 達到 LV2，其顯示於圖 2 之點 182。注意如果 MCU 102 正操作於停止模式，則 LVD2 116 在由 wakeup 126 所確定的週期時間之一中偵測 Vbatt 達到 LV2。但是，如果 MCU 102 正操作於運行模式，則 LVD2 116 總被啟用(換言之，當反判定 STOP 132 時，總是判定 LVD2_en 130，與 wakeup 126 無關)並偵測 Vbatt 達到 LV2。如上所述，相比 LVD1 110 偵測何時 Vbatt 達到 LV1，LVD2 116 更準確地偵測何時 Vbatt 達到 LV2。在達到 LV2 後，LVD2 116 判定 LV2_interrupt 118。注意在一實施例中，將 LV2_interrupt

118 分配為最高優先權以確保其即時被中斷處置器 142 應答。因此，在此實施例中，在判定 LV2_interrupt 118 後，中斷處置器 142 允許 CPU 160 服務該未決 LVD2 116 中斷。服務於該 LVD2 116 中斷之該中斷服務常式中可包括指令以允許 MCU 102 安全關閉。例如，該中斷服務常式可在記憶體 158 中儲存任何所需要資訊，包括狀態資訊，並可向外部周邊設備 166 發信號等等。

因為 MCU 102 現在靠近 Vmin(即其中 Vbatt 正接近 Vmin) 下操作，在到達 Vmin 前後，應將 MCU 102 置於安全狀態。在一實施例中，該中斷服務常式可包括一指令以將該安全位元暫存器 134 設定為 1，以指示已經進入該安全狀態。注意當設定安全位元暫存器 134 後，判定 safe 136 以禁止中斷處置器 142 應答未決或將來之中斷。例如，參考圖 1，IH 控制單元 138 控制中斷處置器 142 對外部和內部中斷之回應。IH 控制單元 138 接收 LV1_Detect 112 和 safe 136，並有選擇判定 IH_block 140，其顯示如圖 3 之該真值表。例如，當同時判定 LV1_Detect 112 和 safe 136 時，IH 控制單元 138 只判定 IH_block 140。當 IH_block 140 被判定，則禁止或阻塞中斷處置器 142 對外部中斷 144 或內部中斷 146 之中斷之應答。因此，在一實施例中，每一中斷在外部中斷 144 或內部中斷 146 中具有一對應中斷信號。藉由將每一中斷信號和 IH_block 140 經過一 AND 閘，可由 IH_block 140 單獨禁止每一中斷信號。作為替代，可採用其他啟用或閘電路來禁止對中斷處置器 142 的輸入。在一

替代實施例中，可採用 IH_block 140 來停用所有或部分中斷處置器 142 以達到阻塞或禁止中斷。在另一實施例中，可由中斷處置器 142 之輸出閘控 IH_block 140 以實現中斷之阻塞或禁止。

注意在替代實施例中，可以不同方式實行 safe 136。例如，可回應 LVD2 116 偵測 Vbatt(或者在某些實施例中為 Vreg)達到 LV2 而自動判定 safe 136(而非藉由中斷服務常式)。還要注意可將安全位元暫存器 134 設置於 MCU 102 中任何位置。

再參考圖 2，在 Vbatt 再次上升至高於 LV1 之前，MCU 102 保持於該安全狀態。換言之，當插入一新電池，或對該電池再次充電，Vbatt 將立即再次上升至高於 LV1，在該點離開安全狀態，並將安全位元暫存器 134 重設為 0，從而反判定 safe 136。MCU 102 因此可再次應答中斷，並安全離開停止模式且重返運行模式。作為替代，在 Vbatt 上升至高於 LV1 後，安全位元暫存器 134 不被重設。在此實施例中，由使用者在喚醒 MCU 102 時或此後某點清除安全位元暫存器。

在本發明之一實施例中，LVD1 100 還可用於偵測何時 Vbatt 下降至低於一開機重設電壓 (VPOR)，其小於 Vmin(顯示如圖 2)。當 Vbatt 達到 VPOR 時，依例將完全損壞或部分損壞該 RAM 和內部邏輯狀態。如 Vbatt 在先於該電池替換或充電之前達到 VPOR，則由於資料損壞，MCU 102 需要在該電池替換或充電後再起始化。還要注意在某些實施

例中，一重設中斷或一開機重設中斷相比前述 LVD2 116 中斷具有一較高優先權。

圖 6 以原理圖形式說明可用於圖 1 之 LVD1 110 之一 LVD 電路 200 之一實施例。LVD 電路 200 包括一比較器 212、電晶體 208、204 和 206、以及電流源 202 和 210。電流源 202 具有一耦合至 V_{batt} 之第一終端，以及一第二終端，其耦合至比較器 212 之一正輸入 (V_{ref}) 和電晶體 204 之一第一電流電極。電流源 202 向比較器 212 之該正輸入和電晶體 204 之該第一電流電極提供一電流 I_{ref} 。電晶體 204 之一第二電流電極耦合至電晶體 204 之一控制電極和電晶體 206 之一第一電流電極。電晶體 206 之一控制電極和電晶體 206 之一第二電流電極係相互耦合，並耦合至電流源 210 之一第二終端和一地節點。電晶體 208 之一第一電流電極耦合至 V_{batt} ，並且電晶體 208 之一控制電極和一第二控制電極耦合至比較器 212 之一負輸入 (V_{comp})，並耦合至電流源 210 之一第一終端。電流源 210 提供一電流 I_{comp} 。比較器 212 之一輸出提供 LVD1_Detect 112。注意在該顯示實施例中，電晶體 204 和 208 係 p 型 MOSFET 電晶體，且電晶體 206 係一雙極型電晶體。但是，在替代實施例中，可使用其他類型電晶體。而且，可採用不同電路結構來提供 LVD1_Detect 112。

在操作中，電流源 202 係用來偏移電晶體 206 和 204，以產生一參考電壓 V_{ref} 。 V_{ref} 值等於電晶體 206 之基射極間電壓 (V_{be}) 與電晶體 204 之該定限電壓 (V_{tp}) 之和。電流

源 210 用於偏移電晶體 208 以產生 V_{comp} ，其等於 V_{batt} 減去電晶體 208 之該定限電壓 (V_{tp})。比較器 212 監視 V_{comp} 與 V_{ref} 之關係。當 V_{comp} 係高於 V_{ref} ，則比較器 212 之該輸出係為低(在此實施例中被否定)。只要 V_{batt} 下降至足夠低從而 V_{comp} 變成小於或等於 V_{ref} ，則該比較器輸出從低切換為高，表示偵測到一低電壓條件。從而，在此點判定 LVD1_Detect 112 以表示 V_{batt} 已經達到 LV1。

在 LVD 電路 200 中使用之電流源 202 和 210 具有極低之電流值。因此，相比對於一低電壓偵測功能之普通需求，LVD 電路 200 具有較低之抗雜訊能力。但是，在一實施例中，僅當 MCU 102 係處於低功率停止模式並且所有時鐘無作用 (inactive) 時，LVD 電路 200 之該操作才重要。由於製程參數和溫度之變化，由 LVD 電路 200 所產生之該參考電壓 V_{ref} 並不具有高準確度。但是，因為此電路並非用於向 MCU 102 產生一中斷以導致系統關閉，所以不需要高準確度，如上所述。換言之，LVD1 110 僅用於在合適條件下啟用更準確之 LVD2 116，並保持 MCU 102 處於一低功率安全狀態，直到從外部恢復足夠電壓(藉由 V_{batt})以允許 MCU 102 開始再次處理為止。

圖 7 以原理圖形式說明可用於圖 1 之 LVD2 116 中一 LVD 電路 300 之一實施例。LVD 電路 300 包括一頻帶隙電路 302、電阻器 306 和 304 和一比較器 308。 V_{batt} (或 V_{reg} ，如果存在電壓調整器 114)係耦合至頻帶隙電路 302 之一第一終端以及電阻器 306 之一第一終端。頻帶隙電路 302 之

一第二終端係耦合至比較器 308 之一正輸入以提供 V_{ref} ，並且頻帶隙電路 302 之一第三終端係耦合至電阻器 304 之一第一終端以及一地節點。電阻器 306 之一第二終端係耦合至電阻器 304 之一第二終端以及比較器 308 之一負輸入。比較器 308 具有一輸出，以提供 LVD2_interrupt 118。注意不同實施例可採用不同電路結構來提供 LVD2_interrupt 118。

LVD 電路 300 採用一頻帶隙參考電路(頻帶隙電路 302)以產生一準確參考電壓 V_{ref} 。電阻器 306 和 304 在 V_{reg} 和地之間形成一分壓器，其用於產生一電壓以與該參考相比較。只要 V_{batt} (或 V_{reg})下降至足夠低，以使 V_{comp} 變為小於或等於 V_{ref} ，則比較器 308 之該輸出從低切換為高，表示偵測到一低電壓條件(即判定 LVD2_interrupt 118)。(注意頻帶隙電路 302 可為本領域中已知之任何頻帶隙電路。)在某些應用中，頻帶隙電路 302 和該由電阻器 306 和 304 形成之分壓器所取得的電流，比停止模式所允許的電流要多。因此，當 MCU 102 進入低功率停止模式時，使 LVD2 110(利用 LVD 電路 300)停用。因此，可理解不同類型 LVD 電路如何可用於 LVD1 110 和 LVD2 116，其中可在電流消耗和準確度上求得平衡。

儘管參照具體導電性類型或電位極性描述了本發明，熟習此項技術者可理解導電性類型和電位極性可更改。

在前述說明書中，已參考具體實施例描述本發明。但是，熟習此項技術者可理解，在不背離如以下申請專利範圍所

闡述之本發明範圍條件下，可作不同修改和變化。例如，該等方塊圖中相比所顯示而言可具有不同之方塊，且可具有更多或更少之方塊或作不同排列。而且可合併某些方塊。例如，一替代實施例可將 LVD1 110 和 LVD2 116 之功能合併為一單一 LVD 系統，其能夠操作於一高功率和一低功率模式，並且當 Vbatt 降至低於 LV1 時可提供一指示器，當 Vbatt 降至 LV2 以下時提供另一指示器。因此，本說明書和圖式可認為係示意性而非限制意義，並且所有這類修改都包含於本發明之該範圍內。

以上參照具體實施例描述了利益、其他優點和問題之解決方法。但是，該等利益、優點、問題解決方法和導致任何利益、優點或解決方法出現或更明確之任何元件不能被認為係該申請專利範圍之任何或所有條款之一關鍵、必需或本質特徵或元件。如此處所使用，術語"包括"或其任何其他變化形式係有意適用於一非排它性包括，從而一包括一元件列表之過程、方法、物件或裝置不僅僅包括該等元件，還可包括此過程、方法、物件或裝置中沒有明確列出或固有存在之其他元件。

【圖式簡單說明】

藉由實例方式說明本發明，且不限於該等所附圖式，在圖式中相同參考編號指示同類元件。在圖式中：

圖 1 以方塊圖形式說明一種根據本發明之一實施例之資料處理系統；

圖 2 以曲線圖形式說明一種根據本發明之一實施例之進

入和離開一安全狀態之方法；

圖 3 至圖 5 說明對應於圖 1 之該資料處理系統中不同單元之真值表；

圖 6 以原理圖形式說明圖 1 之該資料處理系統中一低電壓偵測單元之一實施例；以及

圖 7 以原理圖形式說明圖 1 之該資料處理系統中另一低電壓偵測單元之一實施例。

有經驗技術人員可理解該等圖式中之元件之顯示係出於簡單且清楚之目的，沒有必要將該等元件按比例繪製。例如，在該等圖式中之某些元件之尺寸相對於其他元件可能被誇大，以幫助對本發明之該等實施例之理解。

【圖式代表符號說明】

100	資料處理系統
102	微控制器
104	充電元件
106	電池
109	電池節點
110	LVD1
112	LV1_detect
114	電壓調整器
116	LVD2
118	LV2_interrupt
120	週期喚醒單元(PWU)啟用
122	PWU_en

124	週期喚醒單元(PWU)
126	wakeup
128	LVD2 啟用單元
130	LVD2_en
132	STOP
134	安全位元暫存器
136	safe
138	IH 控制單元
140	IH_block
142	中斷處置器
144	外部中斷
146	內部中斷
148	經由雙向導線
152	匯流排
154	I/O 界面
156	內部周邊設備
158	記憶體
160	CPU
166	外部周邊設備
180	點
182	點
200	LVD 電路
202	電流源
204	電晶體

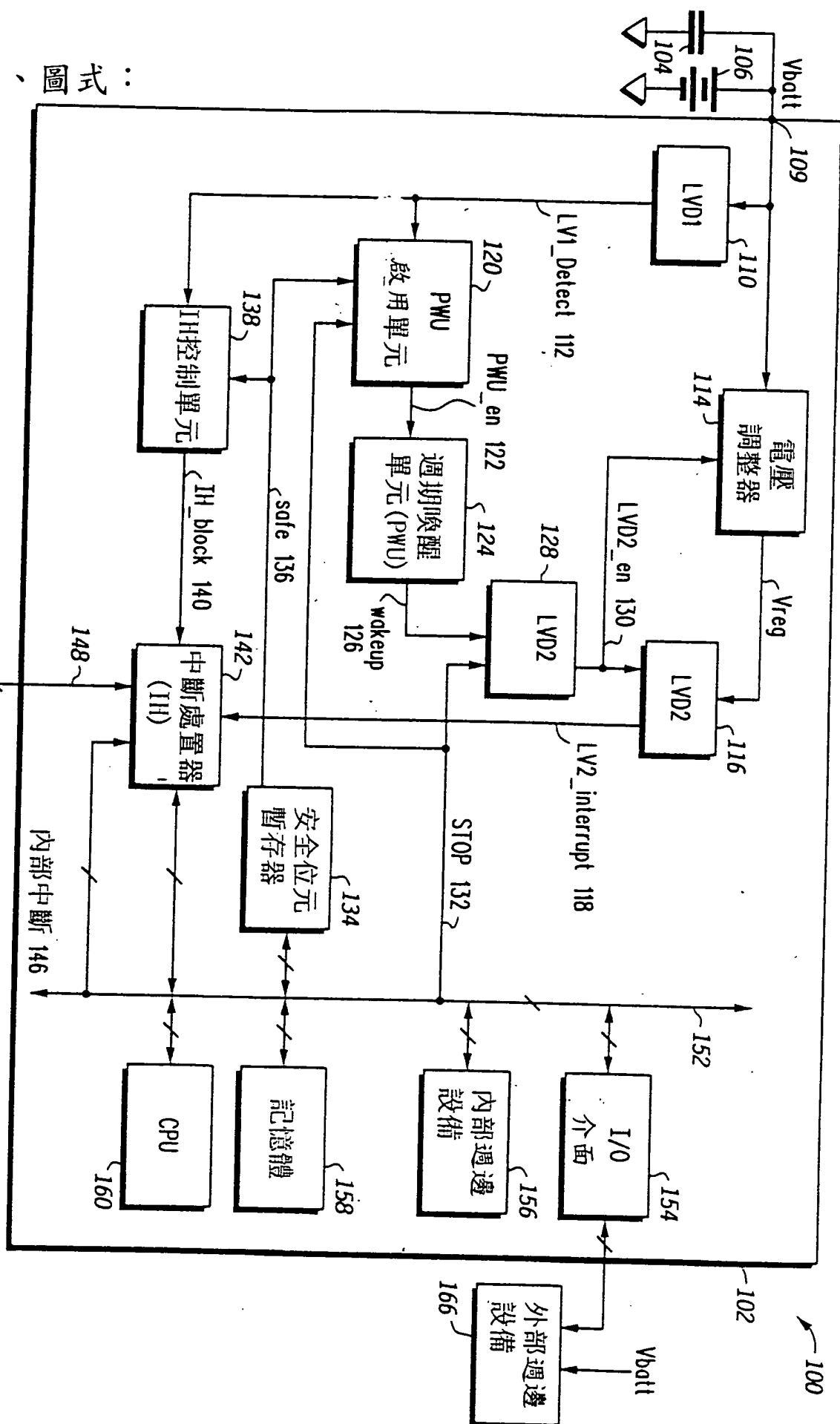
206	電 晶 體
208	電 晶 體
210	電 流 源
212	比 較 器
300	LVD 電 路
302	頻 帶 隙 電 路
304	電 阻 器
306	電 阻 器
308	比 較 器

伍、中文發明摘要：

一種用於一邏輯裝置之低電壓偵測(LVD)系統，其包括一第一LVD電路(110)，以當一供應插腳電壓(109)下降至低於一第一電壓位準時提供一指示器，並且包括一第二LVD電路(116)，以當該供應插腳電壓下降至低於一第二電壓位準時提供一中斷(118)。在一實施例中，該第二LVD電路相比該第一LVD電路消耗更多功率，因此其係被有選擇地啟用。在一實施例中，當該供應插腳電壓係處於該第一和第二電壓位準之間，且該邏輯裝置係處於一停止或低功率模式時，週期啟用該第二LVD電路，以監視該供應插腳電壓。在該供應插腳電壓下降至該第二電壓位準以下時，使該邏輯裝置係處於一安全狀態，在該供應插腳電壓上升至該第一電壓位準以上之前禁止該邏輯裝置應答中斷。

陸、英文發明摘要：

A low voltage detection (LVD) system for a logic device includes a first LVD circuit (110) to provide an indicator when a supply pin voltage (109) falls below a first voltage level, and a second LVD circuit (116) to provide an interrupt (118) when the supply pin voltage falls below a second voltage level. In one embodiment, the second LVD circuit consumes more power than the first LVD circuit, and is therefore selectively enabled. In one embodiment, when the supply pin voltage is between the first and second voltage levels and the logic device is in a stop or low power mode, the second LVD circuit is periodically enabled to monitor the supply pin voltage. After the supply pin voltage falls below the second voltage level, the logic device is placed in a safe state where the logic device is inhibited from acknowledging interrupts until the supply pin voltage rises above the first voltage level.



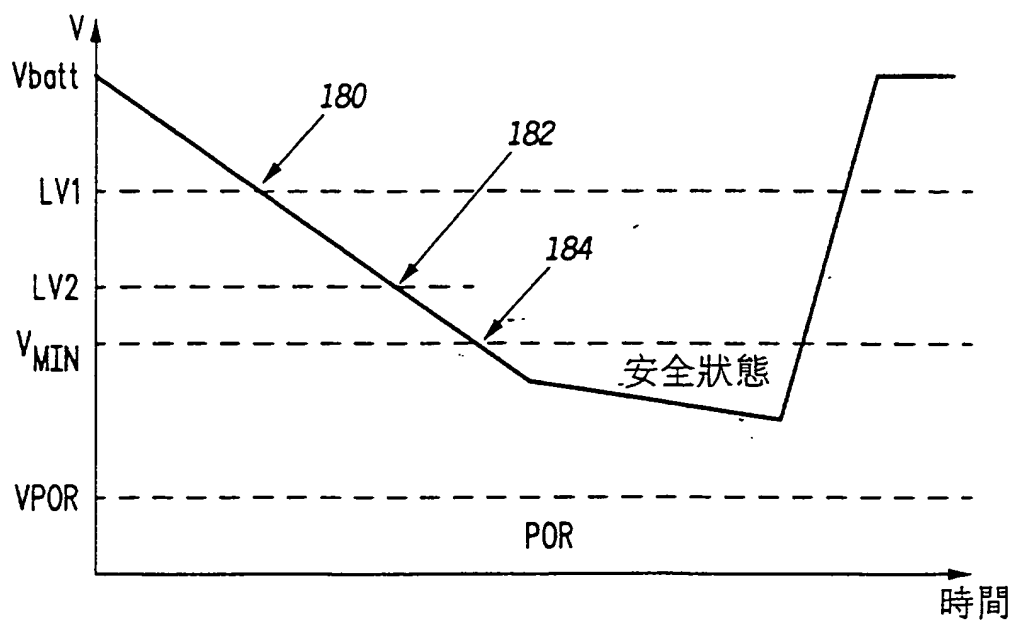


圖 2

LV1_Detect 112	safe 136	IH_block 140
0 ($V_{BATT} > LV1$)	0	0 (中斷允許)
0	1	0
1 ($V_{BATT} \leq LV1$)	0	0
1	1	1 (中斷阻塞)

圖 3

wakeup 126	STOP 132	LVD2_en 130
0	0 (運行模式)	1 (LVD2啟用)
0	1 (停止模式)	0 (LVD2停用)
1	0	1
1	1	1

圖 4

LV1_Detect 112	safe 136	STOP 132	PWU_en 122
0	0	0	0 (PWU停用)
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1 (PWU啟用)
1	1	0	0
1	1	1	0

圖 5

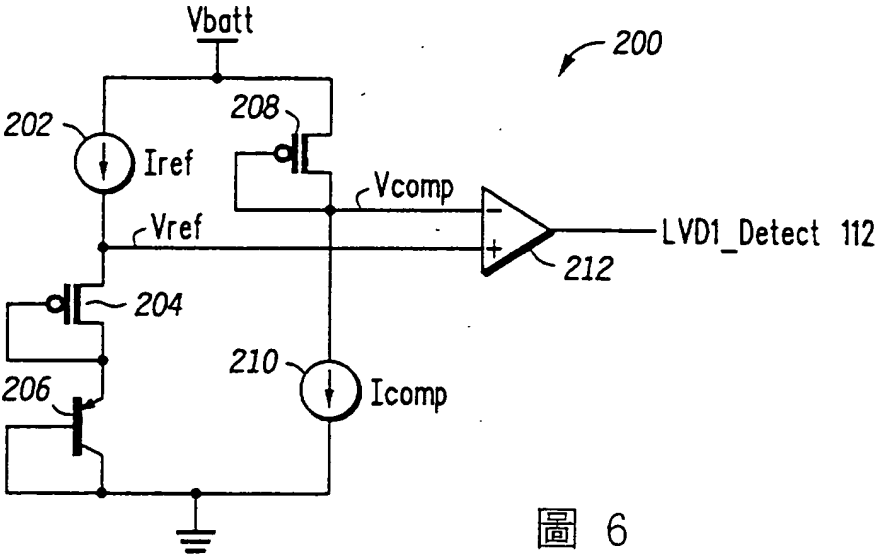


圖 6

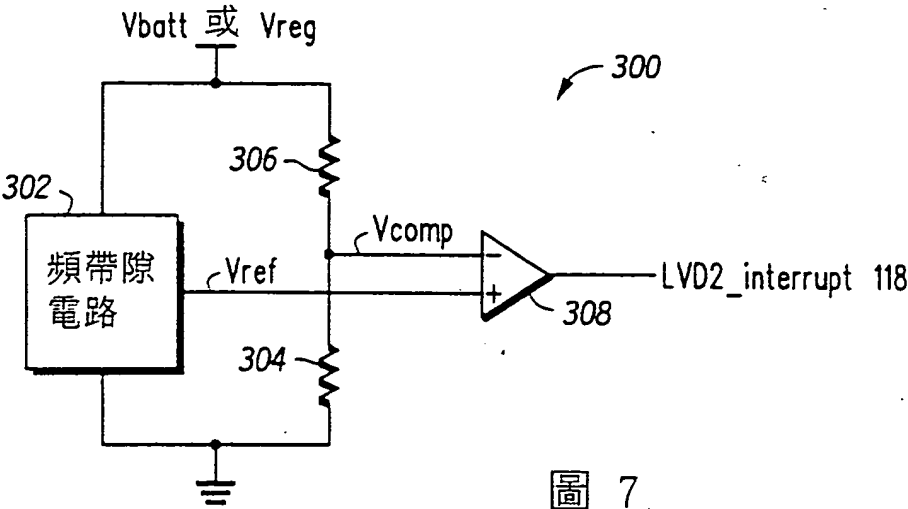


圖 7

柒、指定代表圖：

(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件代表符號簡單說明：

100	資料處理系統
102	微控制器
104	充電元件
106	電池
109	電池節點
110	LVD1
112	LV1_detect
114	電壓調整器
116	LVD2
118	LV2_interrupt
120	週期喚醒單元(PWU)啟用
122	PWU_en
124	週期喚醒單元(PWU)
126	wakeup
128	LVD2 啟用單元
130	LVD2_en
132	STOP
134	安全位元暫存器
136	safe
138	IH 控制單元
140	IH_block

142	中斷處置器
144	外部中斷
146	內部中斷
148	經由雙向導線
152	匯流排
154	I/O 界面
156	內部週邊設備
158	記憶體
160	CPU
166	外部週邊設備

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

發明專利說明書

中文說明書替換頁(93年10月)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：092128565

※ 申請日期：92.10.15

※IPC 分類：G06F 1/38 (2006.01)

壹、發明名稱：(中文/英文)

低電壓偵測系統

LOW VOLTAGE DETECTION SYSTEM

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商飛思卡爾半導體公司

FREESCALE SEMICONDUCTOR, INC.

代表人：(中文/英文)

珍妮佛 B 伍艾梅特

WUAMETT, JENNIFER B

住居所或營業所地址：(中文/英文)

美國德州奧斯丁市威廉坎嫩道西6501號

6501 WILLIAM CANNON DRIVE WEST, AUSTIN, TEXAS 78735,

U.S.A.

國 籍：(中文/英文)

美國

U.S.A.

拾、申請專利範圍：

1. 一種積體電路(100)，其包括：

- 一用於從一電源接收電力之電源供應插腳(109)；
- 一第一電壓偵測電路(110)，其具有一輸出以提供一指示該電源供應插腳之一第一電壓位準之一第一電壓偵測信號；
- 一第二電壓偵測電路(116)，其具有一輸出以提供一指示該電源供應插腳之一第二電壓位準之一第二電壓偵測信號，其中該第二電壓位準係不同於該第一電壓位準；
- 一中央處理單元(160)，可配置該中央處理單元以從經由該電源供應插腳所接收電力供電；
- 一可被操作耦合至該中央處理單元之中斷處置器(142)，該中斷處置器回應一至少具有一中斷之中斷組；
- 一中斷處置器控制電路(138)，其控制該中斷處置器回應該至少具有一中斷之中斷組，該中斷處置器控制電路回應該第一電壓偵測信號，並回應一具有一第一信號狀態之第一信號，該第一信號狀態至少指示該電源供應插腳之電壓位準已經下降至低於該第二電壓位準，該第二電壓位準由該第二電壓偵測信號指示，其中如果該第一信號係處於一第一信號狀態，則當該第一電壓偵測信號指示該電源供應插腳之電壓位準係高於該第一電壓位準時，該中斷處置器控制電路可啟用該中斷處置器以回應該至少具有一中斷之中斷組。

2. 如申請專利範圍第1項之積體電路，其中經由一對該中央

處理單元之處理操作而將該第一信號設定為該第一信號狀態。

3. 如申請專利範圍第 2 項之積體電路，其中：

該第二電壓偵測電路之該輸出係耦合至該中斷處置器，其中指示該電源供應插腳之電壓位準係低於該第二電壓位準之該第二電壓偵測信號產生一中斷；

至少回應當該第二電壓偵測信號指示該電源供應插腳之電壓位準係低於該第二電壓位準時產生之中斷，該中央處理單元執行該處理操作以將該第一信號設定為該第一信號狀態。

4. 如申請專利範圍第 1 項之積體電路，其中該積體電路具有一低功率停止模式，其中當該積體電路係處於該低功率停止模式時，使該第二電壓偵測電路停用，以不提供該第二電壓偵測信號。

5. 如申請專利範圍第 1 項之積體電路，其進一步包括：

一喚醒電路，其具有一輸出，當至少該積體電路係處於一低功率停止模式，並且該第一電壓偵測信號指示該電源供應插腳之電壓位準係低於該第一電壓位準時，啟用該第二電壓偵測電路以提供該第二電壓偵測信號。

6. 如申請專利範圍第 1 項之積體電路，其中該中斷處置器控制電路藉由將該至少一中斷信號(148)閘控至該中斷處置器，以控制該中斷處置器回應該至少具有一中斷之中斷組。

7. 一種能夠進行電池供電操作之系統，其包括如申請專利範

圖第 1 項之該積體電路並進一步包括：

一耦合至該電源供應插腳之電池，用於向該電源供應插腳供電；以及

一外部週邊設備，可經由該積體電路之至少一信號線插腳而可操作耦合至該積體電路。

8. 一種積體電路，其包括：

一用於從一電源接收電力之電源供應插腳(109)；

一第一電壓偵測電路(110)，其具有一輸出以提供一指示該電源供應插腳之一第一電壓位準之第一電壓偵測信號；

一第二電壓偵測電路(116)，其具有一輸出以提供一指示該電源供應插腳之一第二電壓位準之第二電壓偵測信號，該第二電壓位準係低於該第一電壓位準；

一喚醒電路(124)，其具有一輸出(126)，當至少該第一電壓偵測信號指示該電源供應插腳之電壓位準係低於該第一電壓位準時，啟用該第二電壓偵測電路以提供該第二電壓偵測信號。

9. 如申請專利範圍第 8 項之積體電路，其進一步包括：

一中斷處置器(142)，該中斷處置器(142)回應一至少具有一中斷之中斷組；

一中斷處置控制電路(138)，其控制該中斷處置器回應該至少具有一中斷之中斷組，該中斷處置器控制電路回應該第一電壓偵測信號，並回應一具有一第一信號狀態之第一信號，該第一信號狀態至少指示該電源供應插腳之電壓

位準已經下降至低於該第二電壓位準，該第二電壓位準由該第二電壓偵測信號指示，其中如果該第一信號係處於一第一信號狀態，則當該第一電壓位準信號指示該電源供應插腳之電壓位準係高於該第一電壓位準時，該中斷處置器控制電路可啟用該中斷處置器以回應該至少具有一中斷之中斷組。

10. 如申請專利範圍第 8 項之積體電路，其中當至少該第一電壓偵測信號指示該電源供應插腳之電壓位準係低於該第一電壓位準且該積體電路係處於一低功率停止模式時，該喚醒電路啟用該第二電壓偵測電路以提供該第二電壓偵測信號。

11. 如申請專利範圍第 8 項之積體電路，其中該喚醒電路係一週期喚醒電路，其中當至少該第一電壓偵測信號指示該電源供應插腳之電壓位準係低於該第一電壓位準時，該輸出提供一週期信號以啟用該第二電壓偵測電路以提供該第二電壓偵測信號。

12. 如申請專利範圍第 8 項之積體電路，其進一步包括：

一第一信號，該第一信號具有一第一信號狀態，其指示至少該電源供應插腳之電壓位準已經下降至低於該由該第二電壓偵測信號指示之第二電壓位準；

其中當至少該第一電壓偵測信號指示該電源供應插腳之電壓位準係低於該第一電壓位準，並且該第一信號係處於一不同於該第一信號狀態之第二信號狀態時，該喚醒電路之輸出啟用該第二電壓偵測電路以提供該第二電壓偵測信號。