

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成22年4月8日 (2010.4.8)

【公開番号】特開2009-170719(P2009-170719A)

【公開日】平成21年7月30日 (2009.7.30)

【年通号数】公開・登録公報2009-030

【出願番号】特願2008-8301(P2008-8301)

【国際特許分類】

H 0 1 L 21/8247 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

H 0 1 L 21/8246 (2006.01)

H 0 1 L 27/105 (2006.01)

H 0 1 L 21/316 (2006.01)

H 0 1 L 21/318 (2006.01)

【F I】

H 0 1 L 29/78 3 7 1

H 0 1 L 27/10 4 4 4

H 0 1 L 21/316 X

H 0 1 L 21/316 M

H 0 1 L 21/318 B

H 0 1 L 21/318 M

【手続補正書】

【提出日】平成22年2月17日 (2010.2.17)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板と、

前記半導体基板上に形成された第 1 のゲート絶縁膜と、

前記第 1 のゲート絶縁膜上に形成された電荷蓄積層と、

前記電荷蓄積層上に形成された第 2 のゲート絶縁膜と、

前記第 2 のゲート絶縁膜上に形成された制御ゲート電極層とを備え、

前記第 2 のゲート絶縁膜は、前記電荷蓄積層と前記制御ゲート電極層との間において、シリコン酸化膜と、シリコン窒化膜の比誘電率よりも高い比誘電率を有する第 1 の高誘電体絶縁膜と、シリコン窒化膜の比誘電率よりも高い比誘電率を有する第 2 の高誘電体絶縁膜との層構造を備え、前記第 1 および第 2 の高誘電体絶縁膜が前記シリコン酸化膜を挟んだ構造をなしていることを特徴とする不揮発性半導体記憶装置。

【請求項 2】

半導体基板と、

前記半導体基板上に形成された第 1 のゲート絶縁膜と、

前記第 1 のゲート絶縁膜上に形成された電荷蓄積層と、

前記電荷蓄積層上に形成された第 2 のゲート絶縁膜と、

前記第 2 のゲート絶縁膜上に形成された制御ゲート電極層とを備え、

前記第 2 のゲート絶縁膜は、前記電荷蓄積層と前記制御ゲート電極層との間に前記電荷

蓄積層側から前記制御ゲート電極層側にかけて、第１のシリコン窒化膜、第１のシリコン酸化膜、比誘電率がシリコン窒化膜の比誘電率よりも高い比誘電率を有する第１の高誘電体絶縁膜、第２のシリコン酸化膜、第２のシリコン窒化膜の積層構造を備えると共に、第１のシリコン窒化膜および第１のシリコン酸化膜間、または、第２のシリコン窒化膜および第２のシリコン酸化膜間の少なくとも何れか一方に比誘電率がシリコン窒化膜の比誘電率よりも高い比誘電率を有する第２の高誘電体絶縁膜を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項３】

半導体基板と、

前記半導体基板上に形成された第１のゲート絶縁膜と、

前記第１のゲート絶縁膜上に形成された電荷蓄積層と、

前記電荷蓄積層上に形成された第２のゲート絶縁膜と、

前記第２のゲート絶縁膜上に形成された制御ゲート電極層とを備え、

前記第２のゲート絶縁膜は、前記電荷蓄積層と前記制御ゲート電極層との間において、第１ないし第３のシリコン酸化膜の３層シリコン酸化膜構造を備えると共に、比誘電率がシリコン窒化膜の比誘電率よりも高い比誘電率を有する第１の高誘電体絶縁膜と、比誘電率がシリコン窒化膜の比誘電率よりも高い比誘電率を有する第２の高誘電体絶縁膜とを備え、前記第１の高誘電体絶縁膜が前記３層シリコン酸化膜構造間に介在する２層のうちの何れか一方に形成されていると共に前記第２の高誘電体絶縁膜が前記３層シリコン酸化膜構造間に介在する２層のうちの他方に形成されていることを特徴とする不揮発性半導体記憶装置。

【請求項４】

前記第１の高誘電体絶縁膜は遷移金属元素の酸化膜を含んでいることを特徴とする請求項１ないし３の何れかに記載の不揮発性半導体記憶装置。

【請求項５】

半導体基板上に第１のゲート絶縁膜を形成する工程と、

前記第１のゲート絶縁膜上に電荷蓄積層を形成する工程と、

前記電荷蓄積層上に第１のシリコン窒化膜を形成する工程と、

前記第１のシリコン窒化膜上に第１のシリコン酸化膜を形成する工程と、

前記第１のシリコン酸化膜上に比誘電率がシリコン窒化膜の比誘電率よりも高い比誘電率を有する第１の高誘電体絶縁膜を形成する工程と、

前記第１の高誘電体絶縁膜上に第２のシリコン酸化膜を形成する工程と、

前記第２のシリコン酸化膜上に比誘電率がシリコン窒化膜の比誘電率よりも高い比誘電率を有する第２の高誘電体絶縁膜を形成する工程と、

前記第２の高誘電体絶縁膜上に第２のシリコン窒化膜を形成する工程と、

前記第２のシリコン窒化膜上に制御ゲート電極層を形成する工程とを備えたことを特徴とする不揮発性半導体記憶装置の製造方法。

【手続補正２】

【補正対象書類名】明細書

【補正対象項目名】０００６

【補正方法】変更

【補正の内容】

【０００６】

本発明の一態様は、半導体基板と、前記半導体基板上に形成された第１のゲート絶縁膜と、前記第１のゲート絶縁膜上に形成された電荷蓄積層と、前記電荷蓄積層上に形成された第２のゲート絶縁膜と、前記第２のゲート絶縁膜上に形成された制御ゲート電極層とを備え、前記第２のゲート絶縁膜は、前記電荷蓄積層と前記制御ゲート電極層との間において、シリコン酸化膜と、シリコン窒化膜の比誘電率よりも高い比誘電率を有する第１の高誘電体絶縁膜と、シリコン窒化膜の比誘電率よりも高い比誘電率を有する第２の高誘電体絶縁膜との層構造を備え、前記第１および第２の高誘電体絶縁膜が前記シリコン酸化膜を

挟んだ構造をなしていることを特徴としている。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

本発明の別の態様は、半導体基板と、前記半導体基板上に形成された第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に形成された電荷蓄積層と、前記電荷蓄積層上に形成された第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に形成された制御ゲート電極層とを備え、前記第2のゲート絶縁膜は、前記電荷蓄積層と前記制御ゲート電極層との間において、第1ないし第3のシリコン酸化膜の3層シリコン酸化膜構造を備えると共に、比誘電率がシリコン窒化膜の比誘電率よりも高い比誘電率を有する第1の高誘電体絶縁膜と、比誘電率がシリコン窒化膜の比誘電率よりも高い比誘電率を有する第2の高誘電体絶縁膜とを備え、前記第1の高誘電体絶縁膜が前記3層シリコン酸化膜構造間に介在する2層のうちの何れか一方に形成されていると共に前記第2の高誘電体絶縁膜が前記3層シリコン酸化膜構造間に介在する2層のうちの他方に形成されていることを特徴としている。