

[51] Int. Cl.

G11C 19/00 (2006.01)

G11C 19/34 (2006.01)

G09G 3/36 (2006.01)



[12] 发 明 专 利 说 明 书

专利号 ZL 02806872.6

[45] 授权公告日 2009 年 4 月 29 日

[11] 授权公告号 CN 100483555C

[22] 申请日 2002.2.7 [21] 申请号 02806872.6

[30] 优先权

[32] 2001.2.13 [33] KR [31] 2001/0007068

[32] 2001. 8. 13 [33] KR [31] 2001/0048649

[32] 2002. 1. 21 [33] KR [31] 2002/0003398

[86] 国际申请 PCT/KR2002/000191 2002.2.7

[87] 国际公布 WO2002/065062 英 2002.8.22

[85] 进入国家阶段日期 2003.9.19

[73] 专利权人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 全 珍 金炯杰 文胜焕

[56] 参考文献

EP0630258A1 1998.9.4

US6052426A 2000.4.18

JP1176186A 1989.7.12

审查员 孟田革

[74] 专利代理机构 北京市柳沈律师事务所

代理人 邸万奎 黄小临

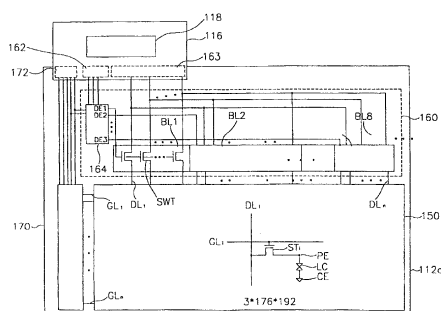
权利要求书 16 页 说明书 26 页 附图 37 页

[54] 发明名称

移位寄存器及使用其的液晶显示器

[57] 摘要

提供了一种移位寄存器，其中多个级彼此前后相连，所述多个级具有其中起始信号与输入端子相连的第一级，所述移位寄存器顺序输出各级的输出信号。所述多个级具有接收第一时钟信号的奇数级，和接收与第一时钟信号反相的第二时钟信号的偶数级。所述多个级的每一级具有用于向输出端子提供第一和第二时钟信号的相应一个的上拉部分，用于导通/关断该上拉部分的上拉驱动部分，用于向输出端子提供第一电源电压的下拉部分，和用于导通/关断该下拉部分的下拉驱动部分。



1. 一种移位寄存器，其中多个级彼此前后相连，所述多个级具有起始信号与输入端子相连的第一级，所述移位寄存器顺序输出各级的输出信号，所述多个级具有接收第一时钟信号的奇数级和接收与第一时钟信号反相的第二时钟信号的偶数级，

所述多个级的每一级包括：

用于向输出端子提供第一和第二时钟信号的相应一个的上拉装置；

与该上拉装置的输入节点相连的上拉驱动装置，用于响应于输入信号的前沿而导通该上拉装置，并响应于下一级的输出信号的前沿而关断该上拉装置；

用于向输出端子提供第一电源电压的下拉装置；和

与该下拉装置的输入节点相连的下拉驱动装置，用于响应于输入信号的前沿而关断该下拉装置，并响应于下一级的输出信号的前沿而导通该下拉装置。

2. 根据权利要求1的移位寄存器，其中所述多个级的每一级还包括与该下拉装置的输入节点相连的防止漂移装置，其中该防止漂移装置向该下拉装置的输入节点提供第二电源电压，以防止该下拉装置的输入节点发生漂移。

3. 根据权利要求2的移位寄存器，其中所述多个级的每一级还包括与该下拉装置的输入节点相连的防止导通装置，其中该防止导通装置响应于输出端子的输出信号而向该下拉装置的输入节点提供第一电源电压，以防止该下拉装置被导通。

4. 根据权利要求3的移位寄存器，其中该防止导通装置包括一个NMOS晶体管，其漏极与该下拉装置的输入节点相连，栅极与输出端子相连，源极与第一电源电压相连。

5. 根据权利要求2的移位寄存器，其中该上拉驱动装置包括：

连接在该上拉装置的输入节点和输出端子之间的电容器；

第一晶体管，其漏极和栅极共同连接至输入端子，而源极连接至该上拉装置的输入节点；

第二晶体管，其漏极与该上拉装置的输入节点相连，栅极与该下拉装置的输入节点相连，而源极与第一电源电压相连；和

第三晶体管，其漏极与该上拉装置的输入节点相连，栅极与下一级的输出信号相连，而源极与第一电源电压相连。

6. 根据权利要求5的移位寄存器，其中该下拉驱动装置包括：

第四晶体管，其漏极与第二电源电压相连，栅极与下一级的输出信号相连，而源极与该下拉装置的输入节点相连；和

第五晶体管，其漏极与该下拉装置的输入节点相连，栅极与输入信号相连，而源极与第一电源电压相连。

7. 根据权利要求6的移位寄存器，其中该防止漂移装置包括第六晶体管，其漏极和栅极连接至第二电源电压，而源极连接至该下拉装置的输入节点，其中该第六晶体管具有小于第五晶体管的尺寸。

8. 根据权利要求7的移位寄存器，其中第五晶体管与第六晶体管的尺寸比为20:1。

9. 一种包括形成在透明衬底上的显示单元阵列电路、数据驱动电路和选通驱动电路的LCD，该显示单元阵列电路包括多条数据线和多条选通线，显示单元阵列的每一个连接至对应一对数据线和选通线，

该选通驱动电路包含其中包括彼此前后相连的多个级的移位寄存器，所述多个级具有起始信号与输入端子相连的第一级，用于使用每一级的输出信号顺序选择所述多根选通线，并且所述多个级具有用于接收第一时钟信号的奇数级，和用于接收与第一时钟信号反相的第二时钟信号的偶数级，

其中每一级包括：

与前一级的输出端子相连的输入端子；

与对应选通线相连的输出端子；

与下一级的输出端子相连的控制端子；

被输入相应时钟信号的时钟端子；

连接在该时钟端子与该输出端子之间的上拉装置，用于在导通该上拉装置的时钟信号的工作周期期间上拉对应的选通线；

连接在该输出端子和第一电源电压之间的下拉装置，用于在导通该下拉装置时下拉对应的选通线；

连接至该上拉装置的输入节点的上拉驱动装置，用于响应于提供给该输入端子的输入信号的前沿而导通该上拉装置，并响应于提供给该控制端子的控制信号的前沿而关断该上拉装置；

连接至该下拉装置的输入节点的下拉驱动装置，用于响应于该输入信号的前沿而关断该下拉装置，并响应于该控制信号的前沿而导通该下拉装置；

连接在该下拉装置的输入节点和第二电源电压之间的防止漂移装置，用于始终将该第二电源电压连接至该下拉装置的输入节点，以防止该下拉装置的输入节点发生漂移。

10. 根据权利要求 9 的 LCD，其中所述多个级的每一级还包括连接在该下拉装置的输入节点和第一电源电压之间的防止导通装置，其中该防止导通装置响应于该输出端子的输出信号而将该第一电源电压连接至该下拉装置的输入节点，以防止该下拉装置被导通。

11. 根据权利要求 10 的 LCD，其中该防止导通装置包括一 NMOS 晶体管，其漏极与该下拉装置的输入节点相连，栅极与该输出端子相连，源极与该第一电源电压相连。

12. 根据权利要求 11 的 LCD，其中该上拉驱动装置包括：

连接在该上拉装置的输入节点和该输出端子之间的电容器；

第一晶体管，其漏极和栅极共同连接至该输入端子，而源极连接至该上拉装置的输入节点；

第二晶体管，其漏极与该上拉装置的输入节点相连，栅极与该下拉装置的输入节点相连，而源极与该第一电源电压相连；和

第三晶体管，其漏极与该上拉装置的输入节点相连，栅极与该控制端子相连，而源极与该第一电源电压相连。

13. 根据权利要求 12 的 LCD，其中该下拉驱动装置包括：

第四晶体管，其漏极与该第二电源电压相连，栅极与该控制端子相连，而源极与该下拉装置的输入节点相连；和

第五晶体管，其漏极与该下拉装置的输入节点相连，栅极与该输入端子相连，而源极与该第一电源电压相连。

14. 根据权利要求 13 的 LCD，其中该防止漂移装置包括一第六晶体管，其漏极和栅极都连接至该第二电源电压，而源极连接至该下拉装置的输入节点，其中该第六晶体管具有小于第五晶体管的尺寸。

15. 根据权利要求 14 的 LCD，其中第五晶体管和第六晶体管的尺寸比为 20:1。

16. 根据权利要求 9 的 LCD，还包括外部连接端子，所述外部连接端子

具有第一时钟信号输入端子、第二时钟信号输入端子、起始信号输入端子、第一电源电压输入端子和第二电源电压输入端子的五个端子。

17. 根据权利要求 9 的 LCD, 其中该显示单元阵列电路、数据驱动电路和选通驱动电路的每一个是由非晶硅 TFT 制成的 NMOS 晶体管。

18. 一种包括形成在透明衬底上的显示单元阵列电路、数据驱动电路和选通驱动电路的 LCD, 该显示单元阵列电路包括多条数据线和多条选通线, 该显示单元阵列的每一个连接至对应的一对数据线和选通线,

其中该数据驱动电路包含多个数据线组和一个移位寄存器,

其中所述数据线组的每一个包括多个驱动晶体管, 其每一个的漏极和源极分别连接在数据输入端子和该数据线之间, 栅极共同连接至组选择端子,

其中该移位寄存器包括彼此前后相连的多个级, 所述多级具有其中组选择起始信号与输入端子相连的第一级, 用于使用每一级的输出信号而顺序选择所述多个数据线组, 并且所述多个级由用于接收第一时钟信号的奇数级, 和用于接收与该第一时钟信号反相的第二时钟信号的偶数级组成,

其中每一级包括:

与前一级的输出端子相连的输入端子;

与对应的数据线组的组选择端子相连的输出端子;

与下一级的输出端子相连的控制端子;

被输入对应的时钟信号的时钟端子;

连接在该时钟端子与该输出端子之间的上拉装置, 用于在导通该上拉装置时的时钟信号的工作周期期间上拉对应的选通线;

连接在该输出端子和第一电源电压之间的下拉装置, 用于在导通该下拉装置时使用该第一电源电压下拉对应的选通线;

连接至该上拉装置的输入节点的上拉驱动装置, 用于响应于提供给该输入端子的输入信号的前沿而导通该上拉装置, 并响应于提供给该控制端子的控制信号的前沿而关断该上拉装置;

连接至该下拉装置的输入节点的下拉驱动装置, 用于响应于该输入信号的前沿而关断该下拉装置, 并响应于该控制信号的前沿而导通该下拉装置。

19. 根据权利要求 18 的 LCD, 其中所述每一级包括连接在该下拉装置的输入节点和第二电源电压之间的防止漂移装置, 用于防止该下拉装置的输入节点发生漂移, 该下拉装置的输入节点始终连接至该第二电源电压。

20. 根据权利要求 19 的 LCD, 其中所述每一级还包括连接在该下拉装置的输入节点和该第一电源电压之间的防止导通装置, 其中该防止导通装置响应于该输出端子的输出信号而将该第一电源电压连接至该下拉装置的输入节点, 以防止该下拉装置被导通。

21. 根据权利要求 20 的 LCD, 其中该防止导通装置包括一个 NMOS 晶体管, 其漏极与该下拉装置的输入节点相连, 栅极与该输出端子相连, 源极与该第一电源电压相连。

22. 根据权利要求 21 的 LCD, 其中该上拉驱动装置包括:

连接在该上拉装置的输入节点和该输出端子之间的电容器;

第一晶体管, 其漏极和栅极共同连接至该输入端子, 而源极连接至该上拉装置的输入节点;

第二晶体管, 其漏极与该上拉装置的输入节点相连, 栅极与该下拉装置的输入节点相连, 而源极与该第一电源电压相连; 和

第三晶体管, 其漏极与该上拉装置的输入节点相连, 栅极与该控制端子相连, 而源极与该第一电源电压相连。

23. 根据权利要求 22 的 LCD, 其中该下拉驱动装置包括:

第四晶体管, 其漏极与该第二电源电压相连, 栅极与该控制端子相连, 而源极与该下拉装置的输入节点相连; 和

第五晶体管, 其漏极与该下拉装置的输入节点相连, 栅极与该输入端子相连, 而源极与该第一电源电压相连。

24. 根据权利要求 23 的 LCD, 其中该防止漂移装置包括一个第六晶体管, 其漏极和栅极都连接至该第二电源电压, 而源极连接至该下拉装置的输入节点, 其中该第六晶体管具有小于第五晶体管的尺寸。

25. 根据权利要求 24 的 LCD, 其中第五晶体管和第六晶体管的尺寸比为 20:1。

26. 根据权利要求 18 的 LCD, 还包括外部连接端子, 所述外部连接端子具有第一时钟信号输入端子、第二时钟信号输入端子、组选择起始信号输入端子和多数据输入端子。

27. 根据权利要求 18 的 LCD, 其中该显示单元阵列电路、数据驱动电路和选通驱动电路的每一个包括由非晶硅 TFT 制成的 NMOS 晶体管。

28. 一种具有 LCD 模块的 LCD, 其中液晶被置于下部透明衬底和上部透

明衬底之间，所述 LCD 包括：

形成在下部透明衬底上的显示单元阵列电路，包括多根数据线和多根选通线，所述显示单元阵列的每一个连接至对应的一对数据线和选通线；

形成在下部透明衬底上的选通驱动电路，包括具有彼此前后相连的多级的第一移位寄存器，所述多级具有其中起始信号与输入端子相连的第一级，该第一移位寄存器使用每一级的输出信号顺序选择所述多根选通线；

形成在下部透明衬底上的数据驱动电路，包括多个数据线组和一个第二移位寄存器，所述数据线组的每一个包括多个驱动晶体管，其每一个的漏极和源极都连接在数据输入端子和该数据线之间，栅极共同连接到组选择端子，所述第二移位寄存器包括彼此前后相连的多个级，所述多个级具有其中组选择起始信号与输入端子相连的第一级，用于使用每一级的输出信号而顺序选择所述多个数据线组；和

其上安装了集成控制和数据驱动芯片的可弯曲 PCB，用于向选通和数据驱动电路的输入端子提供控制信号和数据信号，

其中，所述第一和第二移位寄存器的每一个的多个级由用于接收第一时钟信号的奇数级、以及用于接收与该第一时钟信号反相的第二时钟信号的偶数级组成，

其中每一级包括：

与前一级的输出端子相连的输入端子；

与对应的选通线或数据线组相连的输出端子；

与下一级的输出端子相连的控制端子；

被输入对应的时钟信号的时钟端子；

连接在该时钟端子与该输出端子之间的上拉装置，用于在导通该上拉装置时的时钟信号的工作周期期间上拉该输出端子；

连接在该输出端子和第一电源电压之间的下拉装置，用于在导通该下拉装置时下拉对应的选通线；

连接至该上拉装置的输入节点的上拉驱动装置，用于响应于提供给该输入端子的输入信号的前沿而导通该上拉装置，并响应于提供给该控制端子的控制信号的前沿而关断该上拉装置；以及

连接至该下拉装置的输入节点的下拉驱动装置，用于响应于该输入信号的前沿而关断该下拉装置，并响应于该控制信号的前沿而导通该下拉装置。

29. 根据权利要求 28 的 LCD, 其中, 每一级还包括:

连接在该下拉装置的输入节点和第二电源电压之间的防止漂移装置, 用于始终将该第二电源电压连接至该下拉装置的输入节点, 以防止该下拉装置的输入节点发生漂移。

30. 根据权利要求 28 的 LCD, 其中施加到该第一移位寄存器的第一和第二时钟信号的工作周期大于施加到由多个数据线组复联的该第二移位寄存器的第一和第二时钟信号的工作周期的周期。

31. 根据权利要求 28 的 LCD, 其中该下部透明衬底通过外部连接端子连接至该可弯曲 PCB, 其中该外部连接端子包括连接至数据驱动电路(P13)的五个端子: 第一时钟信号输入端子、第二时钟信号输入端子、扫描起始信号输入端子、第一电源电压输入端子和第二电源电压输入端子; 以及第一时钟信号输入端子、第二时钟信号输入端子和组选择起始信号输入端子的三个控制端子, 和多个数据输入端子全部连接至数据驱动电路。

32. 一种移位寄存器, 其中多级彼此前后相连, 所述多个级具有其中起始信号输入到输入端子的第一级, 所述移位寄存器顺序输出各级的输出信号, 所述多个级包括接收第一时钟信号的奇数级和接收与第一时钟信号反相的第二时钟信号的偶数级,

所述多个级的每一级包括:

用于向输出端子提供第一和第二时钟信号的相应一个的上拉装置;

与该上拉装置的输入节点相连的上拉驱动装置, 用于响应于输入信号的前沿对电容器充电以导通该上拉装置, 并响应于下一级的输出信号的前沿对该电容器放电以关断该上拉装置;

用于向输出端子提供第一电源电压的下拉装置; 和

与该下拉装置的输入节点和该上拉装置的输入节点相连的下拉驱动装置, 用于响应于下一级的输出信号的前沿而关断该下拉装置和导通该下拉装置。

33. 根据权利要求 32 的移位寄存器, 其中该上拉驱动装置包括:

连接在该上拉装置的输入节点和该输出端子之间的电容器;

第一晶体管, 其漏极连接至该上拉装置的输入节点, 栅极连接至下一级的输出信号, 而源极连接至该第一电源电压;

第二晶体管, 其漏极与该上拉装置的输入节点相连, 栅极与下一级的输

出信号相连，而源极与该第一电源电压相连；和

第三晶体管，其漏极与该上拉装置的输入节点相连，栅极与该下拉装置的输入节点相连，而源极与该第一电源电压相连。

34. 根据权利要求 33 的移位寄存器，其中该第一晶体管与该第二晶体管的尺寸比为 2:1。

35. 根据权利要求 33 的移位寄存器，其中该下拉驱动装置包括：

第四晶体管，其漏极和栅极共同与该第二电源电压相连，而源极与该下拉装置的输入节点相连；和

第五晶体管，其漏极与该下拉装置的输入节点相连，栅极与该上拉装置的输入节点相连，而源极与该第一电源电压相连。

36. 根据权利要求 35 的移位寄存器，其中该第三晶体管与该第五晶体管的尺寸比为 16:1。

37. 根据权利要求 32 的移位寄存器，还包括外部连接端子，所述外部连接端子具有第一时钟信号输入端子、第二时钟信号输入端子、起始信号输入端子、第一电源电压输入端子和第二电源电压输入端子的五个端子。

38. 根据权利要求 32 的移位寄存器，其中在该第一和第二时钟信号的高电平周期之间存在相位差。

39. 一种移位寄存器，其中多级彼此前后相连，所述多个级具有其中起始信号被输入到输入端子的第一级，所述移位寄存器顺序输出各级的输出信号，所述多个级具有接收第一时钟信号的奇数级和接收与第一时钟信号反相的第二时钟信号的偶数级，

所述多个级的每一级包括：

NMOS 上拉晶体管，其漏极与对应时的钟信号相连，栅极与第一节点相连，源极与输出端子相连；

NMOS 下拉晶体管，其漏极与该输出端子相连，栅极与第二节点相连，源极与第一电源电压相连；

电容器，连接于该第一节点和该输出端子之间；

第一晶体管，其漏极连接于第二电源电压，栅极连接于输入信号，源极连接于该第一节点；

第二晶体管，其漏极连接于该第一节点，栅极连接于下一级的输出信号，源极连接于该第一电源电压；

第三晶体管，其漏极连接于该第一节点，栅极连接于该第二节点，源极连接于该第一电源电压；

第四晶体管，其漏极和栅极共同连接于该第二电源电压，源极连接于该第二节点；和

第五晶体管，其漏极连接于该第二节点，栅极连接于该第一节点，源极连接于该第一电源电压。

40. 根据权利要求 39 的移位寄存器，其中该第一晶体管与该第三晶体管的尺寸比为 2:1。

41. 根据权利要求 39 的移位寄存器，其中该第四晶体管与该第五晶体管的尺寸比为 16:1。

42. 根据权利要求 39 的移位寄存器，其中这些晶体管的每一个为由非晶硅 TFT 制成的 NMOS 晶体管。

43. 一种移位寄存器，包括以级联方式相连的多个级，所述多个级具有其中起始信号与输入端子相连的第一级，用于顺序输出各级的输出信号，所述多级具有奇数级，用于在所述奇数级的第一时钟端子和第二时钟端子接收第一时钟信号和与该第一时钟信号反相的第二时钟信号，和偶数级，用于在所述偶数级的第一时钟端子和第二时钟端子接收第二时钟信号和第一时钟信号，

其中所述多个级的每一级包括：

与前一级的输出端子相连的输入端子；

与对应的选通线相连的输出端子；

与下一级之后一级的第二控制端子相连的第一控制端子；

第二控制端子；

被输入对应的时钟信号的时钟端子；

用于向该输出端子提供第一和第二时钟信号的对应一个的上拉装置；

用于向该输出端子提供第一电源电压的下拉装置；

与该上拉装置的输入节点相连的上拉驱动装置，用于响应于输入信号的前沿而导通该上拉装置，并响应于供给该控制端子的控制信号的前沿而关断该上拉装置；和

与该下拉装置的输入节点和该上拉装置的输入节点相连的下拉驱动装置，用于响应于下一级的输出信号的前沿而关断该下拉装置和导通该下拉装

置。

44. 根据权利要求 43 的移位寄存器, 其中该上拉驱动装置包括:

连接在该上拉装置的输入节点和该输出端子之间的电容器;

第一晶体管, 其漏极和栅极共同连接至该输入信号, 而源极连接至该上拉装置的输入节点; 和

第二晶体管, 其漏极与该上拉装置的输入节点相连, 栅极与下一级的输出信号相连, 而源极与该第一电源电压相连。

45. 根据权利要求 44 的移位寄存器, 其中该第一晶体管通过共同连接的栅极和漏极而从前一级接收该起始信号或该输入信号, 并通过其源极对该电容器充电。

46. 根据权利要求 44 的移位寄存器, 其中该上拉驱动装置使用由该第二控制端子提供的上拉控制信号对该上拉装置的控制信号进行放电。

47. 根据权利要求 43 的移位寄存器, 其中该下拉驱动装置包括:

第三晶体管, 其漏极与该第一电源电压相连, 栅极与下一级的输出信号相连, 而源极与该下拉装置的输入节点相连; 和

第四晶体管, 其漏极和栅极共同与该第二时钟信号相连, 而源极与该下拉装置的输入节点相连。

48. 一种包括形成在透明衬底上的显示单元阵列电路、数据驱动电路和选通驱动电路的 LCD, 该显示单元阵列电路包括多条数据线和多条选通线, 该显示单元阵列的每一个连接至对应的一对数据线和选通线,

该选通驱动电路包含一个移位寄存器, 其包括以级联方式相连的多个级, 所述多个级具有其中起始信号与输入端子相连的第一级, 该移位寄存器用于顺序输出各级的输出信号, 所述多个级具有奇数级, 用于在所述奇数级的第一时钟端子和第二时钟端子接收第一时钟信号和与该第一时钟信号反相的第二时钟信号, 和偶数级, 用于在所述偶数级的第一时钟端子和第二时钟端子接收第二时钟信号和第一时钟信号,

其中所述多个级的每一级包括:

与前一级的输出端子相连的输入端子;

与对应的选通线相连的输出端子;

与下一级之后一级的第二控制端子相连的第一控制端子;

第二控制端子;

被输入对应的时钟信号的时钟端子;

连接在该时钟端子与该输出端子之间的上拉装置,用于在该时钟信号的工作周期期间导通对应的选通线;

连接在该输出端子和第一电源电压之间的下拉装置,用于在导通该下拉装置时下拉对应的选通线;

连接至该上拉装置的输入节点的上拉驱动装置,用于响应于提供给该输入端子的输入信号的前沿而导通该上拉装置,并响应于提供给该控制端子的下一级之后一级的控制信号的前沿而关断该上拉装置;和

连接至该下拉装置的输入节点和该上拉装置的输入节点的下拉驱动装置,用于响应于下一级输出信号的前沿而关断该下拉装置和导通该下拉装置。

49. 根据权利要求 48 的 LCD, 其中该上拉驱动装置包括:

连接在该上拉装置的输入节点和该输出端子之间的电容器;

第一晶体管, 其漏极和栅极共同连接至该输入信号, 而源极连接至该上拉装置的输入节点; 和

第二晶体管, 其漏极与该上拉装置的输入节点相连, 栅极与下一级的输出信号相连, 而源极与该第一电源电压相连。

50. 根据权利要求 49 的 LCD, 其中该第一晶体管通过共同连接的栅极和漏极而从前一级接收该起始信号或该输入信号, 并通过其源极对该电容器充电。

51. 根据权利要求 48 的 LCD, 其中该上拉驱动装置使用由下一级之后一级的第二控制端子提供的上拉控制信号对该上拉装置的控制信号进行放电。

52. 根据权利要求 48 的 LCD, 其中该下拉驱动装置包括:

第三晶体管, 其漏极与该第一电源电压相连, 栅极与下一级的输出信号相连, 而源极与该下拉装置的输入节点相连; 和

第四晶体管, 其漏极和栅极共同与该第二时钟信号相连, 而源极与该下拉装置的输入节点相连。

53. 一种移位寄存器, 包括以级联方式相连的多个级, 所述多个级具有其中起始信号与输入端子相连的第一级, 用于顺序输出各级的输出信号, 所述多个级包括用于接收第一时钟信号和与该第一时钟信号反相的第二时钟信号的奇数级,

其中所述多个级的每一级包括:

用于提供第一和第二时钟信号的对应一个的上拉装置;

用于向该输出端子提供第一电源电压的下拉装置;

与该下拉装置的输入节点相连的下拉驱动装置,用于响应于该输入信号的前沿而关断该下拉装置,并响应于下一级的输出信号的前沿而导通该下拉装置;和

上拉驱动装置,装备有电容器和放电装置,该电容器的第一端与该上拉装置的输入节点相连,第二端与该输出端子相连,该放电装置用于根据外部输入控制信号而对该电容器强制放电,该上拉驱动装置响应于该输入信号的前沿通过对电容器充电而导通该上拉装置,并响应于下一级的输出信号的前沿通过对电容器强制放电而关断该上拉装置,

其中该上拉驱动装置包括:

连接在该上拉装置的输入节点和该输出端子之间的电容器;

第一晶体管,其栅极连接至该输入信号,漏极连接至第二电源电压,而源极连接至该上拉装置的输入节点;

第二晶体管,其漏极与该上拉装置的输入节点相连,栅极与该下拉装置的输入节点相连,而源极与该第一电源电压相连;

第三晶体管,其漏极与该上拉装置的输入节点相连,栅极与下一级的输出信号相连,而源极与该第一电源电压相连;和

第四晶体管,其漏极与该上拉装置的输入节点相连,源极与该第一电源电压相连,而接收该外部输入控制信号的栅极对电容器进行强制放电。

54. 根据权利要求 53 的移位寄存器,其中该外部输入控制信号具有当施加电源时能导通该第四晶体管且在向第一级施加该起始信号之前能关断该第四晶体管的电压电平。

55. 根据权利要求 54 的移位寄存器,其中该外部输入控制信号具有一电压电平,当将该起始信号施加于第一级且产生最后一个移位寄存器的输出时能关断该第四晶体管,在产生该最后一个移位寄存器的输出之后能导通该第四晶体管,从而对该最后一个移位寄存器的电容器放电。

56. 一种移位寄存器,包括以级联方式相连的多个级,所述多个级具有其中起始信号与输入端子相连的第一级,用于顺序输出各级的输出信号,所述多个级包括用于接收第一时钟信号和与该第一时钟信号反相的第二时钟信号的奇数级,

其中所述多个级的每一级包括:

用于提供第一和第二时钟信号的对应一个的上拉装置;

用于向该输出端子提供第一电源电压的下拉装置;

与该下拉装置的输入节点相连的下拉驱动装置,用于响应于该输入信号的前沿而关断该下拉装置,并响应于下一级的输出信号的前沿而导通该下拉装置;和

上拉驱动装置,装备有电容器和放电装置,该电容器的第一端与该上拉装置的输入节点相连,第二端与该输出端子相连,该放电装置用于根据外部输入控制信号而对该电容器强制放电,该上拉驱动装置响应于该输入信号的前沿通过对电容器充电而导通该上拉装置,并响应于下一级的输出信号的前沿通过对电容器强制放电而关断该上拉装置,

其中该上拉驱动装置包括:

连接在该上拉装置的输入节点和该输出端子之间的电容器;

第一晶体管,其栅极连接至该输入端子,漏极连接至第二电源电压,而源极连接至该上拉装置的输入节点;

第二晶体管,其漏极与该上拉装置的输入节点相连,栅极与该下拉装置的输入节点相连,而源极与该第一电源电压相连;和

第三晶体管,其漏极与该上拉装置的输入节点相连,栅极与下一级的输出信号相连,而源极接收该外部输入控制信号以对该电容器强制放电。

57. 根据权利要求 56 的移位寄存器,其中该第二晶体管和该第三晶体管的源极彼此共同连接。

58. 根据权利要求 56 的移位寄存器,其中该外部输入控制信号在施加电源的同时保持低状态,以对该电容器强制放电,并在产生施加到第一级的起始信号之前保持高状态。

59. 根据权利要求 57 的移位寄存器,其中该外部输入控制信号在施加电源的同时保持低状态,以对该电容器强制放电,并在产生施加到第一级的起始信号之前保持高状态。

60. 根据权利要求 58 的移位寄存器,其中该外部输入控制信号具有当施加电源时能导通该第三晶体管,并在将该起始信号施加到第一级之前能关断该第三晶体管的电压电平。

61. 根据权利要求 60 的移位寄存器,其中该导通电压电平为第二电源电

压，而该关断电压电平为第一电源电压。

62. 根据权利要求 56 的移位寄存器，其中该第二电源电压高于甚至当将第一电源电压施加于第三晶体管的栅极端子时也能导通该第三晶体管的门限电压，并低于该第一电源电压。

63. 根据权利要求 62 的移位寄存器，其中该外部输入控制信号具有当将该起始信号施加到第一级且产生最后一个移位寄存器的输出时能关断该第三晶体管，和在产生该最后一个移位寄存器的输出之后能导通该第三晶体管，并从而对该最后一个移位寄存器的电容器进行放电的电压电平。

64. 一种包括形成在透明衬底上的显示单元阵列电路、数据驱动电路和选通驱动电路的 LCD，该显示单元阵列电路包括多条数据线和多条选通线，该显示单元阵列的每一个连接至对应的一对数据线和选通线，

该选通驱动电路包含一个移位寄存器，该移位寄存器包括以级联方式相连的多个级，所述多个级具有其中起始信号与输入端子相连的第一级，该移位寄存器用于根据各级的输出信号而顺序选择所述多条选通线，所述多个级具有用于接收第一时钟信号的奇数级和用于接收与该第一时钟信号反相的第二时钟信号的偶数级，

其中所述多个级的每一级包括：

与前一级的输出端子相连的输入端子；

与对应的选通线相连的输出端子；

与下一级的控制端子相连的控制端子；

被输入对应的时钟信号的时钟端子；

用于接收外部输入控制信号的外部输入控制端子；

用于向该输出端子提供第一和第二时钟信号的对应一个的上拉装置；

用于向该输出端子提供第一电源电压的下拉装置；

与该下拉装置的输入节点相连的下拉驱动装置，用于响应于该输入信号的前沿而关断该下拉装置，并响应于下一级的输出信号的前沿而导通该下拉装置；和

上拉驱动装置，装备有电容器和放电装置，该电容器的一端与该上拉装置的输入节点相连，另一端与该输出端子相连，该放电装置用于根据施加到该外部输入控制端子的外部输入控制信号而对该电容器强制放电，该上拉驱动装置响应于该输入信号的前沿通过对电容器充电而导通该上拉装置，并响

应于下一级的输出信号的前沿通过对电容器强制放电而关断该上拉装置。

65. 根据权利要求 64 的 LCD, 其中该上拉驱动装置包括:

连接在该上拉装置的输入节点和该输出端子之间的电容器;

第一晶体管, 其栅极连接至该输入信号, 漏极连接至第二电源电压, 而源极连接至该上拉装置的输入节点;

第二晶体管, 其漏极与该上拉装置的输入节点相连, 栅极与该下拉装置的输入节点相连, 而源极与该上拉装置的输入节点相连;

第三晶体管, 其漏极与该上拉装置的输入节点相连, 栅极与下一级的输出信号相连, 而源极与该第一电源电压相连; 和

第四晶体管, 其漏极与该上拉装置的输入节点相连, 源极与该第一电源电压相连, 而栅极对接收该外部输入控制信号的电容器进行强制放电。

66. 根据权利要求 65 的 LCD, 其中该外部输入控制信号具有当施加电源时能导通该第四晶体管且在向第一级施加该起始信号之前能关断该第四晶体管的电压电平。

67. 根据权利要求 66 的 LCD, 其中该外部输入控制信号具有一电压电平, 当将该起始信号施加于第一级且产生最后一个移位寄存器的输出时能关断该第四晶体管, 在产生该最后一个移位寄存器的输出之后能导通该第四晶体管, 从而对该最后一个移位寄存器的电容器放电。

68. 根据权利要求 64 的 LCD, 其中该上拉驱动装置包括:

连接在该上拉装置的输入节点和该输出端子之间的电容器;

第一晶体管, 其栅极连接至该输入端子, 漏极连接至第二电源电压, 而源极连接至该上拉装置的输入节点;

第二晶体管, 其漏极与该上拉装置的输入节点相连, 栅极与该下拉装置的输入节点相连, 而源极与该第一电源电压相连; 和

第三晶体管, 其漏极与该上拉装置的输入节点相连, 栅极与下一级的输出信号相连, 而源极接收该外部输入控制信号以对该电容器强制放电。

69. 根据权利要求 68 的 LCD, 其中该第二晶体管和该第三晶体管的源极彼此共同连接。

70. 根据权利要求 68 的 LCD, 其中该外部输入控制信号在施加电源的同时保持低状态, 以对该电容器强制放电, 并在产生施加到第一级的起始信号之前保持高状态。

71. 根据权利要求 69 的 LCD, 其中该外部输入控制信号在施加电源的同时保持低状态, 以对该电容器强制放电, 并在产生施加到第一级的起始信号之前保持高状态。

72. 根据权利要求 69 的 LCD, 其中该外部输入控制信号具有当施加电源时能导通该第三晶体管和在将该起始信号施加到第一级之前能关断该第三晶体管的电压电平。

73. 根据权利要求 72 的 LCD, 其中该导通电平为该第二电源电压电平, 而该关断电压电平为该第一电源电压电平。

74. 根据权利要求 69 的 LCD, 其中该第二电源电压高于甚至当将第一电源电压施加于第三晶体管的栅极端子时也能导通该第三晶体管的门限电压, 并低于该第一电源电压。

75. 根据权利要求 74 的 LCD, 其中该外部输入控制信号具有当将该起始信号施加到第一级且产生最后一个移位寄存器的输出时能关断该第三晶体管和产生该最后一个移位寄存器的输出之后能导通该第三晶体管, 从而对该最后一个移位寄存器的电容器进行放电的电压电平。

移位寄存器及使用其的液晶显示器

技术领域

本发明涉及显示器件中的移位寄存器及使用其的液晶显示器(LCD),并尤其涉及产生扫描信号的移位寄存器,该扫描信号用于扫描 AMTFT-LCD(有源矩阵薄膜晶体管液晶显示器)的选通线驱动电路中的选通线,并选择数据线组(block)驱动电路中的数据线组。

背景技术

最近,随着多种构造、功能及更快信息处理速度的发展趋势,已迅速开发了一些信息处理器件。在这些信息处理器件中处理的信息具有电信号格式。为了在视觉上确认信息处理器件中处理的信息,需要提供起接口作用的显示器。

LCD 具有例如重量轻、尺寸小、分辨率高、功耗低和与环境关系友好等优点,并且与传统阴极射线管(CRT)相比它们提供全色显示。这些优点允许 LCD 取代 CRT,并且处于成为下一代显示器的显著地位。

LCD 将电力施加于具有特定分子结构的液晶,以改变液晶的分子排列。液晶的这种分子结构的改变导致例如双折射、旋光强度、二色性和光散射的光特性的改变。LCD 利用这些光特性的改变来显示图像。

LCD 器件主要分为 TN(螺旋向列: Twisted Nematic)型和 STN(超螺旋向列: Super-Twisted Nematic)型。根据驱动方法,液晶显示器件分为使用开关器件和 TN 液晶的有源矩阵显示型,以及使用 STN 液晶的无源矩阵型。

两种类型的显著差别在于有源矩阵显示型被应用于使用 TFT 驱动 LCD 的 TFT-LCD 上,而无源矩阵显示型由于不使用晶体管,所以免除了与晶体管相关的复杂电路。

TFT-LCD 被分为非晶硅 TFT LCD(a-Si TFT-LCD)和多晶硅 TFT LCD(poly-Si TFT-LCD)。与 a-Si TFT-LCD 相比, poly-Si TFT-LCD 具有低功耗、低价的优点,但是其缺点在于制造过程复杂。因此, poly-Si TFT-LCD 主要用于例如移动电话的小尺寸显示器中。

由于大屏幕的容易使用和高生产产量，非晶-Si TFT-LCD 被应用于例如笔记本个人计算机（PC）、LCD 监视器、高清晰度（HD）电视等的大尺寸屏幕显示器。

如图 1 所示，poly-Si TFT LCD 包括形成在具有像素阵列的玻璃衬底 10 上的数据驱动电路 12 和选通驱动电路 14。使用薄膜电缆 18 将端子部分 16 与集成印刷电路板（PCB）20 相连。由于驱动电路的集成化，所以该结构节约制造成本且最小化功率浪费。

如图 2 所示，非晶-Si TFT LCD 具有以 COF（薄膜基芯片）方式形成在可弯曲印刷电路板 32 上的数据驱动芯片 34。数据印刷电路板 36 通过该可弯曲 PCB 32 与该像素阵列的数据线端子相连。选通驱动芯片 40 以 COF 方式形成在可弯曲 PCB 38 上。选通 PCB 42 通过该可弯曲 PCB 40 与选通线端子相连。

最近，还公开了一种通过采用在数据 PCB 上安装选通功率供给部分的集成 PCB 技术而从 LCD 上去除选通 PCB 的技术。本受让人先前提交的韩国专利公开第 2000-66493 号公开了采用去除了选通 PCB 的集成 PCB 的 LCD 模块。

尽管采用了该集成 PCB，仍可使用具有可弯曲 PCB 的可弯曲 PCB。因此，既然在玻璃衬底上装配多个可弯曲 PCB，则 a-Si TFT LCD 的制作处理，特别是 OLB（外部引线接合）处理与 poly-Si TFT LCD 相比变得复杂，因而其制作成本变高了。

因此，与 poly-Si TFT LCD 相似，在 a-Si TFT LCD 中，作了许多努力，通过将数据驱动电路、选通驱动电路和像素阵列一起形成在玻璃衬底上而减少装配处理的数目。

美国专利第 5517542 号公开了用于形成在玻璃衬底上的 a-Si TFT 选通驱动电路的技术。

在上述美国专利第 5517542 号中，选通驱动电路的移位寄存器使用三个时钟信号。移位寄存器每一级的三个时钟信号中的两个时钟信号被前一级的输出信号作为输入信号而使能，并通过反馈下一级的输出而保持禁止状态。

该美国专利的每一级提供以电容器充电方式施加到下拉晶体管的栅极的电压，以保持该禁止状态。因此，当由于该下拉晶体管的应力而导致的该下拉晶体管的栅极门限电压的增加被提高得高于该电容器的充电电压时，在禁止状态可能发生该下拉晶体管的关断。

上述美国专利采用了与 a-Si TFT LCD 的门限电压的增加成比例的提高 VDD 的电源电路，以防止由于门限电压的增加而导致的错误操作。

发明内容

因此，本发明的第一个目的在于提供一个移位寄存器，通过将该下拉装置的输入节点保持在与电源电压的连接状态，可使该移位寄存器执行稳定操作而不管长期使用的 a-Si TFT LCD 的门限电压的波动。

本发明的第二个目的在于提供一个 LCD，用于通过使用两个时钟信号而最小化与外部电路连接的 LCD 面板上的外部连接端子的数目。

本发明的第三个目的在于提供一个其中将数据驱动电路集成在衬底上的非晶硅 LCD。

本发明的第四个目的在于提供一种用于操作 LCD 的选通线的方法。

本发明的第五个目的在于提供一种用于组操作 LCD 的数据线的方法。

为了实现第一个目的，提供了一个移位寄存器，其中多个级彼此前后相连，所述多个级具有其中起始信号与输入端子相连的第一级，所述移位寄存器顺序输出各级的输出信号。所述多个级具有接收第一时钟信号的奇数级和接收与第一时钟信号反相的第二时钟信号的偶数级。

所述多个级的每一级具有：用于向输出端子提供第一和第二时钟信号的相应一个的上拉装置；与该上拉装置的输入节点相连的上拉驱动装置，用于响应于输入信号的前沿而导通该上拉装置，并响应于下一级的输出信号而关断该上拉装置；用于向输出端子提供第一电源电压的下拉装置；与该下拉装置的输入节点相连的下拉驱动装置，用于响应于输入信号的前沿而关断该下拉装置，并响应于下一级的输出信号的前沿而导通该下拉装置。

这里，第一电源电压是关断电压（VOFF，VSS），而第二电源电压是导通电压（VON，VDD）。

最好是，每一级还包括与该下拉装置的输入节点相连的防止导通装置，其中该防止导通装置响应于输出端子的输出信号将第一电源电压连接至该下拉装置的输入节点，以防止该下拉装置被导通。

该防止导通装置包括 NMOS 晶体管，其漏极与该下拉装置的输入节点相连、其栅极与输出端子相连而源极与第一电源电压相连。

而且，该上拉驱动装置具有连接在该上拉装置的输入节点和输出端子之

间的电容器；第一晶体管，其漏极和栅极都连接至输入端子，而源极连接至该上拉装置的输入节点；第二晶体管，其漏极与该上拉装置的输入节点相连，栅极与该下拉装置的输入节点相连，而源极与第一电源电压相连；和第三晶体管，其漏极与该上拉装置的输入节点相连，栅极与下一级的输出信号相连，而源极与第一电源电压相连。

该下拉驱动装置包括：第四晶体管，其漏极与第二电源电压相连，栅极与下一级的输出信号相连，而源极与该下拉装置的输入节点相连；和第五晶体管，其漏极与该下拉装置的输入节点相连，栅极与输入信号相连，而源极与第一电源电压相连。

防止漂移装置具有第六晶体管，其漏极和栅极都连接至第二电源电压，而源极连接至该下拉装置的输入节点，其中该第六晶体管具有充分小于第五晶体管的尺寸。这里，第五晶体管和第六晶体管的尺寸比最好为大约 20:1。

通过上面的构成，理想的是与移位寄存器相连的外部连接端子包括第一时钟信号输入端子、第二时钟信号输入端子、起始信号输入端子、第一电源电压输入端子和第二电源电压输入端子的五个端子。

而且，第五晶体管和第七晶体管的理想尺寸比为大约 2:1。

为了实现第一个目的，根据本发明的另一方面提供了一种移位寄存器。该移位寄存器包括以级联方式连接的多个级。所述多个级具有第一级，其中起始信号与输入端子相连。该移位寄存器顺序输出各级的输出信号。所述多个级具有奇数级，用于在奇数级的第一时钟端子和第二时钟端子接收第一时钟信号和与第一时钟信号反相的第二时钟信号，和偶数级，用于在偶数级的第一时钟端子和第二时钟端子接收第二时钟信号和第一时钟信号。

所述多个级的每一级包括：与前一级的输出端子相连的输入端子；与对应的选通线相连的输出端子；与下一级之后一级的第二控制端子相连的第一控制端子；第二控制端子；将对应时钟信号输入其中的时钟端子；向输出端子提供第一和第二时钟信号中的对应一个的上拉装置；向输出端子提供第一电源电压的下拉装置；与该上拉装置的输入节点相连的上拉驱动装置，用于响应于输入信号的前沿而导通该上拉装置，并响应于供给该控制端子的控制信号的前沿而关断该上拉装置；和与该下拉装置的输入节点及该上拉装置的输入节点相连的下拉驱动装置，用于关断该下拉装置和响应于下一级的输出信号的前沿而导通该下拉装置。

这里，该上拉驱动装置包括：连接在该上拉装置的输入节点和输出端子之间的电容器；第一晶体管，其漏极和栅极共同连接至输入信号，其源极连接至该上拉装置的输入节点；和第二晶体管，其漏极与该上拉装置的输入节点相连，栅极与下一级的输出信号相连，源极与第一电源电压相连。

最好是，第一晶体管通过共同连接的栅极和漏极而从前一级接收起始信号或输入信号，并通过电容器对该电容器充电。

而且，该上拉驱动装置使用由第二控制端子提供的上拉控制信号而对上拉装置的控制信号进行放电。

此外，该下拉驱动装置包括：第三晶体管，其漏极与第一电源电压相连，栅极与下一级的输出信号相连，源极与该下拉装置的输入节点相连；和第四晶体管，其漏极和栅极共同连接至第二时钟信号，而源极与该下拉装置的输入节点相连。

为了实现本发明的第一个目的，根据本发明的另一方面提出了一种移位寄存器。该移位寄存器包括以级联方式连接的多个级。所述多个级具有第一级，其中起始信号与输入端子相连。该移位寄存器顺序输出各级的输出信号。所述多个级包括奇数级，用于接收第一时钟信号和与该第一时钟信号反相的第二时钟信号。

所述多个级的每一个包括：用于提供第一和第二时钟信号中的对应一个的上拉装置；用于向输出端子提供第一电源电压的下拉装置；与该下拉装置的输入节点相连的下拉驱动装置，用于响应于该输入信号的前沿而关断该下拉装置，并响应于下一级的输出信号的前沿而导通该下拉装置；和上拉驱动装置，装备有电容器和放电装置，该电容器的一端与该上拉装置的输入节点相连，另一端与输出端子相连，该放电装置用于根据外部输入控制信号而对该电容器强制放电，该上拉驱动装置响应于该输入信号的前沿通过对电容器充电而导通该上拉装置，并响应于下一级的输出信号的前沿通过对电容器强制放电而关断该上拉装置。

这里，该上拉驱动装置包括：连接在该上拉装置的输入节点和输出端子之间的电容器；第一晶体管，其栅极连接至输入信号，漏极连接至第二电源电压，源极连接至该上拉装置的输入节点；第二晶体管，其漏极与该上拉装置的输入节点相连，栅极与下拉装置的输入节点相连，源极与第一电源电压相连；第三晶体管，其漏极与该上拉装置的输入节点相连，栅极与下一级的

输出信号相连，源极与第一电源电压相连；和第四晶体管，其漏极与该上拉装置的输入节点相连，源极与第一电源电压相连，接收外部输入控制信号的栅极强制放电该电容器。

最好是，该外部输入控制信号具有当施加电源时能导通该晶体管和在将起始信号施加到第一级之前能关断该晶体管的电压电平。而且，该外部输入控制信号具有当将起始信号施加到第一级且产生最后一个移位寄存器的输出时能关断该晶体管和在生产最后一个移位寄存器的输出之后能导通该晶体管，并从而对最后一个移位寄存器的电容器进行放电的电压电平。

此外，该上拉驱动装置包括：连接在该上拉装置的输入节点和输出端子之间的电容器；第一晶体管，其栅极连接至输入信号，漏极连接至第二电源电压，源极连接至该上拉装置的输入节点；第二晶体管，其漏极与该上拉装置的输入节点相连，栅极与下拉装置的输入节点相连，源极与第一电源电压相连；和第三晶体管，其漏极与该上拉装置的输入节点相连，栅极与下一级的输出信号相连，源极接收该外部输入控制信号以对该电容器强制放电。

第二晶体管和第三晶体管的源极彼此共同连接。该外部输入控制信号在施加电源的同时保持低状态，以对该电容器强制放电，并在产生施加到第一级的起始信号之前保持高状态。

而且，该外部输入控制信号具有当施加电源时能导通该第三晶体管和在生产起始信号施加到第一级之前能关断该第三晶体管的电压电平。该导通电压电平为第二电源电压，而该关断电压电平为第一电源电压。

此外，该第二电源电压高于甚至当将第一电源电压施加于第三晶体管的栅极端子时也能导通该第三晶体管的门限电压，并低于第一电源电压。该外部输入控制信号具有当将起始信号施加到第一级且产生最后一个移位寄存器的输出时能关断该晶体管和在生产最后一个移位寄存器的输出之后能导通该晶体管，从而对累积在最后一个移位寄存器的电容器中的电荷进行放电的电压电平。

为了实现本发明的第二和第三目的，提出了一种 LCD，其包括形成在透明衬底上的显示单元阵列电路、数据驱动电路和选通驱动电路。

该显示单元阵列电路具有多条数据线和多条选通线，显示单元阵列的每一个连接至对应的一对数据线和选通线。

该选通驱动电路具有第一移位寄存器，其包括彼此前后相连的多个级，

所述多级具有其中起始信号与输入端子相连的第一级，用于使用每一级的输出信号顺序选择所述多根选通线。

该数据驱动电路包含多个数据线组和第二移位寄存器，所述数据线组的每一个包括多个驱动晶体管，其每一个的漏极和源极连接在数据输入端子和数据线之间，栅极共同连接至组选择端子，所述第二移位寄存器包括彼此前后相连的多个级，所述多个级具有其中数据组选择起始信号与输入端子相连的第一级，用于使用每一级的输出信号而顺序选择所述多个数据线组。

该 LCD 还包括其上安装了集成控制和数据驱动芯片的可弯曲 PCB，用于向选通和数据驱动电路的输入端子提供控制信号和数据信号。

该第一和第二移位寄存器采用移位寄存器以实现本发明的第一目的。

理想的是施加到第一移位寄存器的第一和第二时钟信号的工作周期大于数据线组的数目乘以施加到第二移位寄存器的第一和第二时钟信号的工作周期的周期。

该透明衬底通过外部连接端子而连接至可弯曲 PCB。该外部连接端子具有连接至数据驱动电路的五个端子：第一时钟信号输入端子、第二时钟信号输入端子、扫描起始信号输入端子、第一电源电压输入端子和第二电源电压输入端子；和第一时钟信号输入端子、第二时钟信号输入端子和组选择起始信号输入端子的三个控制端子；和全部连接至数据驱动电路的多个数据输入端子。

为了实现本发明的第四个目的，提供了一种用于驱动以上 LCD 中的选通线的方法。在以上方法中，在时钟信号的一个工作周期期间使用输入信号对电容器充电，以上拉与输出端子相连的选通线。使用输出端子的输出信号保持该上拉状态。响应于输出信号的后沿而开始选通线的下拉和电容器的放电。响应于下一级的输出信号而完全下拉该选通线。使用总是提供给下拉装置的输入节点的第二电源电压来保持该下拉状态。

而且，提供了用于驱动以上 LCD 中的选通线的方法。该方法响应于起始信号使用具有多个级的移位寄存器来驱动该多根选通线。

在上述方法中，通过对于奇数选通线使用移位寄存器的奇数级采样第一时钟信号，并在已采样的第一时钟信号的一个工作周期期间驱动该奇数选通线而驱动奇数选通线，并通过对于偶数选通线使用移位寄存器的偶数级采样与第一时钟信号反相的第二时钟信号，并在已采样的第二时钟信号的一个工

作周期期间驱动该偶数选通线而驱动偶数选通线。而且，响应于前一级的输出信号而开始每一级的采样，并响应于下一级的输出信号而结束每一级的采样。

为了实现本发明的第五个目的，提出了一种用于组驱动以上 LCD 中的数据线的方法。在以上方法中，在时钟信号的一个工作周期期间使用输入信号对电容器充电，以使数据线组能连接至输出端子。使用输出端子的输出信号保持该使能状态。响应于输出信号的后沿而开始禁止该数据线组并对电容器放电。响应于下一级的输出信号来完全禁止该数据线组。使用提供给该下拉装置的输入节点的第二电源电压来保持该禁止状态。

而且，提出了一种用于组驱动以上 LCD 中的数据线的方法。在以上方法中，响应于组选择起始信号，使用具有多个级的移位寄存器而顺序驱动所述多根选通线，其中通过使用移位寄存器的奇数级顺序采样第一时钟信号，并在已采样的第一时钟信号的一个工作周期期间驱动这些奇数选通线组而驱动奇数选通线，并通过采样与第一时钟信号反相的第二时钟信号和在已采样的第二时钟信号的一个工作周期期间驱动这些偶数数据线组而驱动偶数选通线，其中响应于前一级的输出信号而开始每一级的采样，并响应于下一级的输出信号而结束每一级的采样。

附图说明

通过结合附图对优选实施例的详细说明，本发明的上述目的和其他优点将会更加清楚，其中：

图 1 是示出了根据传统技术的 poly-TFT LCD 中 TFT 衬底的简单示意图；

图 2 是示出了根据传统技术的非晶-TFT LCD 中 TFT 衬底的简单示意图；

图 3 是根据本发明一个优选实施例的非晶-Si TFT LCD 的分解透视图；

图 4 是根据本发明一个优选实施例的非晶-Si TFT LCD 中的 TFT 衬底的示意图；

图 5 是图 4 的数据驱动电路中的移位寄存器的方框图；

图 6 是图 4 的选通驱动电路中的移位寄存器的方框图；

图 7 是图 5 和 6 的移位寄存器的每一级的具体电路图；

图 8 是图 7 中各个元素的定时图；

图 9 是在图 7 中每一级模拟的输出波形；

图 10 是图 7 中输出信号的时钟信号的延迟特性的模拟波形;

图 11 是本发明的选通驱动电路中外部连接端子的布置图;

图 12 至 14 是将本发明的移位寄存器与传统技术的移位寄存器相比的比较波形;

图 15 是根据本发明的第二实施例的移位寄存器的每一级的电路图;

图 16 是图 15 中各个元素的定时图;

图 17 是在图 15 中每一级模拟的输出波形;

图 18 是根据本发明另一实施例的第一和第二时钟信号的模拟波形;

图 19 是各级的模拟波形;

图 20 是根据本发明第三实施例的移位寄存器的每一级的电路图;

图 21 是图 20 中各个元素的定时图;

图 22 是示出了使用根据本发明第二实施例的移位寄存器的 a-TFT LCD 选通驱动电路的电路图;

图 23 是示出了使用根据本发明第三实施例的移位寄存器的 a-TFT LCD 选通驱动电路的电路图;

图 24A 和 24B 是当使用下一级的输出 GOUT 作为 CT 输入和当使用下一级之后一级的 CT1 信号作为 CT 输入时的栅极输出波形的模拟结果;

图 25A 和 25B 是分别从本发明第二实施例和第三实施例输出的栅极信号的波形;

图 26 是根据本发明第四实施例的移位寄存器的每一级的电路图;

图 27 是图 26 的电路的驱动波形;

图 28 是根据本发明第五实施例的移位寄存器的每一级的电路图;

图 29 是图 28 的电路的驱动波形;

图 30 是示出了其全部通道被同时驱动的面板的示意图;

图 31 是以根据本发明的组驱动方法驱动的面板的示意图;

图 32 是本发明的组驱动方法中各元素的定时图; 和

图 33 至 35 是示出了其中开关晶体管 (SWT) 的宽度为 $4000\mu\text{m}$ 且长度为 $5\mu\text{s}$ 的选通线驱动信号、数据线组选择信号和像素电荷特性的模拟结果的图。

具体实施方式

现在将详细参考附图中示出的例子和本发明的优选实施例。以下，参考附图来说明优选实施例。图3是根据本发明的a-Si TFT LCD的分解透视图。

参考图3，LCD 100包括LCD面板部件110、背光部件120、底盘130和盖罩140。

LCD部件110包括LCD面板112、可弯曲PCB 116和集成控制和数据驱动芯片118。该LCD面板112包括TFT衬底112a和滤色镜衬底112b。在TFT衬底112a上，安排了显示单元阵列电路、数据驱动电路、选通驱动电路和外部连接端子。TFT衬底112a面向滤色镜衬底112b。在TFT衬底112a和滤色镜衬底112b之间注入液晶，并然后封上液晶注入口。

在可弯曲PCB 116上安装的集成控制和数据驱动芯片118通过可弯曲PCB 116与TFT衬底112a上形成的电路相连。可弯曲PCB 116给TFT衬底112a的数据驱动电路和选通驱动电路提供数据信号、数据定时信号、选通定时信号和选通驱动电压。

背光部件120包括灯部件122、导光板124、一系列光板126、反射板128和模型框架129。

参考图4，在本发明的TFT衬底112a上，安排有显示单元阵列电路150、数据驱动电路160、选通驱动电路170、在TFT信息期间形成的数据驱动电路170的外部连接端子162和163。

显示单元阵列电路150包括沿列方向延伸的m根数据线DL1-DLm和沿行方向延伸的n根选通线GL1-GLn。

在本发明的一个实施例中，提出了一种具有对应选通线和数据线数目的分辨率 $525(176 \times 3) \times 192$ 的2英寸LCD面板的例子。

在数据线和数据线的交点处形成开关晶体管ST。开关晶体管ST_i具有与数据线DL_i相连的漏极和与选通线GL_i相连的栅极。开关晶体管ST_i的源极与透明像素电极PE相连。液晶LC被安排于透明像素电极PE和透明共用电极CE之间。

因此，施加到透明像素电极PE和透明共用电极CE之间的电压控制液晶分子的排列，从而控制通过这些液晶分子的光量并显示各像素的灰度比例。

数据驱动电路160包括一个移位寄存器164和568个开关晶体管SWT。该528个开关晶体管SWT中每66个开关晶体管形成八个数据线组BL1-BL8。

在任意数据线组BL_i中，66个输入端子被共同连接至具有66个数据输

入端子的外部输入端子 163, 66 个输出端子被连接至对应的 66 根数据线。而且, 组选择端子被连接至移位寄存器 164 的 8 个输出端子中对应的一个输出端子。

528 个开关晶体管 SWT 由 a-Si TFT MOS 晶体管制成, 其源极与对应数据线相连, 漏极与 66 个数据输入端子中的一个对应输入端子相连, 栅极与组选择端子相连。

因此, 528 根数据线被分为 8 组, 每组具有 66 根数据线, 并且由 8 个组选择信号顺序选择该 8 个组的每一个。

移位寄存器 164 接收第一时钟信号 (“CKH”)、第二时钟信号 (“CKHB”) 和组选择起始信号 (“STH”)。移位寄存器 164 的输出端子与对应线组的组选择端子相连。

参考图 5, 移位寄存器 164 包括逐一隶属的 9 级 SRH1 至 SRH9。换言之, 每一级的输出端子 “OUT” 与下一级的输入端子 “IN” 相连。该 9 级具有对应数据线组的 8 个级 SRH1 至 SRH8 和一个虚 (DUMMY) 级 SRH9。每一级具有输入端子 IN、输出端子 OUT、控制端子 “CT”、时钟信号输入端子 “CK”、第一电源电压端子 “VSS” 和第二电源电压端子 “VDD”。8 级 SRH1 至 SRH8 给各个数据线组 BL1 至 BL8 的组选择端子分别提供组选择起始信号 DE1 至 DE8。组选择起始信号是各个线组的使能信号。

奇数级 SRH1、SRH3、SRH5、SRH7、SRH9 接收第一时钟信号 “CKH”, 偶数级 SRH2、SRH4、SRH6、SRH8 接收第二时钟信号。第一时钟信号 CKH 和第二时钟信号 CKHB 彼此相位相反。将第一和第二时钟信号 CKH 和 CKHB 的工作周期设定得小于 $1/66\text{ms}$ 。

将本级之后一级的输出信号输入本级的控制端子 CT 作为控制信号。换言之, 输入至控制端子 CT 的控制信号被延迟了输出信号自己的工作周期。

从而, 因为以高状态的有效周期顺序产生各级的输出信号, 所以对应各输出信号的有效周期的数据线组被选择和变为使能。

使用虚级 SRH9 以给前一级 SRH8 的控制端子 CT 提供控制信号。

参考图 6, 选通驱动电路 170 具有单一移位寄存器。图 6 的移位寄存器 170 包括逐一隶属的多级 SRC1 至 SRC4。换言之, 每一级的输出端子 “OUT” 被连接至下一级的输入端子 IN。这些级由对应于选通线的 192 个级 SRC1 至 SRC192 和一个虚级 SRC193 组成。每一级具有输入端子 IN、输出端子 OUT、

控制端子 CT、时钟信号输入端子 CK、第一电源电压端子 VSS 和第二电源电压端子 VDD。

如图 7 所示，将起始信号“ST”输入第一级的输入端子“IN”。这里，起始信号是与垂直同步信号同步的脉冲信号。

各级的输出端子 OUT1 至 OUT192 被连接至各自对应的选通线。将第一时钟信号 CK 供给奇数级 SRC1 和 SRC3，将第二时钟信号 CKB 供给偶数级 SRC2 和 SRC4。第一时钟信号 CK 与第二时钟信号 CKB 的相位相反。第一和第二时钟信号 CK 和 CKB 具有 16.6/192ms 的工作周期。

因此，与用于数据驱动电路的移位寄存器 164 的时钟信号的工作周期相比，用于选通驱动电路的移位寄存器 170 的时钟信号的工作周期是 8 倍或更多。

本级 SRC1、SRC2 和 SRC3 的下一级 SRC2、SRC3 和 SRC4 的输出信号 OUT2、OUT3 和 OUT4 被输入至本级 SRC1、SRC2 和 SRC3 的控制端子 CT 作为控制信号。换言之，输入至控制端子 CT 的控制信号被延迟输出信号自己的工作周期。

从而，因为以高状态的有效周期顺序产生各级的输出信号，所以对应于各输出信号的有效周期的水平线被选择。

实施例 1

以下，参考图 7 说明前述数据驱动电路和选通驱动电路中移位寄存器的每一级的具体电路构成。

参考图 7，移位寄存器 164 和 170 的每一级包括上拉部分 180、下拉部分 182、上拉驱动部分 184、下拉驱动部分 186、防漂移部分 188 和防导通(turn-on)部分 190。

上拉部分 180 包括上拉 NMOS 晶体管 NT1，其漏极与时钟信号输入端子 CK 相连，栅极与第一节点 N1 相连，源极与输出端子 OUT 相连。

下拉部分 182 包括下拉 NMOS 晶体管 NT2，其漏极与输出端子 OUT 相连，栅极与第二节点 N2 相连，源极与第一电源电压 VSS 相连。

上拉驱动部分 184 包括电容器 C 和 NMOS 晶体管 NT3 至 NT5。电容器 C 连接于第一节点 N1 和输出端子 OUT 之间。晶体管 NT3 具有共同连接至输入端子 IN 的漏极和栅极，以及连接至第一节点“N1”的源极。晶体管 NT4

具有与第一节点 N1 相连的漏极，与第二节点 N2 相连的栅极，和与第一电源电压 VSS 相连的源极。晶体管 NT5 具有与第一节点 N1 相连的漏极，与控制端子“CT”相连的栅极，和与第一电源电压 VSS 相连的源极。

下拉驱动部分 186 包括两个 NMOS 晶体管 NT6 和 NT7。晶体管 NT6 具有与第二电源电压 VDD 相连的漏极，与控制端子 CT 相连的栅极和与第二节点“N2”相连的源极。晶体管 NT7 具有与第二节点“N2”相连的漏极，与输入端子“IN”相连的栅极和与第一电源电压 VSS 相连的源极。

防漂移部分 188 包括 NMOS 晶体管 NT8，其漏极和栅极共同连接至第二电源电压 VDD，源极连接至第二节点 N2。晶体管 NT8 具有充分小于晶体管 NT7 的尺寸，例如尺寸比为 1:20。

防导通部分 190 包括 NMOS 晶体管 NT9，其漏极连接至第二节点 N2，栅极连接至输出端子 OUT，源极连接至第一电源电压 VSS。晶体管 NT9 与晶体管 NT7 的尺寸比为 1:2。

如图 8 所示，当将第一和第二时钟信号 CK 和 CKB 以及扫描起始信号 ST 被供给移位寄存器 170 时，第一级 SRC1 响应于扫描起始信号 ST 的前沿而将第一时钟信号 CK 的高电平周期延迟预定时间 Tdr1，从而输出延迟输出信号 OUT1。

扫描起始信号 ST 的有效周期具有快于第一时钟信号 CK 的高电平周期 1/4 的相位。扫描起始信号 ST 的有效周期被分为从脉冲前沿，即上升沿的建立时间 Ts1 和到脉冲后沿，即下降沿的保持时间 Ts2。

因此，输出信号 OUT1 的前沿具有从保持时间 Ts2 的起始点被延迟大约 2-4 μ s 的某一时间的前沿，即上升沿。换言之，第一时钟信号 CK 的有效周期，即高电平周期被延迟输出 Tdr1 的时间，至输出端子 OUT。

该延迟特性归因于以下事实，即在起始信号 ST 的前沿关断该晶体管 NT4 的状态下，上拉驱动部分 184 的电容器 C 开始通过晶体管 NT3 被充电，在电容器 C 的充电电压高于上拉晶体管 NT1 的栅极和源极之间的门限电压之后导通该上拉晶体管 NT1，从而在输出端子产生第一时钟信号 CK 的高电平周期。

当在输出端子 OUT 产生时钟信号的高电平周期时，在电容器 C 自举（bootstrap）该输出电压，并从而该上拉晶体管 NT1 的栅极电压高于导通电压 VDD。因此，NMOS 晶体管的上拉晶体管 NT1 保持全导通状态。

同时，在下拉驱动部分 186 中，由于在晶体管 NT6 关断的状态，在起始

信号 ST 的前沿导通该晶体管 NT7, 所以第二节点 N2 的电势降至第一电源电压 VSS。此时, 防漂移部分 188 的晶体管 NT8 保持导通状态, 尽管由于该导通晶体管 NT7 的尺寸比晶体管 NT8 大 20 倍, 第二节点 N2 的电压从第二电源电压 VDD 降至第一电源电压 VSS。所以, 下拉晶体管 NT2 从导通状态转换为关断状态。

当从输出端子 OUT 输出导通电压 ($V_{ON}=VDD$) 时, 防导通部分 190 的晶体管 NT9 被导通, 使得使用第一电源电压 VSS 驱动第二节点 N2 的能力增加大约 50%。因此, 可通过输出信号的上升转变时下拉晶体管的漏极和源极之间的寄生电容来防止第二节点电压的上升。其结果是, 可防止输出信号的上升转变时导通该下拉晶体管的错误操作。此时, 由第一时钟信号 CK 的工作周期延迟产生输出端子 OUT 的输出信号 OUT1。

由于输出端子 OUT 的输出信号的电压降至关断电压状态 $V_{OFF}=VSS$, 所以关断该晶体管 NT9 并仅将第二电源电压 VDD 通过晶体管 NT8 供给第二节点 N2。那么, 第二节点 N2 的电势开始从第一电源电压 VSS 升至第二电源电压 VDD。由于第二节点 N2 的电势升高, 所以导通晶体管 NT4 并通过晶体管 NT4 对电容器的充电电压放电。其结果是, 开始关断上拉晶体管 NT1。

接下来, 由于施加到控制端子 CT 的下一级的输出信号升至导通电压, 所以晶体管 NT5 和 NT6 被导通。因此, 第二节点 N2 的电势开始迅速升至由晶体管 NT6 和 NT8 供给的第二电源电压 VDD, 并且第一节点 N1 的电势通过晶体管 NT4 和 NT5 迅速降至第一电源电压 VSS。

由此, 该上拉晶体管 NT1 被关断, 该下拉晶体管 NT2 被导通, 使得输出端子 OUT 的电压由导通电压 V_{ON} 降至第二电源电压 VDD 的关断电压 V_{OFF} 。

尽管施加到控制端子 CT 的下一级的输出信号电平降至低电平并从而关断晶体管 NT6, 但第二节点 N2 通过晶体管 NT8 而保持第二电压 VDD 偏压状态, 第一节点 N1 通过保持导通状态的晶体管 NT4 而保持第一电源电压 VSS 偏压状态。由此, 尽管由于长期使用导致晶体管 NT2 和 NT4 的门限电压升高, 但由于第二节点 N2 的电势被保持在第二电源电压 VDD, 所以可保证没有例如下拉晶体管 NT2 被关断的错误操作的稳态操作。

用前述方法以相同方式操作各级 SRC1-SRC4, 并且如图 9 所示连续稳定地产生输出信号 OUT1 至 OUT4。

图 10 示出了当 2 英寸面板的选通线荷载 30pF 与本发明的前述移位寄存器相连时的模拟结果。如图 10 所示,该结果示出了对于时钟信号 CK 和 CKB 分别延迟了输出信号 OUT2 和 OUT3。输出信号的上升时间和下降时间为大约 1.5 μ s,时钟信号的延迟上升时间 Tdr 和延迟下降时间 Tdf 为大约 0.3 μ s。

图 11 示出了本发明的集成在 LCD 面板上的选通驱动电路的移位寄存器中提供的外部连接端子部分的布置图。该布局的右侧为 TFT 侧,该布局的左侧为薄膜电缆侧。如图 11 所示,本发明的移位寄存器仅需要起始信号 (ST) 输入端子、第一时钟信号输入端子 CK、第二时钟信号输入端子 CKB、第一电源电压端子 VOFF 或 VSS 和第二电源电压端子 VON 或 VDD 的五个外部连接端子。因此,可减少端子部分 172 在玻璃衬底上占用的空间。

图 12 至 14 是将使用电容器采用下拉控制技术的传统移位寄存器的输出特性与本发明的移位寄存器的输出特性相比的波形。

图 12 是比较第二节点 N2 的电压波形的图表。如图 12 所示,对应实线的本发明与虚线的传统技术在区段“A”相比保持更稳定的低电平状态。

图 13 是比较第二节点 N2 的高电平的状态变更的图表。虚线的传统技术示出了随着时间过去而降低电平,而实线的本发明示出了保持恒定电平而与时间过去无关。这是因为本发明通过防漂移部分而总是保持电源电压 VDD 的供给状态。

图 14 是比较输出端子的输出信号的波形的图表。其示出了对应本发明的实线的输出信号波形与对应于传统技术的虚线的输出信号波形相比,保持更稳定的高电平状态在有效状态(即,高电平状态)。还可得知本发明在非有效状态(即,低电平状态)保持稳定的低电平偏压状态。

实施例 2

图 15 是数据驱动电路和选通驱动电路中移位寄存器的每一级的电路图。

参考图 15,移位寄存器 164 和 170 的每一级包括上拉部分 190、下拉部分 192、上拉驱动部分 194 和下拉驱动部分 196。

该上拉部分 190 包括上拉 NMOS 晶体管 NT11,其漏极与时钟信号输入端子 CK 相连,栅极与第三节点 N3 相连,源极与输出端子 OUT 相连。

该下拉部分 192 包括下拉 NMOS 晶体管 NT12,其漏极与输出端子 OUT 相连,栅极与第四节点 N4 相连,源极与第一电源电压 VSS 相连。

该上拉驱动部分 194 包括电容器 C 和 NMOS 晶体管 NT13、NT14 和 NT15。该电容器 C 连接于第三节点 N3 和输出端子 OUT 之间。该晶体管 NT13 包括与第二电源电压 VDD 相连的漏极、与输入端子 IN 相连的栅极和与第三节点 N3 相连的源极。该晶体管 NT14 包括与第三节点 N3 相连的漏极、与控制端子 CT 相连的栅极和与第一电源电压 VSS 相连的源极。该晶体管 NT15 包括与第三节点 N3 相连的漏极、与第四节点 N4 相连的栅极和与第一电源电压 VSS 相连的源极。这里，晶体管 NT13 的尺寸大约两倍于晶体管 NT15 的尺寸。

该下拉驱动部分 196 包括两个 NMOS 晶体管 NT16 和 NT17。该晶体管 NT16 包括共同与第二电源电压 VDD 相连的漏极和栅极，以及与第四节点 N4 相连的源极。该晶体管 NT17 包括与第四节点 N4 相连的漏极、与第三节点 N3 相连的栅极和与第一电源电压 VSS 相连的源极。这里，晶体管 NT16 的尺寸大约是晶体管 NT17 的尺寸的 16 倍。

如图 16 所示，当将第一和第二时钟信号 CK 和 CKB 以及扫描起始信号 ST 供给移位寄存器 170 时，该移位寄存器 170 的第一级响应于该扫描起始信号 ST 的前沿而将第一时钟信号 CK 的高电平周期延迟 Tdr1 的预定时间，从而输出延迟输出信号 OUT1。

扫描起始信号 ST 的有效周期的相位比第一时钟信号 CK 的高电平周期的相位快大约 1/4。扫描起始信号 ST 的有效周期被分为从脉冲前沿，即上升沿的建立时间 Ts1 和到脉冲后沿，即下降沿的保持时间 Ts2。

因此，输出信号 OUT1 具有从保持时间 Ts2 的起始点被延迟大约 2-4 μ s 的某一时间的前沿，即上升沿。换言之，第一时钟信号 CK 的有效周期，即高电平周期被延迟输出 Tdr1 的时间，至输出端子 OUT。该延迟特性归因于以下事实，即在电容器 C 的充电电压高于上拉晶体管 NT11 的栅极和源极之间的门限电压之后导通该上拉晶体管 NT11 的情况下，上拉驱动部分 194 的电容器 C 开始通过晶体管 NT13 被充电，从而在输出端子产生第一时钟信号 CK 的高电平周期。

当在输出端子 OUT 开始产生时钟信号的高电平周期时，在电容器 C 自举该输出电压，并从而该上拉晶体管 NT11 的栅极电压高于导通电压 VDD。因此，NMOS 晶体管的上拉晶体管 NT11 保持全导通状态。此时，由于晶体管 NT13 具有两倍于晶体管 NT15 的尺寸，所以即使由起始信号 ST 导通该晶

体管 NT15，晶体管 NT11 仍由关断状态转变为导通状态。

同时，在下拉驱动部分 196，由于由输入信号关断该晶体管 NT17，所以第四节点 N4 的电势升至第二电源电压 VDD，从而导通晶体管 NT12。因此，输出端子 OUT 的输出信号的电压处于第一电源电压 VSS 状态。此时，由于由起始信号 ST 导通该晶体管 NT17，所以第四节点 N4 的电势降至第一电源电压 VSS。此后，由于晶体管 NT17 具有 16 倍于晶体管 NT16 的尺寸，所以即使导通该晶体管 NT16，第四节点 N4 继续保持第一电源电压 VSS 状态。因此，下拉晶体管 NT12 由导通状态转变为关断状态。

将输出端子 OUT 的输出信号 OUT1 延迟产生第一时钟信号 CK 的工作周期。

由于输出端子 OUT 的输出信号的电压降至关断电压状态 $VOFF=VSS$ ，所以关断该晶体管 NT17 并仅将第二电源电压 VDD 通过晶体管 NT16 供给第四节点 N4。那么，第四节点 N4 的电势开始从第一电源电压 VSS 升至第二电源电压 VDD。由于第四节点 N2 的电势升高，所以导通晶体管 NT15 并通过晶体管 NT15 对电容器的充电电压放电。其结果是，开始关断上拉晶体管 NT11。

接下来，既然施加到控制端子 CT 的下一级的输出信号升至导通电压，所以晶体管 NT14 被导通。此时，由于晶体管 NT14 具有两倍于晶体管 NT16 的尺寸，所以第三节点 N3 的电势降至第一电源电压 VSS，其下降速率快于仅导通晶体管 NT15 的下降速率。这样，该上拉晶体管 NT11 被关断，该下拉晶体管 NT12 被导通，使得输出端子 OUT 的电压由导通电压 VON 降至第二电源电压 VDD 的关断电压 VOFF。

尽管施加到控制端子 CT 的下一级的输出信号电平降至低电平并从而关断晶体管 NT14，但第四节点 N4 通过晶体管 NT16 而保持第二电源电压 VDD 偏压状态，第三节点 N3 将保持在导通状态的晶体管 NT15 保持第一电源电压 VSS 偏压状态。由此，由于第四节点 N4 的电势被保持在第二电源电压 VDD，所以可保证稳定操作，而不用担心错误操作。

用前述方式操作各级，所以如图 17 所示连续稳定地产生输出信号 OUT1、OUT2、OUT3 和 OUT4。

如上所述，该第二实施例安排了锁存类型的晶体管 NT15 和 NT17，从而在第三节点 N3 和第四节点 N4 保持稳定状态。而且，该第二实施例不仅去除

了两个晶体管而且减小了晶体管尺寸,从而能将LCD面板中移位寄存器占用的区域减小10%。此外,与第一实施例相比,该第二实施例能保证稳定操作,而无需考虑扫描起始信号ST的脉冲宽度。

换言之,在扫描起始信号ST的脉冲宽度窄于时钟信号的脉冲宽度的情况下输入时钟信号之前,第一实施例开始对电容器放电。最后,导通该下拉晶体管,所以不产生任何输出。其结果是,由于输出信号不移至下一端子,所以可能发生操作中的不可能状态。

然而,由于第二实施例锁存了扫描起始信号ST,所以无论脉冲宽度的宽窄都可能稳定操作。

图18是根据本发明另一实施例的第一和第二时钟信号的波形,而图19是各级的输出波形。

参考图18和19,将第一和第二时钟信号CK和CKB供给移位寄存器164和170的每一级。特别是,将第一时钟信号CK供给奇数级,将第二时钟信号CKB供给偶数级。第一时钟信号CK与第二时钟信号CKB反相。因为将第一和第二时钟信号CK和CKB供给各级,所以在各级的输出端子OUT产生第二时钟信号CK和CKB的高电平周期,作为输出信号。

在供给各级的第一时钟信号CK与第二时钟信号CKB各自产生的高电平周期之间存在恒定相位差P1。换言之,第一时钟信号CK的高电平周期被供给奇数级,然后当过去某一时间之后,第二时钟信号CKB的高电平周期被供给偶数级。

因此,如图19所示,在各级产生的输出信号OUT1、OUT2、OUT3、OUT4和OUT5的高周期之间产生恒定相位差P2。换言之,在产生供给了第一时钟信号CK的奇数级的输出信号OUT1、OUT3、OUT5的高电平周期且经过了预定时间之后,则产生供给了第二时钟信号CKB的偶数级的输出信号OUT2和OUT4的高电平周期。因此,可防止重叠现象,即每一级输出信号的下降转换与下一级输出信号的上升转换重叠。

实施例3

图20是根据本发明第三实施例的移位寄存器中每一级的电路图,而图21是示出了图20的移位寄存器的驱动波形的定时图。

参考图20,根据本发明第三实施例的移位寄存器170的每一级包括上拉

部分 190、下拉部分 192、上拉驱动部分 194 和下拉驱动部分 196。

该上拉部分 190 包括上拉 NMOS 晶体管 M2，其漏极与时钟信号输入端子 CK 相连，栅极与第五节点 N5 相连，源极与输出端子 GOUT 相连。

该下拉部分 192 包括下拉 NMOS 晶体管 M3，其漏极与输出端子 OUT 相连，栅极与第六节点 N6 相连，源极与第一电源电压 VSS 相连。

该上拉驱动部分 194 包括电容器 C 和 NMOS 晶体管 M1 和 M4。该电容器 C 连接于第五节点 N5 和输出端子 OUT 之间。该晶体管 M1 包括与输入信号共同连接的漏极和栅极，和经由第五节点 N5 与该上拉部分 190 的输入节点相连的源极。如果假设图 20 所示的级为第一级，则彼此相连的漏极和栅极共同连接至输入信号，而如果假设图 20 所示的级为第二级或更高，则彼此相连的漏极和栅极共同连接至前一级的输出端子，以接收前一进位信号。晶体管 M4 具有与该上拉部分 190 的输入节点相连的漏极、与下一级的输出信号相连的栅极和与第一电源电压 VSS 相连的源极。

该下拉驱动部分 196 包括两个 NMOS 晶体管 M5 和 M6，并执行倒相器操作。晶体管 M5 具有共同连接至第二电源电压 VDD 的漏极和栅极，以及连接至第六节点“N6”的源极。晶体管 M6 具有连接至第六节点“N6”的漏极，连接至第五节点“N5”的栅极和连接至第一电源电压 VSS 的源极。这里，晶体管 M5 具有 16 倍于晶体管 M6 的尺寸。

在操作中，如果由前一级的输出信号“GOUT[n-1]”（或“STV”）对电容器 C1 充电，则在晶体管 M2 的栅极和源极之间施加偏压 V_{GS} ，并由此晶体管 M2 处于可导通的待机状态。此后，如果将高电平的时钟信号 CK 施加于晶体管 M2 的漏极，则在输出节点 GOUT[n]进位（carry）该时钟信号。此时，具有输出节点 GOUT[n]作为参考电势的电容器 C1 对节点‘CT1[n]’的电势进行电平位移，并从而在时钟信号 CK 的高电平周期期间，晶体管 M2 保持导通状态。

如果将下一级的信号 CT1[n+2]施加于晶体管 M4 的栅极作为信号 CT，则导通该晶体管 M4，使得第五节点 N5 被放电至第一电源电压（VSS）电平。此时，当晶体管 M2 处于导通状态时，应关断晶体管 M3。如果晶体管 M3 没有被充分关断，则在晶体管 M2 和晶体管 M3 之间的路径产生泄漏电流，所以增加了功耗。

结果，晶体管 M5 和 M6 反相晶体管 M2 的栅极电压，即第五节点 N5 的

电压，以从而防止晶体管 M2 和 M3 被同时导通。

图 22 是示出了使用根据本发明第二实施例的移位寄存器的 a-TFT LCD 选通驱动电路的电路图；图 23 是示出了使用根据本发明第三实施例的移位寄存器的 a-TFT LCD 选通驱动电路的电路图。

图 15 中的上述级在选通线的数目上串联以执行选通驱动电路的操作。然后，因为它们每级一共需要五根传输线（VDD、VSS、CKV、CKVB、STV）作为外部输入，和七个晶体管，也就是说，它们需要太多晶体管和传输线，所以 a-TFT LCD 衬底上的布局存在空间限制。

而且，在用于产生能关断下拉 NT12 的电平的包括晶体管 NT16 和 NT17 的倒相电路 196 中，在其操作期间产生能同时导通晶体管 NT16 和 NT17 的条件，使得发生了功耗问题。由于很难将 VSS 施加于下拉部分 NT12 作为关断电压，所以在上拉部分 NT11 和下拉部分 NT12 之间的路径发生了泄漏电流问题。

而且，由于在初状态第四节点 N4 处于高状态，所以产生电路上的限制，即在晶体管 NT15 的导通状态，电容器的充电变难。这样，如果不精确调整晶体管 NT13、NT14、NT16 和 NT17 的尺寸，则发生操作失败问题，即由于晶体管 NT15 的导通而不能对电容器中的信号“IN”进行充电。

然而，根据本发明第三实施例公开的移位寄存器，可能在 a-TFT LCD 衬底上施加少量的晶体管和传输线。因此，可能提供具有容易设计的特性且能解决操作中所发生问题的 a-TFT 选通驱动电路。

参考图 23，不需要供给第二电源电压 VDD，且使用下一级之后一级的信号 CT1 作为控制端子 CT 的输入。

因此，通过使用下一级之后一级的信号 CT1 作为控制端子 CT 的输入，可防止由晶体管 M2 的漏极和栅极之间的寄生耦合电容所产生的第五节点 N5 的电势波动的错误操作。换言之，可能去除对克服第五节点 N5 的电势波动的错误操作必须的单独放电晶体管 NT15。

例如，当使用下一级的输出 GOUT 作为控制端子 CT 的输入时，在时钟信号 CK 上升的情况下，节点 CK1 上升，且 CT1 节点电压高于 $VSS + V_{th}$ （晶体管 M2 的门限电压），发生导通晶体管 M2 的错误操作，并同时发生太多电流流入晶体管 M3 的问题。

图 24A 和 24B 是当使用下一级的输出 GOUT 作为节点 CT 的输入和当使

用下一级之后一级的信号 CT1 作为节点 CT 的输入时的选通输出波形的模拟结果。

参考图 24A, 当假设使用下一级的输出 GOUT[n+1]导通晶体管 M4 时, 发生错误操作, 即当 CK 处于低状态时, CT1 被箝位至 VSS, 当 CK 开始上升时, CT1 的耦合电压高于 $VSS+V_{th}$, 并从而导通晶体管 M2。为了防止该错误操作, 放电晶体管还是必须的。

然而, 在图 24B 中, 当 CT1 耦合至 CK 且 CK 处于高状态时, 放电晶体管 M4 可用 VSS 箝位 CT1。此后, 尽管 CK 开始下降, 仍允许 CT1 的耦合电压保持为 VSS 或更小, 从而消除了导通晶体管 M2 的情况。

从该模拟结果中可看出, 虽然在本发明的第三实施例中 CT1 电压被耦合至 CK, 仍可能保持 CT1 的耦合电压为 VSS 或更小, 从而防止晶体管 M2 的错误操作。

由此, 根据本发明的第三实施例, 可能去除图 15 所示的放电晶体管 NT15。其结果是, 可防止由于晶体管 NT15 而产生的电路上的错误操作, 并将移位寄存器中晶体管的数目简化为 6 个。

图 25A 和 25B 是根据本发明第二实施例和第三实施例分别从选通驱动器输出的选通信号的波形。尤其是, 它们描述了用于关断晶体管 M3 的 CT2 波形的模拟结果。

根据图 25A 所示本发明的第二实施例, 由于 CT2 的电平高于 VSS, 从而发生同时导通晶体管 M3 和 M2 的情况, 所以可能产生过电流。

然而, 根据图 25B 所示本发明的第三实施例, 通过使用当导通晶体管 M2 时达到低状态的 CKB 信号, 而不是传统第二电源电压 VDD, 当导通晶体管 M2 且相应产生信号 OUT1 时, CT2 有必要达到第一电源电压电平, 从而关断晶体管 M3 并消除过电流的出现。

由此, 从该模拟结果中可看出, 本发明的第三实施例消除了传统 a-TFT 选通驱动电路的错误操作或过电流现象, 从而保证稳定性和与第二实施例相比更好的性能。

而且, 第三实施例能去除对于移位寄存器的构造而言是必要元素的一个晶体管的传输线和第二电源电压 VDD, 使得提供了具有高度完整性的 a-TFT 选通驱动电路。

如前所述, 当将第三实施例的图 20 与第二实施例的图 15 相比时, 晶体

管的数目由 7 减为 6, 外部输入端子的数目由 5 减为 4, 从而保证电路稳定性, 并实现了高度完整性。

同时, 各级如图 15 所示构成, 并如图 22 所示串联在选通线的数目上。各级执行选通驱动 IC 的功能。

然而, 图 22 的电路存在以下问题。

第一, 电路的可靠性低。换言之, 过电流流入信号传输线 VSS、CKV 或 CKVB, 使得信号传输线被断开, 或过载被施加于该电路, 从而系统崩溃。

根据对这些问题的分析, 可发现节点 N3 的电容器 C 导致这样的问题。当由多级的静电在电容器中累积不希望的电荷时, 当施加初始外部电源时, 在不稳电源和不稳信号状态电荷被累积在电容器中, 或 CKV 和 CKVB 被施加到电路, 且同时操作多级, 则发生该现象。

在电荷被累积在电容器中的情况下, 每一级的晶体管 NT11 执行施加到 GOUT 的负荷电容器的充电处理。不久, 当 CKV 和 CKVB 信号被相位变换时, 由晶体管 NT12 执行放电处理。如果在多级同时执行该操作, 则过电流流入信号传输线 VSS、CKV 或 CKVB。

当假设单一晶体管的驱动电流为 0.1mA 时, 由于在 XGA 级 (1024×3×3768) 的分辨率的情况下存在 768 根选通线, 所以可流动最多 38.4mA ($=0.1\text{mA} \times 768/2$) 电流。

在其中完成移位操作的一帧期间产生过电流, 例如 60Hz 的 16.7msec, 使得在该时间期间, 在具有阻抗的 VSS 的传输线中产生热, 并从而产生传输线被热熔化和被断开的现象。

当施加到该级的电源稳定时发生该情况。同时, 当传输线具有高阻抗且因此产生压降, 或在不充足电压下异常操作晶体管时, 错误操作持续 16.7msec 或更长, 使得该级达到不能操作状态。

第二, 由于最后一级的电容器在操作中不能被放电, 所以存在导致错误操作的问题, 即最后一根选通线的输出电压低或不能产生。当然, 为了解决该问题, 可在最后一级之后再装备一级。然而, 由于该建议不能对附加的一级的电容器放电, 所以发生问题, 即附加级的电容器根据 CK 或 CKB 周期性地阻止对前一级的电容器充电。

这样, 下面的实施例 4 和 5 解决了这两个问题, 从而提供具有更高可靠性和好功能的 a-TFT LCD 选通驱动电路。

实施例 4

图 26 是根据本发明第四实施例的移位寄存器的每一级的电路图；图 27 是图 26 的电路的驱动波形。尤其是，给图 26 的每一级提供晶体管，单独用于对电容器中累积的电荷进行放电。

参考图 26，根据本实施例的移位寄存器 170 的每一级包括上拉部分 190、下拉部分 192、上拉驱动部分 198 和下拉驱动部分 196。与图 15 相比，由于上拉部分 190、下拉部分 192 和下拉驱动部分 196 与图 15 的相同，所以省略对它们的描述。

该上拉驱动部分 198 包括电容器 C 和 NMOS 晶体管 NT13、NT14、NT15 和 NT18。更具体的是，电容器 C 连接于第三节点 N3 和输出端子 OUT 之间。晶体管 NT13 具有与第二电源电压 VDD 相连的漏极，与输入端子 IN 相连的栅极和与第三节点 N3 相连的源极。晶体管 NT14 具有与第三节点 N3 相连的漏极，与控制端子 CT 相连的栅极和与第一电源电压 VSS 相连的源极。晶体管 NT15 具有与第三节点 N3 相连的漏极，与第四节点 N4 相连的栅极和与第一电源电压 VSS 相连的源极。这里，晶体管 NT13 具有大约两倍于晶体管 NT15 的尺寸。晶体管 NT18 具有与第一电源电压 VSS 相连的源极，与外部输入控制信号（或清除信号）CLR 相连的栅极和与上拉部分 190 的输入节点 N3 并联的漏极，并使用该漏极用于对电容器中累积的电荷强制放电。

这里，外部输入控制信号 CLR 是用于将电容器 C 中累积的电荷放电至第一电源电压 VSS 的信号，并在预定时间期间保持第二电源电压 VDD 状态，使得初始电源打开时该电容器放电。信号 CLR 是小于门限电压的信号，当显示画面时，例如画面是具有第一电源电压（VSS）状态的信号时，其允许晶体管在一时间周期期间保持关断状态。

参考图 27，当施加电源 V_{in} 时，外部输入控制信号 CLR 同时保持高状态，从而对该级已充电的电容器放电，然后产生垂直起始信号 STV。

而且，为了避免过载被施加于信号 CK 和 CKB，当外部输入信号处于高状态时，CK 和 CKB 这两个信号处于低状态。

在正常操作中，在产生最后一个选通脉冲 $G_{out(Last)}$ 之后，该外部输入控制信号 CLR 达到高状态，从而对最后一级电容器放电。

如上所述，根据本发明的第四实施例，独立提供了用于对累积在上拉驱

动部分的电容器中的电荷进行放电的装置，它能解决初始操作期间由于累积在电容器中电荷而导致的错误操作，或 LCD 面板，尤其是 a-TFT LCD 面板的传输线的损坏问题，从而使 TFT-LCD 模块具有高可靠性。

此外，本实施例解决了最后一根选通线的驱动信号中的错误，从而去除在画面结束时发生的线损坏，所以能提供装备有由功能稳定的 a-TFT 制成的选通驱动电路的 TFT-LCD 模块。

实施例 5

图 28 是根据本发明第五实施例的移位寄存器的每一级的电路图；图 29 是图 28 的电路的驱动波形。特别是，图 28 是用于对该级电容器中累积的电荷进行放电，而无需增加只用于放电的晶体管的电路图。

参考图 28，根据本实施例的移位寄存器 170 的每一级包括上拉部分 190、下拉部分 192、上拉驱动部分 194 和下拉驱动部分 196。与图 15 不同的是，将外部输入控制信号 CLR 施加于上拉驱动部分 194 的晶体管 NT14 的源极。尽管在图中未示出，可将该外部输入控制信号施加于晶体管 NT15 的源极或晶体管 NT14 和晶体管 NT15 的源极，这两个晶体管的源极彼此共同连接。

如图 28 所示，本实施例利用总是施加到晶体管 NT14 的栅极的 V_{ss} 或更高的电压。为了获得 $V_{gs} > V_{th}$ 的条件（这里， V_{th} 是晶体管 NT14 的门限电压），施加具有条件 $V_{ss2} < V_{ss} - V_{th}$ 的电压 V_{ss2} 以导通该晶体管 NT14，从而执行放电操作，将电容器的充电电压强制降低至 V_{ss2} 的电压电平。

出于该目的，外部输入控制信号 CLR 在施加电源的同时保持低状态（ V_{ss2} ），从而对该级电容器中累积的电荷进行放电，并且在产生 STV 信号之前，该外部输入控制信号 CLR 达到高状态。

而且，为了防止过载被施加于信号 CKV 和 CKVB，当外部输入控制信号 CLR 处于低状态（ V_{ss2} ）时，CKV 和 CKVB 这两个信号处于低状态。

在正常操作中，在产生最后一个选通脉冲 $G_{out(Last)}$ 之后，该外部输入控制信号 CLR 再次达到低状态（ V_{ss2} ），以对最后一级电容器放电。

如前所述，根据本实施例，将外部输入控制信号施加于上拉驱动部分的晶体管的源极，以对电容器中累积的电荷放电，它能解决初始操作期间由于累积在电容器中的电荷而导致的错误操作，或 LCD 面板的传输线的损坏问题，从而使 TFT-LCD 模块具有高可靠性。

此外，本实施例解决了最后一根选通线的驱动信号中的错误，从而去除在图像结束时发生的线损坏，所以能提供装备有由功能稳定的 a-TFT 制成的选通驱动电路的 TFT-LCD 模块。

本发明的数据驱动电路 160 不采用全部通道的同时操作方式（见图 30），而采用组驱动方法（见图 31）。

使用 a-Si TFT 来实现数据驱动芯片的复杂模拟功能是不易的。然而，使用开关晶体管的组驱动可显著减少从数据驱动芯片提供至 LCD 面板的视频通道的数目。组驱动使像素的充电时间减少。但是由于 2 英寸的小尺寸面板与笔记本电脑或台式电脑的监视器相比具有足够的线时间，所以有可能采用组操作。

下列表 1 示出了根据分辨率的像素的充电时间。

〈表 1〉

分辨率	2” (176*192)	XGA (1024*768)	SXGA (1280*1024)	UXGA (1600*1200)
充电 时间	86μs	20μs	15μs	13μs

在 UXGA 级面板中，根据面板尺寸考虑负载和延迟的可能充电时间为 7~8μs。因此，考虑到具有相同驱动能力的数据驱动芯片，2”大小的面板的充电时间是 UXGA 级面板的 10 倍或更多。因此，尽管执行将数据线分为 10 组的组操作，2”大小的面板仍具有与 UXGA 级面板相同的充电特性。

因此，本发明对在 2”大小的面板中被分成 8 个组的数据线进行组操作。所以，如果 528 个视频通道被分为 8 组，则每组被分配了 66 个通道。由此，与全部 528 个通道的同时操作方式（见图 20）相比，可能将连接通道数目由 528 个通道减少至 66 个通道。

由此，本发明采用数据线的组操作方法，并将使用移位寄存器顺序选择各组的数据线驱动电路集成于面板上，从而将数据驱动芯片于面板之间的连接端子数目显著减少至 1/8。

因此，由于根据本发明的实施例仅需要 66 个通道端子、3 个数据控制端子、5 个选通控制端子和 1 个公共电压端子（VCOM）的连接端子，所以需

要一共 75 个连接端子。

由此，本发明可显著减少外部连接端子的数目和面板的外轨道尺寸，使得节约了生产成本并提高了小面板货品的生产率和价格。

参考图 32，为了顺序使能有效部分的 8 个组，该组操作方法通过移位寄存器 164 产生组选择信号 DE1 至 DE8。

本发明设计具有分辨率为 176×192 的 2" 面板，以对于每一组选择信号具有 $86\mu\text{s}$ 的选通线有效周期和 $10\mu\text{s}$ 的有效周期。因此，可能在组操作时保持充分的像素充电特性。

图 33 至 35 示出了当开关晶体管 (SWT) 被设计为具有 $4000\mu\text{m}$ 宽度和 $5\mu\text{s}$ 长度且施加 20V 电压时，选通线驱动信号、数据线组选择信号和像素充电特性的模拟结果。这里，选通线驱动信号 OUT_i 的有效周期为 $86\mu\text{s}$ ，数据线组信号 De_i 的有效周期为 $10\mu\text{s}$ 。

如图 35 所示，该模拟结果显示组操作的像素充电率为 99% 或更高。

前述实施例示出和描述了在数据驱动电路和选通驱动电路中采用本发明的移位寄存器。然而，本领域的普通技术人员应明白，根据前述说明，可对数据驱动电路或选通驱动电路中采用的本发明的移位寄存器进行改变和更动。

工业应用性

如上所述，本发明在安装于 LCD 面板的玻璃衬底上的移位寄存器中使用两个时钟信号，所以能减少外部连接端子的数目。而且，连续供给第二电源电压以防止下拉晶体管的栅极在禁止状态漂移，使得可能执行稳定状态操作，而不管长期使用的 a-Si TFT LCD 的门限电压的波动。

此外，本发明采用了在例如 2" 面板的小尺寸非晶硅 TFT 面板中使用移位寄存器的组驱动方法，使得显著减少了连接通道的数目。

已参考前述实施例描述了本发明。然而，本领域的普通技术人员应明白，根据前述说明，可进行各种替换改变和更动。因此，本发明包含落入所附权利要求的精神和范围内的所有替换改变和更动。

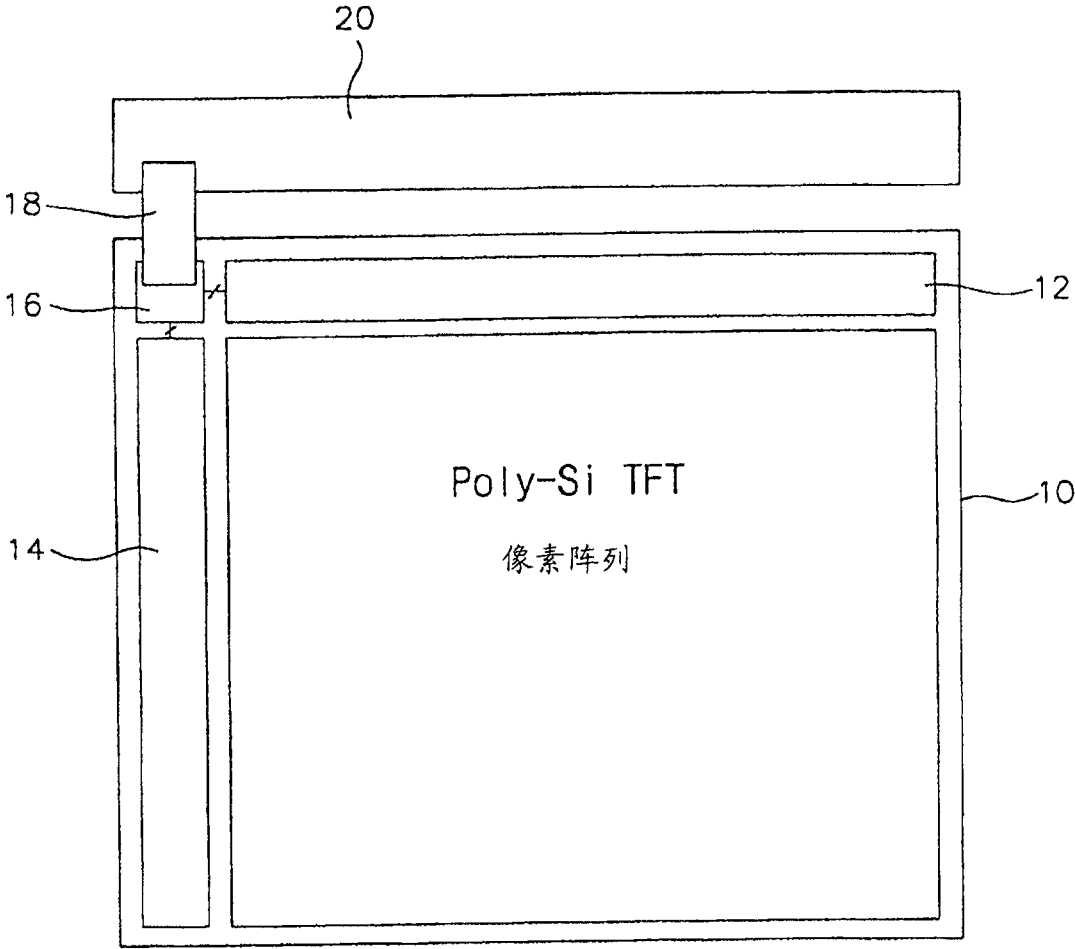


图 1

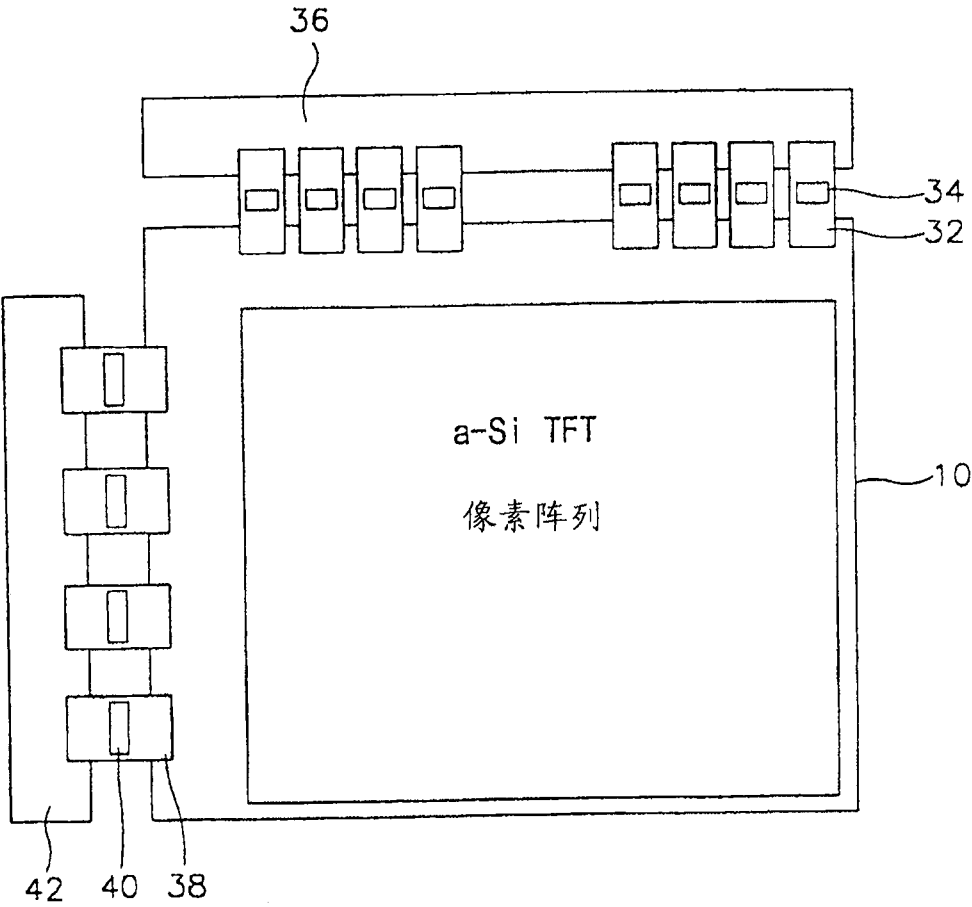


图 2

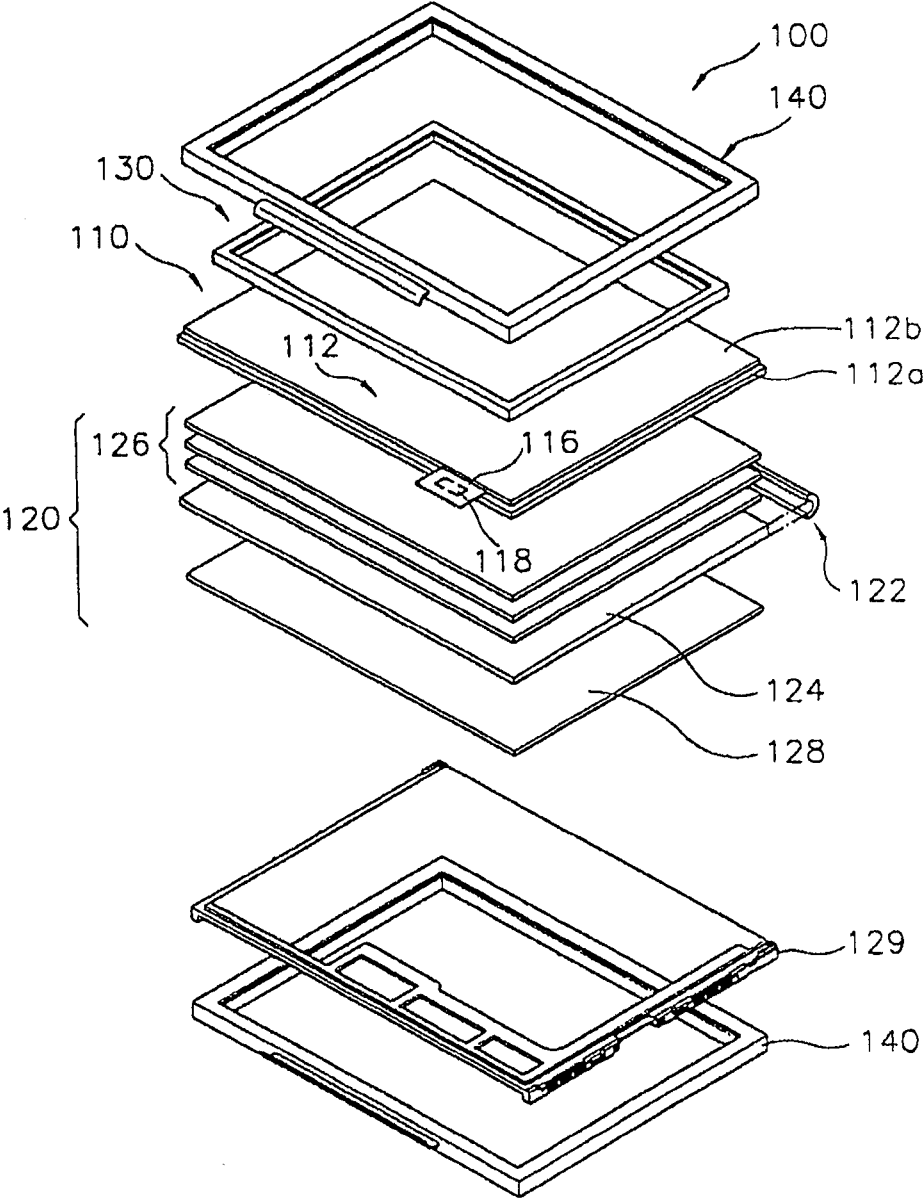


图 3

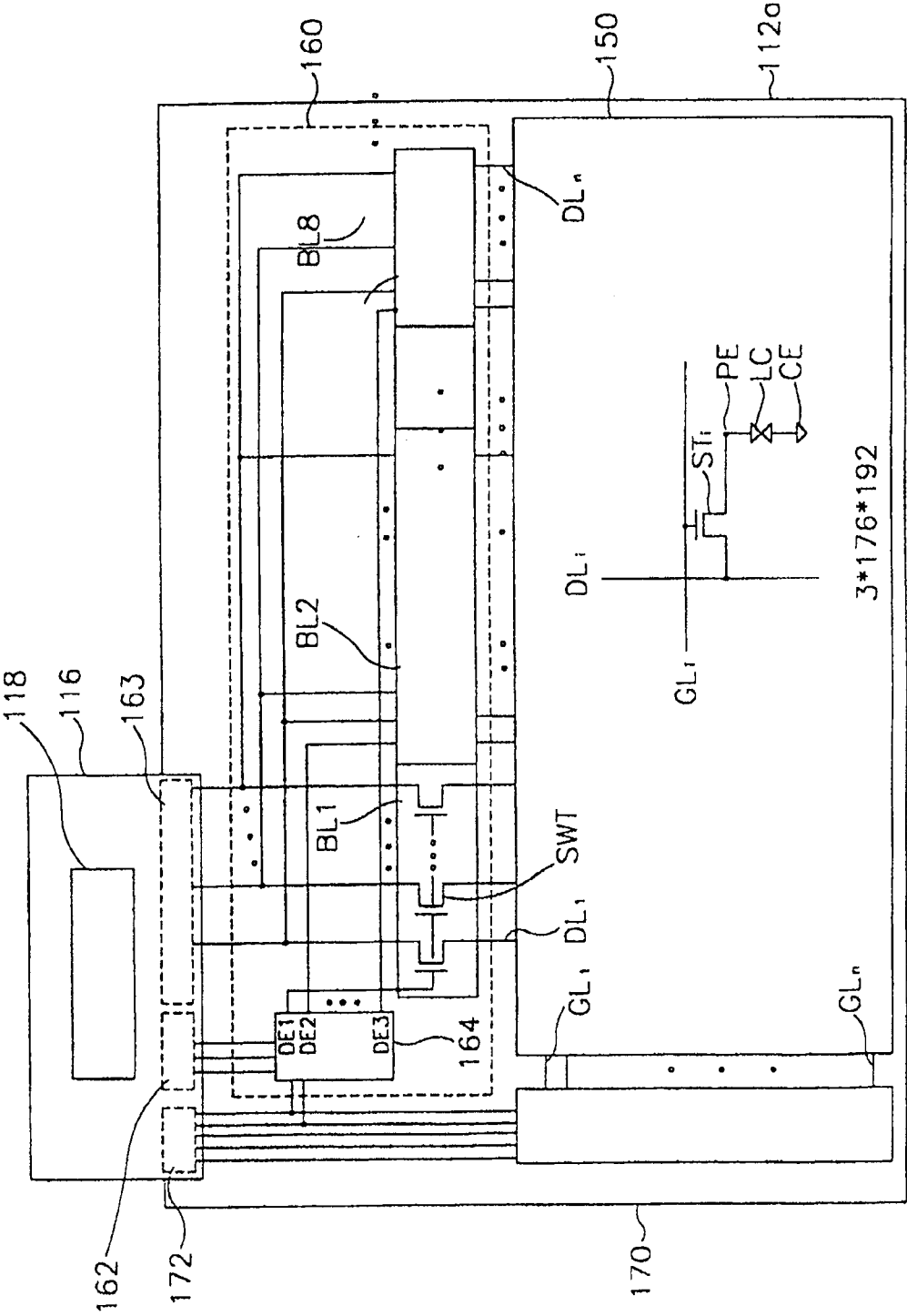


图 4

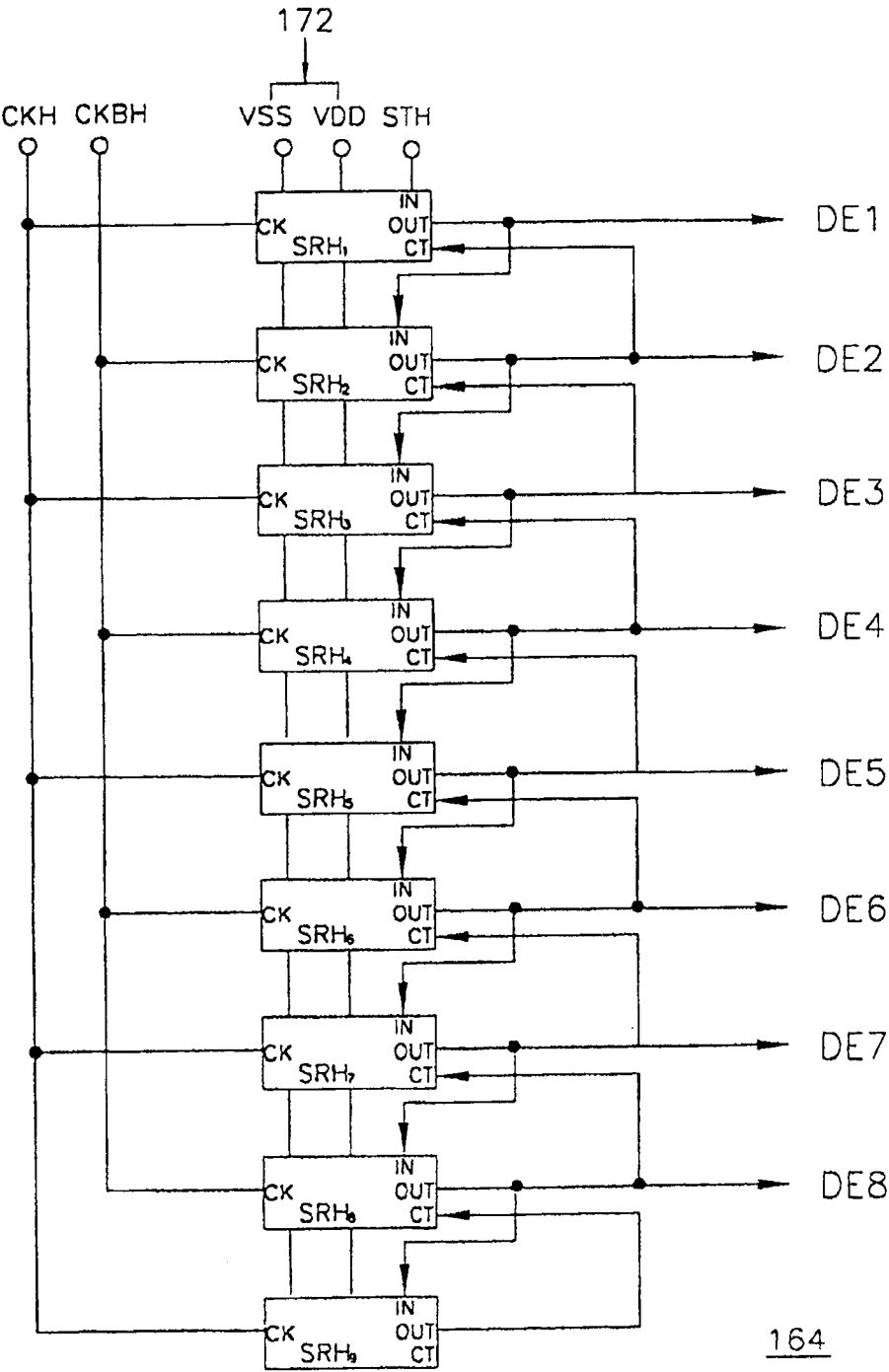


图 5

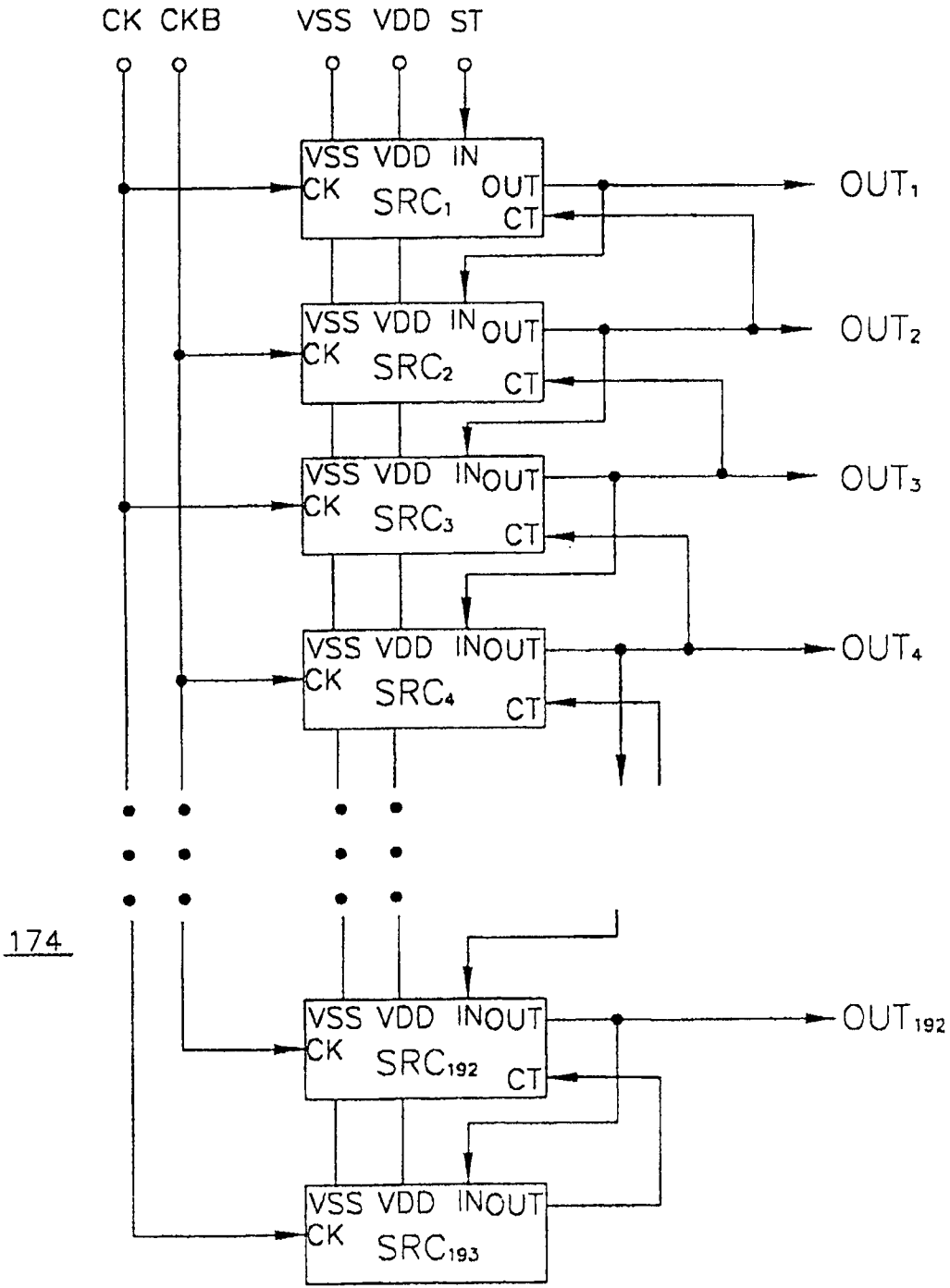


图 6

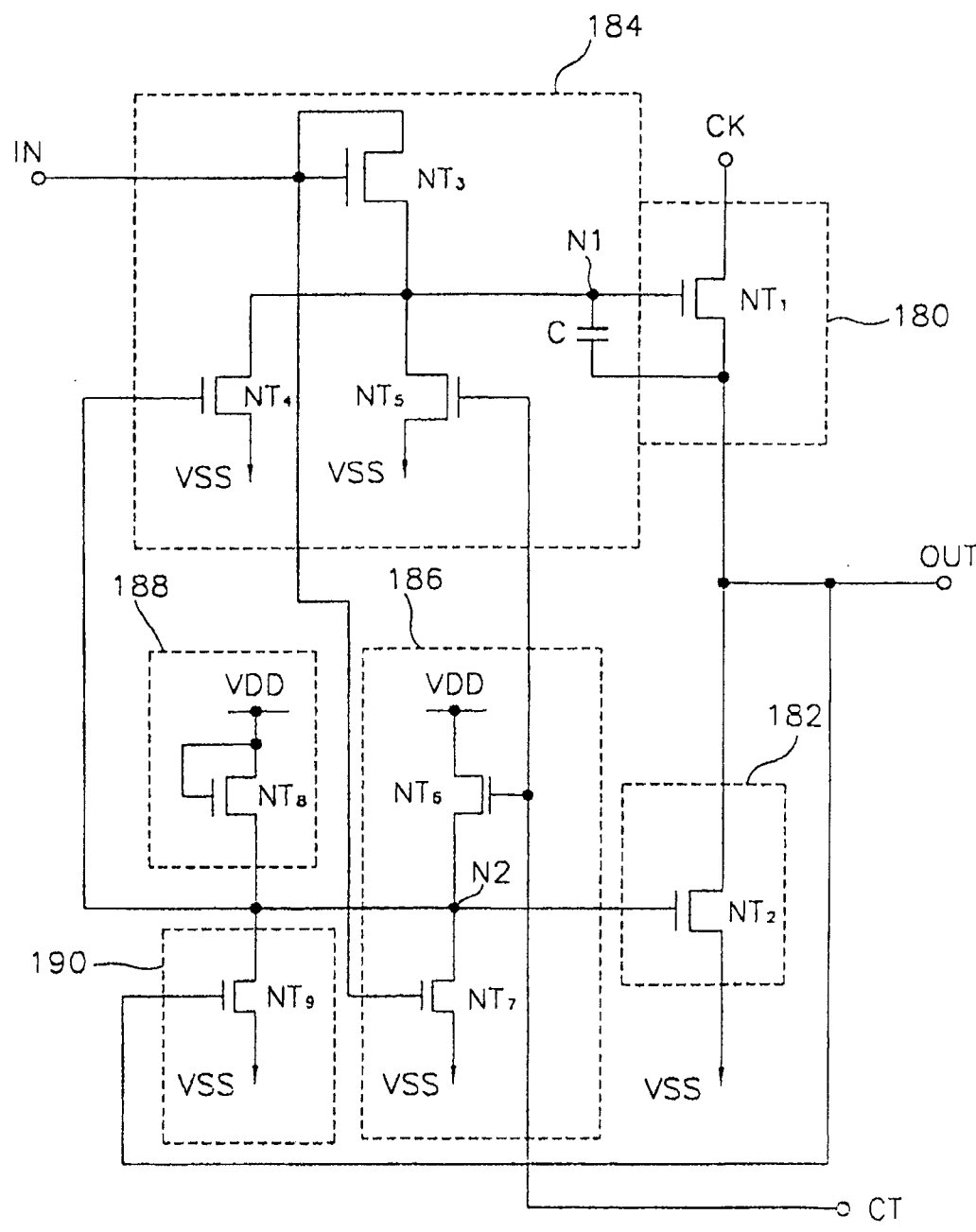


图 7

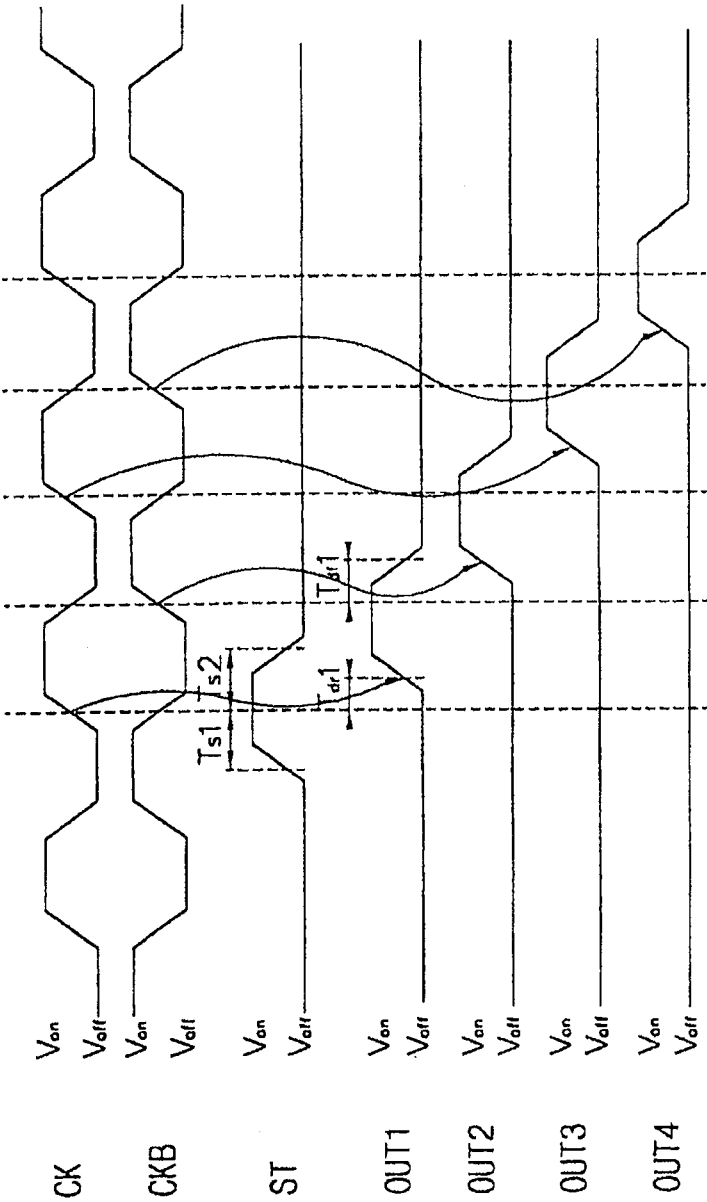


图 8

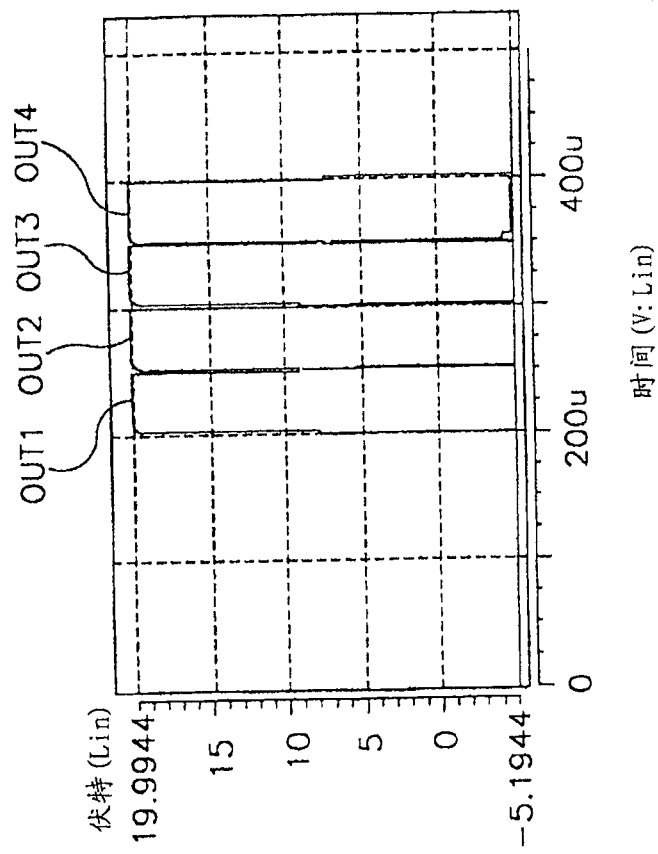


图 9

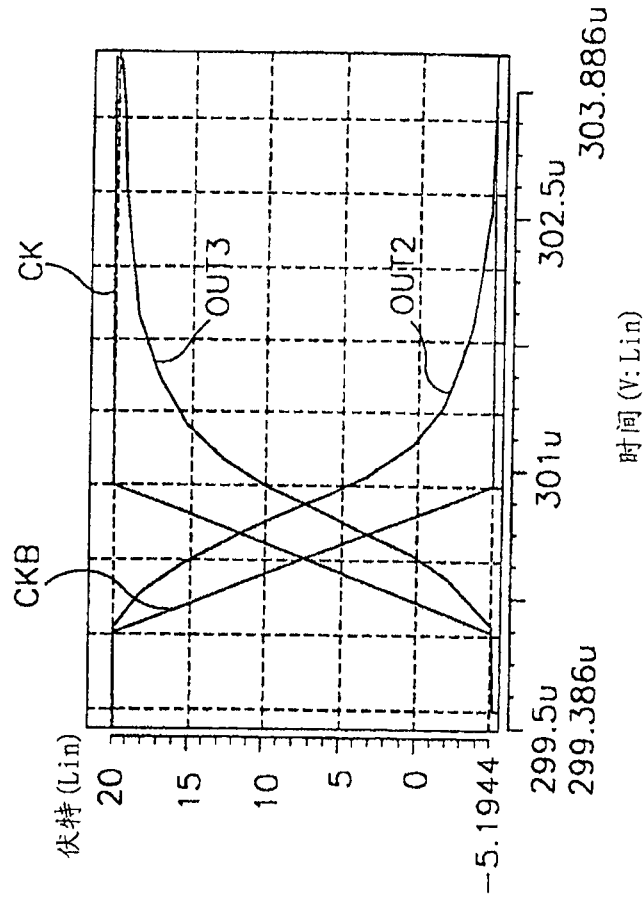


图 10

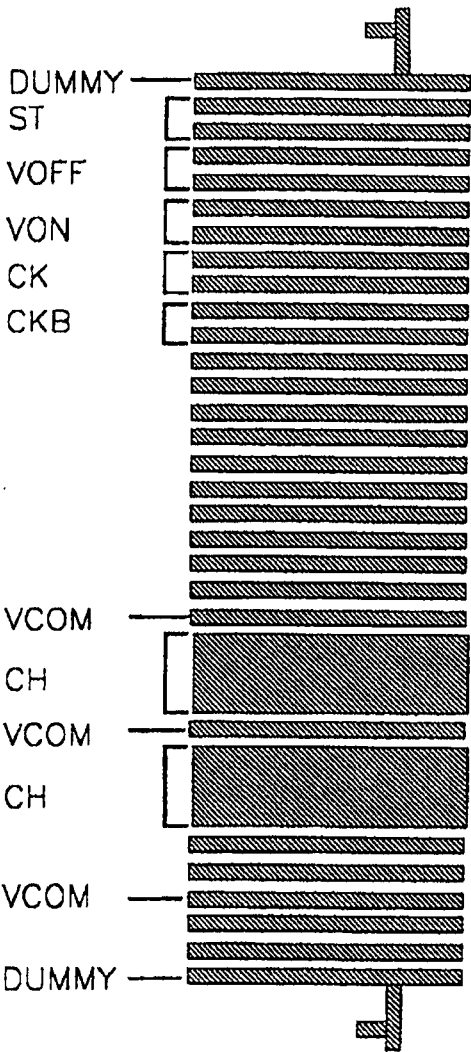


图 11

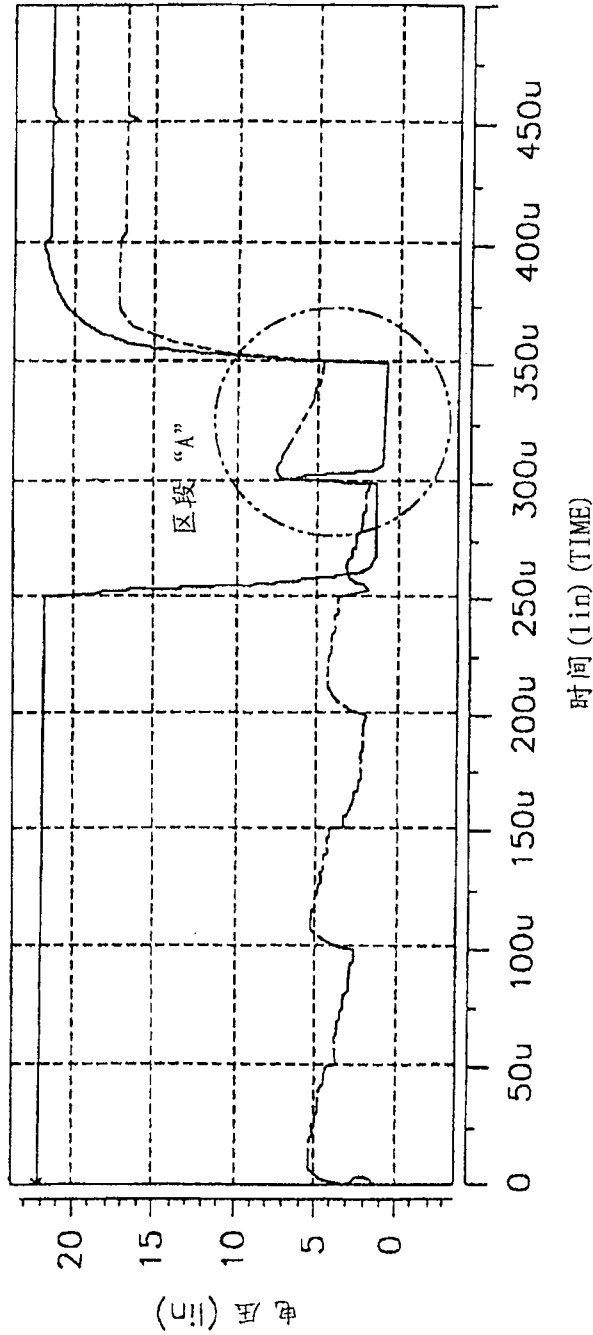


图 12

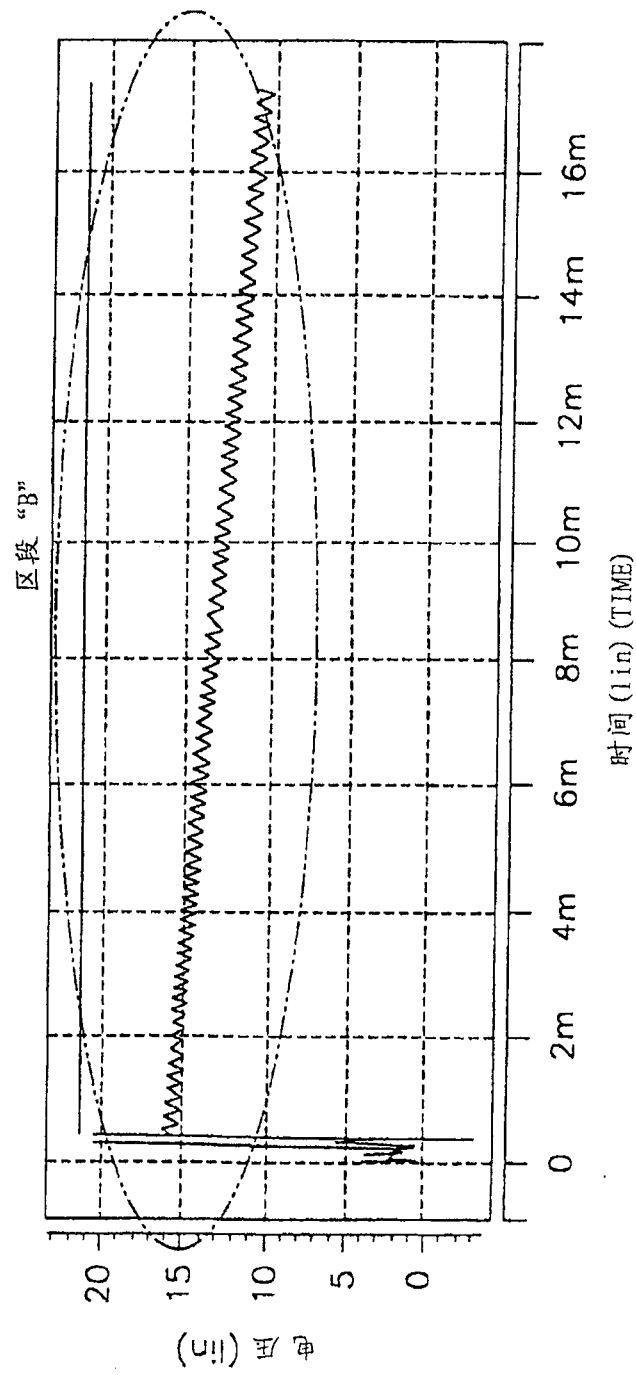


图 13

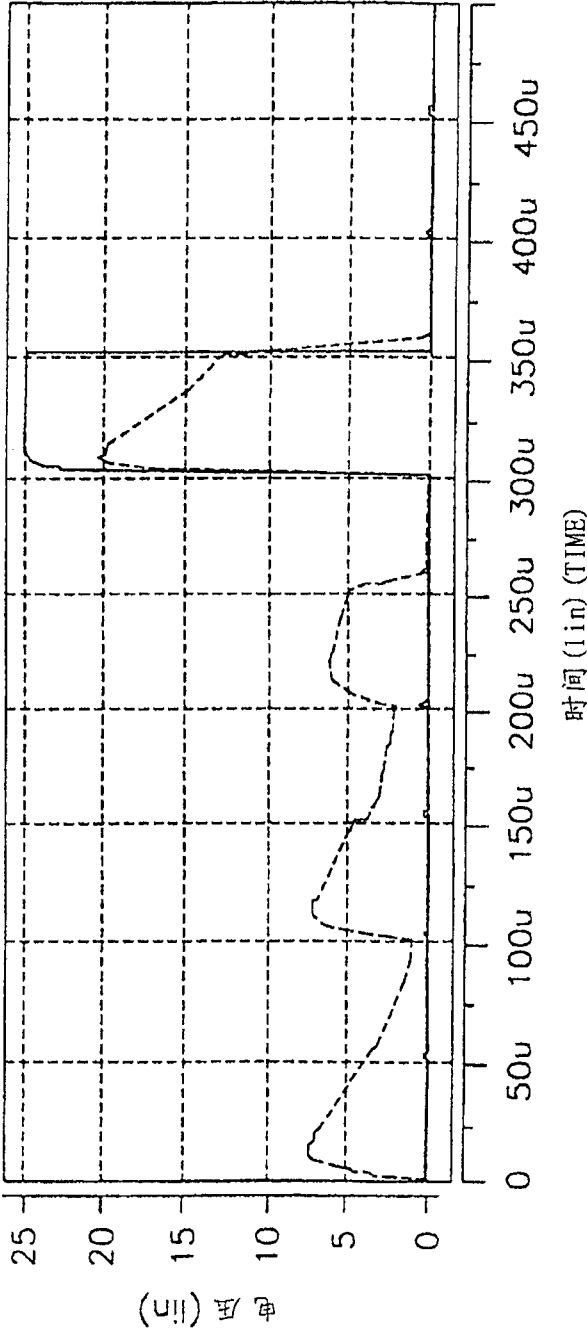


图 14

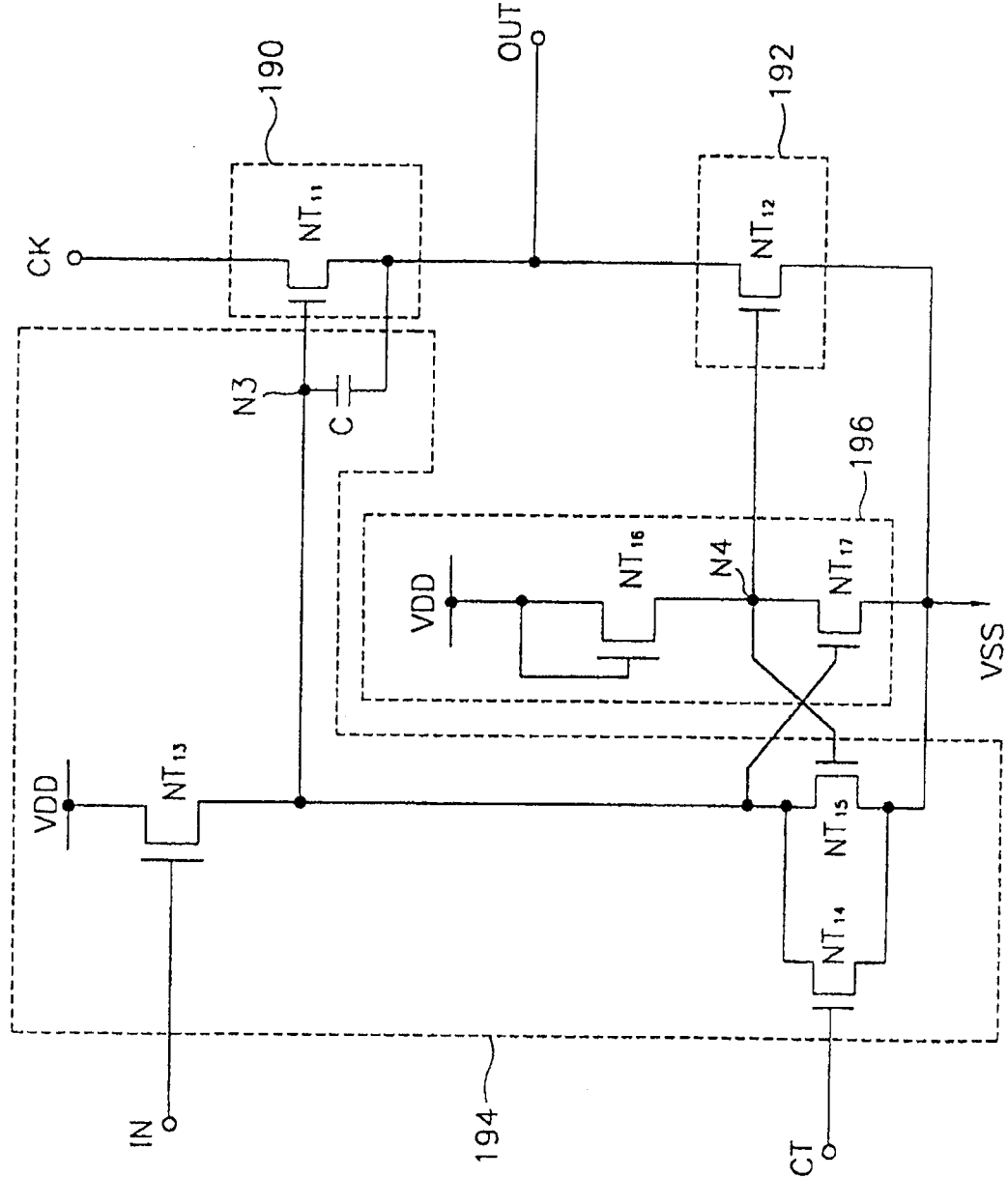


图 15

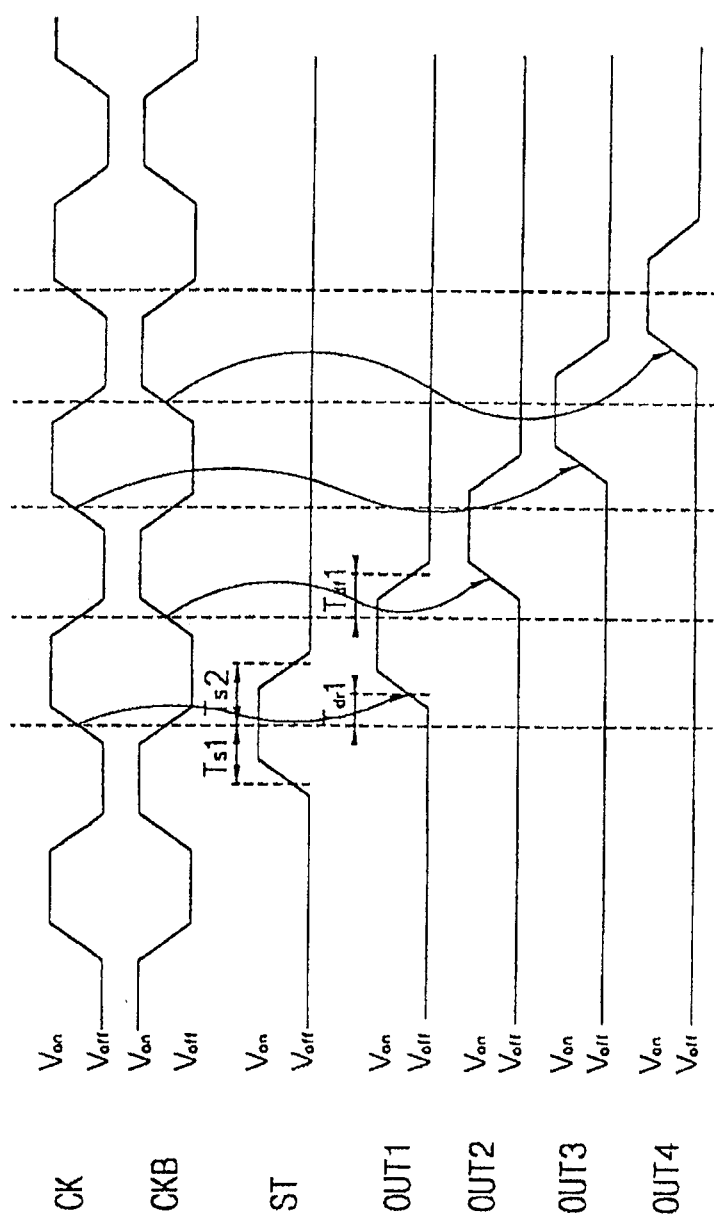


图 16

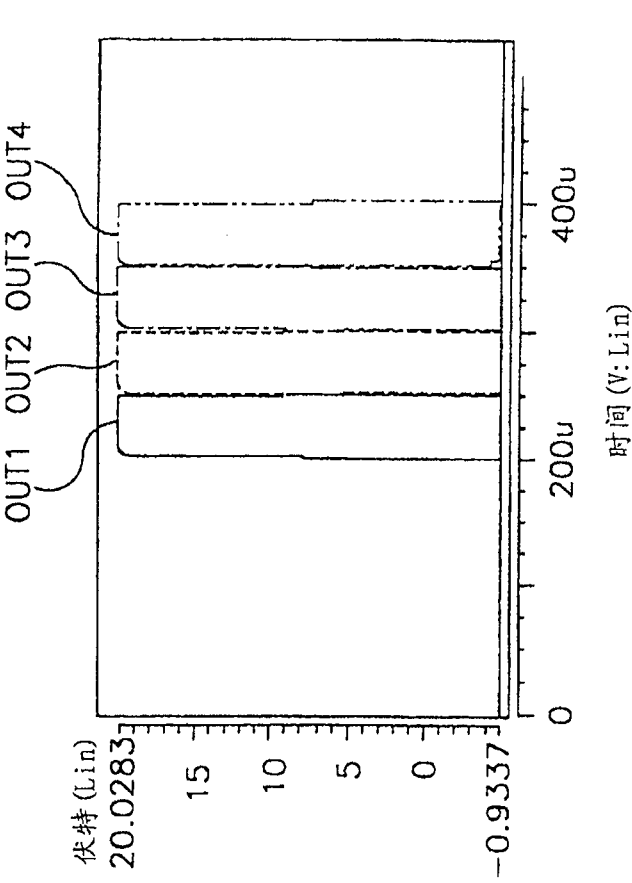


图 17

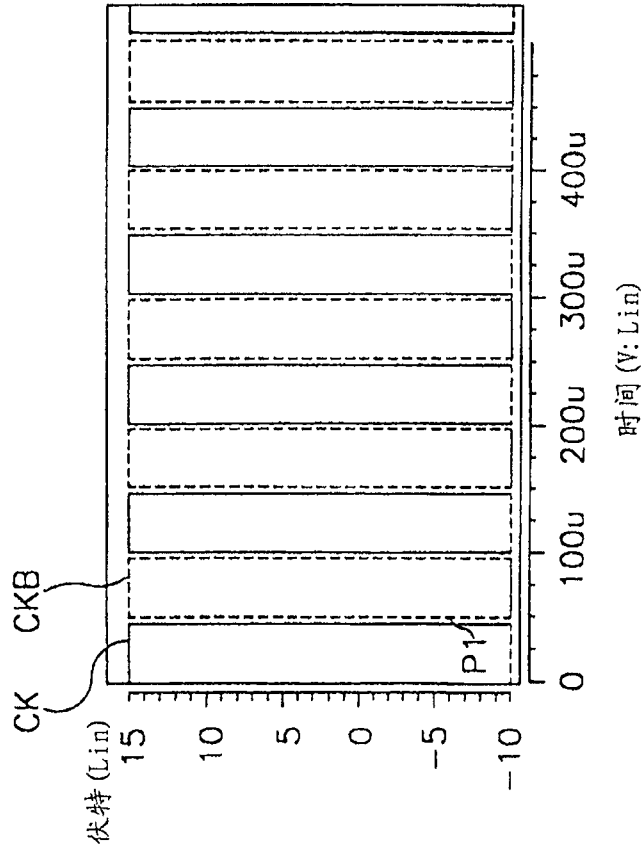


图 18

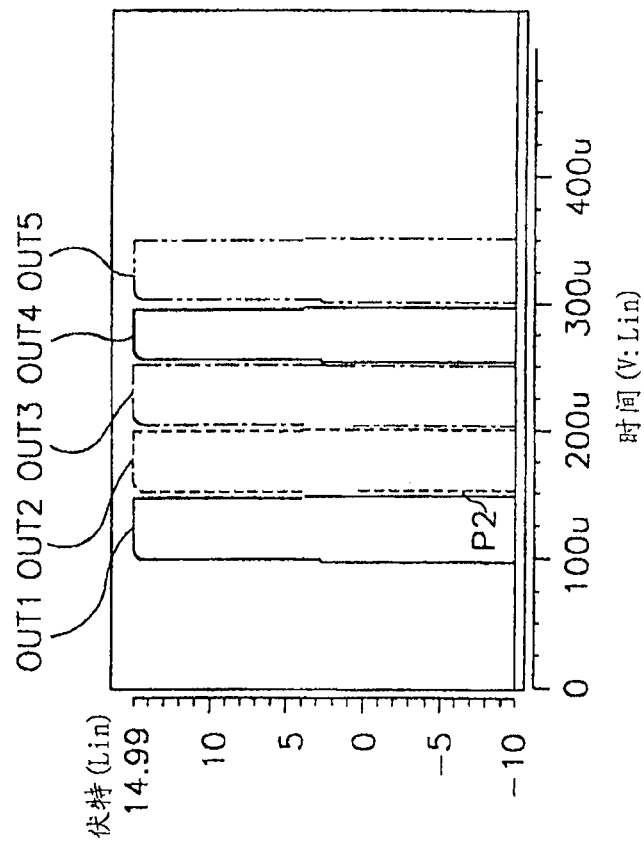


图 19

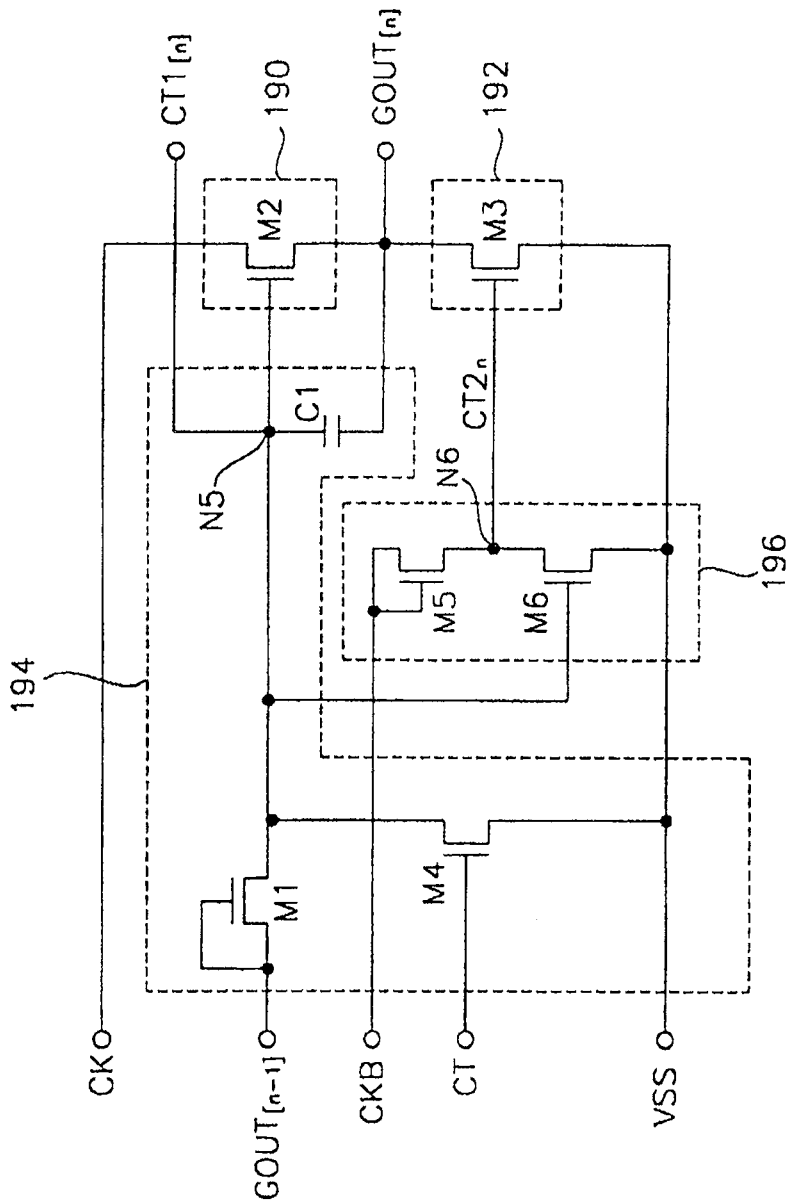


图 20

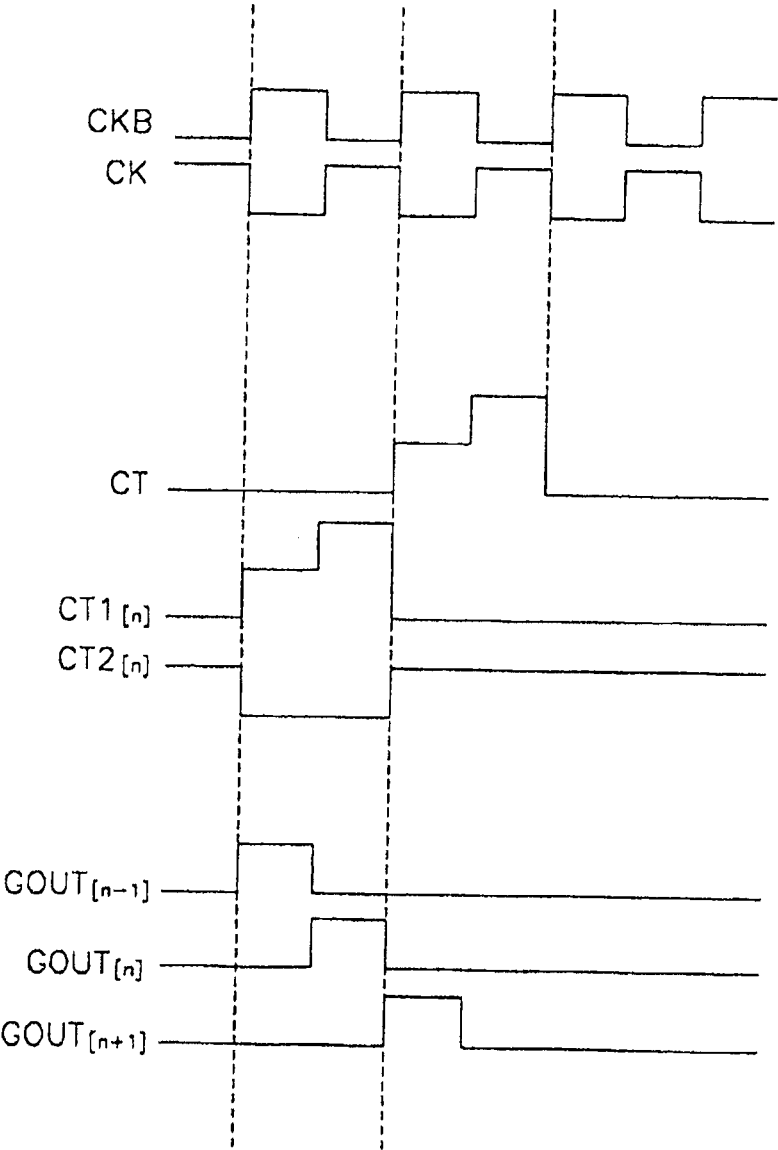


图 21

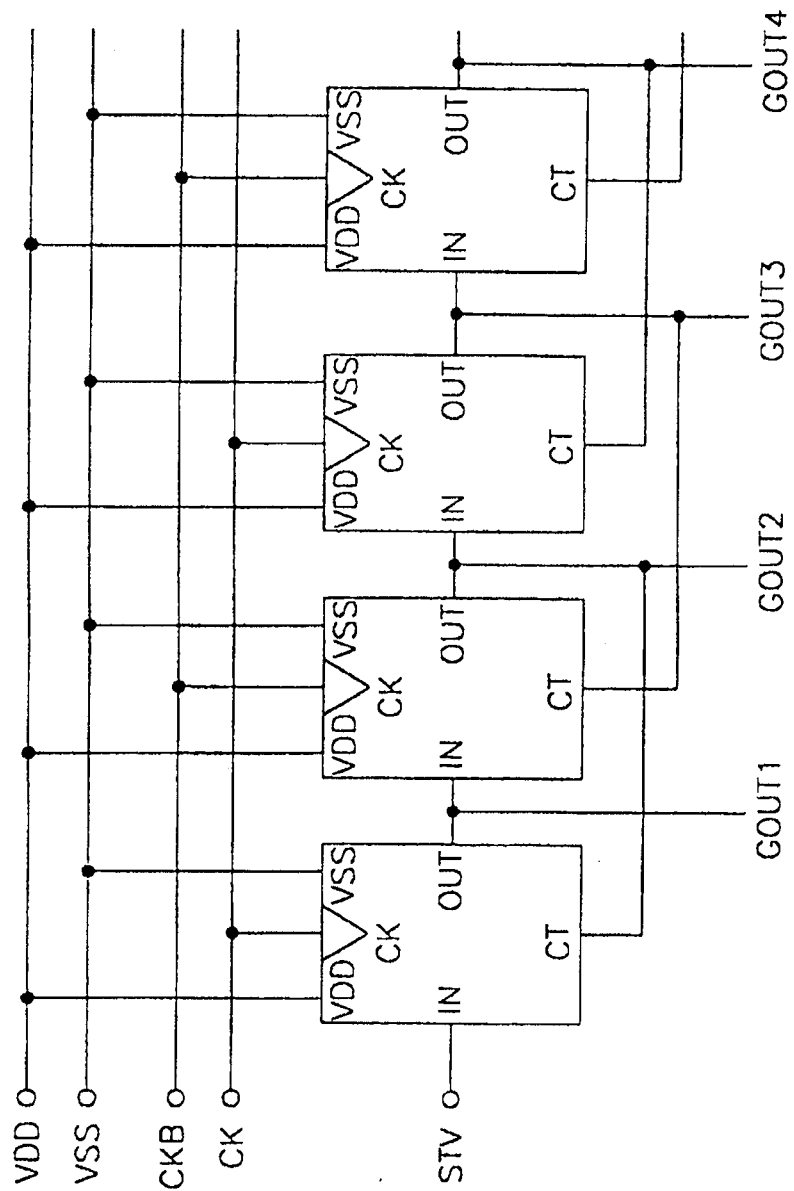


图 22

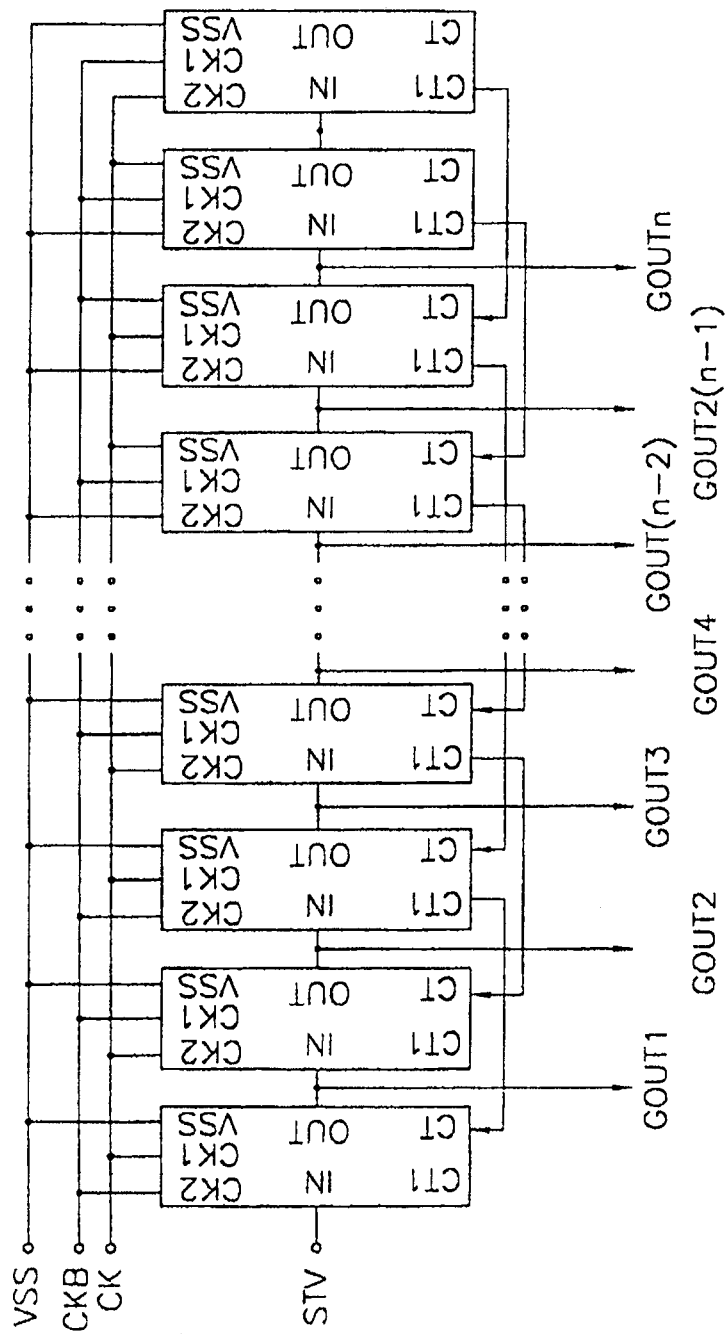


图 23

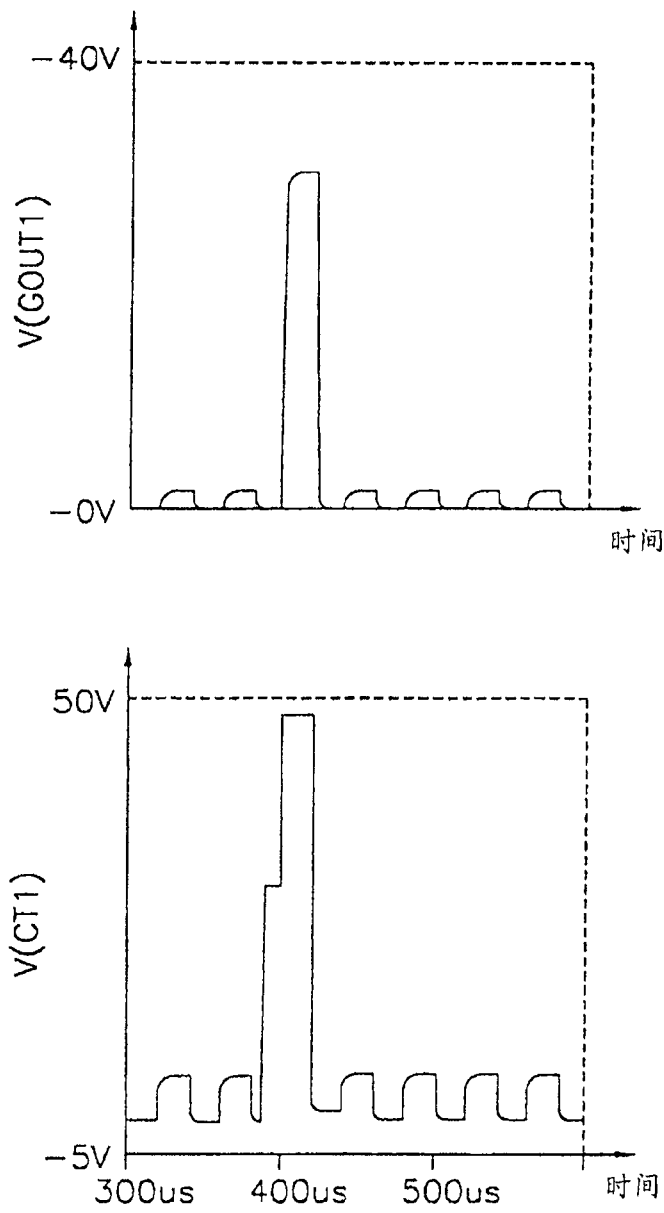


图 24A

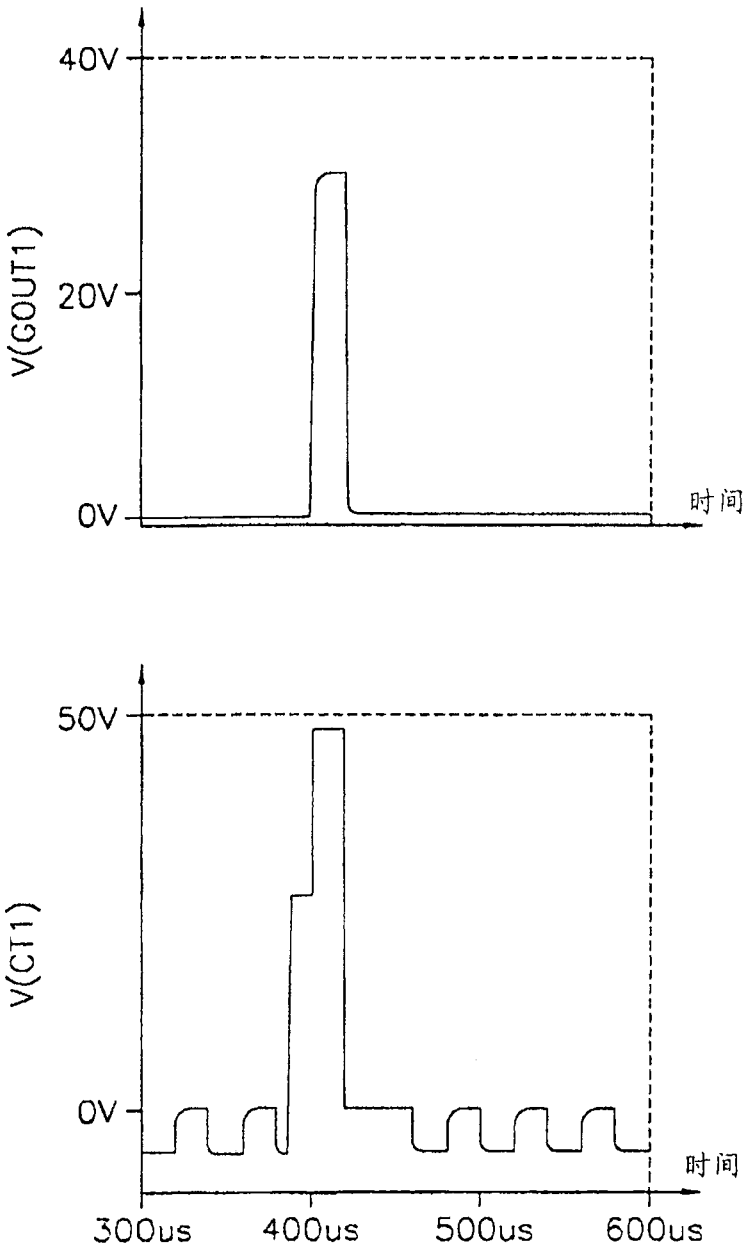


图 24B

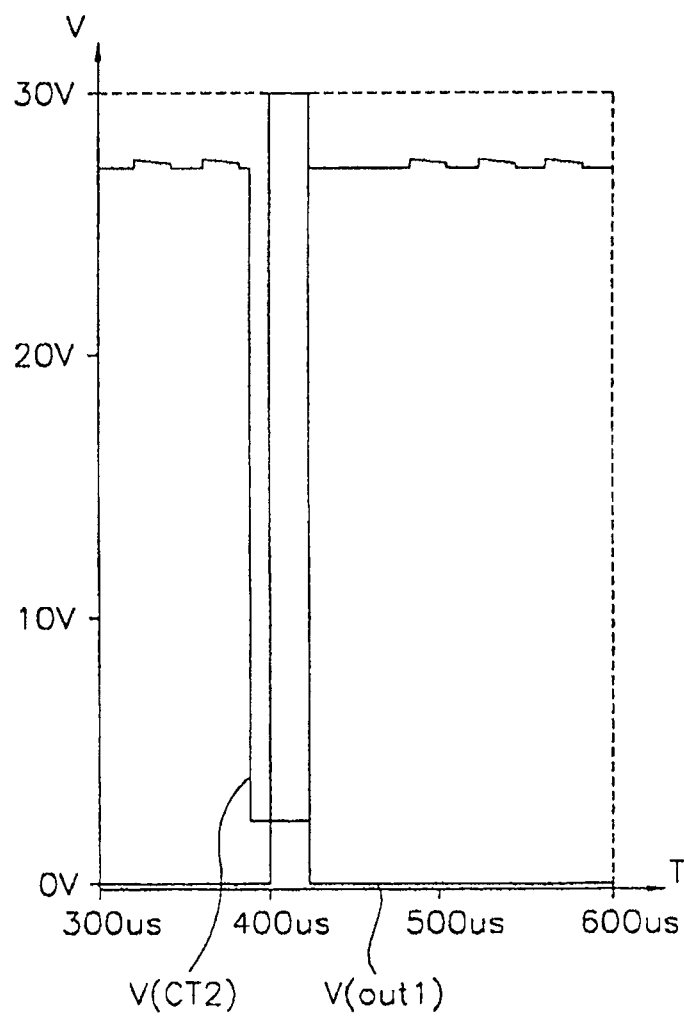


图 25A

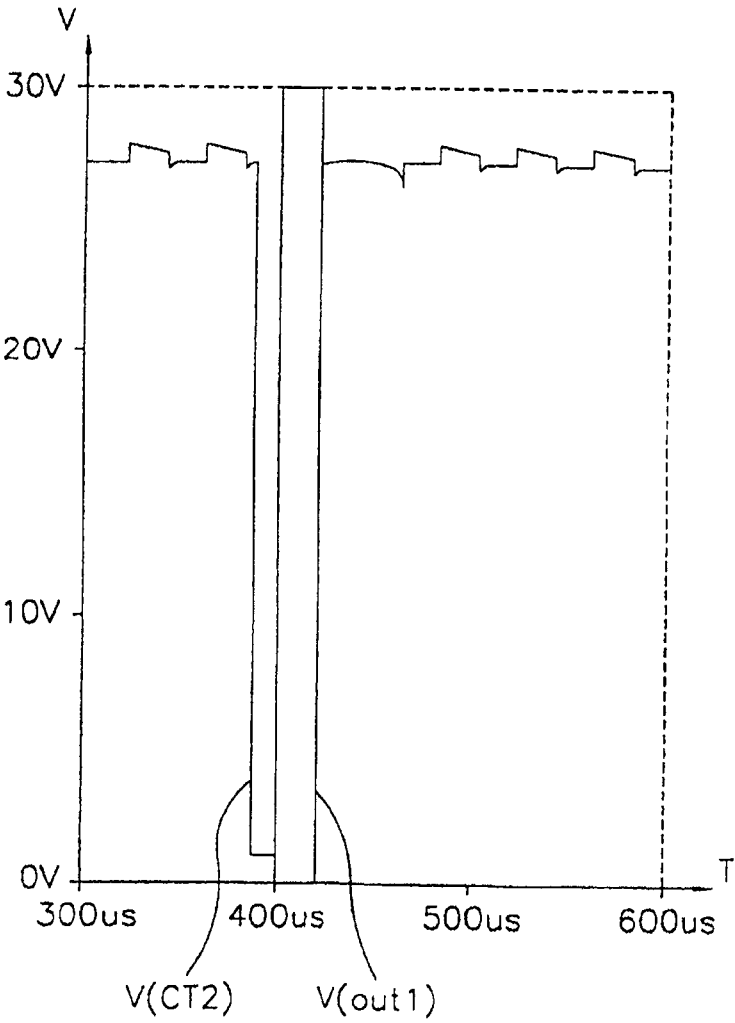


图 25B

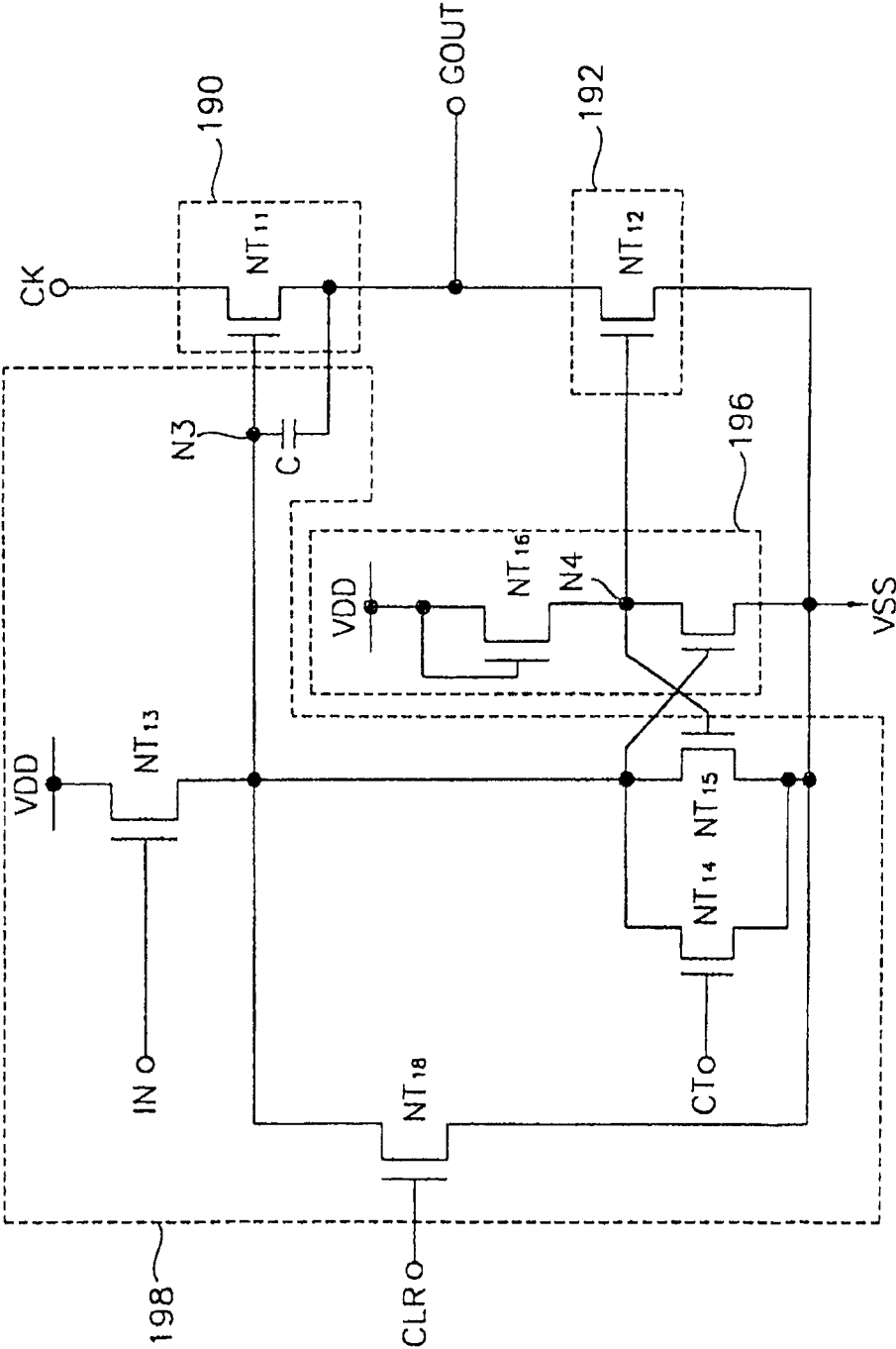


图 26

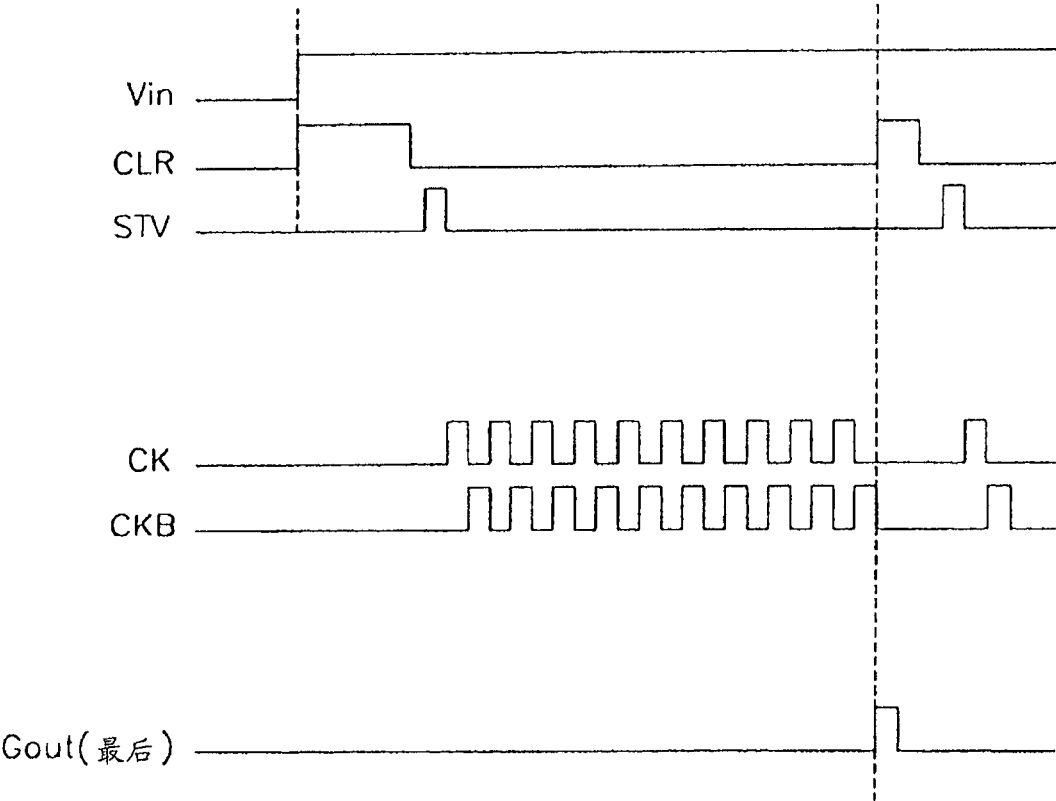


图 27

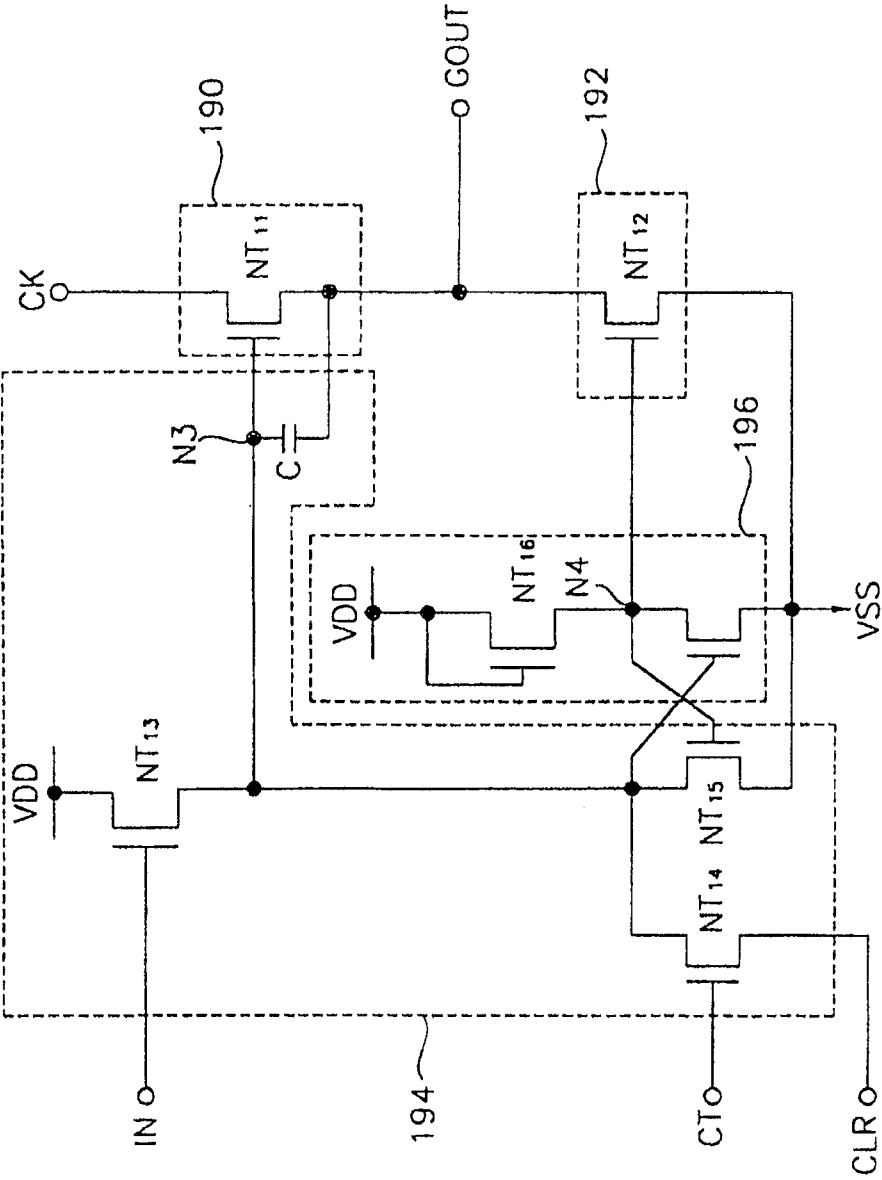


图 28

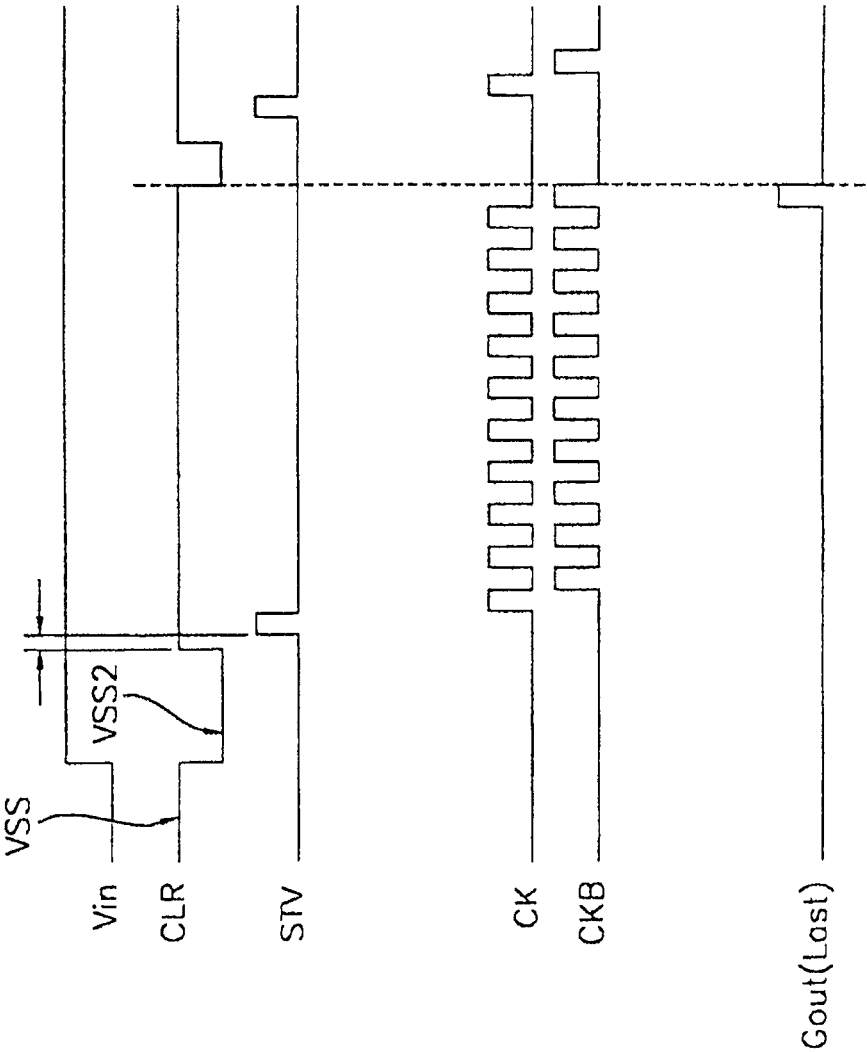


图 29

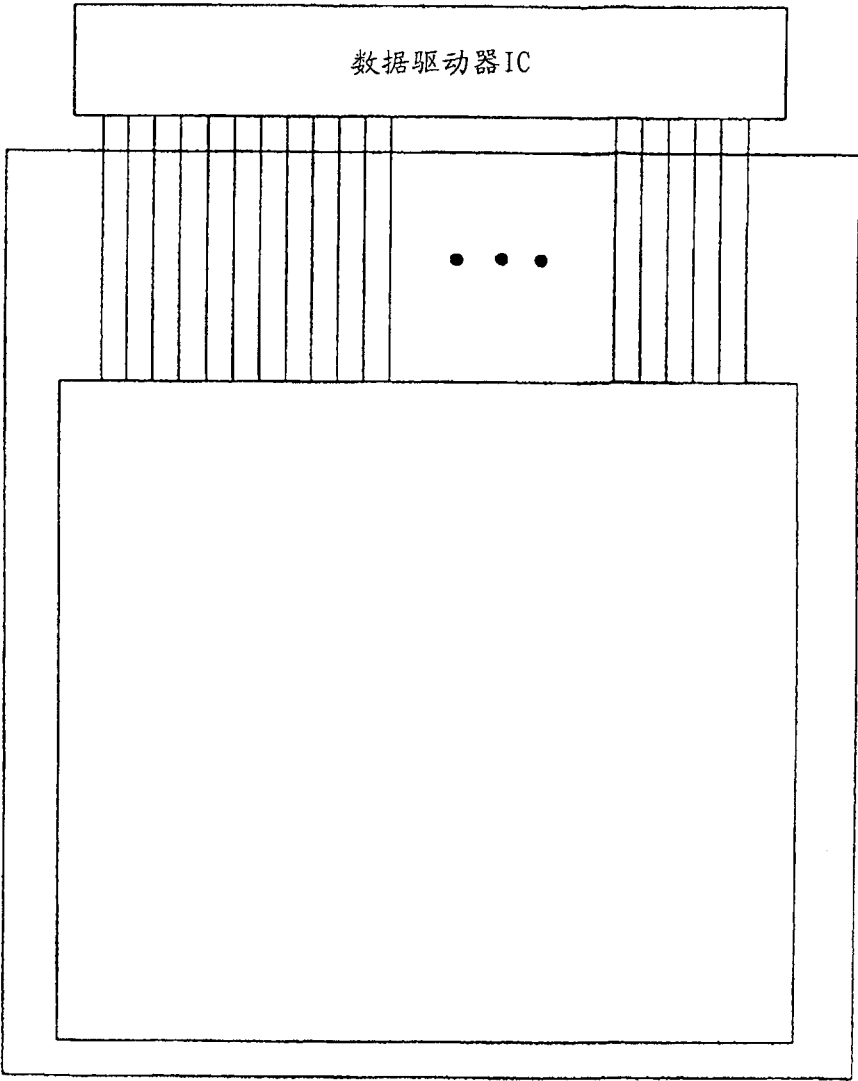


图 30

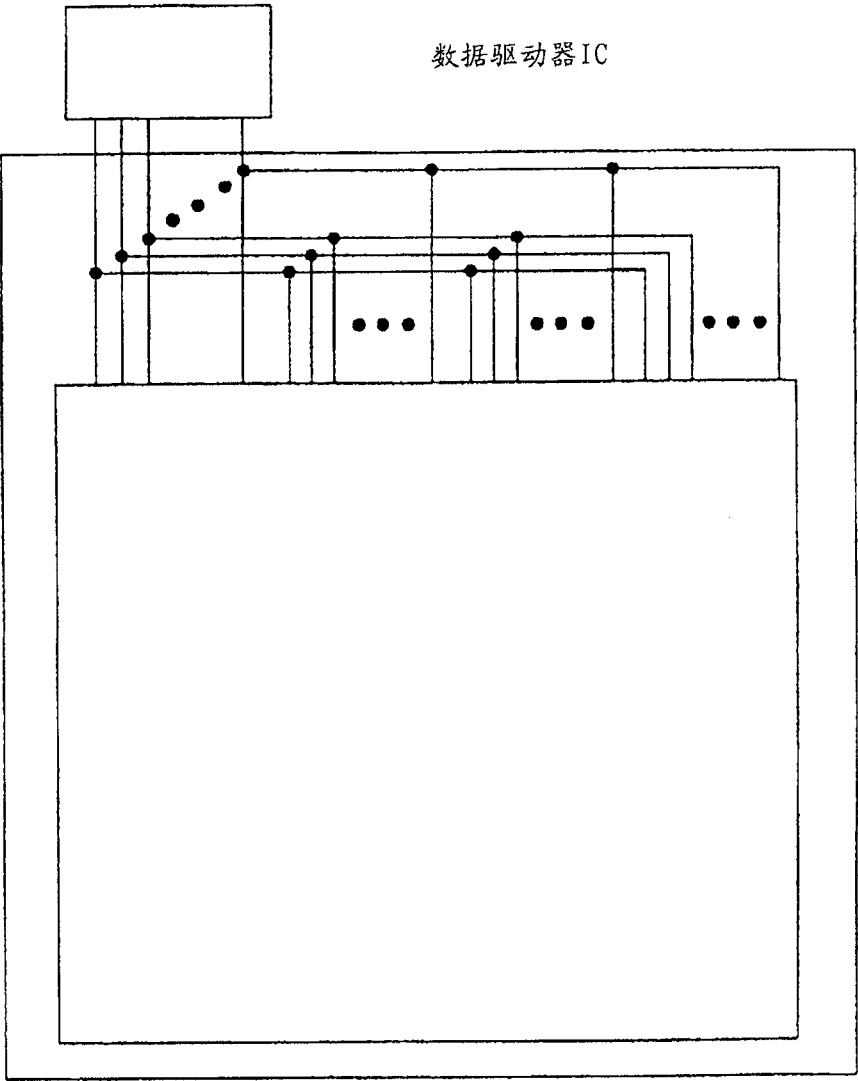


图 31

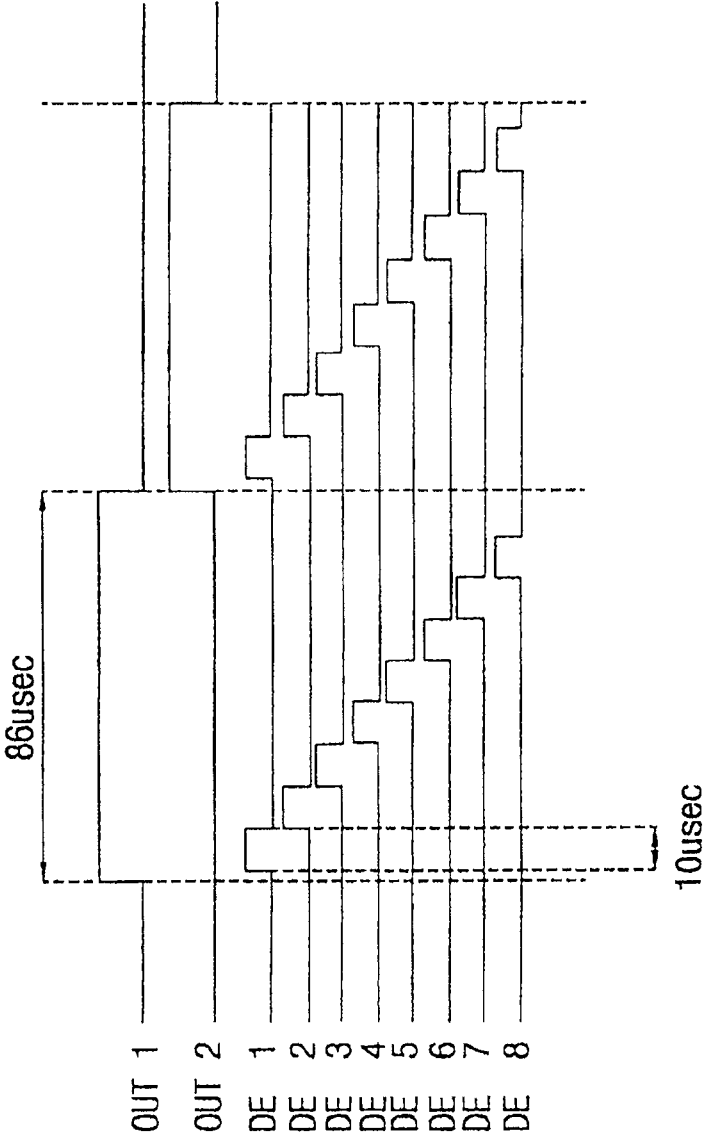


图 32

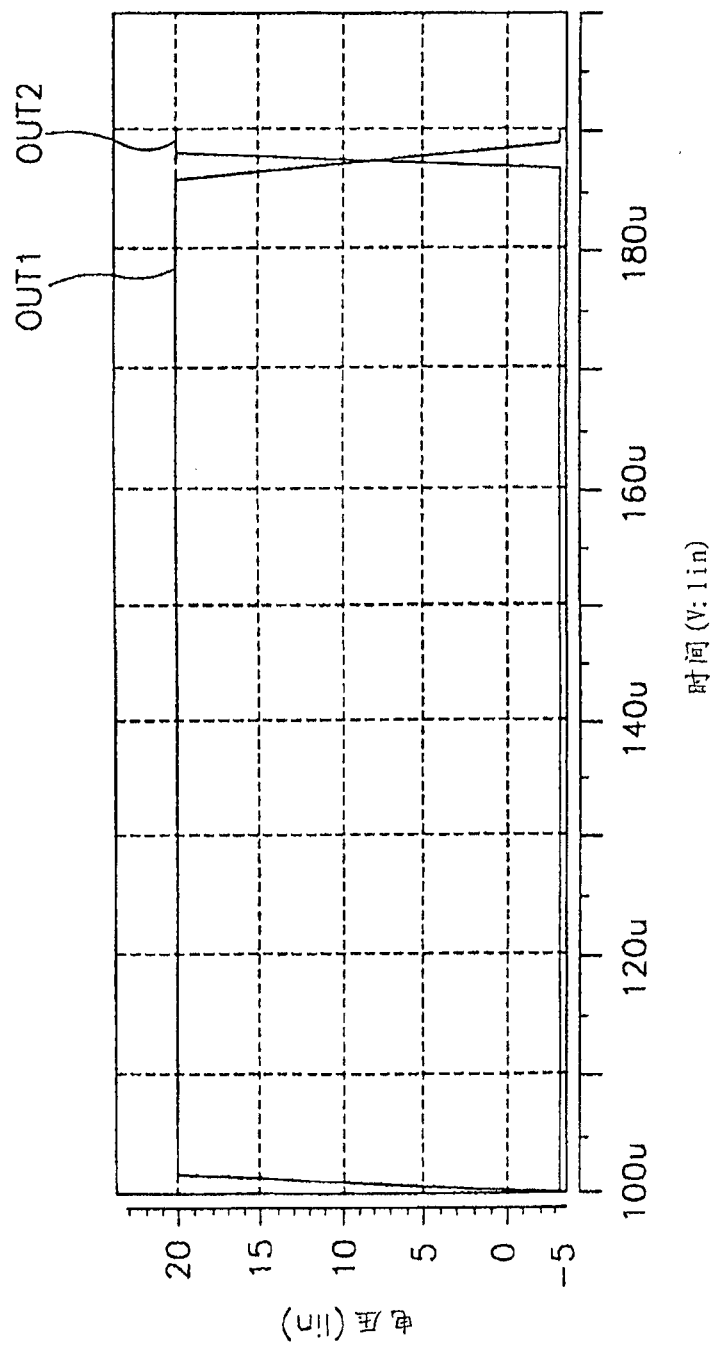


图 33

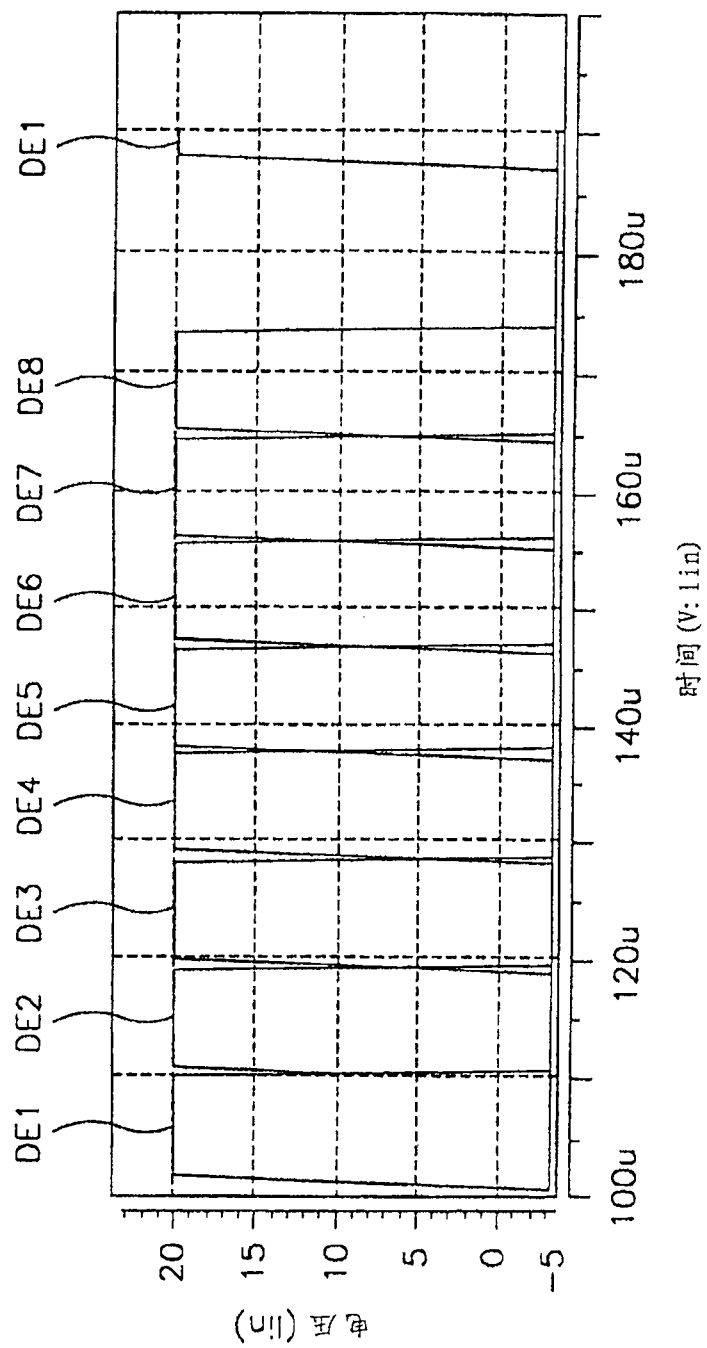


图 34

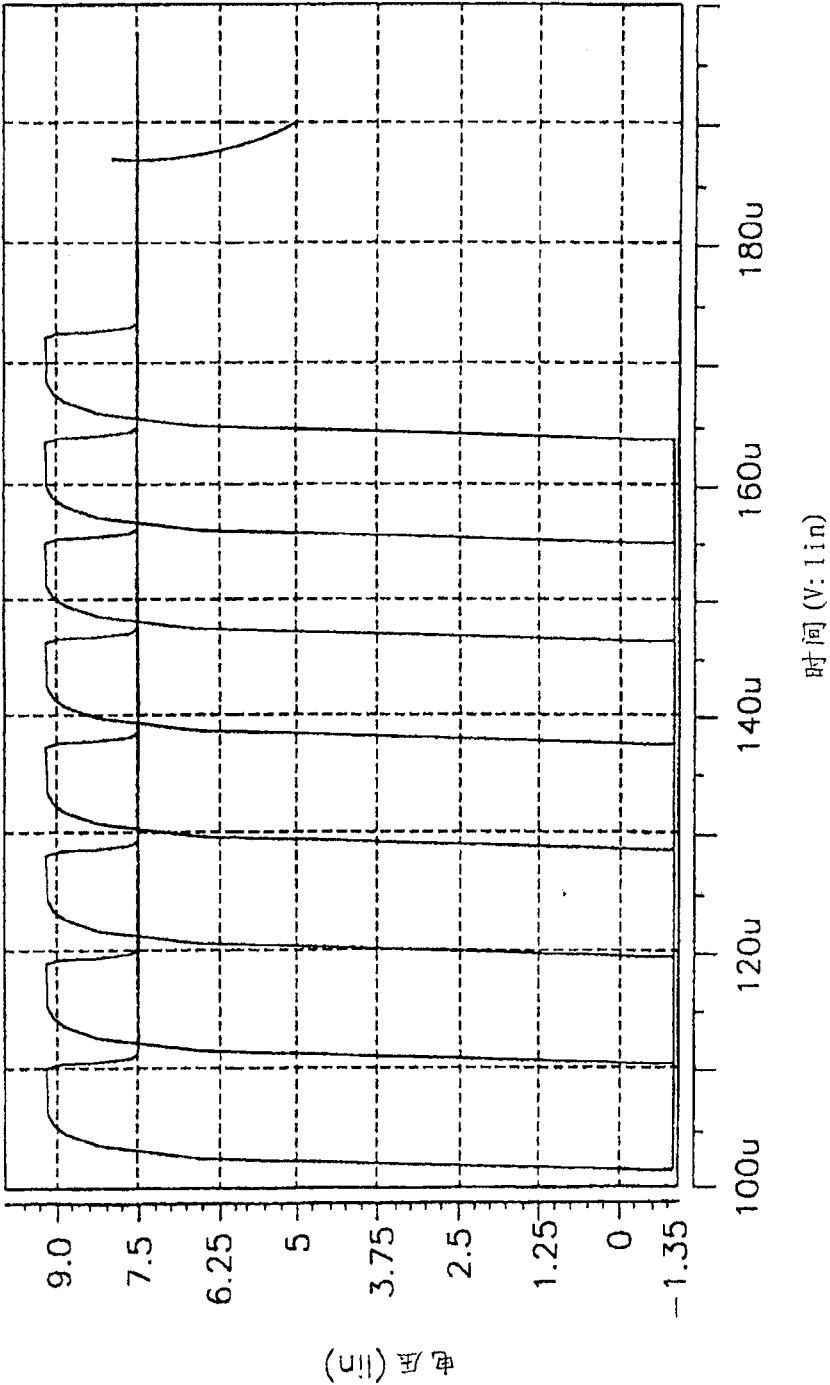


图 35