

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-201080

(P2007-201080A)

(43) 公開日 平成19年8月9日(2007.8.9)

(51) Int. Cl.

H01L 21/822 (2006.01)
H01L 27/04 (2006.01)

F I

H01L 27/04

A

テーマコード (参考)

5F038

審査請求 未請求 請求項の数 4 O L (全 5 頁)

(21) 出願番号 特願2006-16473 (P2006-16473)
(22) 出願日 平成18年1月25日 (2006.1.25)(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 110000235
特許業務法人 天城国際特許事務所
(72) 発明者 小島 治夫
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝小向工場内
Fターム(参考) 5F038 BE08 BH10 BH19 CA02 CA06
DF02 EZ08 EZ20

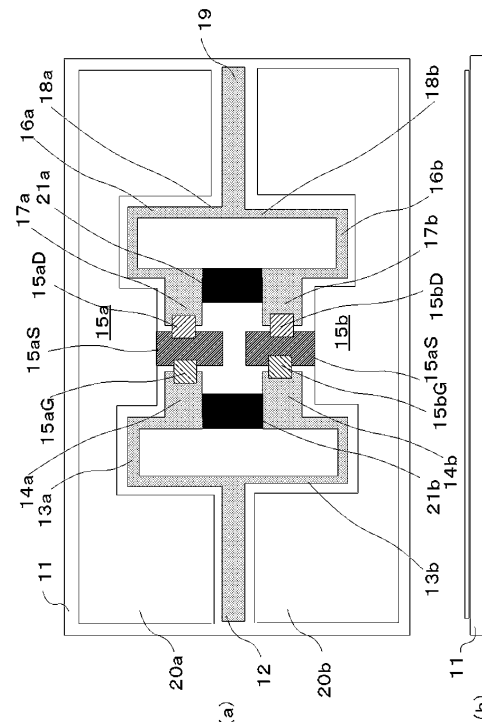
(54) 【発明の名称】 モノリシックマイクロ波集積回路

(57) 【要約】

【課題】 バイアホールの形成が困難な材料の半導体基板を用いてもモノリシック化が容易なモノリシックマイクロ波集積回路を提供すること。

【解決手段】 半導体基板と、この半導体基板の一方の面に形成される導体と、この導体の形成された面と同じ面に形成された接地導体とを有し、前記導体と前記接地導体により高周波回路を構成することを特徴とするモノリシックマイクロ波集積回路。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体基板と、この半導体基板の一方の面に形成される導体と、この導体の形成された面と同じ面に形成された接地導体とを有し、前記導体と前記接地導体により高周波回路を構成することを特徴とするモノリシックマイクロ波集積回路。

【請求項 2】

半導体基板の一方の面に形成された入力導体及び出力導体と、この入力導体に接続された電力分配部と、前記出力導体に接続された電力合成部と、前記電力分配部及び前記電力合成部の間に設けられた一対の 3 端子増幅素子と、接地導体とを有するモノリシックマイクロ波集積回路であって、

10

前記接地導体は、前記半導体基板の前記入力導体及び出力導体の形成されている面に形成されてなることを特徴とするモノリシックマイクロ波集積回路。

【請求項 3】

半導体基板と、この半導体基板の一方の面に形成される接地導体と、

この接地導体の形成された面に形成された入力導体と、

前記接地導体の形成された面に形成され、前記入力導体に入力端を接続され分岐された分岐部導体と、

前記接地導体の形成された面に形成され、前記分岐部導体の第 1 , 第 2 の出力端に各々ソース端子を接続された第 1 , 第 2 の 3 端子増幅素子と、

前記接地導体の形成された面に形成され、前記第 1 , 第 2 の 3 端子増幅素子のドレイン端子に第 1 , 第 2 の分岐入力端を接続された合成部導体と、

20

前記接地導体の形成された面に形成され、前記合成部導体の出力端に接続された出力導体と、

を具備することを特徴とするモノリシックマイクロ波集積回路。

【請求項 4】

前記分岐部導体と前記接地導体により構成された線路のインピーダンスは、前記入力導体と前記接地導体により構成された線路のインピーダンスより高いことを特徴とする請求項 3 記載のモノリシックマイクロ波集積回路。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、モノリシックマイクロ波集積回路の構造に関する。

【背景技術】

【0002】

従来、モノリシックマイクロ波集積回路 (MMIC) としては、マイクロ波ストリップ線路を用いた構造のことが多い。このような構造の MMIC を製造する場合、表面に設けられた例えば電界効果トランジスタ (FET) のソース電極を、裏面に設けられた接地導体に接続する必要がある。通常半導体基板に穴 (バイアホール) を開けて、この部分で接続する (例えば特許文献 1 参照)。しかし、このバイアホールを設けることは、製造工程が増加した、特にシリコンカーバイド (SiC) など硬い材料を基板に用いる場合、バイアホールの形成が困難となり、モノリシック化自体が難しくなるという問題があった。

40

【0003】

図 2 (a) (b) に、従来の MMIC の構成の一例を示す。図示するように、半導体基板 21 の裏面には、接地導体 22 を設ける。この接地導体 22 は、表面に設けられる FET のソース電極 23 S と半導体基板 21 に設けられたバイアホール 24 を介して接続される。図 2 (a) において、半導体基板 21 上には、高周波 (RF) 線路の上部導体 25、RF 電力分配導体 26、FET のゲート電極 23 G、ドレイン電極 23 D が形成され、ゲート電極 23 G は RF 電力分配導体 26 の出力端に接続され、ドレイン電極 23 D は電力合成導体 27 の入力端に接続され、RF 電力分配導体 26 と RF 電力合成器 27 には各々終端抵抗が接続されている。RF 電力分配導体 26 で等分配された高周波電力はそれぞれ

50

の F E T のゲート電極 2 3 G に供給され、それぞれの F E T で増幅された R F 電力は各々のドレイン電極 2 3 D から出力され、R F 電力合成導体 2 7 で合成され、同一の半導体基板上で分配、増幅、合成の機能を有している。しかし、上述のようにソース電極 2 3 S は半導体基板に設けられたパイアホール 2 4 を介して接地導体 2 2 に接続する必要があり、製造が困難であった。

【 0 0 0 4 】

なお、半導体基板の一面のみにしかも、ストリップ線路の両側でなく片側のみに接地導体を設けるコブレナ型線路は知られている（例えば特許文献 2 参照）。

【特許文献 1】特開平 3 - 5 2 2 3 9 号公報

【特許文献 2】特開平 9 - 2 7 5 1 4 5 号公報

10

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 5 】

本発明は、上記のような従来のモノリシックマイクロ波集積回路の問題点にかんがみてなされたもので、パイアホールの形成が困難な材料の半導体基板を用いてもモノリシック化が容易なモノリシックマイクロ波集積回路を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 6 】

本発明の請求項 1 によれば、半導体基板と、この半導体基板の一方の面に形成される導体と、この導体の形成された面と同じ面に形成された接地導体とを有し、前記導体と前記接地導体により高周波回路を構成することを特徴とするモノリシックマイクロ波集積回路を提供する。

20

【 0 0 0 7 】

本発明の請求項 2 によれば、半導体基板の一方の面に形成された入力導体及び出力導体と、この入力導体に接続された電力分配部と、前記出力導体に接続された電力合成部と、前記電力分配部及び前記電力合成部の間に設けられた一对の 3 端子増幅素子と、接地導体とを有するモノリシックマイクロ波集積回路であって、前記接地導体は、前記半導体基板の前記入力導体及び出力導体の形成されている面に形成されてなることを特徴とするモノリシックマイクロ波集積回路を提供する。

【 0 0 0 8 】

30

本発明の請求項 3 によれば、半導体基板と、この半導体基板の一方の面に形成される接地導体と、この接地導体の形成された面に形成された入力導体と、前記接地導体の形成された面に形成され、前記入力導体に入力端を接続され分岐された分岐部導体と、前記接地導体の形成された面に形成され、前記分岐部導体の第 1 , 第 2 の出力端に各々ソース端子を接続された第 1 , 第 2 の 3 端子増幅素子と、前記接地導体の形成された面に形成され、前記第 1 , 第 2 の 3 端子増幅素子のドレイン端子に第 1 , 第 2 の分岐入力端を接続された合成部導体と、前記接地導体の形成された面に形成され、前記合成導体の出力端に接続された出力導体と、を具備することを特徴とするモノリシックマイクロ波集積回路を提供する。

【発明の効果】

40

【 0 0 0 9 】

本発明によれば、パイアホールの形成が困難な材料の半導体基板を用いてもモノリシック化が容易なモノリシックマイクロ波集積回路が得られる。

【発明を実施するための最良の形態】

【 0 0 1 0 】

以下、本発明の実施形態について図面を用いて説明する。図 1 に本発明一実施形態の全体構成例を示す。このモノリシックマイクロ波集積回路 1 0 は、2 個の並列に設けられた電界効果トランジスタ (F E T) と、この F E T に入力を分岐する電力分配部と、この電力分配部により分配された出力を上記 F E T により増幅された出力を合成する電力合成部を有する構成となっている。そして構造的には、半導体基板 1 1 と、この基板の一方の面

50

に上下対称にパターン形成された各種の導体などから成る。

【0011】

半導体基板11上には入力導体12が設けられ、この入力導体12の一端には上下方向に分岐されコの字形状を有する分岐部導体13a, 13bが接続され、この分岐部導体13a, 13bの出力分岐端14a, 14bにはFETのゲート電極15aG, 15bGが接続される。15aS, 15bSはFET15a, 15bのソース電極であり、FET15a, 15bのドレイン電極15aD, 15bDには、電力合成部を構成する合成部導体16a, 16bの入力分岐端17a, 17bが接続されている。合成部導体16a, 16bはコの字形状をしておりその出力合成端18a, 18bは出力導体19に接続されている。

10

【0012】

上記入力導体12、分岐部導体13a, 13b、合成部導体16a, 16b、出力導体19の外側の半導体基板11上には、これらの導体から所定の距離を置いて接地導体20a, 20bが形成されている。電力分岐部と、電力合成部には、各々終端抵抗21a, 21bが接続されている。これらの導体の幅や、これらの導体と接地導体20a, 20bとの間隔はインピーダンスその他の観点に基づいて適宜、調整される。

【0013】

入力導体12と接地導体20a, 20bにより入力部の線路が構成され、分岐部導体13a, 13bと接地導体20a, 20bにより電力分岐部が構成され、合成部導体16a, 16bと接地導体20a, 20bにより電力合成部が構成され、出力導体19と接地導体20a, 20bにより出力部の線路が構成されている。すなわち、これらの導体と接地導体は、いわゆる非対称のコプレーナ型線路の構造を有している。

20

【0014】

入力部に入力された高周波信号は電力分岐部にて2分岐され、分岐された信号は各々FET15a, 15bのゲート電極15aG, 15bGに入力され、これらのFET15a, 15bにて増幅された後、ドレイン電極15aD, 15bDから出力される。その後、これらのFETで増幅された信号は、電力合成部にて電力合成され出力部に送られ、外部に出力される。

【0015】

本発明のこの実施形態において、入力部のインピーダンスは通常50Ωであるが、電力分岐部において、導体が分岐されており、各々の線路におけるインピーダンスは70.75Ω程度となり、上記入力部のインピーダンスより高くなり、それが並列接続されることになるので、インピーダンス整合の観点からは好ましい。同様に、電力合成部の各線路におけるインピーダンスは70.75Ω程度となり、出力部のインピーダンスは50Ωであるからこの部分においてもインピーダンス整合は良好である。

30

【0016】

以上述べたように、上記実施形態のMMICではバイアホールを形成する必要がないので、半導体基板にシリコンカーバイドなどの硬い材料を用いる場合でも容易にモノリシック化が可能となる。

【0017】

近年、FET部の能動領域に窒化ガリウムなどの材料を用いた半導体は、基板にシリコンカーバイドなどの硬い材料を使用することが多く、窒化ガリウムを使用したモノリシックマイクロ波集積回路の実現が容易となる。

40

【0018】

なお上記実施形態では、半導体基板上にFETを形成したMMICについて説明した。しかし本発明はFETだけに限られず、HEMT、HFET、HBTなどその他の3端子増幅素子を構成するMMICに同様に適用することが可能である。

【0019】

本発明は上記実施形態に限定されるものではなく、本発明の技術思想の範囲内で種々変形して実施可能である。

50

【図面の簡単な説明】

【 0 0 2 0 】

【図 1】本発明一実施形態による M M I C の全体の構成を示す図。

【図 2】従来の M M I C の構成例を示す図。

【符号の説明】

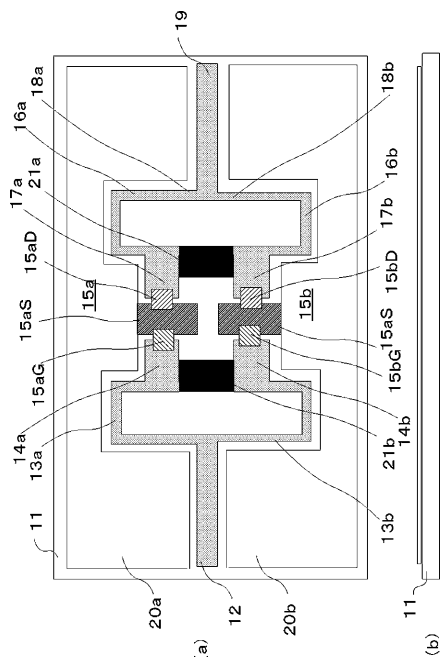
【 0 0 2 1 】

1 1 , 2 1 . . . 半 導 体 基 板、
 1 2 . . . 入 力 導 体、
 1 3 a , 1 3 b . . . 分 岐 部 導 体、
 1 4 a , 1 4 b . . . 出 力 分 岐 端、
 1 5 a , 1 5 b . . . 電 界 効 果 ト ラ ン ジ ス タ (F E T)、
 1 5 a S , 1 5 b S , 2 3 S . . . ソ ー ス 電 極、
 1 5 a G , 1 5 b G , 2 3 G . . . ゲ ー ト 電 極、
 1 5 a D , 1 5 b D , 2 3 D . . . ド レ イ ン 電 極、
 2 1 a , 2 1 b . . . 終 端 抵 抗、
 1 6 a , 1 6 b . . . 合 成 部 導 体、
 1 7 a , 1 7 b . . . 入 力 分 岐 端、
 1 8 a , 1 8 b . . . 出 力 合 成 端、
 1 9 . . . 出 力 導 体、
 2 0 a , 2 0 b , 2 2 . . . 接 地 導 体、
 2 4 . . . バ イ ア ホ ー ル、
 2 5 . . . 上 部 電 極、
 2 6 . . . R F 電 力 分 配 導 体、
 2 7 . . . R F 電 力 合 成 導 体。

10

20

【図 1】



【図 2】

