(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年12月27日(27.12.2018)

WIPO | PCT

(10) 国際公開番号
WO 2018/235360 A1

(51) 国際特許分類:
H04N 5/374 (2011.01) *H04N 5/376* (2011.01)

(21) 国際出願番号： PCT/JP2018/010898

(22) 国際出願日： 2018年3月19日(19.03.2018)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2017-123730 2017年6月23日(23.06.2017) JP

(71) 出願人:シャープ株式会社(**SHARP KABUSHIKI KAISHA**) [JP/JP]; 〒5908522 大阪府堺市堺区匠町１番地 Osaka (JP).

(72) 発明者: 田口 滋也 (**TAGUCHI, Shigenari**). 飯塚 邦彦 (**IIZUKA, Kunihiko**). 進藤 剛宏 (**SHINDOH, Takahiro**).

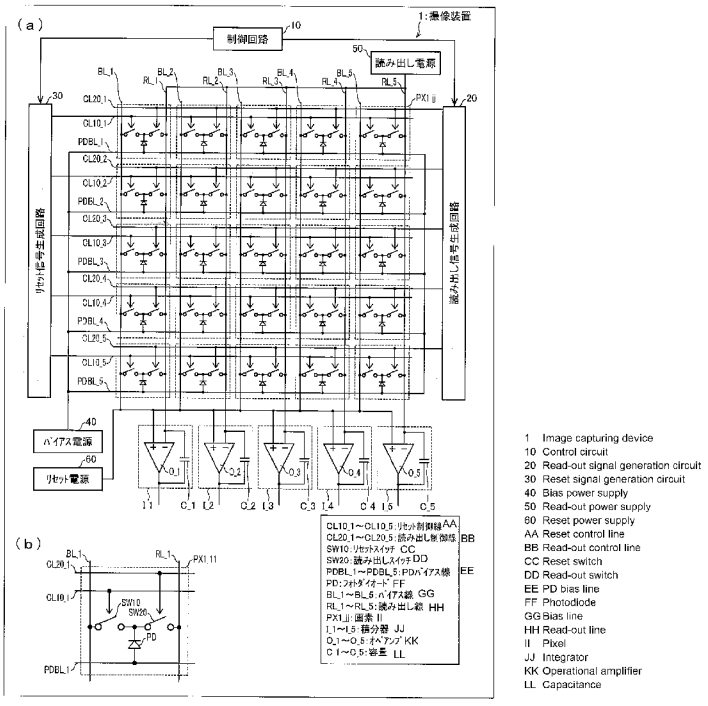
(74) 代理人: 特許業務法人ＨＡＲＡＫＥＮＺＯ ＷＯＲＬＤ ＰＡＴＥＮＴ ＆ ＴＲＡＤＥＭＡＲＫ (**HARAKENZO WORLD PATENT & TRADEMARK**); 〒5300041 大阪府大阪市北区天神橋２丁目北２番６号 大和南森町ビル Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,

(54) **Title:** IMAGE CAPTURING DEVICE

(54) 発明の名称： 撮像装置

図 1



(57) **Abstract:** An image capturing device (1) is provided with a read-out signal generation circuit (20) and a reset signal generation circuit (30). While the read-out signal generation circuit (20) is reading out charge accumulated in photodiodes (PD), the reset signal generation circuit (30) removes charge remaining in the photodiodes (PD) for a row of pixels (PX1_ij) different from the row of pixels (PX1_ij) from which the charge is read out by the read-out signal generation circuit (20).

WO 2018/235360 A1

［続葉有］

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約:撮像装置(1)は、読み出し信号生成回路(20)と、リセット信号生成回路(30)とを備え、読み出し信号生成回路(20)がフォトダイオード(PD)に蓄積された電荷を読み出している間に、リセット信号生成回路(30)は、読み出し信号生成回路(20)によって電荷の読み出しが行われている画素(PX1_ij)の行とは別の画素(PX1_ij)の行を対象として、フォトダイオード(PD)に残留した電荷を除去する。

明　細　書

発明の名称 ： 撮像装置

技術分野

[0001] 本発明は撮像装置に関する。

背景技術

[0002] ＣＭＯＳ（Complementary Metal Oxide Semiconductor）型固体撮像装置には大きく分けて、ＡＰＳ（Active Pixel Sensor）方式とＰＰＳ（Passive Pixel Sensor）方式とがある。医療用または非破壊検査用などのＸ線撮像装置では回路構造が簡単であることから、ＰＰＳ方式の撮像方式が採用されていることが多い。

[0003] 撮像装置は、複数の画素（ピクセル）を２次元的に並べて配置した撮像部を有している。ＰＰＳ方式では、１つの画素に光電変換部と、その光電変換部と読み出し線との導通／非導通を制御するスイッチとが設けられる。また、ＰＰＳ方式では、１つの画素は画素の列ごとに設けられた各読み出し線と接続されている。

[0004] 各画素のフォトダイオード（光電変換素子）に蓄積された電荷の読み出しは行ごとに行われ、選択された行の読み出しスイッチがＯＮになると、選択された行の画素のフォトダイオードに蓄積された電荷が読み出し線を介して、撮像装置の読み出し部に供給される。撮像装置の読み出し部に電荷が供給されることにより画素のフォトダイオードに蓄積された電荷は除去される。

[0005] しかし、読み出し時間が短い場合、電荷が画素のフォトダイオードに残留することがある。電荷がフォトダイオードに残留する場合、次の読み出し時に残留した電荷が読み出されることになるので、撮像装置は正確な画像を表示することができない。

[0006] また、撮像装置が備えるフォトダイオードの種類によっては、撮像部への光の照射が終わった後、フォトダイオードに電荷の発生がしばらく続く場合がある。この場合、撮像装置の読み出し部に電荷が供給されていても、本来

暗く検出されるべき画素において光が照射されていると誤検出されるという問題がある。

[0007] この問題を解決するために、例えば、特許文献１に開示されている光電変換装置は、光を電荷として蓄積する電荷蓄積部に蓄積された電荷を読み出す読み出し制御部を備える。また、特許文献１に開示されている光電変換装置は、読み出し信号ラインに接続され、電荷蓄積部に残留した電荷を読み出し信号ライン単位で放電するリセット部を備える。

[0008] また、特許文献２に開示されている固体撮像装置は、画素リセットスイッチによりフォトダイオードに残留した電荷を除去した後、光電変換された電荷をフォトダイオードに蓄積し、フォトダイオードに蓄積された電荷を読み出す。

先行技術文献

特許文献

[0009] 特許文献1：日本国公開特許公報「特開２０１０－０１１０３３号公報（２０１０年１月１４日公開）」

特許文献2：日本国公開特許公報「特開２００３－２９８９４２号公報（２００３年１０月１７日公開）」

発明の概要

発明が解決しようとする課題

[0010] 特許文献１に開示されている光電変換装置、及び特許文献２に開示されている固体撮像装置では、電荷の読み出し処理の前に、フォトダイオードに残留する電荷を除去する処理が必要になるので、電荷の読み出し処理を高速に行うことができないという問題がある。

[0011] 本発明の一態様は、電荷の読み出し処理を高速に行うことを実現することを目的とする。

課題を解決するための手段

[0012] 上記の課題を解決するために、本発明の一態様に係る撮像装置は、光の量

に応じた電荷を蓄積する光電変換素子を含む画素が２次元的に複数配置された撮像装置において、前記画素と接続する読み出し制御線に、前記画素の行ごとに読み出し信号を出力することにより前記光電変換素子に蓄積された電荷を読み出す読み出し回路と、前記画素と接続するリセット制御線に、前記画素の行ごとにリセット信号を出力することにより前記光電変換素子に残留した電荷を除去するリセット回路とを備え、前記読み出し回路が前記光電変換素子に蓄積された電荷を読み出している間に、前記リセット回路は、前記読み出し回路によって前記光電変換素子に蓄積された電荷の読み出しが行われている前記画素の行とは別の前記画素の行を対象として、前記光電変換素子に残留した電荷を除去する。

発明の効果

[0013] 本発明の一態様によれば、電荷の読み出し処理を高速に行うことができるという効果を奏する。

図面の簡単な説明

[0014] [図1]（ａ）は本発明の実施形態１に係る撮像装置の構成を示すブロック図であり、（ｂ）は（ａ）に示す画素の内部構造を示す回路図である。

[図2]（ａ）は図１に示す撮像装置の構成の一例を示すブロック図であり、（ｂ）は（ａ）に示す画素の内部構造を示す回路図である。

[図3]図１に示す撮像装置のスイッチ動作の一例を示す図である。

[図4]図１に示す撮像装置のスイッチ動作の他の一例を示す図である。

[図5]図１に示す撮像装置のリセット制御線及び読み出し制御線の信号波形を示すタイミングチャートである。

[図6]図１に示す撮像装置のリセット制御線及び読み出し制御線の他の信号波形を示すタイミングチャートである。

[図7]（ａ）は残留した電荷を除去していない場合のＰＤの電位、積分器出力、及び読み出し信号の信号波形を示す図であり、（ｂ）は残留した電荷を除去した場合のＰＤの電位、積分器出力、並びに読み出し信号及びリセット信号の信号波形を示す図である。

[図8]本発明の実施形態２に係る撮像装置のリセット制御線及び読み出し制御線の信号波形を示すタイミングチャートである。

[図9]本発明の実施形態３に係る撮像装置のリセット制御線及び読み出し制御線の信号波形を示すタイミングチャートである。

[図10]（ａ）は本発明の実施形態４に係る撮像装置の構成を示すブロック図の一例であり、（ｂ）は（ａ）に示す画素の内部構造を示す回路図である。

[図11]本発明の実施形態６に係る撮像装置の構成を示すブロック図の一例である。

[図12]本発明の実施形態６に係る撮像装置の他の構成を示すブロック図の一例である。

発明を実施するための形態

[0015] 〔実施形態１〕

本発明の実施形態について、図１～図７に基づいて説明すれば、以下の通りである。図１の（ａ）は本発明の実施形態１に係る撮像装置１の構成を示すブロック図であり、図１の（ｂ）は図１の（ａ）に示す画素ＰＸ１＿ｉｊの内部構造を示す回路図である。

[0016] （撮像装置１の構成）

撮像装置１は、図１の（ａ）に示すように、画素ＰＸ１＿ｉｊ（ｉ及びｊは１以上５以下の整数）が２次元的に複数配置された構造を備え、積分器Ｉ＿１～Ｉ＿５を備えている。また、撮像装置１は、制御回路１０、読み出し信号生成回路２０（読み出し回路）、リセット信号生成回路３０（リセット回路）、バイアス電源４０、読み出し電源５０、及びリセット電源６０を備えている。撮像装置１は、被写体に対する照射を経た光の量に応じた画像を撮像するものである。また、撮像装置１は、入射した放射線の線量を検出する放射線検出器、入射した光を電力に変換する光電変換パネル、または入射したＸ線の線量を検出するＸ線検出器であってもよい。

[0017] ここで、図１の（ａ）に示す画素ＰＸ１＿ｉｊが複数配置された領域において、左から１列目、２列目、３列目、４列目、及び５列目とし、上から１

行目、２行目、３行目、４行目、及び５行目とする。１～５行目はそれぞれ、ｉが１～５であることを示し、１～５列目はそれぞれ、ｊが１～５であることを示す。例えば、１行目及び４列目に該当する画素ＰＸ１＿ｉｊを、画素ＰＸ１＿１４と表記し、３行目及び５列目に該当する画素ＰＸ１＿ｉｊを、画素ＰＸ１＿３５と表記する。

[0018] 画素ＰＸ１＿ｉｊの内部構造について図１の（ｂ）に基づいて説明する。ここでは、複数の画素ＰＸ１＿ｉｊの中から、画素ＰＸ１＿１１を選択して説明している。つまり、図１の（ｂ）は、画素ＰＸ１＿１１の内部構造を示す回路図である。他の画素ＰＸ１＿ｉｊも、画素ＰＸ１＿１１と同様の構造を有している。画素ＰＸ１＿１１は、図１の（ｂ）に示すように、フォトダイオードＰＤ（光電変換素子）、リセットスイッチＳＷ１０、及び読み出しスイッチＳＷ２０が設けられる。また、画素ＰＸ１＿１１には、リセット制御線ＣＬ１０＿１、読み出し制御線ＣＬ２０＿１、ＰＤバイアス線ＰＤＢＬ＿１、バイアス線ＢＬ＿１、及び読み出し線ＲＬ＿１が通過する。

[0019] ここで、リセットスイッチＳＷ１０及び読み出しスイッチＳＷ２０が第１端子、第２端子、及び第３端子を備えているものとする。リセットスイッチＳＷ１０の第１端子はバイアス線ＢＬ＿１と接続され、リセットスイッチＳＷ１０の第２端子はフォトダイオードＰＤのカソード電極及び読み出しスイッチＳＷ２０の第１端子と接続されている。読み出しスイッチＳＷ２０の第２端子は読み出し線ＲＬ＿１と接続されている。フォトダイオードＰＤのアノード電極はＰＤバイアス線ＰＤＢＬ＿１と接続されている。リセットスイッチＳＷ１０の第３端子はリセット制御線ＣＬ１０＿１と接続され、リセットスイッチＳＷ１０は、リセット制御線ＣＬ１０＿１から供給されるリセット信号によってＯＮ／ＯＦＦを制御される。読み出しスイッチＳＷ２０の第３端子は読み出し制御線ＣＬ２０＿１と接続され、読み出しスイッチＳＷ２０は、読み出し制御線ＣＬ２０＿１から供給される読み出し信号によってＯＮ／ＯＦＦを制御される。フォトダイオードＰＤにおいては、フォトダイオードを用いることに限定されず、光電変換素子であれば他のものを用いても

よい。フォトダイオードＰＤは容量を含み、入射した光の量に応じた電荷を蓄積する。

[0020] 画素ＰＸ１＿ｉｊの各行には、リセット制御線ＣＬ１０＿１～ＣＬ１０＿５、読み出し制御線ＣＬ２０＿１～ＣＬ２０＿５、及びＰＤバイアス線ＰＤＢＬ＿１～ＰＤＢＬ＿５が設けられている。画素ＰＸ１＿ｉｊの各列には、バイアス線ＢＬ＿１～ＢＬ＿５及び読み出し線ＲＬ＿１～ＲＬ＿５が設けられている。

[0021] 制御回路１０は、読み出し信号生成回路２０に読み出し信号を供給するように指示し、リセット信号生成回路３０にリセット信号を供給するように指示する。

[0022] 読み出し信号生成回路２０は、読み出し制御線ＣＬ２０＿１～ＣＬ２０＿５を介して、画素ＰＸ１＿ｉｊの行ごとに読み出し信号を供給する。したがって、同一行に属する５つの画素ＰＸ１＿ｉｊである画素ＰＸ１＿１１～画素ＰＸ１＿１５に設けられた読み出しスイッチＳＷ２０は、読み出し制御線ＣＬ２０＿１を介して供給される読み出し信号によって制御される。

[0023] 画素ＰＸ１＿２１～画素ＰＸ１＿２５に設けられた読み出しスイッチＳＷ２０は、読み出し制御線ＣＬ２０＿２を介して供給される読み出し信号によって制御される。画素ＰＸ１＿３１～画素ＰＸ１＿３５に設けられた読み出しスイッチＳＷ２０は、読み出し制御線ＣＬ２０＿３を介して供給される読み出し信号によって制御される。画素ＰＸ１＿４１～画素ＰＸ１＿４５に設けられた読み出しスイッチＳＷ２０は、読み出し制御線ＣＬ２０＿４を介して供給される読み出し信号によって制御される。画素ＰＸ１＿５１～画素ＰＸ１＿５５に設けられた読み出しスイッチＳＷ２０は、読み出し制御線ＣＬ２０＿５を介して供給される読み出し信号によって制御される。読み出しスイッチＳＷ２０はスイッチング素子である。

[0024] リセット信号生成回路３０は、リセット制御線ＣＬ１０＿１～ＣＬ１０＿５を介して、画素ＰＸ１＿ｉｊの行ごとにリセット信号を供給する。したがって、同一行に属する５つの画素ＰＸ１＿ｉｊである画素ＰＸ１＿１１～画

素ＰＸ１＿１５に設けられたリセットスイッチＳＷ１０は、リセット制御線ＣＬ１０＿１を介して供給されるリセット信号によって制御される。リセットスイッチＳＷ１０はスイッチング素子である。

[0025] 画素ＰＸ１＿２１～画素ＰＸ１＿２５に設けられたリセットスイッチＳＷ１０は、リセット制御線ＣＬ１０＿２を介して供給されるリセット信号によって制御される。画素ＰＸ１＿３１～画素ＰＸ１＿３５に設けられたリセットスイッチＳＷ１０は、リセット制御線ＣＬ１０＿３を介して供給されるリセット信号によって制御される。画素ＰＸ１＿４１～画素ＰＸ１＿４５に設けられたリセットスイッチＳＷ１０は、リセット制御線ＣＬ１０＿４を介して供給されるリセット信号によって制御される。画素ＰＸ１＿５１～画素ＰＸ１＿５５に設けられたリセットスイッチＳＷ１０は、リセット制御線ＣＬ１０＿５を介して供給されるリセット信号によって制御される。

[0026] バイアス電源４０は、ＰＤバイアス線ＰＤＢＬ＿１～ＰＤＢＬ＿５を介して、所定のバイアス電位をフォトダイオードＰＤのアノード電極に印加する。

[0027] 読み出し電源５０は、読み出し線ＲＬ＿１～ＲＬ＿５を介して、所定の電位を読み出しスイッチＳＷ２０の第２端子及びオペアンプＯ＿１～Ｏ＿５それぞれのマイナス端子に印加する。

[0028] リセット電源６０は、バイアス線ＢＬ＿１～ＢＬ＿５を介して、リセット電位をリセットスイッチＳＷ１０の第１端子及びオペアンプＯ＿１～Ｏ＿５それぞれのプラス端子に印加する。

[0029] 積分器Ｉ＿１～Ｉ＿５はそれぞれ、読み出し線ＲＬ＿１～ＲＬ＿５に接続されている。積分器Ｉ＿１～Ｉ＿５はそれぞれ、オペアンプＯ＿１～Ｏ＿５及び容量Ｃ＿１～Ｃ＿５を備えている。例えば、積分器Ｉ＿１はオペアンプＯ＿１及び容量Ｃ＿１を備えており、積分器Ｉ＿２はオペアンプＯ＿２及び容量Ｃ＿２を備えている。他の積分器も同様にオペアンプ及び容量を備えている。積分器Ｉ＿１～Ｉ＿５は、電荷の読み出し時にヴァーチャルショートによって、出力する電位が決定される構成である。

[0030] 図２の（ａ）及び（ｂ）に示すように、リセットスイッチＳＷ１０には、リセットトランジスタＴＦＴ１０を用いてもよく、読み出しスイッチＳＷ２０には、読み出しトランジスタＴＦＴ２０を用いてもよい。図２の（ａ）は撮像装置１の構成の一例を示すブロック図であり、（ｂ）は（ａ）に示す画素ＰＸ１＿ｉｊの内部構造を示す回路図である。

[0031] （撮像装置１の動作）

次に、撮像装置１の動作について図３に基づいて説明する。図３は、撮像装置１のスイッチ動作の一例を示す図である。例えば、読み出し信号生成回路２０が、画素ＰＸ１＿ｉｊの４行目（画素ＰＸ１＿４１～画素ＰＸ１＿４５）のフォトダイオードＰＤに蓄積された電荷を読み出す場合を考える。この場合、図３に示すように、読み出し信号生成回路２０は、読み出し制御線ＣＬ２０＿４を介して、画素ＰＸ１＿ｉｊの４行目の読み出しスイッチＳＷ２０に読み出し信号を供給する。画素ＰＸ１＿ｉｊの４行目の読み出しスイッチＳＷ２０は、読み出し信号生成回路２０から読み出し信号が供給されるとＯＮになる。画素ＰＸ１＿ｉｊの４行目の読み出しスイッチＳＷ２０がＯＮになると、フォトダイオードＰＤに蓄積された電荷が読み出しスイッチＳＷ２０、読み出し線ＲＬ＿１～ＲＬ＿５、及び積分器Ｉ＿１～Ｉ＿５を介して読み出される。例えば、画素ＰＸ１＿４１に設けられたフォトダイオードＰＤに蓄積された電荷は、読み出しスイッチＳＷ２０、読み出し線ＲＬ＿１、及び積分器Ｉ＿１を介して読み出される。よって、読み出し信号生成回路２０は、読み出し制御線ＣＬ２０＿４に読み出し信号を供給することにより、画素ＰＸ１＿ｉｊの４行目のフォトダイオードＰＤに蓄積された電荷を読み出す。

[0032] なお、読み出し信号生成回路２０が、画素ＰＸ１＿ｉｊの４行目のフォトダイオードＰＤに蓄積された電荷を読み出す間、画素ＰＸ１＿ｉｊの４行目のリセットスイッチＳＷ１０はＯＦＦの状態である。また、画素ＰＸ１＿ｉｊの１行目、２行目、３行目、及び５行目の読み出しスイッチＳＷ２０はＯＦＦの状態である。

[0033] 読み出し信号生成回路２０が、画素ＰＸ１＿ｉｊの４行目のフォトダイオードＰＤに蓄積された電荷を読み出す間、リセット信号生成回路３０は、画素ＰＸ１＿ｉｊの２行目及び３行目のフォトダイオードＰＤに残留した電荷を除去する。具体的には、図３に示すように、リセット信号生成回路３０は、リセット制御線ＣＬ１０＿２・ＣＬ１０＿３を介して、画素ＰＸ１＿ｉｊの２行目及び３行目のリセットスイッチＳＷ１０にリセット信号を供給する。画素ＰＸ１＿ｉｊの２行目及び３行目のリセットスイッチＳＷ１０は、リセット信号生成回路３０からリセット信号を供給されるとＯＮになる。画素ＰＸ１＿ｉｊの２行目及び３行目のリセットスイッチＳＷ１０がＯＮになると、フォトダイオードＰＤに残留した電荷がリセットスイッチＳＷ１０及びバイアス線ＢＬ＿１～ＢＬ＿５を介して除去される。例えば、画素ＰＸ１＿２１に設けられたフォトダイオードＰＤに残留した電荷は、リセットスイッチＳＷ１０及びバイアス線ＢＬ＿１を介して除去される。よって、リセット信号生成回路３０は、リセット制御線ＣＬ１０＿２・ＣＬ１０＿３にリセット信号を供給することにより、画素ＰＸ１＿ｉｊの２行目及び３行目のフォトダイオードＰＤに残留した電荷を除去する。

[0034] なお、リセット信号生成回路３０が、画素ＰＸ１＿ｉｊの２行目及び３行目のフォトダイオードＰＤに残留した電荷を除去する間、画素ＰＸ１＿ｉｊの２行目及び３行目の読み出しスイッチＳＷ２０はＯＦＦの状態である。また、画素ＰＸ１＿ｉｊの１行目、４行目、及び５行目のリセットスイッチＳＷ１０はＯＦＦの状態である。

[0035] また、読み出し信号生成回路２０が、画素ＰＸ１＿ｉｊの４行目のフォトダイオードＰＤに蓄積された電荷を読み出す間、画素ＰＸ１＿ｉｊの１行目及び５行目のリセットスイッチＳＷ１０及び読み出しスイッチＳＷ２０はＯＦＦの状態である。これにより、画素ＰＸ１＿ｉｊの１行目及び５行目のフォトダイオードＰＤには、入射した光の量に応じて電荷が蓄積される。つまり、画素ＰＸ１＿ｉｊの１行目及び５行目は、入射した光の量に応じてフォトダイオードＰＤに電荷を蓄積する状態になっている。

[0036] また、画素ＰＸ１＿ｉｊの４行目のフォトダイオードＰＤに蓄積された電荷が読み出される処理、及び画素ＰＸ１＿ｉｊの２行目及び３行目のフォトダイオードＰＤに残留した電荷が除去される処理が終了すると、以下の処理が行われる。具体的には、読み出し信号生成回路２０が、画素ＰＸ１＿ｉｊの５行目（画素ＰＸ１＿５１～画素ＰＸ１＿５５）のフォトダイオードＰＤに蓄積された電荷を読み出す。図４に示すように、読み出し信号生成回路２０は、読み出し制御線ＣＬ２０＿５を介して、画素ＰＸ１＿ｉｊの５行目の読み出しスイッチＳＷ２０に読み出し信号を供給する。図４は、撮像装置１のスイッチ動作の他の一例を示す図である。画素ＰＸ１＿ｉｊの５行目の読み出しスイッチＳＷ２０は、読み出し信号生成回路２０から読み出し信号が供給されるとＯＮになる。画素ＰＸ１＿ｉｊの５行目の読み出しスイッチＳＷ２０がＯＮになると、フォトダイオードＰＤに蓄積された電荷が読み出しスイッチＳＷ２０、読み出し線ＲＬ＿１～ＲＬ＿５、及び積分器Ｉ＿１～Ｉ＿５を介して読み出される。例えば、画素ＰＸ１＿５１に設けられたフォトダイオードＰＤに蓄積された電荷は、読み出しスイッチＳＷ２０、読み出し線ＲＬ＿１、及び積分器Ｉ＿１を介して読み出される。よって、読み出し信号生成回路２０は、読み出し制御線ＣＬ２０＿５に読み出し信号を供給することにより、画素ＰＸ１＿ｉｊの５行目のフォトダイオードＰＤに蓄積された電荷を読み出す。

[0037] なお、読み出し信号生成回路２０が、画素ＰＸ１＿ｉｊの５行目のフォトダイオードＰＤに蓄積された電荷を読み出す間、画素ＰＸ１＿ｉｊの５行目のリセットスイッチＳＷ１０はＯＦＦの状態である。また、画素ＰＸ１＿ｉｊの１～４行目の読み出しスイッチＳＷ２０はＯＦＦの状態である。

[0038] 読み出し信号生成回路２０が、画素ＰＸ１＿ｉｊの５行目のフォトダイオードＰＤに蓄積された電荷を読み出す間、リセット信号生成回路３０は、画素ＰＸ１＿ｉｊの３行目及び４行目のフォトダイオードＰＤに残留した電荷を除去する。具体的には、図４に示すように、リセット信号生成回路３０は、リセット制御線ＣＬ１０＿３・ＣＬ１０＿４を介して、画素ＰＸ１＿ｉｊ

の３行目及び４行目のリセットスイッチＳＷ１０にリセット信号を供給する。画素ＰＸ１＿ｉｊの３行目及び４行目のリセットスイッチＳＷ１０は、リセット信号生成回路３０からリセット信号が供給されるとＯＮになる。画素ＰＸ１＿ｉｊの３行目及び４行目のリセットスイッチＳＷ１０がＯＮになると、フォトダイオードＰＤに残留した電荷がリセットスイッチＳＷ１０及びバイアス線ＢＬ＿１～ＢＬ＿５を介して除去される。例えば、画素ＰＸ１＿３１に設けられたフォトダイオードＰＤに残留した電荷は、リセットスイッチＳＷ１０及びバイアス線ＢＬ＿３を介して除去される。よって、リセット信号生成回路３０は、リセット制御線ＣＬ１０＿３・ＣＬ１０＿４にリセット信号を供給することにより、画素ＰＸ１＿ｉｊの３行目及び４行目のフォトダイオードＰＤに残留した電荷を除去する。

[0039] なお、リセット信号生成回路３０が、画素ＰＸ１＿ｉｊの３行目及び４行目のフォトダイオードＰＤに残留した電荷を除去する間、画素ＰＸ１＿ｉｊの３行目及び４行目の読み出しスイッチＳＷ２０はＯＦＦの状態である。また、画素ＰＸ１＿ｉｊの１行目、２行目、及び５行目のリセットスイッチＳＷ１０はＯＦＦの状態である。

[0040] また、読み出し信号生成回路２０が、画素ＰＸ１＿ｉｊの５行目のフォトダイオードＰＤに蓄積された電荷を読み出す間、画素ＰＸ１＿ｉｊの１行目及び２行目のリセットスイッチＳＷ１０及び読み出しスイッチＳＷ２０はＯＦＦの状態である。これにより、画素ＰＸ１＿ｉｊの１行目及び２行目のフォトダイオードＰＤには、入射した光の量に応じて電荷が蓄積される。つまり、画素ＰＸ１＿ｉｊの１行目及び２行目は、入射した光の量に応じてフォトダイオードＰＤに電荷を蓄積する状態になっている。

[0041] また、撮像装置１では、リセット信号生成回路３０がフォトダイオードＰＤに残留した電荷を除去する時間は、読み出し信号生成回路２０がフォトダイオードＰＤに蓄積された電荷を読み出す時間の２倍になる。これは、電荷の読み出しが画素ＰＸ１＿ｉｊの２行に対して行われるのに対し、残留した電荷の除去が画素ＰＸ１＿ｉｊの１行に対して行われるからである。よって

、リセット信号生成回路３０がフォトダイオードＰＤに残留した電荷を除去する時間は、読み出し信号生成回路２０がフォトダイオードＰＤに蓄積された電荷を読み出す時間よりも長くなる。

[0042] 撮像装置１において読み出し信号及びリセット信号が出力されるタイミングをタイミングチャートで表すと、図５に示すようになる。図５は、撮像装置１のリセット制御線及び読み出し制御線の信号波形を示すタイミングチャートである。具体的には、例えば、読み出し制御線ＣＬ２０＿１に読み出し信号が供給され、画素ＰＸ１＿ｉｊの１行目のフォトダイオードＰＤに蓄積された電荷が読み出される。その後、リセット制御線ＣＬ１０＿１にリセット信号が供給され、画素ＰＸ１＿ｉｊの１行目のフォトダイオードＰＤに残留した電荷が除去される。リセット制御線ＣＬ１０＿１にリセット信号が供給されると同時に、読み出し制御線ＣＬ２０＿２に読み出し信号が供給され、画素ＰＸ１＿ｉｊの２行目のフォトダイオードＰＤに蓄積された電荷が読み出される。その後、リセット制御線ＣＬ１０＿２にリセット信号が供給され、画素ＰＸ１＿ｉｊの２行目のフォトダイオードＰＤに残留した電荷が除去される。リセット制御線ＣＬ１０＿２にリセット信号が供給されると同時に、読み出し制御線ＣＬ２０＿３に読み出し信号が供給され、画素ＰＸ１＿ｉｊの３行目のフォトダイオードＰＤに蓄積された電荷が読み出される。なお、リセット制御線ＣＬ１０＿１へのリセット信号の供給が終わるタイミングは、読み出し制御線ＣＬ２０＿３への読み出し信号の供給が終わるタイミングと同一である。同様にして以降の処理が行われる。前述した、図３の場合における処理は、時間ｔ１及び時間ｔ３に行われる処理に該当し、図４の場合における処理は、時間ｔ２及び時間ｔ４に行われる処理に該当する。

[0043] なお、図５の場合では、フォトダイオードＰＤに残留した電荷の除去の時間が、電荷の読み出しの時間の２倍であった。しかし、図６に示すように、フォトダイオードＰＤに残留した電荷の除去の時間を必ずしも、電荷の読み出しの時間の２倍にする必要はなく、所定時間に設定してもよい。図６は撮像装置１のリセット制御線及び読み出し制御線の他の信号波形を示すタイミ

ングチャートである。

[0044] 撮像装置１では、画素ＰＸ１＿ｉｊの１行に対して電荷の読み出しを行う間、画素ＰＸ１＿ｉｊの他の行に対して電荷の除去を行うので、撮像装置１における撮像時間を大幅に増加させることはなく、電荷の読み出し処理を高速に行うことができる。また、撮像装置１では、フォトダイオードＰＤに残留した電荷の除去を行うので、撮像画像に残像が現れることを防ぐことができる。

[0045] また、ここでは電荷の読み出しが行われる画素ＰＸ１＿ｉｊの行と、電荷の除去が行われる画素ＰＸ１＿ｉｊの行とが隣接している。しかし、電荷の読み出しが行われる画素ＰＸ１＿ｉｊの行と、電荷の除去が行われる画素ＰＸ１＿ｉｊの行とは必ずしも隣接している必要はない。

[0046] （撮像装置１の出力結果について）

次に撮像装置１の出力結果について図７に基づいて説明する。図７の（ａ）は残留した電荷を除去していない場合のＰＤの電位、積分器出力、及び読み出し信号の信号波形を示す図である。図７の（ｂ）は残留した電荷を除去した場合のＰＤの電位、積分器出力、並びに読み出し信号及びリセット信号の信号波形を示す図である。図７の（ａ）及び（ｂ）において右方向は時間である。

[0047] 画素ＰＸ１＿ｉｊのフォトダイオードＰＤに、異なる時間に同一の量の光が入射したとしても、画素ＰＸ１＿ｉｊから同一の電荷が読み出されるべきである。しかし、フォトダイオードＰＤに残留した電荷を除去しない場合、同一の電荷が読み出されないことがある。フォトダイオードＰＤに残留した電荷を除去しない場合、電荷の読み出し処理が終わった後、フォトダイオードＰＤに電荷が残留する。フォトダイオードＰＤに電荷が残留していると、図７の（ａ）に示すように、フォトダイオードＰＤの電位、及び積分器の出力が時間によって変化する。具体的には、例えば、画素ＰＸ１＿１１のフォトダイオードＰＤに同一の量の光が入射していたとしても、画素ＰＸ１＿１１において積分器Ｉ＿１の出力が、時間が経過するにつれて大きくなる（読

み出される電荷が多くなる）。また、時間が経過するにつれて、フォトダイオードＰＤの電位が大きくなる。フォトダイオードＰＤに残留した電荷が次の読み出し時に読み出されることになるので、フォトダイオードＰＤに残留した電荷の影響が、撮像装置１が撮像する撮像画像に残像として現れる。

[0048] そこで、撮像装置１の各画素ＰＸ１＿ｉｊにおいては、電荷の蓄積、電荷の読み出し、及びフォトダイオードＰＤに残留した電荷の除去の順に処理が行われた後、再度、電荷の蓄積から処理が行われる。

[0049] 図７の（ｂ）に示すように、読み出し信号生成回路２０が読み出し信号を供給した後、リセット信号生成回路３０がリセット信号を供給することにより、フォトダイオードＰＤに電荷が残留していたとしても、フォトダイオードＰＤに残留した電荷は除去される。よって、例えば、画素ＰＸ１＿１１のフォトダイオードＰＤに同一の量の光が入射していた場合、画素ＰＸ１＿１１において時間が経過しても、積分器Ｉ＿１の出力が変わらない（読み出される電荷の量が変わらない）。このため、フォトダイオードＰＤに残留した電荷の影響が、撮像装置１が撮像する撮像画像に残像として現れることを防ぐことができる。

[0050] 〔実施形態２〕

本発明の他の実施形態について、図８に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。図８は本発明の実施形態２に係る撮像装置のリセット制御線及び読み出し制御線の信号波形を示すタイミングチャートである。

[0051] 図８に示すように、例えば、読み出し制御線ＣＬ２０＿１に読み出し信号が供給され、画素ＰＸ１＿ｉｊの１行目のフォトダイオードＰＤに蓄積された電荷が読み出された後、リセット制御線ＣＬ１０＿１にパルス状のリセット信号が供給されてもよい。つまり、リセット制御線ＣＬ１０＿１に複数回のパルス状のリセット信号（図８では８回のパルス状のリセット信号）が供給されてもよい。リセット制御線ＣＬ１０＿１に、図６に示すようなリセッ

ト信号を供給する場合よりも、リセット制御線ＣＬ１０＿１に、図８に示すようなパルス状のリセット信号を供給する場合の方が、容易に実現が可能である。よって、リセット制御線ＣＬ１０＿１に供給する信号を、パルス状のリセット信号にすることにより、電荷の読み出し処理を高速に行う撮像装置を、より容易に実現することができる。

[0052] 〔実施形態３〕

本発明の他の実施形態について、図９に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。図９は本発明の実施形態３に係る撮像装置のリセット制御線及び読み出し制御線の信号波形を示すタイミングチャートである。

[0053] フォトダイオードＰＤに蓄積された電荷の読み出しの処理速度を上げる場合、画素ＰＸ１＿ｉｊの複数行に対して同時に電荷の読み出しを行ってもよい。例えば、画素ＰＸ１＿ｉｊの２行に対して同時に電荷の読み出しを行う場合、図９に示す処理になる。具体的には、読み出し制御線ＣＬ２０＿１及び読み出し制御線ＣＬ２０＿２に読み出し信号が同時に供給される。これにより、画素ＰＸ１＿ｉｊの１行目及び２行目のフォトダイオードＰＤに蓄積された電荷が同時に読み出される。

[0054] その後、リセット制御線ＣＬ１０＿１及びリセット制御線ＣＬ１０＿２にリセット信号が同時に供給される。これにより、画素ＰＸ１＿ｉｊの１行目及び２行目のフォトダイオードＰＤに残留した電荷が除去される。また、リセット制御線ＣＬ１０＿１及びリセット制御線ＣＬ１０＿２にリセット信号が供給されると同時に、読み出し制御線ＣＬ２０＿３及び読み出し制御線ＣＬ２０＿４に読み出し信号が同時に供給される。これにより、画素ＰＸ１＿ｉｊの３行目及び４行目のフォトダイオードＰＤに蓄積された電荷が同時に読み出される。同様にして以降の処理が行われる。

[0055] なお、画素ＰＸ１＿ｉｊの複数行に対して電荷の読み出しを同時に行うと、読み出された電荷はそれぞれどちらの行のフォトダイオードＰＤから読み

出された電荷であるかが分からなくなる。例えば、画素ＰＸ１＿ｉｊの１行目及び２行目に対して電荷の読み出しを同時に行う場合を考える。この場合、画素ＰＸ１＿ｉｊの１行目から読み出した電荷をＱ１、画素ＰＸ１＿ｉｊの２行目から読み出した電荷をＱ２とすれば、読み出された電荷はＱ１＋Ｑ２となる。よって、読み出された電荷は、画素ＰＸ１＿ｉｊの１行目及び２行目のうち、どちらの行のフォトダイオードＰＤから読み出された電荷であるかが分からなくなる。しかし、画素ＰＸ１＿ｉｊの２行に対して電荷を読み出せば、１枚の撮像画像を撮像するデータの読み出しに要する時間は１／２になる。

[0056] つまり、画素ＰＸ１＿ｉｊのｍ（ｍは自然数）行に対して電荷の読み出しを同時に行うと、１行に対して電荷を読み出す場合と比べて、解像度は１／ｍ倍になるが、電荷の読み出しに要する時間は１／ｍ倍になり、電荷の読み出しの処理速度を上げることができる。よって、撮像画像の解像度よりも、電荷の読み出しの処理速度を優先させたい場合に有効である。

[0057] 〔実施形態４〕

本発明の他の実施形態について、図１０に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。図１０の（ａ）は本発明の実施形態４に係る撮像装置２の構成を示すブロック図の一例であり、図１０の（ｂ）は図１０の（ａ）に示す画素ＰＸ２＿ｉｊの内部構造を示す回路図である。

[0058] （撮像装置２の構成）

撮像装置２は、図１０の（ａ）に示すように、撮像装置１と比べて、画素ＰＸ１＿ｉｊに代えて画素ＰＸ２＿ｉｊ（ｉ及びｊは１以上５以下の整数）が２次元的に複数配置された構造を備える点が異なる。また、撮像装置２は、撮像装置１と比べて、リセット信号生成回路３０がリセット信号生成回路３１に変更されている点、及びリセット電源６０に代えて第１リセット電源６１（電源）及び第２リセット電源６２（電源）を備えている点が異なる。

[0059] ここで、図１０の（ａ）に示す画素ＰＸ２＿ｉｊが複数配置された領域において、左から１列目、２列目、３列目、４列目、及び５列目とし、上から１行目、２行目、３行目、４行目、及び５行目とする。１～５行目はそれぞれ、ｉが１～５であることを示し、１～５列目はそれぞれ、ｊが１～５であることを示す。例えば、１行目及び４列目に該当する画素ＰＸ２＿ｉｊを、画素ＰＸ２＿１４と表記し、３行目及び５列目に該当する画素ＰＸ２＿ｉｊを、画素ＰＸ２＿３５と表記する。

[0060] 画素ＰＸ２＿ｉｊの内部構造について図１０の（ｂ）に基づいて説明する。ここでは、複数の画素ＰＸ２＿ｉｊの中から、画素ＰＸ２＿１１を選択して説明している。つまり、図１０の（ｂ）は、画素ＰＸ２＿１１の内部構造を示す回路図である。他の画素ＰＸ２＿ｉｊも、画素ＰＸ２＿１１と同様の構造を有している。画素ＰＸ２＿１１は、図１０の（ｂ）に示すように、画素ＰＸ１＿１１と比べて、リセットトランジスタＴＦＴ１０に代えて第１リセットトランジスタＴＦＴ１１（スイッチング素子）及び第２リセットトランジスタＴＦＴ１２（スイッチング素子）が設けられている点が異なる。また、画素ＰＸ２＿１１には、画素ＰＸ１＿１１と比べて、リセット制御線ＣＬ１０＿１に代えて第１リセット制御線ＣＬ１１＿１及び第２リセット制御線ＣＬ１２＿１が通過する点が異なる。さらに、画素ＰＸ２＿１１には、画素ＰＸ１＿１１と比べて、バイアス線ＢＬ＿１に代えて第１バイアス線ＢＬ１＿１及び第２バイアス線ＢＬ２＿１が通過する点が異なる。

[0061] ここで、第１リセットトランジスタＴＦＴ１１、第２リセットトランジスタＴＦＴ１２、及び読み出しトランジスタＴＦＴ２０はソース電極、ゲート電極、及びドレイン電極を備えているものとする。第１リセットトランジスタＴＦＴ１１及び第２リセットトランジスタＴＦＴ１２のソース電極はバイアス線ＢＬ＿１と接続される。第１リセットトランジスタＴＦＴ１１及び第２リセットトランジスタＴＦＴ１２のドレイン電極はフォトダイオードＰＤのカソード電極及び読み出しトランジスタＴＦＴ２０のドレイン電極と接続されている。読み出しトランジスタＴＦＴ２０のソース電極は読み出し線Ｒ

Ｌ＿１と接続されている。フォトダイオードＰＤのアノード電極はＰＤバイアス線ＰＤＢＬ＿１と接続されている。第１リセットトランジスタＴＦＴ１１のゲート電極は第１リセット制御線ＣＬ１１＿１と接続され、第１リセットトランジスタＴＦＴ１１は、第１リセット制御線ＣＬ１１＿１から供給される第１リセット信号によってＯＮ／ＯＦＦを制御される。第２リセットトランジスタＴＦＴ１２のゲート電極は第２リセット制御線ＣＬ１２＿１と接続され、第２リセットトランジスタＴＦＴ１２は、第２リセット制御線ＣＬ１２＿１から供給される第２リセット信号によってＯＮ／ＯＦＦを制御される。読み出しトランジスタＴＦＴ２０のゲート電極は読み出し制御線ＣＬ２０＿１と接続され、読み出しトランジスタＴＦＴ２０は、読み出し制御線ＣＬ２０＿１から供給される読み出し信号によってＯＮ／ＯＦＦを制御される。

[0062] 画素ＰＸ２＿ｉｊの各行には、第１リセット制御線ＣＬ１１＿１～ＣＬ１１＿５、第２リセット制御線ＣＬ１２＿１～ＣＬ１２＿５、読み出し制御線ＣＬ２０＿１～ＣＬ２０＿５、及びＰＤバイアス線ＰＤＢＬ＿１～ＰＤＢＬ＿５が設けられている。画素ＰＸ２＿ｉｊの各列には、第１バイアス線ＢＬ１＿１～ＢＬ１＿５、第２バイアス線ＢＬ２＿１～ＢＬ２＿５、及び読み出し線ＲＬ＿１～ＲＬ＿５が設けられている。

[0063] ここでは、画素ＰＸ２＿ｉｊには、２つのリセットトランジスタ（第１リセットトランジスタＴＦＴ１１及び第２リセットトランジスタＴＦＴ１２）が設けられているが、リセットトランジスタの数は２つに限定されず、３つ以上であってもよい。また、画素ＰＸ２＿ｉｊのリセットトランジスタの数に合わせて、リセット制御線及びバイアス線の本数を変更してもよい。このリセット制御線は、第１リセット制御線ＣＬ１１＿１～ＣＬ１１＿５、及び第２リセット制御線ＣＬ１２＿１～ＣＬ１２＿５と同様の役割のものである。また、このバイアス線は、第１バイアス線ＢＬ１＿１～ＢＬ１＿５、及び第２バイアス線ＢＬ２＿１～ＢＬ２＿５と同様の役割のものである。

[0064] リセット信号生成回路３１は、第１リセット制御線ＣＬ１１＿１～ＣＬ１

１＿５を介して、画素ＰＸ２＿ｉｊの行ごとに第１リセット信号を供給する。また、リセット信号生成回路３１は、第２リセット制御線ＣＬ１２＿１～ＣＬ１２＿５を介して、画素ＰＸ２＿ｉｊの行ごとに第２リセット信号を供給する。同一行に属する５つの画素ＰＸ２＿ｉｊである画素ＰＸ２＿１１～画素ＰＸ２＿１５に設けられた第１リセットトランジスタＴＦＴ１１は、第１リセット制御線ＣＬ１１＿１を介して供給される第１リセット信号によって制御される。また、画素ＰＸ２＿１１～画素ＰＸ２＿１５に設けられた第２リセットトランジスタＴＦＴ１２は、第２リセット制御線ＣＬ１２＿１を介して供給される第２リセット信号によって制御される。

[0065] 画素ＰＸ２＿２１～画素ＰＸ２＿２５に設けられた第１リセットトランジスタＴＦＴ１１は、第１リセット制御線ＣＬ１１＿２を介して供給される第１リセット信号によって制御される。画素ＰＸ１＿３１～画素ＰＸ１＿３５に設けられた第１リセットトランジスタＴＦＴ１１は、第１リセット制御線ＣＬ１１＿３を介して供給される第１リセット信号によって制御される。画素ＰＸ１＿４１～画素ＰＸ１＿４５に設けられた第１リセットトランジスタＴＦＴ１１は、第１リセット制御線ＣＬ１１＿４を介して供給される第１リセット信号によって制御される。画素ＰＸ１＿５１～画素ＰＸ１＿５５に設けられた第１リセットトランジスタＴＦＴ１１は、第１リセット制御線ＣＬ１１＿５を介して供給される第１リセット信号によって制御される。

[0066] また、画素ＰＸ２＿２１～画素ＰＸ２＿２５に設けられた第２リセットトランジスタＴＦＴ１２は、第２リセット制御線ＣＬ１２＿２を介して供給される第２リセット信号によって制御される。画素ＰＸ２＿３１～画素ＰＸ２＿３５に設けられた第２リセットトランジスタＴＦＴ１２は、第２リセット制御線ＣＬ１２＿３を介して供給される第２リセット信号によって制御される。画素ＰＸ２＿４１～画素ＰＸ２＿４５に設けられた第２リセットトランジスタＴＦＴ１２は、第２リセット制御線ＣＬ１２＿４を介して供給される第２リセット信号によって制御される。画素ＰＸ２＿５１～画素ＰＸ２＿５５に設けられた第２リセットトランジスタＴＦＴ１２は、第２リセット制御

線ＣＬ１２＿５を介して供給される第２リセット信号によって制御される。

[0067] 第１リセット電源６１は、第１バイアス線ＢＬ１＿１～ＢＬ１＿５を介して、第１リセット電位を第１リセットトランジスタＴＦＴ１１のソース電極及びオペアンプＯ＿１～Ｏ＿５それぞれのプラス端子に印加する。第２リセット電源６２は、第２バイアス線ＢＬ２＿１～ＢＬ２＿５を介して、第２リセット電位を第２リセットトランジスタＴＦＴ１２のソース電極に印加する。

[0068] （撮像装置２の動作）

次に、撮像装置２の動作について説明する。撮像装置２の動作は、撮像装置１の動作と比べて、フォトダイオードＰＤに残留した電荷を除去する処理が異なる。例えば、リセット信号生成回路３１は、画素ＰＸ１＿ｉｊの２行目及び３行目のフォトダイオードＰＤに残留した電荷を除去する場合を考える。具体的には、リセット信号生成回路３１は、第１リセット制御線ＣＬ１１＿２・ＣＬ１１＿３を介して、画素ＰＸ２＿ｉｊの２行目及び３行目の第１リセットトランジスタＴＦＴ１１に第１リセット信号を供給する。画素ＰＸ２＿ｉｊの２行目及び３行目の第１リセットトランジスタＴＦＴ１１は、リセット信号生成回路３１から第１リセット信号が供給されるとＯＮになる。画素ＰＸ２＿ｉｊの２行目及び３行目の第１リセットトランジスタＴＦＴ１１がＯＮになると、フォトダイオードＰＤに残留した電荷が第１リセットトランジスタＴＦＴ１１及び第１バイアス線ＢＬ１＿１～ＢＬ１＿５を介して除去される。よって、リセット信号生成回路３１は、第１リセット制御線ＣＬ１１＿２・ＣＬ１１＿３に第１リセット信号を供給することにより、フォトダイオードＰＤに残留した電荷を除去する。

[0069] フォトダイオードＰＤに残留した電荷が除去された後、リセット信号生成回路３１は、画素ＰＸ２＿ｉｊの２行目及び３行目の第１リセットトランジスタＴＦＴ１１への第１リセット信号の供給を止める。その後、リセット信号生成回路３１は、画素ＰＸ２＿ｉｊの２行目及び３行目の第２リセットトランジスタＴＦＴ１２に第２リセット信号を供給する。画素ＰＸ２＿ｉｊの

２行目及び３行目の第２リセットトランジスタＴＦＴ１２は、リセット信号生成回路３１から第２リセット信号が供給されるとＯＮになる。画素ＰＸ２＿ｉｊの２行目及び３行目の第２リセットトランジスタＴＦＴ１２がＯＮになると、第２リセット電源６２から第２バイアス線ＢＬ２＿１～ＢＬ２＿５を介して第２リセット電位がフォトダイオードＰＤに印加される。

[0070] なお、第１リセット電位を、フォトダイオードＰＤに順方向バイアスを印加することができるほどの低電圧に設定すれば、フォトダイオードＰＤに残留した電荷を速やかに除去することができる。フォトダイオードＰＤに残留した電荷を速やかに除去した後、フォトダイオードＰＤに第２リセット電位が印加されることで、フォトダイオードＰＤが光の量に応じた電荷を蓄積することができるようにする。第２リセット電位は、フォトダイオードＰＤが光の量に応じた電荷を蓄積する処理を行うとき、フォトダイオードＰＤに印加される電位である。これにより、フォトダイオードＰＤが電荷を蓄積する処理において、フォトダイオードＰＤが電荷を蓄積する処理で期待されるフォトダイオードＰＤの電位の状態を実現することができる。

[0071] よって、フォトダイオードＰＤに２段階のリセット電位（第１リセット電位及び第２リセット電位）を印加することができる。例えば、一方のリセット電位を、フォトダイオードＰＤに残留した電荷が除去されやすいような電位に設定し、他方のリセット電位を、フォトダイオードＰＤが電荷を蓄積する処理が行われるときのフォトダイオードＰＤに印加される電位に設定することができる。これにより、効率的にフォトダイオードＰＤに残留した電荷を除去しつつ、フォトダイオードＰＤが電荷を蓄積することができる。

[0072] 〔実施形態５〕

本発明の他の実施形態について説明すれば、以下の通りである。なお、説明の便宜上、前記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。

[0073] 撮像装置２において、フォトダイオードＰＤに残留した電荷を除去する場合、フォトダイオードＰＤに順方向バイアスを印加するときを考える。ここ

では、第１リセットトランジスタＴＦＴ１１及び読み出しトランジスタＴＦＴ２０は、ソース電極、ゲート電極、及びドレイン電極を備えているものとする。このとき、第１リセットトランジスタＴＦＴ１１のゲート電極にリセット信号を供給することにより第１リセットトランジスタＴＦＴ１１を制御するのではなく、以下の処理により制御する。具体的には、第１リセット電源６１から第１リセットトランジスタＴＦＴ１１のソース電極に印加される第１リセット電位を変更することによりリセットトランジスタＴＦＴ１０を制御してもよい。

[0074] 第１リセット電位を変更する場合、リセット信号生成回路３１によって第１リセットトランジスタＴＦＴ１１のゲート電極に一定の電位を印加し、バイアス線を画素ＰＸ２＿ｉｊの行ごとに設ける。このバイアス線とは、第１リセット電源６１、及び第１リセットトランジスタＴＦＴ１１のソース電極に接続される線である。

[0075] ここで、第１リセット電位をＶｒ、第１リセットトランジスタＴＦＴ１１のドレイン電極に印加される電位をＶｄ、第１リセットトランジスタＴＦＴ１１のゲート電極に印加される電位をＶｇとする。また、第１リセットトランジスタＴＦＴ１１の閾値電位をＶｔｈとする。

[0076] 第１リセット電源６１は、画素ＰＸ２＿ｉｊの行ごとに、バイアス線を介して第１リセットトランジスタＴＦＴ１１のソース電極に印加する第１リセット電位を変更する。第１リセットトランジスタＴＦＴ１１をＯＮさせるとき、第１リセット電源６１は、第１リセット電位Ｖｒを下げる。具体的には、第１リセット電源６１は、Ｖｇ＞＞Ｖｒ＋Ｖｔｈとなるように、第１リセット電位Ｖｒを第１リセットトランジスタＴＦＴ１１のソース電極に印加する。第１リセットトランジスタＴＦＴ１１がＯＮになると、フォトダイオードＰＤに順方向バイアスが印加される。フォトダイオードＰＤに順方向バイアスが印加されると、フォトダイオードＰＤに残留した電荷が、バイアス線を介して除去される。

[0077] 第１リセットトランジスタＴＦＴ１１をＯＦＦさせるとき、第１リセット

電源６１は、第１リセット電位Ｖｒを上げる。具体的には、第１リセット電源６１は、Ｖｒ≧Ｖｄとなるように、第１リセット電位Ｖｒを第１リセットトランジスタＴＦＴ１１のソース電極に印加する。なお、第１リセットトランジスタＴＦＴ１１をＯＦＦさせるとき、Ｖｇ＜＜Ｖｄ＋Ｖｔｈである。

[0078] 一方、実施形態４で説明したように、第１リセットトランジスタＴＦＴ１１のゲート電極に第１リセット信号を印加しつつ、負電位を印加することによりフォトダイオードＰＤに残留した電荷を除去する場合を考える。この場合、第１リセット電源６１によって第１リセットトランジスタＴＦＴ１１のソース電極に一定の負電位が印加される。

[0079] 第１リセットトランジスタＴＦＴ１１をＯＮさせるとき、リセット信号生成回路３１は、電位Ｖｇ（第１リセット信号の電位）を上げる。具体的には、リセット信号生成回路３１は、Ｖｇ＞＞Ｖｒ＋Ｖｔｈとなるように、第１リセットトランジスタＴＦＴ１１のゲート電極に電位Ｖｇを印加する。

[0080] 第１リセットトランジスタＴＦＴ１１をＯＦＦさせるとき、リセット信号生成回路３１は、電位Ｖｇを下げる。具体的には、リセット信号生成回路３１は、Ｖｇ＜＜Ｖｒ＋Ｖｔｈとなるように、第１リセットトランジスタＴＦＴ１１のゲート電極に電位Ｖｇを印加する。つまり、第１リセットトランジスタＴＦＴ１１をＯＦＦにするためには、第１リセット信号の電位（Ｖｇ）を、第１リセットトランジスタＴＦＴ１１のソース電極に印加される一定の負電位（Ｖｒ）よりも十分低い電位にする必要がある。このため、第１リセット信号の電位（Ｖｇ）を、第１リセットトランジスタＴＦＴ１１のソース電極に印加される一定の負電位（Ｖｒ）よりも十分低い電位にするので、消費電力が大きくなるという問題がある。

[0081] よって、負電位を印加することによりフォトダイオードＰＤに残留した電荷を除去する場合、第１リセット電位Ｖｒを変更することにより第１リセットトランジスタＴＦＴ１１を制御することが望ましい。これにより、撮像装置２に負電位を印加する場合であっても、第１リセット電位Ｖｒを変更することによって、第１リセットトランジスタＴＦＴ１１を制御することができ

る。また、第１リセット電位Ｖｒを変更する場合では、第１リセット信号の電位（Ｖｇ）を変更する場合よりも、第１リセットトランジスタＴＦＴ１１に印加する電位が小さくなるので、消費電力を低減することができる。

[0082] さらに、第１リセット電位Ｖｒを変更する場合では、第１リセットトランジスタＴＦＴ１１に印加する電位と、読み出しトランジスタＴＦＴ２０に印加する電位とを共通化することができる場合がある。この理由について以下に説明する。第１リセット電位Ｖｒを変更する場合では、第１リセット信号の電位（Ｖｇ）を変更する場合と比べて、第１リセットトランジスタＴＦＴ１１に印加する電位が小さくなる。読み出しトランジスタＴＦＴ２０に印加する電位は小さいため、第１リセットトランジスタＴＦＴ１１に印加する電位と、読み出しトランジスタＴＦＴ２０に印加する電位とを同一にしやすくなる。

[0083] 〔実施形態６〕

本発明の他の実施形態について、図１１及び図１２に基づいて説明すれば、以下の通りである。なお、説明の便宜上、前記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。

[0084] （撮像装置３の構成）

撮像装置３は、図１１に示すように、撮像装置１と比べて、リセット信号生成回路３０が共通信号生成回路７０に変更されている点、及び読み出し信号生成回路２０を備えていない点が異なる。また、撮像装置３では、読み出し制御線ＣＬ２０＿１～ＣＬ２０＿５は共通信号生成回路７０に接続されている。図１１は本発明の実施形態６に係る撮像装置３の構成を示すブロック図の一例である。

[0085] リセット制御線ＣＬ１０＿１は、画素ＰＸ１＿ｉｊの次の行の読み出し制御線ＣＬ２０＿２と接続して１本の線となり、その１本の線が共通信号生成回路７０に接続されている。リセット制御線ＣＬ１０＿２は、画素ＰＸ１＿ｉｊの次の行の読み出し制御線ＣＬ２０＿３と接続して１本の線となり、そ

の１本の線が共通信号生成回路７０に接続されている。同様に、リセット制御線ＣＬ１０＿３は、読み出し制御線ＣＬ２０＿４と接続して１本の線となり、その１本の線が共通信号生成回路７０に接続されている。また、リセット制御線ＣＬ１０＿４は、読み出し制御線ＣＬ２０＿５と接続して１本の線となり、その１本の線が共通信号生成回路７０に接続されている。リセット制御線ＣＬ１０＿５は共通信号生成回路７０に接続されている。

[0086] 共通信号生成回路７０は、リセット制御線ＣＬ１０＿１～ＣＬ１０＿５及び読み出し制御線ＣＬ２０＿１～ＣＬ２０＿５に共通信号を供給し、リセットトランジスタＴＦＴ１０及び読み出しトランジスタＴＦＴ２０を制御する。具体的には、共通信号生成回路７０は、例えば、リセット制御線ＣＬ１０＿１及び読み出し制御線ＣＬ２０＿２に共通信号を供給する。これにより、共通信号生成回路７０は、画素ＰＸ１＿ｉｊの１行目のリセットトランジスタＴＦＴ１０をＯＮにすると同時に、画素ＰＸ１＿ｉｊの２行目の読み出しトランジスタＴＦＴ２０をＯＮにする。画素ＰＸ１＿ｉｊの１行目のリセットトランジスタＴＦＴ１０がＯＮになると、画素ＰＸ１＿ｉｊの１行目のフォトダイオードＰＤに残留した電荷が除去される。画素ＰＸ１＿ｉｊの２行目の読み出しトランジスタＴＦＴ２０がＯＮになると、画素ＰＸ１＿ｉｊの２行目のフォトダイオードＰＤに蓄積された電荷が読み出される。画素ＰＸ１＿ｉｊの他の行においても同様に処理される。

[0087] これにより、撮像装置３では共通信号生成回路７０のみでフォトダイオードＰＤの電荷の読み出し及び除去を行うことができる。よって、撮像装置３は撮像装置１と比べて回路数が減少するので、撮像装置３においては製造コストを低減することができる。

[0088] なお、撮像装置３では、フォトダイオードＰＤに残留した電荷の除去の時間が、電荷の読み出しの時間と同一になる。これは、電荷の読み出し、及び電荷の除去がどちらも画素ＰＸ１＿ｉｊの１行ごとに行われるからである。

[0089] （変形例）

撮像装置４は、図１２に示すように、撮像装置２と比べて、リセット信号

生成回路３１が共通信号生成回路７１に変更されている点、及び読み出し信号生成回路２０を備えていない点が異なる。また、撮像装置４では、読み出し制御線ＣＬ２０＿１～ＣＬ２０＿５は共通信号生成回路７１に接続されている。図１２は本発明の実施形態６に係る撮像装置４の他の構成を示すブロック図の一例である。

[0090] 第１リセット制御線ＣＬ１１＿１は、画素ＰＸ２＿ｉｊの次の行の読み出し制御線ＣＬ２０＿２と接続して１本の線となり、その１本の線が共通信号生成回路７１に接続されている。第２リセット制御線ＣＬ１２＿１は、画素ＰＸ１＿ｉｊの次の行の第１リセット制御線ＣＬ１１＿２、及び画素ＰＸ１＿ｉｊのさらに次の行の読み出し制御線ＣＬ２０＿３と接続して１本の線となる。その１本の線が共通信号生成回路７１に接続されている。同様に、第２リセット制御線ＣＬ１２＿２は、第１リセット制御線ＣＬ１１＿３及び読み出し制御線ＣＬ２０＿４と接続して１本の線となり、その１本の線が共通信号生成回路７１に接続されている。また、第２リセット制御線ＣＬ１２＿３は、第１リセット制御線ＣＬ１１＿４及び読み出し制御線ＣＬ２０＿５と接続して１本の線となり、その１本の線が共通信号生成回路７１に接続されている。第２リセット制御線ＣＬ１２＿４は、第１リセット制御線ＣＬ１１＿５と接続して１本の線となり、その１本の線が共通信号生成回路７１に接続されている。第２リセット制御線ＣＬ１２＿５は共通信号生成回路７１に接続されている。

[0091] 共通信号生成回路７１は、第１リセット制御線ＣＬ１１＿１～ＣＬ１１＿５、第２リセット制御線ＣＬ１２＿１～ＣＬ１２＿５、及び読み出し制御線ＣＬ２０＿１～ＣＬ２０＿５に共通信号を供給する。共通信号生成回路７１は、共通信号を供給することにより第１リセットトランジスタＴＦＴ１１、第２リセットトランジスタＴＦＴ１２、及び読み出しトランジスタＴＦＴ２０を制御する。具体的には、共通信号生成回路７１は、例えば、第２リセット制御線ＣＬ１２＿１、第１リセット制御線ＣＬ１１＿２、及び読み出し制御線ＣＬ２０＿３に共通信号を供給する。これにより、共通信号生成回路７

１は、画素ＰＸ２＿ｉｊの１行目の第２リセットトランジスタＴＦＴ１２をＯＮにすると同時に、画素ＰＸ２＿ｉｊの２行目の第１リセットトランジスタＴＦＴ１１をＯＮにする。また、それらの処理と同時に、画素ＰＸ２＿ｉｊの３行目の読み出しトランジスタＴＦＴ２０をＯＮにする。

[0092] 画素ＰＸ２＿ｉｊの１行目の第２リセットトランジスタＴＦＴ１２がＯＮになると、第２リセット電源６２から第２バイアス線ＢＬ２＿１～ＢＬ２＿５を介して第２リセット電位がフォトダイオードＰＤに印加される。画素ＰＸ２＿ｉｊの２行目の第１リセットトランジスタＴＦＴ１１がＯＮになると、画素ＰＸ２＿ｉｊの２行目のフォトダイオードＰＤに残留した電荷が除去される。画素ＰＸ２＿ｉｊの３行目の読み出しトランジスタＴＦＴ２０がＯＮになると、画素ＰＸ２＿ｉｊの３行目のフォトダイオードＰＤに蓄積された電荷が読み出される。画素ＰＸ２＿ｉｊの他の行においても同様に処理される。

[0093] これにより、撮像装置４では共通信号生成回路７１のみでフォトダイオードＰＤの電荷の読み出し及び除去を行うことができる。また、撮像装置４では共通信号生成回路７１のみでフォトダイオードＰＤに２段階のリセット電位（第１リセット電位及び第２リセット電位）を印加することができる。よって、撮像装置４は撮像装置２と比べて回路数が減少するので、撮像装置４においては製造コストを低減することができる。

[0094] なお、撮像装置４では、フォトダイオードＰＤに残留した電荷の除去の時間が、電荷の読み出しの時間と同一になる。これは、電荷の読み出し、及び電荷の除去がどちらも画素ＰＸ２＿ｉｊの１行ごとに行われるからである。

[0095] また、ここでは電荷の読み出しが行われる画素ＰＸ２＿ｉｊの行と、電荷の除去が行われる画素ＰＸ２＿ｉｊの行とが隣接している。しかし、電荷の読み出しが行われる画素ＰＸ２＿ｉｊの行と、電荷の除去が行われる画素ＰＸ２＿ｉｊの行とは必ずしも隣接している必要はない。

[0096] 〔まとめ〕

本発明の態様１に係る撮像装置１、２、３、４は、光の量に応じた電荷を

蓄積する光電変換素子（フォトダイオードＰＤ）を含む画素ＰＸ１＿ｉｊ、ＰＸ２＿ｉｊが２次元的に複数配置された撮像装置において、前記画素と接続する読み出し制御線ＣＬ２０＿１～ＣＬ２０＿５に、前記画素の行ごとに読み出し信号を出力することにより前記光電変換素子に蓄積された電荷を読み出す読み出し回路（読み出し信号生成回路２０）と、前記画素と接続するリセット制御線ＣＬ１０＿１～ＣＬ１０＿５に、前記画素の行ごとにリセット信号を出力することにより前記光電変換素子に残留した電荷を除去するリセット回路（リセット信号生成回路３０、３１）とを備え、前記読み出し回路が前記光電変換素子に蓄積された電荷を読み出している間に、前記リセット回路は、前記読み出し回路によって前記光電変換素子に蓄積された電荷の読み出しが行われている前記画素の行とは別の前記画素の行を対象として、前記光電変換素子に残留した電荷を除去する。

[0097] 上記構成によれば、読み出し回路が光電変換素子に蓄積された電荷を読み出している間に、リセット回路は、読み出し回路によって光電変換素子に蓄積された電荷の読み出しが行われている画素の行とは別の画素の行を対象として、光電変換素子に残留した電荷を除去する。これにより、電荷の読み出し処理と、電荷の除去処理とが並行して行われるので、電荷の読み出し処理を高速に行うことができる。

[0098] 本発明の態様２に係る撮像装置は、上記態様１において、前記リセット回路（リセット信号生成回路３０、３１）が前記光電変換素子（フォトダイオードＰＤ）に残留した電荷を除去する時間は、前記読み出し回路（読み出し信号生成回路２０）が前記光電変換素子に蓄積された電荷を読み出す時間よりも長くてもよい。

[0099] 上記構成によれば、リセット回路が光電変換素子に残留した電荷を除去する時間は、読み出し回路が光電変換素子に蓄積された電荷を読み出す時間よりも長い。これにより、リセット回路が光電変換素子に残留した電荷を除去することに時間を長くかけるので、光電変換素子に残留した電荷を正確に除去することができる。

[0100] 本発明の態様３に係る撮像装置は、上記態様１または２において、前記画素ＰＸ２＿ｉｊは、複数のスイッチング素子（第１リセットトランジスタＴＦＴ１１、第２リセットトランジスタＴＦＴ１２）を含み、複数の前記スイッチング素子はそれぞれ、互いに異なる電位を印加する複数の電源（第１リセット電源６１、第２リセット電源６２）と、前記光電変換素子（フォトダイオードＰＤ）とに接続されており、前記リセット回路（リセット信号生成回路３１）は、前記画素ＰＸ２＿ｉｊの行ごとに設けられた複数の前記リセット制御線（第１リセット制御線ＣＬ１１＿１～ＣＬ１１＿５、第２リセット制御線ＣＬ１２＿１～ＣＬ１２＿５）それぞれに前記リセット信号を出力して複数の前記スイッチング素子を制御することにより、前記光電変換素子に異なる電位を印加してもよい。

[0101] 上記構成によれば、光電変換素子に異なる電位を印加することができる。例えば、光電変換素子に２段階の電位を印加する場合を考える。この場合、例えば、一方の電位を、光電変換素子に残留した電荷が除去されやすいような電位に設定し、他方の電位を、光電変換素子が電荷を蓄積する処理が行われるときの光電変換素子に印加される電位に設定することができる。これにより、効率的に光電変換素子に残留した電荷を除去しつつ、光電変換素子が電荷を蓄積することができる。

[0102] 本発明の態様４に係る撮像装置は、上記態様１または２において、前記画素ＰＸ２＿ｉｊは、２つのスイッチング素子（第１リセットトランジスタＴＦＴ１１、第２リセットトランジスタＴＦＴ１２）を含み、２つの前記スイッチング素子はそれぞれ、互いに異なる電位を印加する２つの電源（第１リセット電源６１、第２リセット電源６２）と、前記光電変換素子（フォトダイオードＰＤ）とに接続されており、前記リセット回路（リセット信号生成回路３１）は、前記画素の行ごとに設けられた２本の前記リセット制御線（第１リセット制御線ＣＬ１１＿１～ＣＬ１１＿５、第２リセット制御線ＣＬ１２＿１～ＣＬ１２＿５）それぞれに前記リセット信号を出力して２つの前記スイッチング素子を制御することにより、前記光電変換素子に異なる電位

を印加してもよい。

[0103] 上記構成によれば、光電変換素子に異なる電位を印加することができる。例えば、光電変換素子に２段階の電位を印加する場合を考える。この場合、例えば、一方の電位を、光電変換素子に残留した電荷が除去されやすいような電位に設定し、他方の電位を、光電変換素子が電荷を蓄積する処理が行われるときの光電変換素子に印加される電位に設定することができる。これにより、効率的に光電変換素子に残留した電荷を除去しつつ、光電変換素子が電荷を蓄積することができる。

[0104] 本発明の態様５に係る撮像装置は、上記態様４において、前記スイッチング素子（第１リセットトランジスタＴＦＴ１１、第２リセットトランジスタＴＦＴ１２）は、ソース電極及びゲート電極を有するトランジスタであり、前記リセット回路（リセット信号生成回路３１）は、前記ゲート電極に一定の電位である前記リセット信号を出力し、２つの前記電源（第１リセット電源６１、第２リセット電源６２）のうち１つの電源は、前記ソース電極に印加する負電位を変更することにより、前記スイッチング素子を制御してもよい。

[0105] 上記構成によれば、リセット回路は、ゲート電極に一定の電位であるリセット信号を出力し、２つの電源のうち１つの電源は、ソース電極に印加する負電位を変更することにより、スイッチング素子を制御する。これにより、撮像装置２に負電位を印加する場合であっても、負電位を変更することによって、スイッチング素子を制御することができる。

[0106] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。さらに、各実施形態にそれぞれ開示された技術的手段を組み合わせることにより、新しい技術的特徴を形成することができる。

符号の説明

[0107] １、２、３、４　撮像装置

１０　制御回路

２０　読み出し信号生成回路（読み出し回路）

３０、３１　リセット信号生成回路（リセット回路）

４０　バイアス電源

５０　読み出し電源

６０　リセット電源

６１　第１リセット電源（電源）

６２　第２リセット電源（電源）

７０、７１　共通信号生成回路

ＣＬ１０＿１～ＣＬ１０＿５　リセット制御線

ＣＬ１１＿１～ＣＬ１１＿５　第１リセット制御線

ＣＬ１２＿１～ＣＬ１２＿５　第２リセット制御線

ＣＬ２０＿１～ＣＬ２０＿５　読み出し制御線

ＳＷ１０　リセットスイッチ

ＳＷ２０　読み出しスイッチ

ＴＦＴ１０　リセットトランジスタ

ＴＦＴ１１　第１リセットトランジスタ（スイッチング素子）

ＴＦＴ１２　第２リセットトランジスタ（スイッチング素子）

ＴＦＴ２０　読み出しトランジスタ

ＰＤＢＬ＿１～ＰＤＢＬ＿５　ＰＤバイアス線

ＰＤ　フォトダイオード（光電変換素子）

ＢＬ＿１～ＢＬ＿５　バイアス線

ＢＬ１＿１～ＢＬ１＿５　第１バイアス線

ＢＬ２＿１～ＢＬ２＿５　第２バイアス線

ＲＬ＿１～ＲＬ＿５　読み出し線

ＰＸ１＿ｉｊ、ＰＸ２＿ｉｊ　画素

Ｉ＿１～Ｉ＿５　積分器

Ｏ＿１～Ｏ＿５　オペアンプ

Ｃ＿１～Ｃ＿５　容量

請求の範囲

[請求項1] 光の量に応じた電荷を蓄積する光電変換素子を含む画素が２次元的に複数配置された撮像装置において、

前記画素と接続する読み出し制御線に、前記画素の行ごとに読み出し信号を出力することにより前記光電変換素子に蓄積された電荷を読み出す読み出し回路と、

前記画素と接続するリセット制御線に、前記画素の行ごとにリセット信号を出力することにより前記光電変換素子に残留した電荷を除去するリセット回路とを備え、

前記読み出し回路が前記光電変換素子に蓄積された電荷を読み出している間に、前記リセット回路は、前記読み出し回路によって前記光電変換素子に蓄積された電荷の読み出しが行われている前記画素の行とは別の前記画素の行を対象として、前記光電変換素子に残留した電荷を除去することを特徴とする撮像装置。

[請求項2] 前記リセット回路が前記光電変換素子に残留した電荷を除去する時間は、前記読み出し回路が前記光電変換素子に蓄積された電荷を読み出す時間よりも長いことを特徴とする請求項１に記載の撮像装置。

[請求項3] 前記画素は、複数のスイッチング素子を含み、

複数の前記スイッチング素子はそれぞれ、互いに異なる電位を印加する複数の電源と、前記光電変換素子とに接続されており、

前記リセット回路は、前記画素の行ごとに設けられた複数の前記リセット制御線それぞれに前記リセット信号を出力して複数の前記スイッチング素子を制御することにより、前記光電変換素子に異なる電位を印加することを特徴とする請求項１または２に記載の撮像装置。

[請求項4] 前記画素は、２つのスイッチング素子を含み、

２つの前記スイッチング素子はそれぞれ、互いに異なる電位を印加する２つの電源と、前記光電変換素子とに接続されており、

前記リセット回路は、前記画素の行ごとに設けられた２本の前記リ

セット制御線それぞれに前記リセット信号を出力して２つの前記スイッチング素子を制御することにより、前記光電変換素子に異なる電位を印加することを特徴とする請求項１または２に記載の撮像装置。

[請求項5] 前記スイッチング素子は、ソース電極及びゲート電極を有するトランジスタであり、

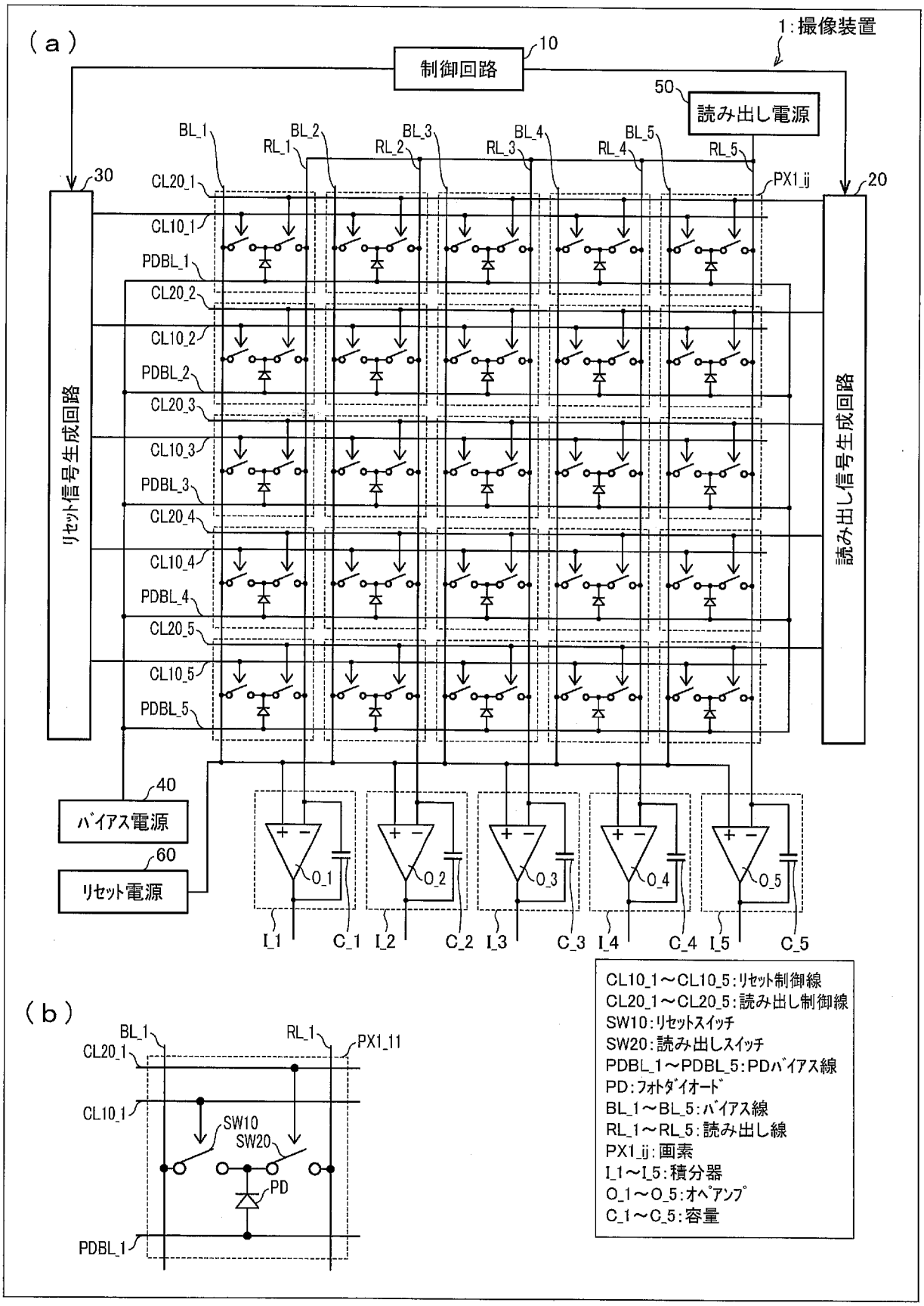
前記リセット回路は、前記ゲート電極に一定の電位である前記リセット信号を出力し、

２つの前記電源のうち１つの電源は、前記ソース電極に印加する負電位を変更することにより、前記スイッチング素子を制御することを特徴とする請求項４に記載の撮像装置。

WO 2018/235360 PCT/JP2018/010898

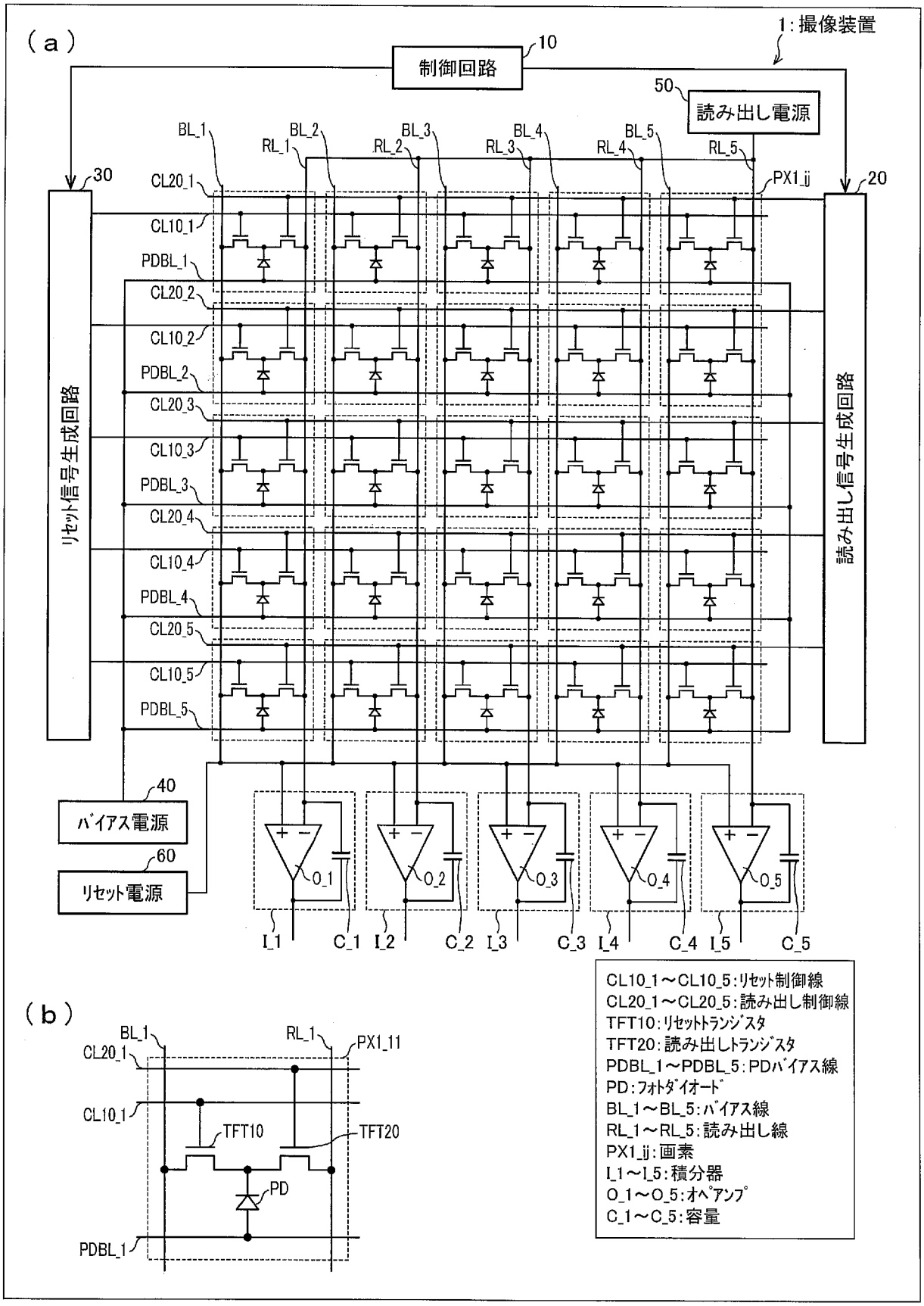
[図1]

図 1



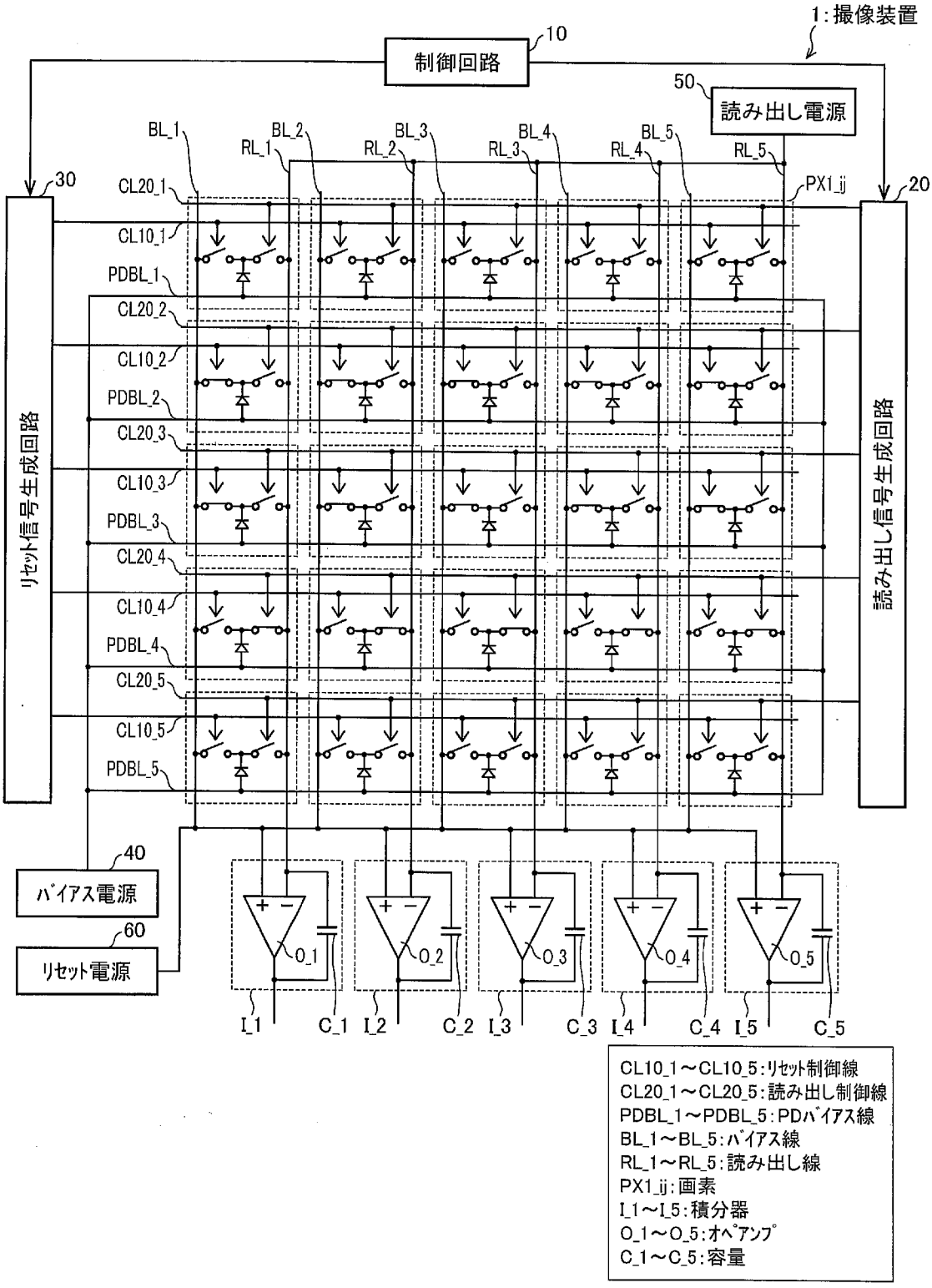
[図2]

図 2


(a)
1:撮像装置
制御回路
10
50
読み出し電源
BL_1
BL_2
BL_3
BL_4
BL_5
RL_1
RL_2
RL_3
RL_4
RL_5
30
20
PX1_ij
CL20_1
CL10_1
PDBL_1
CL20_2
CL10_2
PDBL_2
CL20_3
CL10_3
PDBL_3
CL20_4
CL10_4
PDBL_4
CL20_5
CL10_5
PDBL_5
リセット信号生成回路
読み出し信号生成回路
40
バイアス電源
60
リセット電源
O_1
O_2
O_3
O_4
O_5
I_1
C_1
I_2
C_2
I_3
C_3
I_4
C_4
I_5
C_5
CL10_1～CL10_5:リセット制御線
CL20_1～CL20_5:読み出し制御線
TFT10:リセットトランジスタ
TFT20:読み出しトランジスタ
PDBL_1～PDBL_5:PDバイアス線
PD:フォトダイオード
BL_1～BL_5:バイアス線
RL_1～RL_5:読み出し線
PX1_ij:画素
I_1～I_5:積分器
O_1～O_5:オペアンプ
C_1～C_5:容量
(b)
BL_1
RL_1
PX1_11
CL20_1
CL10_1
TFT10
TFT20
PD
PDBL_1

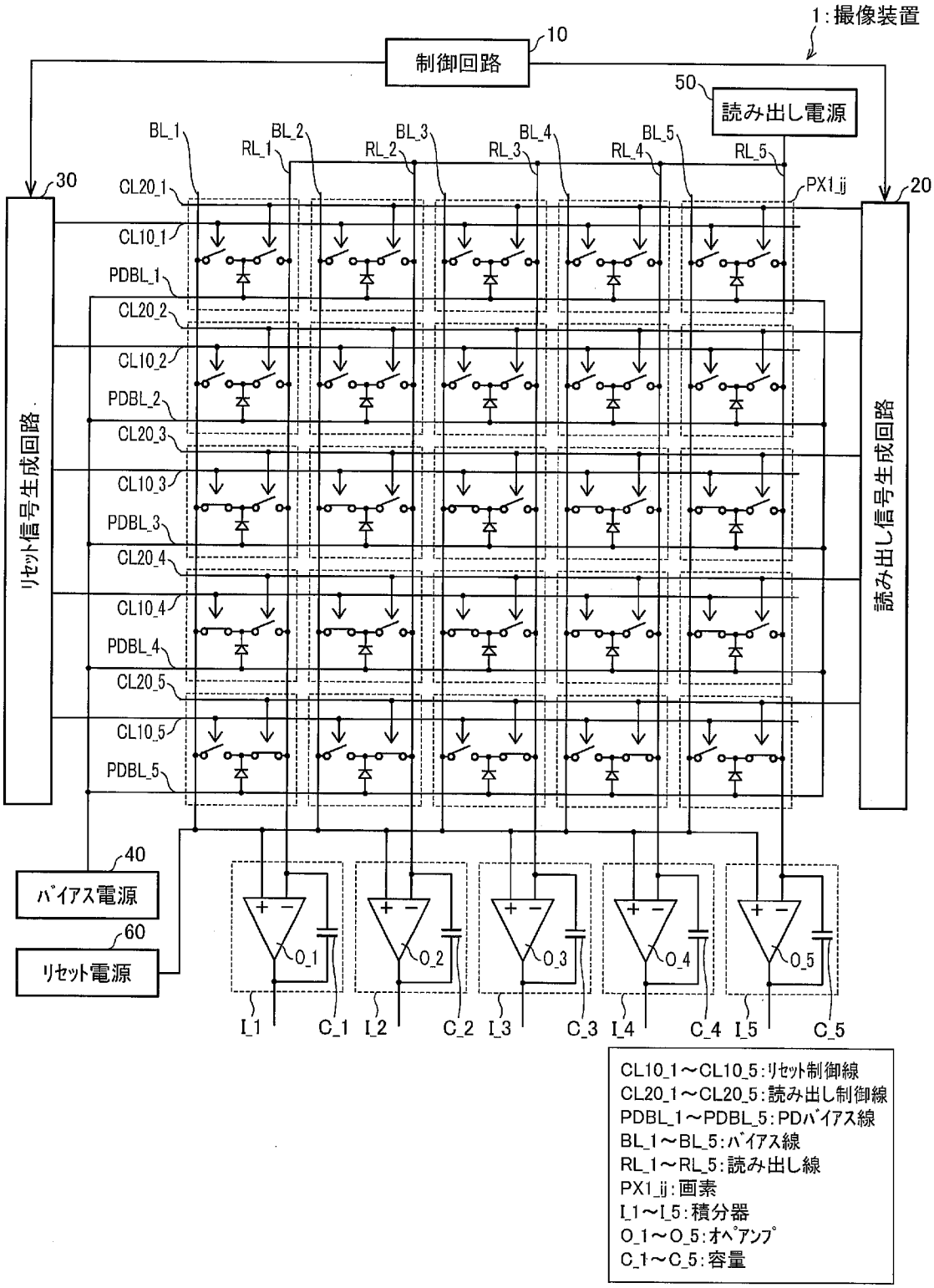
[図3]

図 3


1:撮像装置
制御回路
10
50
読み出し電源
BL_1
BL_2
BL_3
BL_4
BL_5
RL_1
RL_2
RL_3
RL_4
RL_5
30
CL20_1
PX1_ij
20
CL10_1
PDBL_1
CL20_2
CL10_2
PDBL_2
CL20_3
CL10_3
PDBL_3
CL20_4
CL10_4
PDBL_4
CL20_5
CL10_5
PDBL_5
リセット信号生成回路
読み出し信号生成回路
40
バイアス電源
60
リセット電源
O_1
O_2
O_3
O_4
O_5
I_1
C_1
I_2
C_2
I_3
C_3
I_4
C_4
I_5
C_5
CL10_1～CL10_5:リセット制御線
CL20_1～CL20_5:読み出し制御線
PDBL_1～PDBL_5:PDバイアス線
BL_1～BL_5:バイアス線
RL_1～RL_5:読み出し線
PX1_ij:画素
I_1～I_5:積分器
O_1～O_5:オペアンプ
C_1～C_5:容量

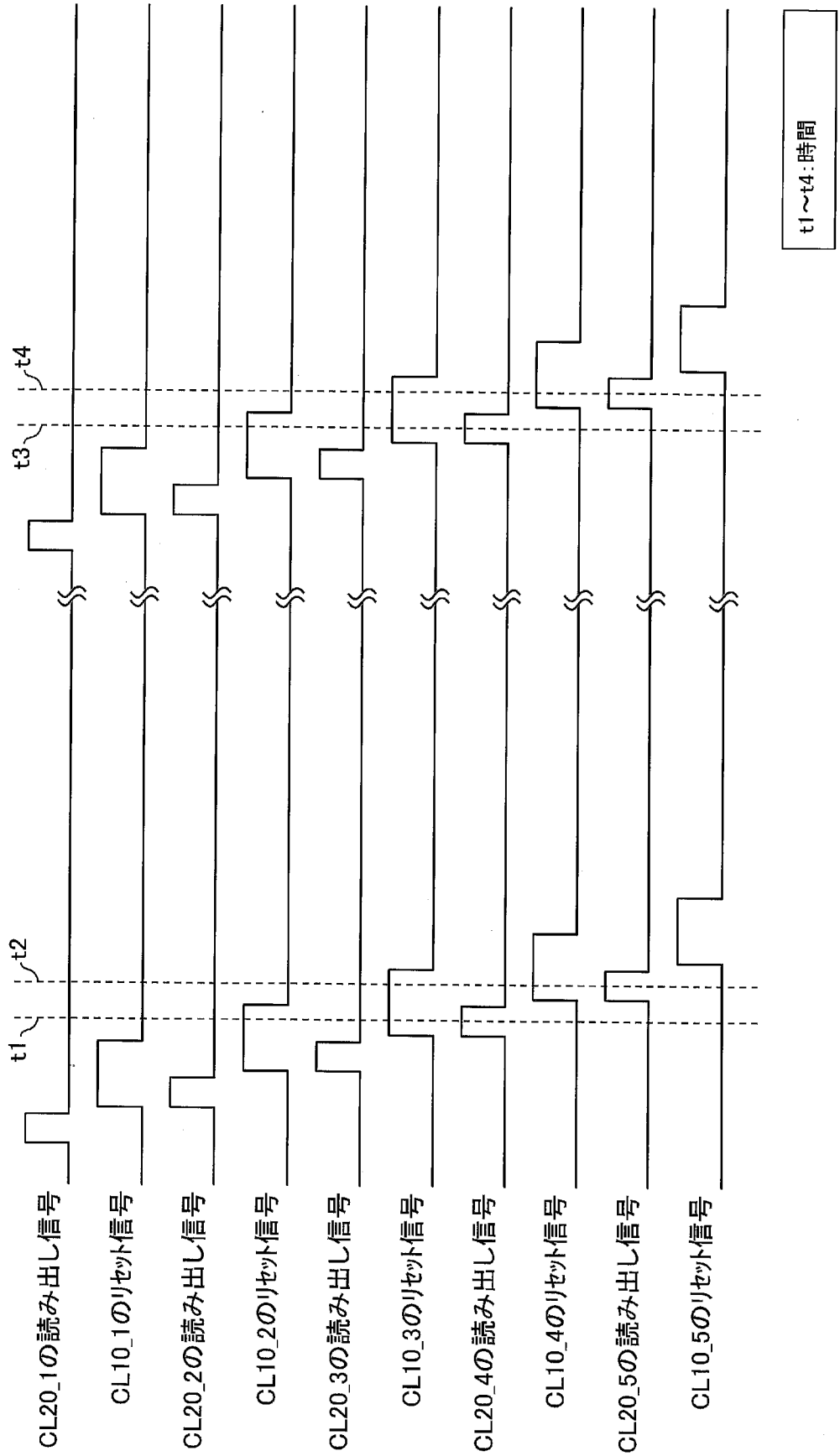
[図4]

図 4


1:撮像装置
制御回路
10
50
読み出し電源
30
20
リセット信号生成回路
読み出し信号生成回路
BL_1
BL_2
BL_3
BL_4
BL_5
RL_1
RL_2
RL_3
RL_4
RL_5
PX1_jj
CL20_1
CL10_1
PDBL_1
CL20_2
CL10_2
PDBL_2
CL20_3
CL10_3
PDBL_3
CL20_4
CL10_4
PDBL_4
CL20_5
CL10_5
PDBL_5
40
バイアス電源
60
リセット電源
O_1
O_2
O_3
O_4
O_5
I_1
C_1
I_2
C_2
I_3
C_3
I_4
C_4
I_5
C_5
CL10_1～CL10_5:リセット制御線
CL20_1～CL20_5:読み出し制御線
PDBL_1～PDBL_5:PDバイアス線
BL_1～BL_5:バイアス線
RL_1～RL_5:読み出し線
PX1_jj:画素
I_1～I_5:積分器
O_1～O_5:オペアンプ
C_1～C_5:容量

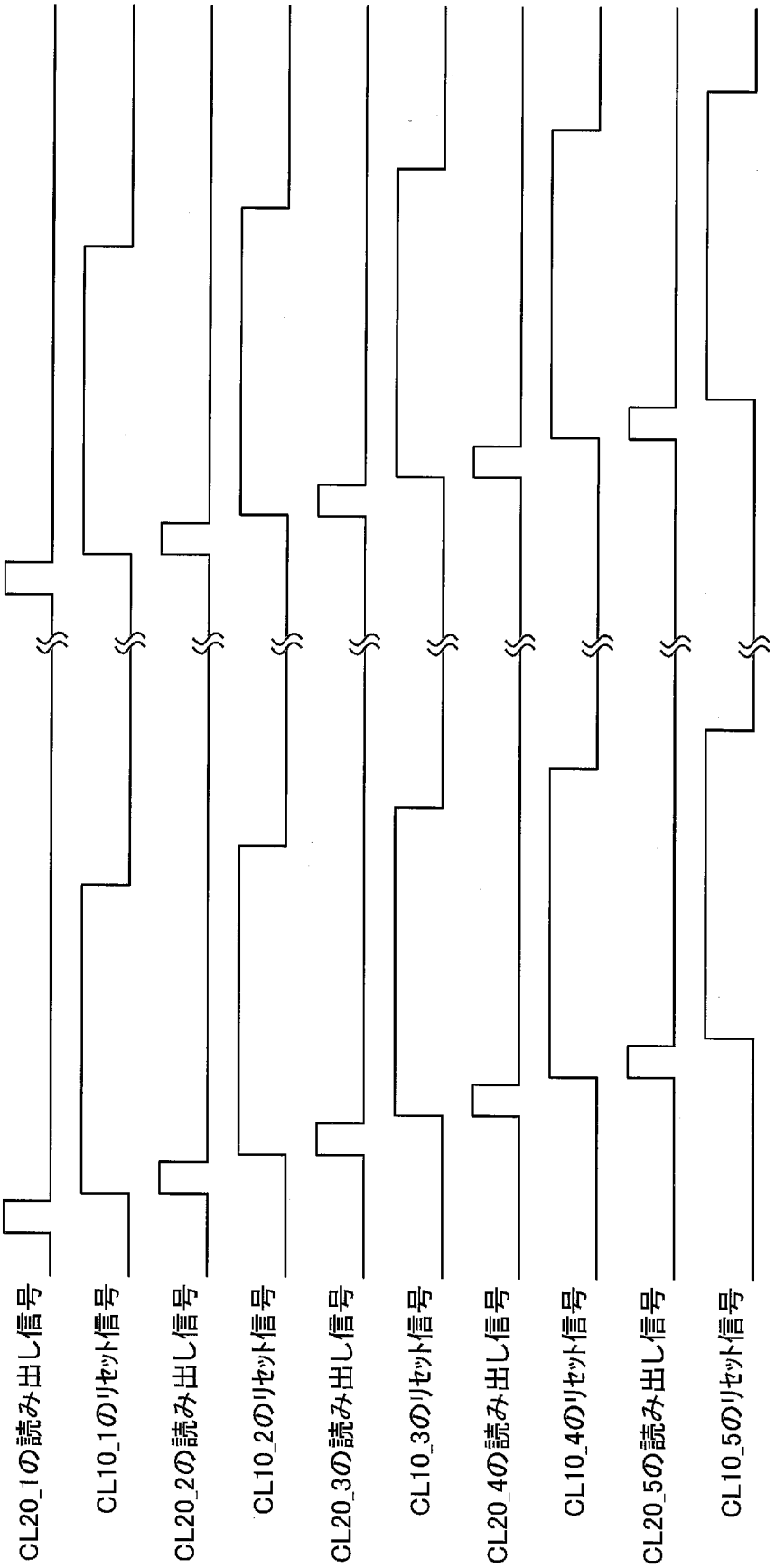
[図5]

図 5


t1
t2
t3
t4
CL20_1の読み出し信号
CL10_1のリセット信号
CL20_2の読み出し信号
CL10_2のリセット信号
CL20_3の読み出し信号
CL10_3のリセット信号
CL20_4の読み出し信号
CL10_4のリセット信号
CL20_5の読み出し信号
CL10_5のリセット信号
t1～t4：時間

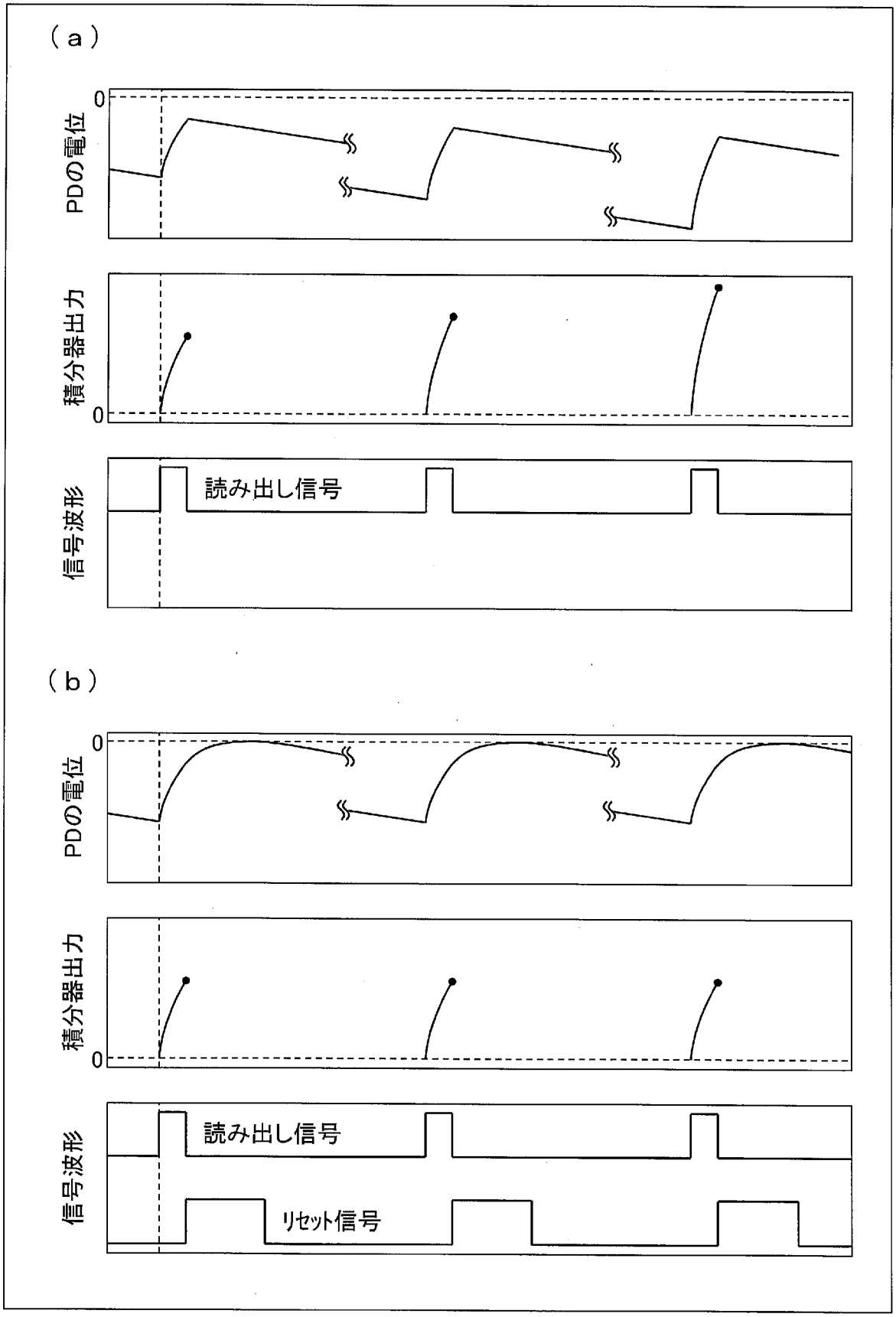
[図6]

図 6


CL20_1の読み出し信号
CL10_1のリセット信号
CL20_2の読み出し信号
CL10_2のリセット信号
CL20_3の読み出し信号
CL10_3のリセット信号
CL20_4の読み出し信号
CL10_4のリセット信号
CL20_5の読み出し信号
CL10_5のリセット信号

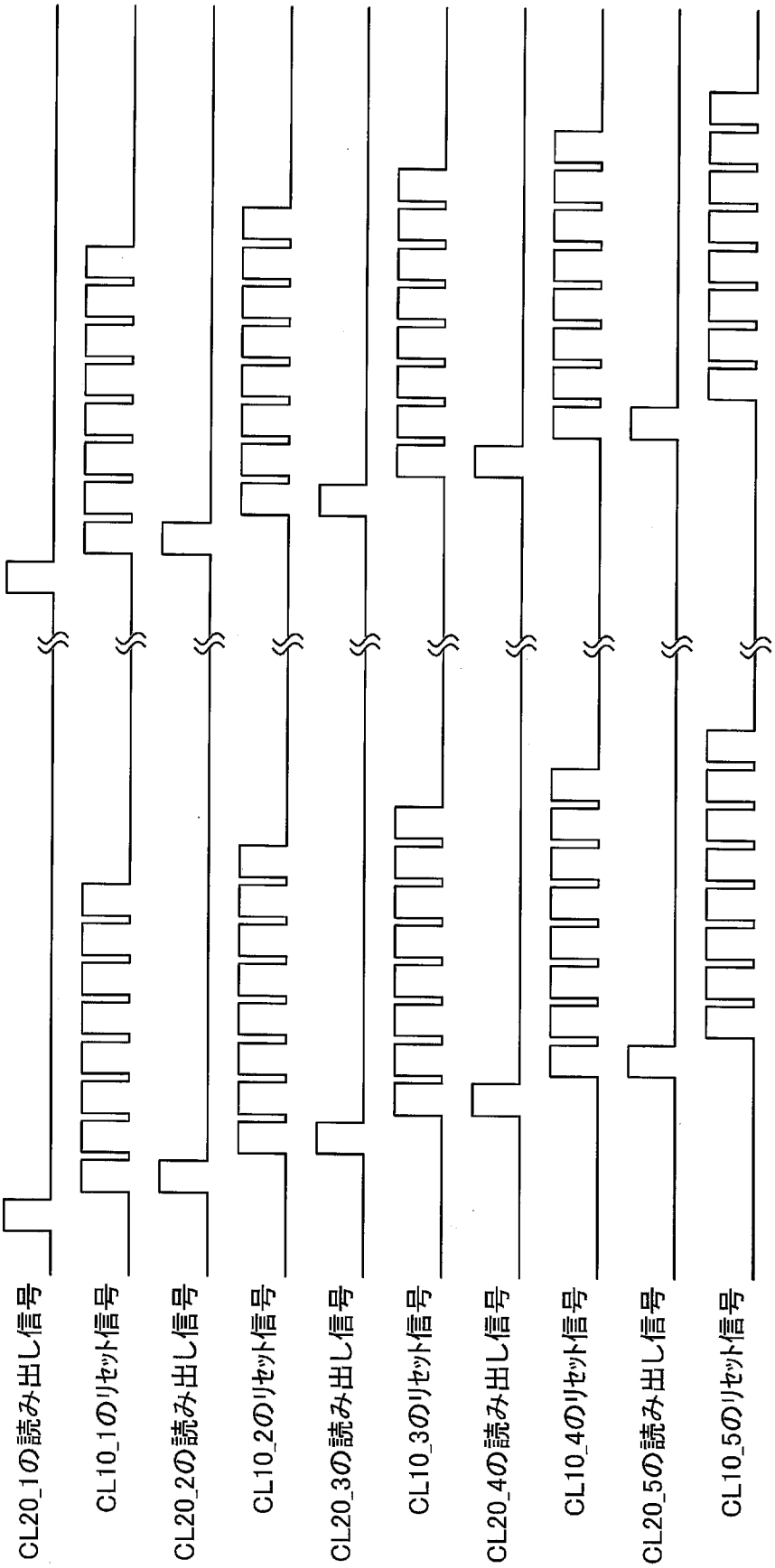
[図7]

図 7


（ａ）
PDの電位
0
積分器出力
0
信号波形
読み出し信号
（ｂ）
PDの電位
0
積分器出力
0
信号波形
読み出し信号
リセット信号

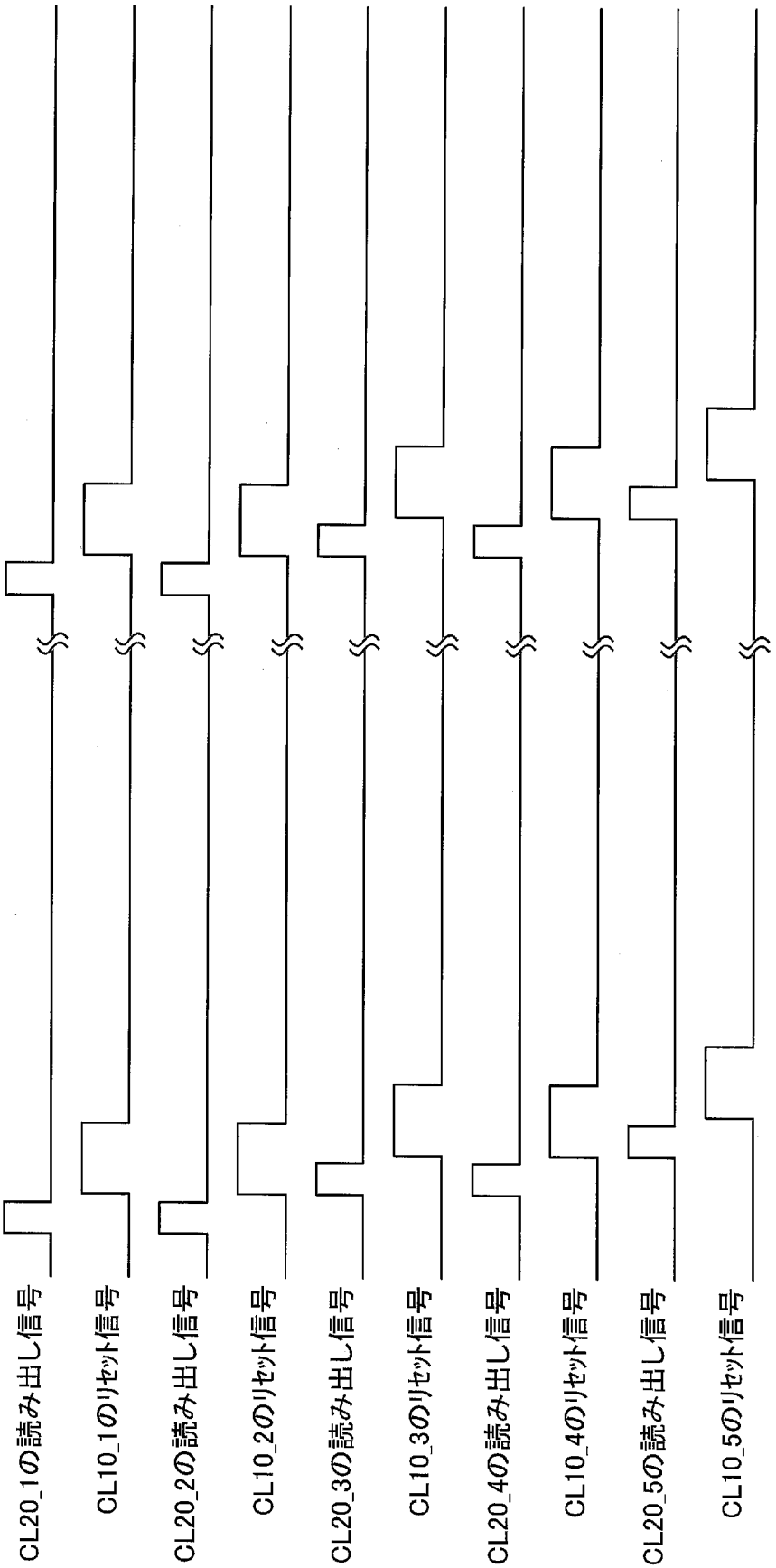
[図8]

図 8


CL20_1の読み出し信号
CL10_1のリセット信号
CL20_2の読み出し信号
CL10_2のリセット信号
CL20_3の読み出し信号
CL10_3のリセット信号
CL20_4の読み出し信号
CL10_4のリセット信号
CL20_5の読み出し信号
CL10_5のリセット信号

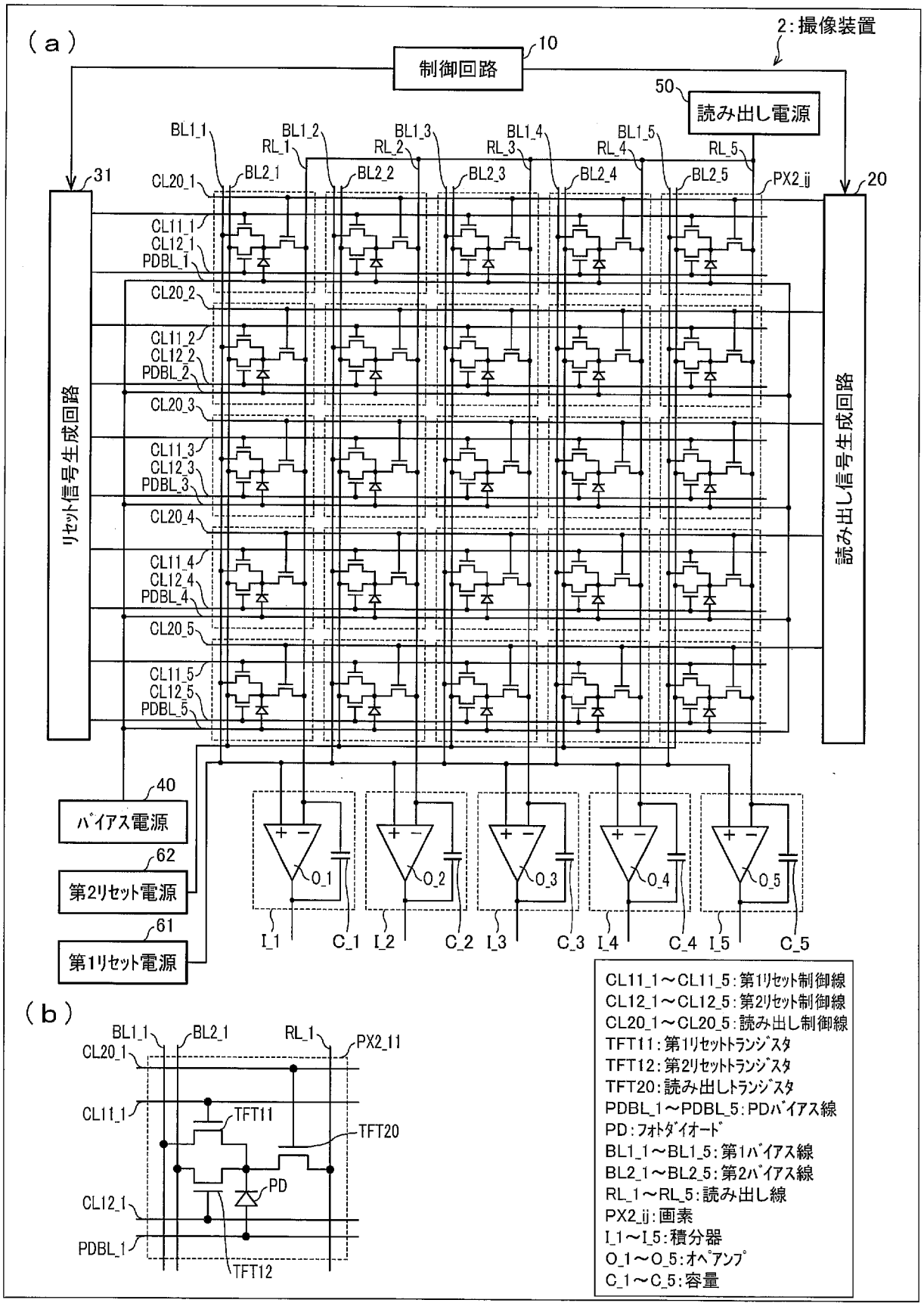
[図9]

図 9


CL20_1の読み出し信号
CL10_1のリセット信号
CL20_2の読み出し信号
CL10_2のリセット信号
CL20_3の読み出し信号
CL10_3のリセット信号
CL20_4の読み出し信号
CL10_4のリセット信号
CL20_5の読み出し信号
CL10_5のリセット信号

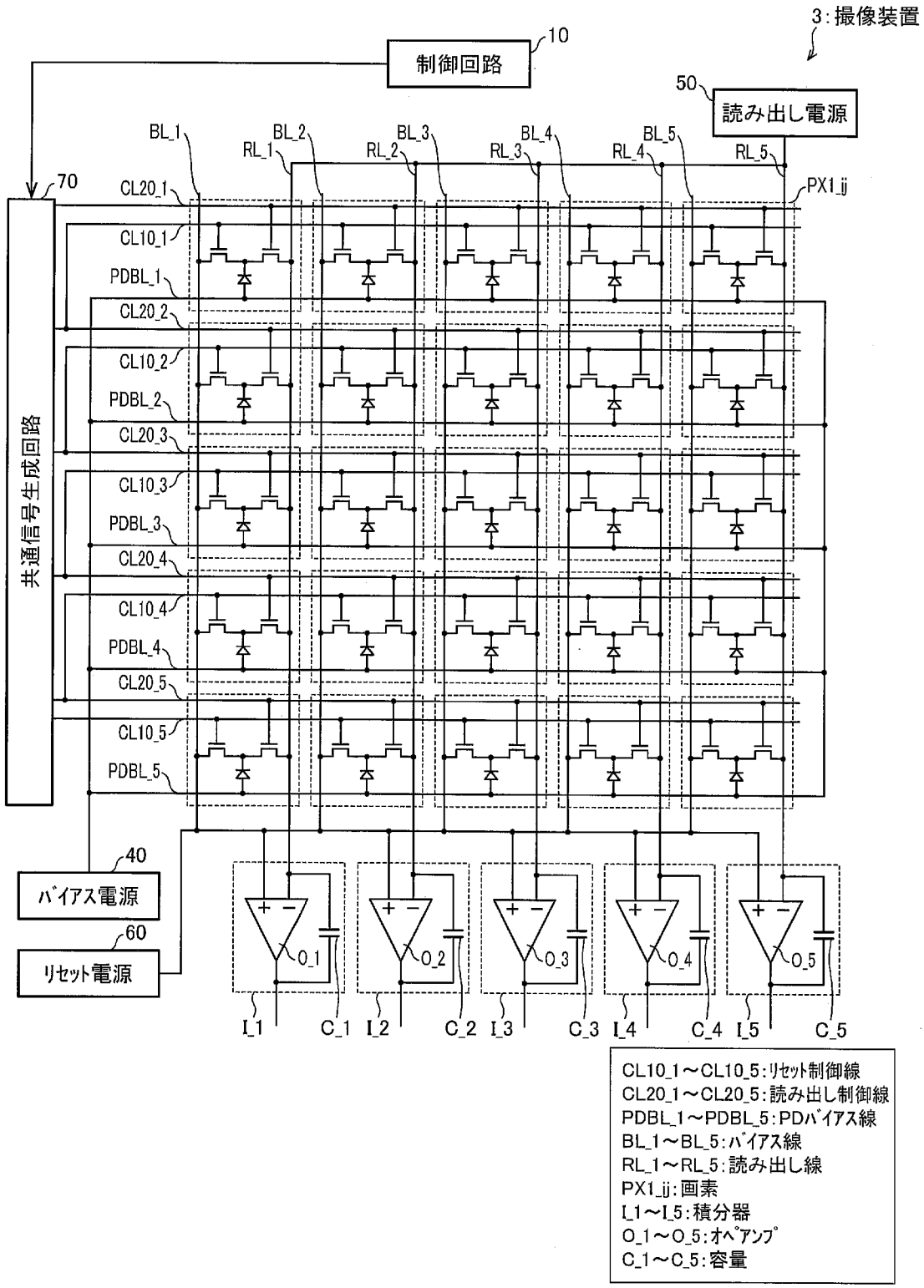
[図10]

図 10


(a)
2:撮像装置
制御回路
10
50
読み出し電源
BL1_1
BL1_2
BL1_3
BL1_4
BL1_5
RL_1
RL_2
RL_3
RL_4
RL_5
31
CL20_1
BL2_1
BL2_2
BL2_3
BL2_4
BL2_5
PX2_ij
20
CL11_1
CL12_1
PDBL_1
CL20_2
CL11_2
CL12_2
PDBL_2
CL20_3
CL11_3
CL12_3
PDBL_3
CL20_4
CL11_4
CL12_4
PDBL_4
CL20_5
CL11_5
CL12_5
PDBL_5
リセット信号生成回路
読み出し信号生成回路
40
バイアス電源
62
第2リセット電源
61
第1リセット電源
O_1
O_2
O_3
O_4
O_5
I_1
C_1
I_2
C_2
I_3
C_3
I_4
C_4
I_5
C_5
CL11_1～CL11_5:第1リセット制御線
CL12_1～CL12_5:第2リセット制御線
CL20_1～CL20_5:読み出し制御線
TFT11:第1リセットトランジスタ
TFT12:第2リセットトランジスタ
TFT20:読み出しトランジスタ
PDBL_1～PDBL_5:PDバイアス線
PD:フォトダイオード
BL1_1～BL1_5:第1バイアス線
BL2_1～BL2_5:第2バイアス線
RL_1～RL_5:読み出し線
PX2_ij:画素
I_1～I_5:積分器
O_1～O_5:オペアンプ
C_1～C_5:容量
(b)
BL1_1
BL2_1
RL_1
PX2_11
CL20_1
CL11_1
TFT11
TFT20
PD
CL12_1
PDBL_1
TFT12

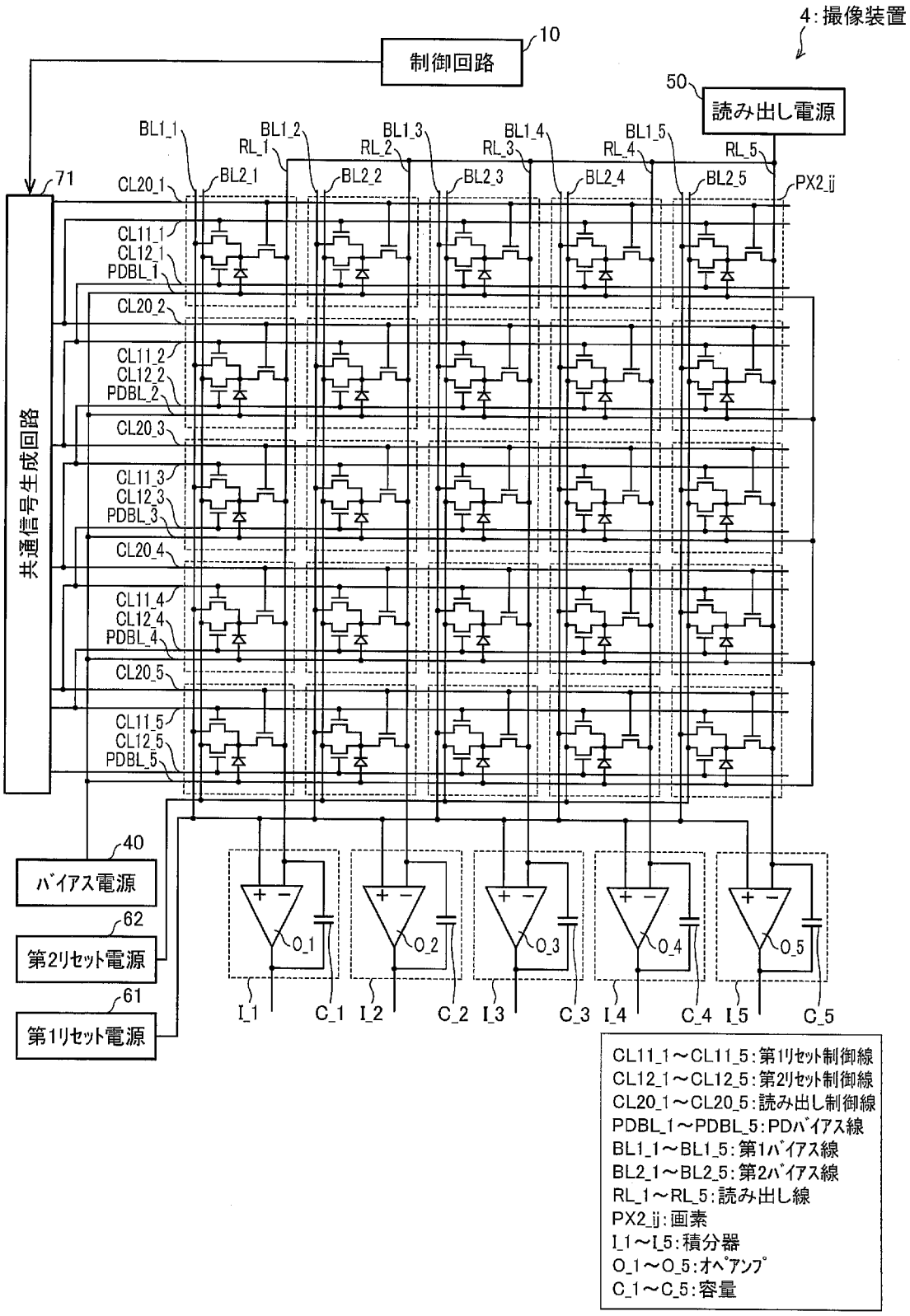
[図11]

図 11


3:撮像装置
制御回路
10
50
読み出し電源
70
共通信号生成回路
BL_1
BL_2
BL_3
BL_4
BL_5
RL_1
RL_2
RL_3
RL_4
RL_5
PX1_ij
CL20_1
CL10_1
PDBL_1
CL20_2
CL10_2
PDBL_2
CL20_3
CL10_3
PDBL_3
CL20_4
CL10_4
PDBL_4
CL20_5
CL10_5
PDBL_5
40
バイアス電源
60
リセット電源
O_1
O_2
O_3
O_4
O_5
I_1
C_1
I_2
C_2
I_3
C_3
I_4
C_4
I_5
C_5
CL10_1～CL10_5:リセット制御線
CL20_1～CL20_5:読み出し制御線
PDBL_1～PDBL_5:PDバイアス線
BL_1～BL_5:バイアス線
RL_1～RL_5:読み出し線
PX1_ij:画素
I_1～I_5:積分器
O_1～O_5:オペアンプ
C_1～C_5:容量

[図12]

図 12


4:撮像装置
制御回路
10
50
読み出し電源
71
共通信号生成回路
BL1_1
BL1_2
BL1_3
BL1_4
BL1_5
RL_1
RL_2
RL_3
RL_4
RL_5
BL2_1
BL2_2
BL2_3
BL2_4
BL2_5
PX2_jj
CL20_1
CL11_1
CL12_1
PDBL_1
CL20_2
CL11_2
CL12_2
PDBL_2
CL20_3
CL11_3
CL12_3
PDBL_3
CL20_4
CL11_4
CL12_4
PDBL_4
CL20_5
CL11_5
CL12_5
PDBL_5
40
バイアス電源
62
第2リセット電源
61
第1リセット電源
O_1
O_2
O_3
O_4
O_5
I_1
C_1
I_2
C_2
I_3
C_3
I_4
C_4
I_5
C_5
CL11_1～CL11_5:第1リセット制御線
CL12_1～CL12_5:第2リセット制御線
CL20_1～CL20_5:読み出し制御線
PDBL_1～PDBL_5:PDバイアス線
BL1_1～BL1_5:第1バイアス線
BL2_1～BL2_5:第2バイアス線
RL_1～RL_5:読み出し線
PX2_jj:画素
I_1～I_5:積分器
O_1～O_5:オペアンプ
C_1～C_5:容量

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/010898

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H04N5/374(2011.01)i, H04N5/376(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H04N5/374, H04N5/376

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2005-175526 A (CANON INC.) 30 June 2005, paragraphs [0072], [0083], [0101], fig. 1-4 & US 2005/0173645 A1, paragraphs [0108], [0119], [0144], fig. 1-4 & WO 2005/055591 A1 & CN 1890957 A	1-5
X A	JP 2010-124305 A (CANON INC.) 03 June 2010, paragraphs [0008], [0036], fig. 1, 3 & US 2010/0134480 A1, paragraphs [0010], [0054], [0055], fig. 1, 3	1, 2 3-5
A	WO 2017/013963 A1 (SHARP CORPORATION) 26 January 2017, entire text, all drawings (Family: none)	1-5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
21.05.2018	29.05.2018

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１８／０１０８９８

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H04N5/374(2011.01)i, H04N5/376(2011.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H04N5/374, H04N5/376

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１８年
日本国実用新案登録公報	１９９６－２０１８年
日本国登録実用新案公報	１９９４－２０１８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2005-175526 A（キヤノン株式会社）2005.06.30, 段落［0072］, ［0083］, ［0101］, 第1-4図 & US 2005/0173645 A1,段落［0108］, ［0119］, ［0144］, 第1-4図 & WO 2005/055591 A1 & CN 1890957 A	１－５
X	JP 2010-124305 A（キヤノン株式会社）2010.06.03, 段落［0008］,	１，２
A	［0036］, 第1,3図 & US 2010/0134480 A1, 段落［0010］, ［0054］, ［0055］, 第1,3図	３－５
A	WO 2017/013963 A1（シャープ株式会社）2017.01.26, 全文, 全図（ファミリーなし）	１－５

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２１．０５．２０１８	２９．０５．２０１８

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｖ　９１８５
鈴木　明
電話番号　０３－３５８１－１１０１　内線　３５７１