



(12) 发明专利

(10) 授权公告号 CN 101548266 B

(45) 授权公告日 2012. 12. 05

(21) 申请号 200780044777. 6

(51) Int. Cl.

(22) 申请日 2007. 12. 03

G06F 9/38 (2006. 01)

G06F 12/08 (2006. 01)

(30) 优先权数据

11/608, 309 2006. 12. 08 US

(56) 对比文件

(85) PCT申请进入国家阶段日

2009. 06. 03

EP 0772123 A2, 1997. 05. 07, 说明书第 2 栏第 11-33 行; 第 4 栏第 24-56 行; 第 6 栏第 50 行至第 7 栏第 48 行; 第 8 栏第 43-46 行; 图 1、2、5.

(86) PCT申请的申请数据

PCT/US2007/086254 2007. 12. 03

EP 0772123 A2, 1997. 05. 07, 说明书第 2 栏第 11-33 行; 第 4 栏第 24-56 行; 第 6 栏第 50 行至第 7 栏第 48 行; 第 8 栏第 43-46 行; 图 1、2、5.

(87) PCT申请的公布数据

W02008/073741 EN 2008. 06. 19

CN 1484788 A, 2004. 03. 24, 全文.

(73) 专利权人 高通股份有限公司

审查员 张妍

地址 美国加利福尼亚州

(72) 发明人 迈克尔·威廉·莫罗

詹姆斯·诺里斯·迪芬德尔弗尔

(74) 专利代理机构 北京律盟知识产权代理有限公司
责任公司 11287

代理人 刘国伟

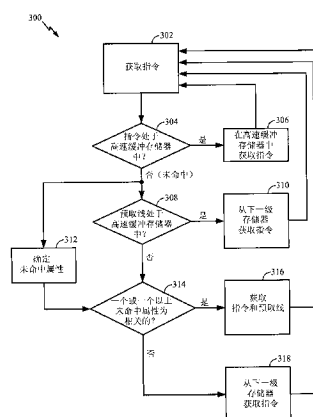
权利要求书 1 页 说明书 7 页 附图 3 页

(54) 发明名称

用于低复杂性指令预取系统的方法和设备

(57) 摘要

当指令高速缓冲存储器中发生未命中时, 使用使未命中率、存储器存取带宽和功率使用最小化的预取技术。所述预取技术中的一种预取技术在发生未命中时操作。接收获取地址在指令高速缓冲存储器中未命中的通知。分析引起所述未命中的所述获取地址以确定所述获取地址的属性, 且基于所述属性, 预取指令线。所述属性可指示所述获取地址是非循序操作的目标地址。另一个属性可指示所述获取地址是非循序操作的目标地址, 且所述目标地址有大于 X% 进入高速缓冲存储器线中。其它属性可指示所述获取地址是所述指令高速缓冲存储器中的偶地址。可组合此些属性以确定是否进行预取。



1. 一种用于指令预取的方法,其包含:
接收获取地址在指令高速缓冲存储器(203)中未命中的通知;以及
确定(312)引起所述未命中的所述获取地址的属性;
其特征在于还包括:
当所述属性指示下列中的一个或者多个时,将与所述获取地址相关联的下一连续指令线预取(316)入所述指令高速缓冲存储器中:
所述获取地址为非循序操作的目标地址;
所述获取地址为非循序操作的目标地址并且所述目标地址为进入高速缓冲存储器线中大于或等于阈值X%的地址;以及
所述获取地址为所述指令高速缓冲存储器(203)中的偶地址。
2. 根据权利要求1所述的方法,其中预取进一步包含:
通过将对未命中指令和其关联指令线的获取与所述预取指令线组合来启用长数据转移。
3. 根据权利要求1所述的方法,其中预取进一步包含:
确定(308)待预取的所述指令线是否存在于所述指令高速缓冲存储器中(203);
以及
如果待预取的所述指令线不存在于所述指令高速缓冲存储器中,那么预取(316)待预取的所述指令线。
4. 根据权利要求1所述的方法,其中预取进一步包含:
将引起在循序操作的目标地址处发生所述未命中的所述获取地址确定为所述属性;以及
基于所述属性而停用对指令线的所述预取。
5. 根据权利要求1所述的方法,其中从耦合到所述指令高速缓冲存储器的处理器(202)中的装置(256)确定所述非循序操作。
6. 根据权利要求2所述的方法,其中通过将所述获取地址与先前获取地址进行比较来确定所述非循序操作。
7. 一种用于指令预取的设备,其包含:
用于接收获取地址在指令高速缓冲存储器(203)中未命中的通知的装置;
用于确定(312)引起所述未命中的所述获取地址的属性的装置;以及
其特征在于还包括:
用于在所述属性指示下列中的一个或者多个时,将与所述获取地址相关联的下一连续指令线预取(316)入所述指令高速缓冲存储器中的装置:
所述获取地址为非循序操作的目标地址;
所述获取地址为非循序操作的目标地址并且所述目标地址为进入高速缓冲存储器线中大于或等于阈值X%的地址;以及
所述获取地址为所述指令高速缓冲存储器(203)中的偶地址。
8. 根据权利要求7所述的用于指令预取的设备,其进一步包含:
用于从耦合到所述指令高速缓冲存储器的处理器(202)中的装置(256)确定所述非循序操作的装置。

用于低复杂性指令预取系统的方法和设备

技术领域

[0001] 本发明大体上涉及指令高速缓冲存储器的领域,且更具体来说,涉及在指令高速缓冲存储器中有未命中时的指令预取。

背景技术

[0002] 许多便携式产品(例如,手机、膝上型计算机、个人数据助理(PDA)等)利用执行程序(例如,通信和多媒体程序)的处理器。用于这些产品的处理系统包括用于存储指令和数据的处理器与存储器复合体。与处理器循环时间相比,大容量主存储器通常具有较慢的存取时间。因此,常规上基于高速缓冲存储器的容量和性能来按层级组织存储器复合体,其中最高性能和最低容量的高速缓冲存储器位于最接近于处理器处。举例来说,1级指令高速缓冲存储器和1级数据高速缓冲存储器将一般直接附接到处理器。而2级统一高速缓冲存储器连接到1级(L1)指令和数据高速缓冲存储器。另外,系统存储器连接到2级(L2)统一高速缓冲存储器。1级指令高速缓冲存储器通常以处理器速度来操作,且2级统一高速缓冲存储器比1级高速缓冲存储器操作得慢,但具有比系统存储器的存取时间快的存取时间。替代性存储器组织除了L1和L2高速缓冲存储器外大量存在(例如)具有3级高速缓冲存储器的存储器层级。另一个存储器组织可仅使用1级高速缓冲存储器和系统存储器。

[0003] 为何可使用指令高速缓冲存储器的存储器层级背后的原理之一为倾向于从存储器中的循序位置来存取指令。通过使高速缓冲存储器保存最近所使用的代码段,处理器可以较高性能水平执行。由于程序还含有分支、调用和返回类型的指令,且支持其它非循序操作(例如,中断),所以可仅针对相当短的代码段维持循序位置的原理。归因于此些非循序操作,对指令高速缓冲存储器的指令获取可未命中,使得将指令取响应用于在较高存储器容量和较慢存取时间下操作的下一较高级存储器。未命中可使处理器中止以等待指令。为了使处理器性能保持较高,高速缓冲存储器未命中率应为低。

[0004] 指令高速缓冲存储器通常由位于指令高速缓冲存储器中的单个地址处的多个指令构成。此多个指令通常被称为高速缓冲存储器线或简称为线。未命中可发生于高速缓冲存储器线中任何地方的指令存取时。当未命中发生时,不再仅获取所需指令,而是还可获取高速缓冲存储器线的剩余部分,即,从所未命中指令到高速缓冲存储器线的末端。在一些系统中,将此种预取技术进一步扩展到在未命中时总是预取高速缓冲存储器线的剩余部分和下一个高速缓冲存储器线。此种总是预取下一个高速缓冲存储器线的常规技术是基于下一个高速缓冲存储器线含有不久将需要的指令的假定。对使用下一个高速缓冲存储器线中的指令的此设想保持有效,即使是(例如)在所述线中遇到条件分支且条件致使所述分支流沦为下一个循序指令。通过一直预取下一个高速缓冲存储器线,可减少未命中。

[0005] 当然,在程序中的某点处,对指令的循序存取的位置原理失败,且未命中确实归因于由分支、调用和返回等引起的非循序操作而发生。举例来说,当在高速缓冲存储器线的末端处获取指令,且下一个循序指令(其应驻存在下一个循序指令高速缓冲存储器线中)不驻存在高速缓冲存储器中时,还可发生归因于循序存取的未命中。举例来说,当遇到分支指

令且所述分支使程序地址改变为新的位置且新位置处的指令不驻存在高速缓冲存储器中时,可发生归因于非循序存取的未命中。一直预取下一个高速缓冲存储器线的常规技术获取可能会不使用的指令且因此引起存储器存取带宽的不必要损失、增加的功率使用和较低处理器性能。

发明内容

[0006] 本发明认识到,当未命中发生时,需要减少未命中率、存储器存取带宽和功率使用的预取技术。本发明的一个实施例提供一种用于指令预取的方法。当未命中发生时,接收在指令高速缓冲存储器中未命中获取地址的通知。确定引起未命中的获取地址属性,且基于所述属性,预取指令线。

[0007] 本发明的另一个实施例针对指令高速缓冲存储器和预取系统。指令高速缓冲存储器经配置以产生未命中获取地址的通知。预取决策逻辑经配置以确定引起未命中的获取地址属性,且预取逻辑经配置以基于所述属性来预取指令线。

[0008] 本发明的另一个实施例针对一种存储器系统。所述存储器系统使用经配置以产生未命中获取地址的通知的指令高速缓冲存储器。预取决策逻辑经配置以确定引起未命中的获取地址属性且基于未命中的获取地址和所述属性来产生未命中信息。系统存储器层级经配置以用与所未命中获取地址相关联的指令来响应于所述未命中信息。

[0009] 本发明的另一个实施例针对一种用于指令预取的方法,其包含:接收获取地址在指令高速缓冲存储器中未命中的通知;以及确定引起所述未命中的所述获取地址的属性;其特征在于还包括:当所述属性指示下列中的一个或者多个时,将与所述获取地址相关联的下一连续指令线预取入所述指令高速缓冲存储器中;所述获取地址为非循序操作的目标地址;所述获取地址为非循序操作的目标地址并且所述目标地址为进入高速缓冲存储器线中大于或等于阈值 X% 的地址;以及所述获取地址为所述指令高速缓冲存储器中的偶地址。

[0010] 本发明的另一个实施例针对一种用于指令预取的设备,其包含:用于接收获取地址在指令高速缓冲存储器中未命中的通知的装置;用于确定引起所述未命中的所述获取地址的属性的装置;以及其特征在于还包括:用于在所述属性指示下列中的一个或者多个时,将与所述获取地址相关联的下一连续指令线预取入所述指令高速缓冲存储器中的装置;所述获取地址为非循序操作的目标地址;所述获取地址为非循序操作的目标地址并且所述目标地址为进入高速缓冲存储器线中大于或等于阈值 X% 的地址;以及所述获取地址为所述指令高速缓冲存储器中的偶地址。

[0011] 应理解,通过以下详细描述,所属领域的技术人员将容易明白本发明的其它实施例,其中以说明的方式来展示并描述本发明的各个实施例。如将认识到的,本发明能够具有其它且不同的实施例,且其若干细节能够在各个其它方面受到修改,所述其它且不同实施例和对其的修改均不脱离本发明。因此,图式和详细描述将被视为本质上为说明性的而非限制性的。

附图说明

[0012] 图 1 说明无线通信系统;

[0013] 图 2 为处理器与存储器复合体的功能框图,其中可基于对存储器有效操作的试探来调适对指令高速缓冲存储器线的预取;和

[0014] 图 3 为展示低复杂性预取过程的流程图。

具体实施方式

[0015] 在下文结合附图陈述的详细描述意欲作为对本发明的各种示范性实施例的描述且不意欲表示可实践本发明的唯一实施例。所述详细描述包括特定细节以便达成提供对本发明的彻底理解的目的。然而,所属领域的技术人员将明白,可在无这些特定细节的情况下实践本发明。在一些情况下,以框图形式来展示众所周知的结构和组件以便避免混淆本发明的概念。

[0016] 图 1 说明示范性无线通信系统 100,其中,可有利地采用本发明的实施例。出于说明的目的,图 1 展示三个远程单元 120、130 和 150 和两个基站 140。将认识到,典型无线通信系统可具有许多更多远程单元和基站。远程单元 120、130 和 150 包括分别由组件 125A、125C 和 125B 表示的硬件组件、软件组件或其两者,如下文中进一步所论述,其已被调适以实施本发明。图 1 展示从基站 140 到远程单元 120、130 和 150 的前向链路信号 180 和从远程单元 120、130 和 150 到基站 140 的反向链路信号 190。

[0017] 在图 1 中,将远程单元 120 展示为移动电话,将远程单元 130 展示为便携式计算机,和将远程单元 150 展示为无线本地回路系统中的固定位置远程单元。举例来说,所述远程单元可或者为手机、寻呼机、对讲机、手持式个人通信系统 (PCS) 单元、例如个人数据助理的便携式数据单元,或例如仪表读取装备的固定位置数据单元。虽然图 1 说明根据本发明的教示的示范性远程单元,但本发明不限于这些示范性的所说明单元。本发明可适于用在具有带有指令高速缓冲存储器和系统存储器的处理器的任何装置中。

[0018] 图 2 为处理器与存储器复合体 200 的功能框图,其中可基于对存储器有效操作的试探来调适对指令高速缓冲存储器线的预取。处理器与存储器复合体 200 包括处理器 202;直接映射 1 级 (L1) 指令高速缓冲存储器 (Icache) 203,其包含 L1Icache 线阵列 204 和 L1Icache 控制单元 206;和系统存储器层级 208。如可用在各种类型的高速缓冲存储器(例如,组相关联高速缓冲存储器)中,L1Icache 控制单元 206 可包括预取逻辑和用于指令标签匹配的指令内容可寻址存储器。出于论述清楚起见,不展示可连接到处理器复合体的外围装置。处理器与存储器复合体 200 可适于用在用于执行存储于 L1Icache 203 和系统存储器层级 208 中的程序代码的组件 125A 到 125C 中。

[0019] L1Icache 线阵列 204 可包括多个线,例如高速缓冲存储器线 210 和 211。每一线分别由多个指令 (I₀、I₁、……、I₇) 212 到 219 组成。标签 220 和线状态 (LS) 221(例如,有效位)与每一线相关联。高速缓冲存储器线 210 和 211 分别驻存在 L1Icache 线阵列 204 中的线地址 222 和 223 处。L1Icache 控制单元 206 含有对经由指令地址 (IA) 接口 225 接收到的 IA 224 作出响应的地址控制逻辑以存取高速缓冲存储器线。IA 224 可由标签 226、线地址 228、指令“I”字段 232 和字节“B”字段 234 组成。线地址 228 由“line+”字段 229 和偶数“E”位 230 组成。

[0020] 为了获取在处理器与存储器复合体 200 中的指令,处理器 202 产生待获取的所要指令的指令地址 (IA) 224 且将获取地址发送到 L1Icache 控制单元 206。基于接收到的

IA224, L1Icache 控制单元 206 查看所述指令是否存在于 L1Icache 线阵列 204 中。举例来说, 通过使用比较逻辑来完成此检查, 所述比较逻辑检查由 IA 224 所选的线 210 中的匹配标签 236。还通过验证线状态位 (LS) 221 (例如, 有效位 238) 来做出关于线是否含有有效指令的确定。当存在所述指令时, 匹配或命中发生, 且 L1Icache 控制单元 206 指示所述指令存在于 L1Icache 203 中。如果所述指令不存在, 那么将不发现匹配或未命中, 且 L1Icache 控制单元 206 提供所述指令不存在于 Icache 203 中的未命中指示。

[0021] 如果所述指令存在, 那么从 L1Icache 线阵列 204 选择在指令获取地址处的指令。接着在指令输出总线 240 上将所述指令发送到处理器 202。

[0022] 如果所述指令不存在于指令高速缓冲存储器中, 那么经由未命中信号路径 242 将指示未命中已发生的未命中信息提供给系统存储器层级 208。在 1 级 Icache 203 中检测到未命中后, 处理器与存储器复合体 200 试图获取所要指令, 且如在下文更详细地描述, 可从系统存储器的较高级预取额外指令。举例来说, 可从位于系统存储器层级 208 中的 2 级 (L2) 统一高速缓冲存储器来预取指令。在存储器数据总线接口 244 上从系统存储器层级 208 提供归因于所述未命中的所要指令和任何预取的指令。

[0023] 当未命中发生时, 可确定引起未命中的与获取地址相关联的一个或一个以上属性。举例来说, 可将获取地址归类为循序存取或非循序存取的目标。举例来说, 可根据地址是否有大于 X% 进入高速缓冲存储器线中来对获取地址作进一步归类。还可基于获取地址在指令高速缓冲存储器中是否为偶地址来对获取地址进行归类。这些和其它归类界定可以试探形式组合以智能地确定何时进行预取的属性。通过智能地预取, 可节省功率, 可改进存储器带宽, 可减少未命中率, 且通常可改进处理器和系统性能。

[0024] 可从获取地址动态地确定引起未命中的与获取地址相关联的属性。举例来说, 通过监视获取地址, 可确定循序获取地址或非循序获取地址。基于获取地址和高速缓冲存储器线长度, 可动态地确定在高速缓冲存储器线中的存取位置。举例来说, 当所确定位置的比较等于或超过 X% 阈值时, 此属性为相关的。而且, 基于获取地址和高速缓冲存储器线长度, 可使用获取地址中的位来确定是对偶数高速缓冲存储器线还是奇数高速缓冲存储器线进行存取。在下文更详细地描述这些属性。

[0025] 在一个实施例中, 在指令高速缓冲存储器中有未命中时, 如果未命中属性中的一者或一者以上为相关的, 那么预取来自存储器层级的下一级的下一连续高速缓冲存储器线。如果未命中属性中的一者或一者以上为不相关的, 那么不预取下一连续高速缓冲存储器线。请注意, 一般来说, 可预取不连续的高速缓冲存储器线。对预取高速缓冲存储器线的确定可基于未命中属性、程序属性或此些属性的组合。举例来说, 可使用来自分支历史表或分支预测逻辑的信息来提供程序的执行流的属性, 所述属性可用以确定是预取连续的指令线还是非连续的指令线。

[0026] 在另一个实施例中, 如果指令高速缓冲存储器中的未命中是归因于非循序未命中 (例如, 到不存在于指令高速缓冲存储器中的指令的地址的分支、子例行程序调用等), 那么预取来自存储器层级的下一级的指令线。如果指令高速缓冲存储器中的未命中是归因于循序未命中 (例如, 对不存在于指令高速缓冲存储器中的指令的循序存取), 那么不进行预取操作。还请注意, 预取操作的地址可为连续或非连续的指令线。

[0027] 在另一个实施例中, 如果指令高速缓冲存储器中的未命中发生在指令高速缓冲存

存储器中为偶数的地址处,那么预取来自存储器层级的下一级的指令线。如果指令高速缓冲存储器中的未命中发生在指令高速缓冲存储器中为奇数的地址处,那么不进行预取。

[0028] 在另一个实施例中,如果指令高速缓冲存储器中的未命中是归因于在大于或等于 X% 进入高速缓冲存储器线中的地址处的非循序未命中,那么预取来自存储器层级的下一级的指令线。如果指令高速缓冲存储器中的未命中是归因于有小于 X% 进入高速缓冲存储器线中的地址处的未命中或为循序未命中,那么不进行预取。举例来说,如果未命中发生在高速缓冲存储器线的末端附近的获取地址(例如,75% 进入高速缓冲存储器线中)处,那么从存储器层级的下一级预取指令线。进入高速缓冲存储器线中的百分数 X 可固定为通过实验手段选择的值或可为可编程的,从而允许在操作中 X% 适于程序。举例来说,如果对于图 2 的示范性说明来说, X% 为 62.5%,那么在具有八个指令线 210 的情况下,所述线的 62.5% 与 I4216 相关联,五个指令进入所述线中。如果未命中发生在 I4216 或更大的获取地址处,那么启用预取操作。如果未命中发生在 I3215 或更小的获取地址处,那么不启用预取操作。在替代性实施方案中,如果指令高速缓冲存储器中的未命中是归因于有大于 X% 进入高速缓冲存储器线中的地址处的未命中,那么进行预取。对于 X% = 62.5% 的上述实例来说,如果未命中发生在 I5217 或更大的获取地址处,那么启用预取。否则,如果未命中处于小于或等于 I4216 进入高速缓冲存储器线中的地址处,那么不进行预取。

[0029] 在另一个实施例中,可组合未命中属性以确定是否进行预取。举例来说,如果指令高速缓冲存储器中的未命中是归因于非循序未命中(例如,到不存在于指令高速缓冲存储器中的指令的地址的分支、子例行程序调用等),或如果指令高速缓冲存储器中的未命中发生在指令高速缓冲存储器中为偶数的地址处,那么预取来自存储器层级的下一级的指令线。否则,在未命中时,不进行预取。

[0030] 用预取决策逻辑 246 来完成对是否进行预取的确定,预取决策逻辑 246 可与高速缓冲存储器存取探针并行操作以确定所寻址的指令是否处于高速缓冲存储器中。预取决策逻辑 246 可将未命中指示 248、非循序操作(例如,分支、调用或返回操作)引起未命中的非循序指示 250、X% 值 252 作为输入,且可包括(例如)所获取指令的 IA 224。未命中指示 248、非循序指示 250 和 X% 值 252 由 L1Icache 控制单元 206 提供。未命中与非循序获取操作的获取地址相关联的确定可来自处理器 202 的控制 254 获得。可进一步从用于与指令相关联的非循序操作 256(例如,分支、调用、返回等)的逻辑获得控制 254。或者,L1Icache 控制单元 206 可将当前获取指令地址与先前获取指令地址进行比较以确定获取是否与非循序操作相关联。请注意,预取决策逻辑 246 可位于指令高速缓冲存储器外部,在需要时用信号进行连接。举例来说,预取决策逻辑可与产生指令地址 224 的处理器 202 更紧密地相关联。

[0031] 其它属性(例如,确定获取地址是否为偶地址高速缓冲存储器线)可基于偶数“E”位 230,其中对于偶数高速缓冲存储器线来说, E = 0。“E”位 230 地址位位置或值可依据指令高速缓冲存储器线阵列 204 中的线长度而变化。如图 2 所说明,两个位的 B 字段 234 指示字中的多达四个字节,且三个位的 I 字段 232 指示线中的多达八个字。在此布置下,“E”位 230 每八个字(对于 32 字节高速缓冲存储器线进行寻址的八个字)便改变状态。

[0032] 在其它实施例中,预取决策逻辑 246 可使高速缓冲存储器的探针确定待预取的高速缓冲存储器线是否已经处于指令高速缓冲存储器中。如果与预取目标相关联的高速缓冲

存储器线已经处于高速缓冲存储器中,那么停止或阻止预取操作开始。

[0033] 一旦已通过与指令高速缓冲存储器相关联的预取逻辑起始预取且由存储器层级的较高级作出响应,那么可经由存储器数据总线(例如,存储器数据总线 244)将多个指令线转移到 L1Icache。依据存储器数据总线接口 244 的物理总线宽度和所实施的信令协议,可以固定大小数量或包(例如,32 个字节、64 个字节、128 个字节、256 个字节、512 个字节等等)来转移数据。通常,短数据包的多次转移通常比具有较大包大小的突发转移的效率低,此归因于配置和发送数据过程中的额外开销。因此,在另一个实施例,当作出替代预取两个指令线而是(例如)在两个个别数据转移中进行预取的决策时,请求长数据转移。与在较短独立转移中发送指令相比,在预取时的长数据转移使总转移时间最小化。

[0034] 图 3 为展示低复杂性预取过程 300 的流程图。通过描述来自处理器存储器复合体 200 的元件可如何合适地协作以执行方法 300 来指示图 3 的方框与图 2 的元件之间的示范性关系。

[0035] 在方框 302 中,处理器(例如,处理器 202)获取指令。在决策方框 304 中,确定正获取的指令是否驻存在指令高速缓冲存储器中。举例来说,L1Icache 控制单元 206 检查确认指令是否存在。如果指令处于指令高速缓冲存储器中,那么过程 300 在方框 306 中在高速缓冲存储器中获取指令且接着返回到方框 302 以等待下一个指令获取。举例来说,将选定指令放置于指令输出总线 240 上且在处理器 202 中接收。

[0036] 如果指令不处于指令高速缓冲存储器中,那么已检测到未命中情形。过程 300 前进到决策方框 308,其中,确定与当前指令地址相关联的下一个连续线是否已存在于指令高速缓冲存储器中。可在不必直接存取 L1Icache 线阵列 204 的情况下在 L1Icache 控制单元 206 中完成此确定。如果下一个连续线已处于 L1Icache 中,那么在方框 310 中将获取发布到当前指令地址的存储器层级(例如,系统存储器层级 208)。过程 300 接着返回到方框 302 以等待下一个指令获取。并行地,在方框 312 中确定引起未命中的获取地址属性。可在预取决策逻辑 246 中合适地完成此确定。

[0037] 如果下一个连续线不处于高速缓冲存储器中,那么所述过程前进到决策方框 314,其中,确定在方框 312 中确定的未命中属性中的一者或一者以上是否相关。虽然可确定多个属性,但固定或可编程功能可选择应用所述属性的子集或全部。如果未命中属性为相关的,那么过程 300 前进到方框 316 以获取指令和来自下一级存储器的所确定预取高速缓冲存储器线且返回到方框 302 以等待下一个指令获取。因此,当在决策方框 314 中达到进行预取的决策时,不再(例如)以两次个别数据转移预取两个指令线,而是请求长数据转移。如果未命中属性不相关,那么在方框 318 中将获取发布到当前指令地址的存储器层级(例如,系统存储器层级 208)。过程 300 接着返回到方框 302 以等待下一个指令获取。

[0038] 通过直接映射的高速缓冲存储器实施方案来说明对本文中所揭示的实施例的示范性论述。请注意,可认为直接映射的高速缓冲存储器是组相关联高速缓冲存储器的特殊情况(例如,单路组相关联高速缓冲存储器)。本文中所描述的原理还适用于 N 路组相关联高速缓冲存储器(例如,4 路组相关联高速缓冲存储器实施方案)。以类似方式,本文中所描述的原理适用于全相关联高速缓冲存储器实施方案。

[0039] 可通过通用处理器、数字信号处理器(DSP)、专用集成电路(ASIC)、现场可编程门阵列(FPGA)或其它可编程逻辑组件、离散门或晶体管逻辑、离散硬件组件,或其经设计以

执行本文中所描述的功能的任何组合来实施或执行结合本文中所揭示的实施例而描述的各种说明性逻辑区块、模块、电路、元件和 / 或组件。通用处理器可为微处理器,但在替代实施方案中,所述处理器可为任何常规处理器、控制器、微控制器或状态机。还可将处理器实施为计算组件的组合,例如,DSP 与微处理器的组合、多个微处理器的组合、一个或一个以上微处理器与 DSP 核心的联合,或任何其它此类配置。

[0040] 结合本文中所揭示的实施例而描述的方法可直接以硬件、由处理器执行的软件模块或以所述两者的组合来实施。软件模块可驻存在 RAM 存储器、快闪存储器、ROM 存储器、EPROM 存储器、EEPROM 存储器、寄存器、硬盘、可移除盘、CD-ROM,或此项技术中已知的任何其它形式的存储媒体中。存储媒体可耦合到处理器,使得处理器可从存储媒体读取信息以及将信息写入到存储媒体。在替代实施方案中,存储媒体可与处理器整合。

[0041] 虽然在实施例的上下文中揭示本发明,但将认识到,所属领域的技术人员可采用与上文的论述和下文的权利要求一致的广泛多种实施方案。举例来说,主要在 1 级指令高速缓冲存储器的上下文中揭示实施例。将了解,实施例还可使用 2 级指令高速缓冲存储器、用于预取指令的 2 级统一高速缓冲存储器,或在存储器层级的对于处理器存储器复合体来说为适当的其它级处。还将了解,指令高速缓冲存储器可与处理器核心整合或在处理器核心外部。

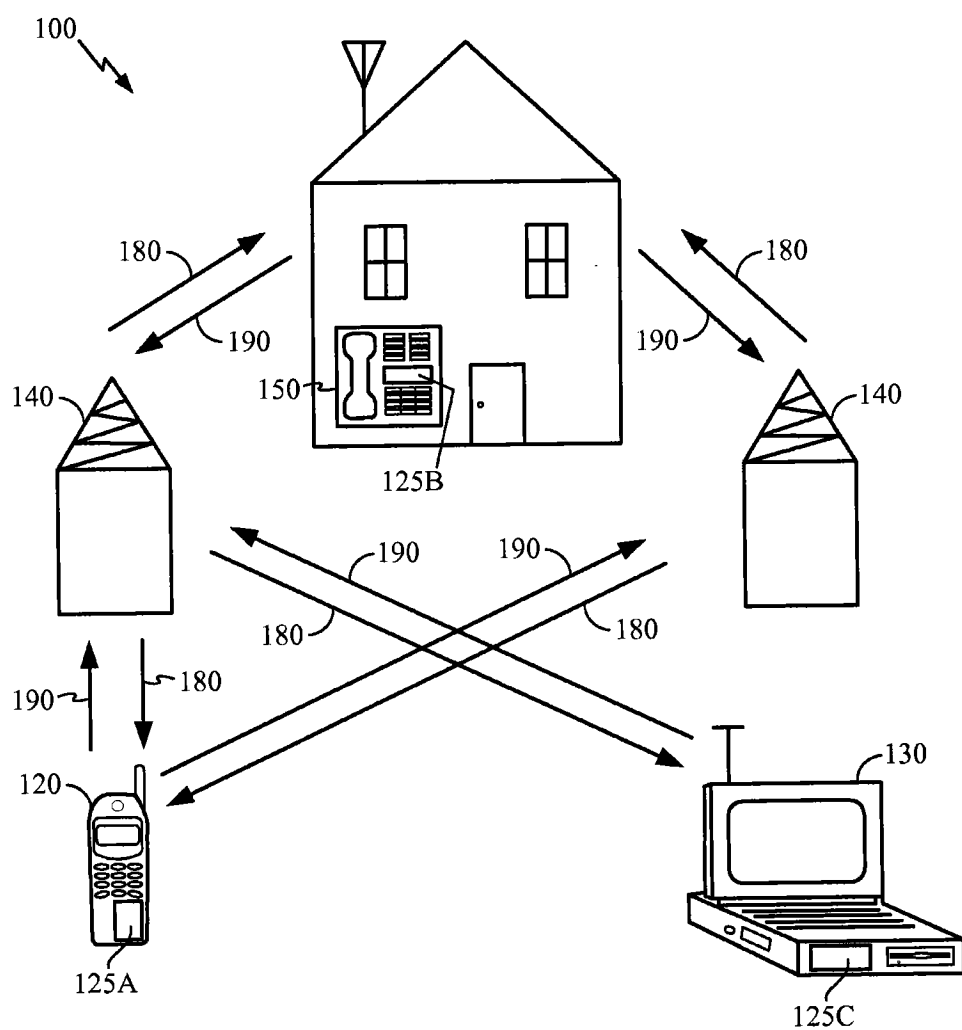


图 1

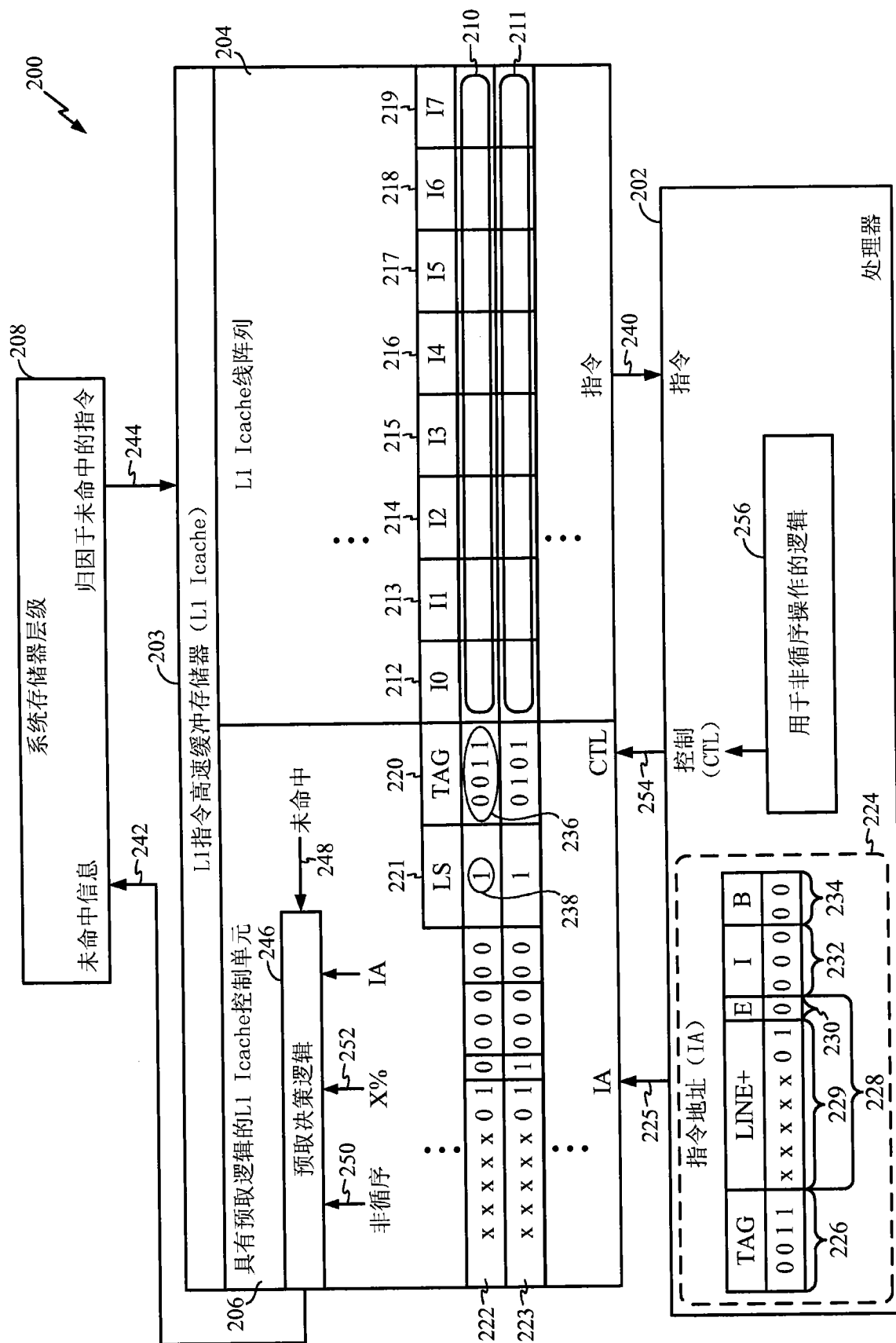


图 2

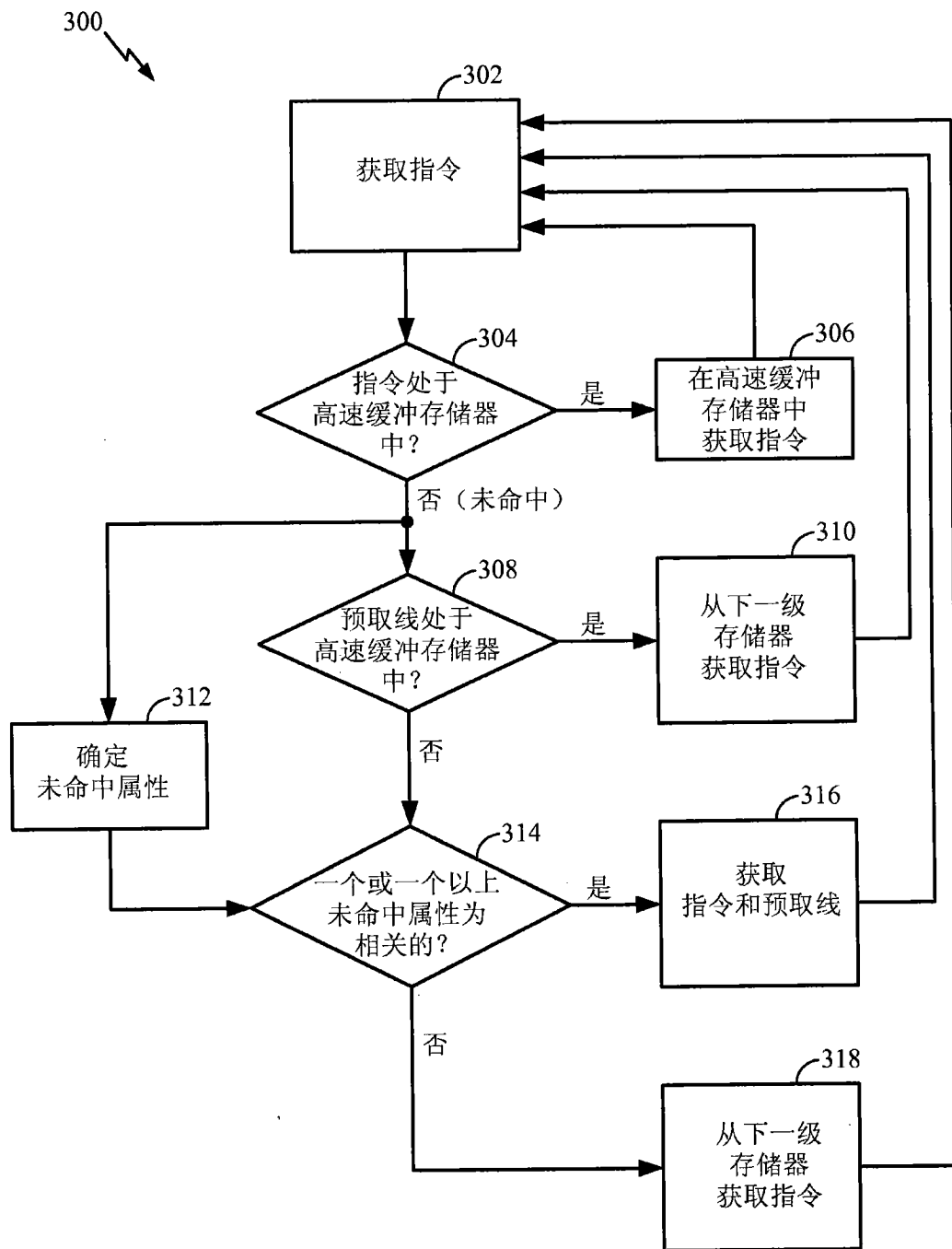


图 3