



ÚŘAD
PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

202828

(11)

(B1)

(51) Int. Cl.³
G 06 F 9/06

(22) Přihlášeno 28 11 78

(21) [PV 7803-78]

(40) Zveřejněno 30 05 80

(45) Vydáno 15 03 82

(75)

Autor vynálezu

PLISCHKE VRATISLAV ing., THIEL JIŘÍ ing., PRAHA a NĚMEC JAN ing., TÁBOR

(54) Zapojení vyrovnávací paměti jednotky pro odlaďování programů pro číslicově řízené obráběcí stroje

Předmětem vynálezu je zapojení vyrovnávací paměti jednotky pro odlaďování programů pro číslicově řízené obráběcí stroje.

Převážná většina známých číslicových řídicích systémů neumožňuje odlaďovat a vytvářet program přímo u obráběcího stroje a jejich vyrovnávací paměti, pokud existují, umožňují pouze zapamatování informací například jednoho znaku; každou změnu programu je nutno provádět na speciálním pracovišti, obecně vzdáleném od obráběcího stroje. Odlaďování přímo u stroje s vyšší funkcí vyrovnávací paměti umožňují pouze složitější, komplexně řešené a tím i značně dražší číslicové řídicí systémy s mikroprocesory.

Tento nedostatek shora uvedené většiny číslicových řídicích systémů může být odstraněn vestavěním jednotky pro odlaďování programů s vyrovnávací pamětí zapojenou podle vynálezu, která umožní nejen prosté uchování informace, ale i její kapacitní a obsahovou změnu a přizpůsobení tvaru informace potřebám odlaďování jednotky. Použitím vyrovnávací paměti zapojené podle vynálezu ve vestavěné jednotce pro odlaďování programů se některé z těchto dnes používaných systémů z hlediska využití vyrovnají i těm nejmodernějším systémům mikroprocesorovým.

Zapojení vyrovnávací paměti jednotky pro odlaďování programů pro číslicově řízené obrábě-

cí stroje se sestává z rozhodovacího obvodu, registru číslic, paměti adres, paměti číslic, řídicích obvodů, řídicí paměti bloku úpravy dat, obvodu hlášení stavu a výstupního obvodu a jeho podstatou je, že první výstup rozhodovacího obvodu, na jehož první vstup je zaveden vstup dat, je zaveden do prvního vstupu paměti adres a do prvního vstupu registru číslic, přičemž na druhý vstup rozhodovacího obvodu je zaveden šestý výstup řídicích obvodů, zatímco na jejich třetí vstup je přiveden druhý výstup rozhodovacího obvodu, přičemž na druhý vstup registru číslic stejně jako na třetí vstup paměti číslic je zaveden druhý výstup řídicích obvodů, na jejichž první vstup je zavedeno řízení z vnějšího generátoru a na druhý vstup řídicích obvodů je zaveden druhý výstup obvodu hlášení stavu, jehož první výstup je vyveden jako hlášení stavu do vnějších spolupracujících obvodů, přičemž jeho první vstup je propojen s prvním výstupem paměti adres, jeho druhý vstup je propojen s druhým výstupem paměti číslic, jeho třetí vstup, stejně jako druhý vstup výstupního obvodu je propojen s pátým výstupem řídicích obvodů a konečně jeho čtvrtý vstup je propojen se třetím výstupem řídicí paměti, zatímco první výstup řídicích obvodů je propojen se třetím vstupem paměti adres, přičemž druhý vstup paměti adres je propojen s prvním výstupem řídicí paměti, jejíž druhý výstup je propojen s dru-

hým vstupem paměti číslic a jejíž první vstup je propojen s třetím výstupem řídicích obvodů a jejíž druhý vstup je spolu s prvním vstupem bloku úpravy dat propojen na druhý výstup paměti adres, zatímco čtvrtý výstup řídicích obvodů je propojen se třetím vstupem bloku úpravy dat, jehož druhý vstup je propojen s prvním výstupem paměti adres, zatímco její první vstup je propojen s výstupem registru číslic, přičemž výstup bloku úpravy dat je propojen s prvním vstupem výstupního obvodu, jehož výstup je vyveden jako výstup dat vyrovnávací paměti.

Výhodou zapojení podle vynálezu je, že mimo prostého záznamu jako do běžné vyrovnávací paměti umožňuje její zapojení měnit vložené informace. Kapacita vyrovnávací paměti je navržena na maximální délku přijímané instrukce a až do délky této instrukce je možno obsah vyrovnávací paměti doplňovat, nebo jednotlivá slova nebo znaky měnit, popřípadě i vypouštět. Navíc zapojení vyrovnávací paměti umožňuje zvětšit kapacitu eventuálně připojené hlavní paměti tím, že kódové kombinace jednotlivých znaků upravuje do čtyřbitové kombinace s předznamenáním nečíslíkových znaků. Toto předznamenání vyrovnávací paměť sama generuje a je při příjmu informací schopna takové předznamenání rozlišit a přijímaný znak v úsporném kódu změnit opět na normalizovaný znak. Úspory je dosaženo i tím, že vyrovnávací paměť sama vypouští nejvyšší nevýznamové nuly vysílaných dat. Svým zapojením je určena pro zařazení do odlaďovací jednotky programů nebo do zařízení, která vyžadují úpravu dat navíc k prosté paměťové funkci.

Zapojení vyrovnávací paměti jednotky pro odlaďování programů je znázorněno na výkrese.

Paměťová část vyrovnávací paměti je rozdělena na část paměti 03 adres a paměti 04 číslic, z čehož vyplývá, že uložené informace je rozdělena na dvě části. Činnost vyrovnávací paměti je řízena řídicími obvody 05, pro nastavení adres obou pamětí je použita řídicí paměť 06 a úpravu dat zajišťují obvody bloku 07 úpravy dat.

Činnost vyrovnávací paměti je možno rozdělit na nahrávání a výběr informací.

Během nahrávání, do kterého je možno počítat nahrávání původní informace, úpravu nahraných slov, jejich vypuštění, doplnění chybějících slov a nulování, kdy je nulována pouze paměť 03 adres. Pokud je na některém paměťovém místě nebo v celé paměti nulový obsah, nedojde k zápisu ani ke čtení paměti 04 číslic.

Při příchodu vstupních dat na první vstup 011 rozhodovacího obvodu 01 je vyslán povel řídicím obvodům 05 o druhu přijatého znaku, řídicí obvody 05 svým třetím výstupem 0513 aktivují řídicí paměť 06, která přiřadí každému čtené-

mu nečíselnému znaku místo, tj. adresu v paměti 03 adres, tj. prvním výstupem 0611, zároveň i skupinu adres v paměti 04 číslic, tj. druhým výstupem 0612 a současně předvolí čítač maximálního počtu číslic čteného slova v obvodu 08 hlášení stavu, tj. třetím výstupem 0613. Po provedeném nastavení vyšlou řídicí obvody 05 šestým výstupem 0516 povel k nahrání znaku buď prvním vstupem 031 do paměti 03 adres nebo prvním vstupem 021 do registru 02 číslic a odtud na povel druhého výstupu 0512 řídicích obvodů 05 do prvního vstupu 041 paměti 04 číslic. Současně je pátým výstupem 0515 řídicích obvodů 05 vysílána informace o čteném znaku do třetího vstupu 083 obvodu 08 hlášení stavu, který přijetím poslední číslice slova vyhodnotí buď nulový obsah čítače maximálního počtu číslic a ukončí záznam slova, nebo vyhodnocením koncového znaku, například EOB, ukončí záznam bloku. Signál o ukončení se vyšle druhým výstupem 0812 tohoto bloku do druhého vstupu 052 řídicích obvodů 05 a současně prvním výstupem 0811 obvodu 08 hlášení stavu do vysílače informací.

Při výběru informací z vyrovnávací paměti dojde na povel řízení zavedeným na první vstup 051 řídicích obvodů 05 opět k aktivaci řídicí paměti 06 a k přednastavení paměti 03 adres na první adresu. Při příchodu povelu například AC z řízení proběhne výběr prvního nečíslíkového znaku, před který je blokem 07 úpravy dat výstupem 0711 zařazen zvláštní předznamenávací znak a na další povel AC je teprve vyslán samotný znak. Vyslání každého znaku z paměti 03 adres aktivuje druhým výstupem 0312 této paměti řídicí paměť 06, která provede nastavení adresy v paměti 04 číslic a čítače v obvodu 08 hlášení stavu. Vyslání každého znaku je prováděno signálem SC, který je vysílán spolu s daty na výstupu 0911 výstupního obvodu 09 na povel pátého výstupu 0515 řídicích obvodů 05. Po vyslání číslíkového znaku se po řadě vysílají číslice z paměti 04 číslic od předvolené adresy. Blok 07 úpravy dat provede vypuštění nenahrávaných řádů čísla a je-li požadováno děrování, provede vzestupné srovnání čísel bloků. Každým vysláním číslice dojde k posuvu čítače maximálního počtu číslic v obvodu 08 hlášení stavu. Nulovým obsahem tohoto čítače končí vysílání slova. Vysláním koncového znaku, například EOB, z paměti 03 adres končí vysílání obsahu vyrovnávací paměti.

Výstupy vyrovnávací paměti na výstupu 0911 výstupního obvodu 09 jsou vysílány na čtyřech sběrnících a mohou být použity nejen pro vstup do hlavní paměti odlaďovací jednotky nebo pro vstup do řídicího systému, ale i pro externí přijímač signálů, jako je například děrovač děrné pásy.

PŘEDMĚT VYNÁLEZU

Zapojení vyrovnávací paměti jednotky pro odlaďování programů pro číslíkově řízené obráběcí stroje, sestávající z rozhodovacího obvodu, registru číslic, paměti adres, paměti číslic, řídicích obvodů, řídicí paměti, bloku úpravy dat,

obvodu hlášení stavu a výstupního obvodu, vyznačené tím, že první výstup (011) rozhodovacího obvodu (01), na jehož první vstup (011) je zaveden vstup dat, je zaveden do prvního vstupu (031) paměti (03) adres a do prvního vstupu

{021} registru {02} číslic, přičemž na druhý vstup {012} rozhodovacího obvodu {01} je zaveden šestý výstup {0516} řídicích obvodů {05}, zatímco na jejich třetí vstup {053} je přiveden druhý výstup {0112} rozhodovacího obvodu {01}, přičemž na druhý vstup {022} registru {02} číslic stejně jako na třetí vstup {043} paměti {04} číslic je zaveden druhý výstup {0512} řídicích obvodů {05}, na jejichž první vstup {051} je připojen vnější generátor a na druhý vstup {052} řídicích obvodů {05} je připojen druhý výstup {0812} obvodu {08} hlášení stavu, jehož první výstup {0811} je vyveden jako hlášení stavu do vnějších spolupracujících obvodů, přičemž jeho první vstup {081} je propojen s prvním výstupem {0311} paměti {03} adres, jeho druhý vstup {082} je propojen s druhým výstupem {0412} paměti {04} číslic, jeho třetí vstup {083}, stejně jako druhý vstup {092} výstupního obvodu {09} je propojen s pátým výstupem {0515} řídicích obvodů {05} a konečně jeho čtvrtý vstup

{084} je propojen se třetím výstupem {0613} řídicí paměti {06}, zatímco první výstup {0511} řídicích obvodů {05} je propojen se třetím vstupem {033} paměti {03} adres, přičemž druhý vstup {032} paměti {03} adres je propojen s prvním výstupem {0611} řídicí paměti {06}, jejíž druhý výstup {0612} je propojen s druhým vstupem {042} paměti {04} číslic a jejíž první vstup {061} je propojen s třetím výstupem {0513} řídicích obvodů {05} a jejíž druhý vstup {062} je spolu s prvním vstupem {071} bloku {07} úpravy dat propojen na druhý výstup {0312} paměti {03} adres, zatímco čtvrtý výstup {0514} řídicích obvodů {05} je propojen se třetím vstupem {073} bloku {07} úpravy dat, jehož druhý vstup {072} je propojen s prvním výstupem {0411} paměti {04} adres, zatímco její první vstup {041} je propojen s výstupem {0211} registru {02} číslic, přičemž výstup {0711} bloku {07} úpravy dat je propojen s prvním vstupem {091} výstupního obvodu {09}, jehož výstup {0911} je vyveden jako výstup dat vyrovnávací paměti.

1 výkres

