



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 202109578 A

(43) 公開日：中華民國 110 (2021) 年 03 月 01 日

(21) 申請案號：109113740 (22) 申請日：中華民國 109 (2020) 年 04 月 24 日

(51) Int. Cl. : *H01G4/40 (2006.01)* *H01C7/10 (2006.01)*
H01G4/30 (2006.01) *H01G4/232 (2006.01)*
H01G4/12 (2006.01)

(30) 優先權：2019/04/25 美國 62/838,410

(71) 申請人：美商 A V X 公司 (美國) AVX CORPORATION (US)
 美國

(72) 發明人：克爾克 麥可 W KIRK, MICHAEL W. (US) ; 貝羅里尼 瑪麗安 BEROLINI,
 MARIANNE (US)

(74) 代理人：陳長文

申請實體審查：無 申請專利範圍項數：27 項 圖式數：4 共 36 頁

(54) 名稱

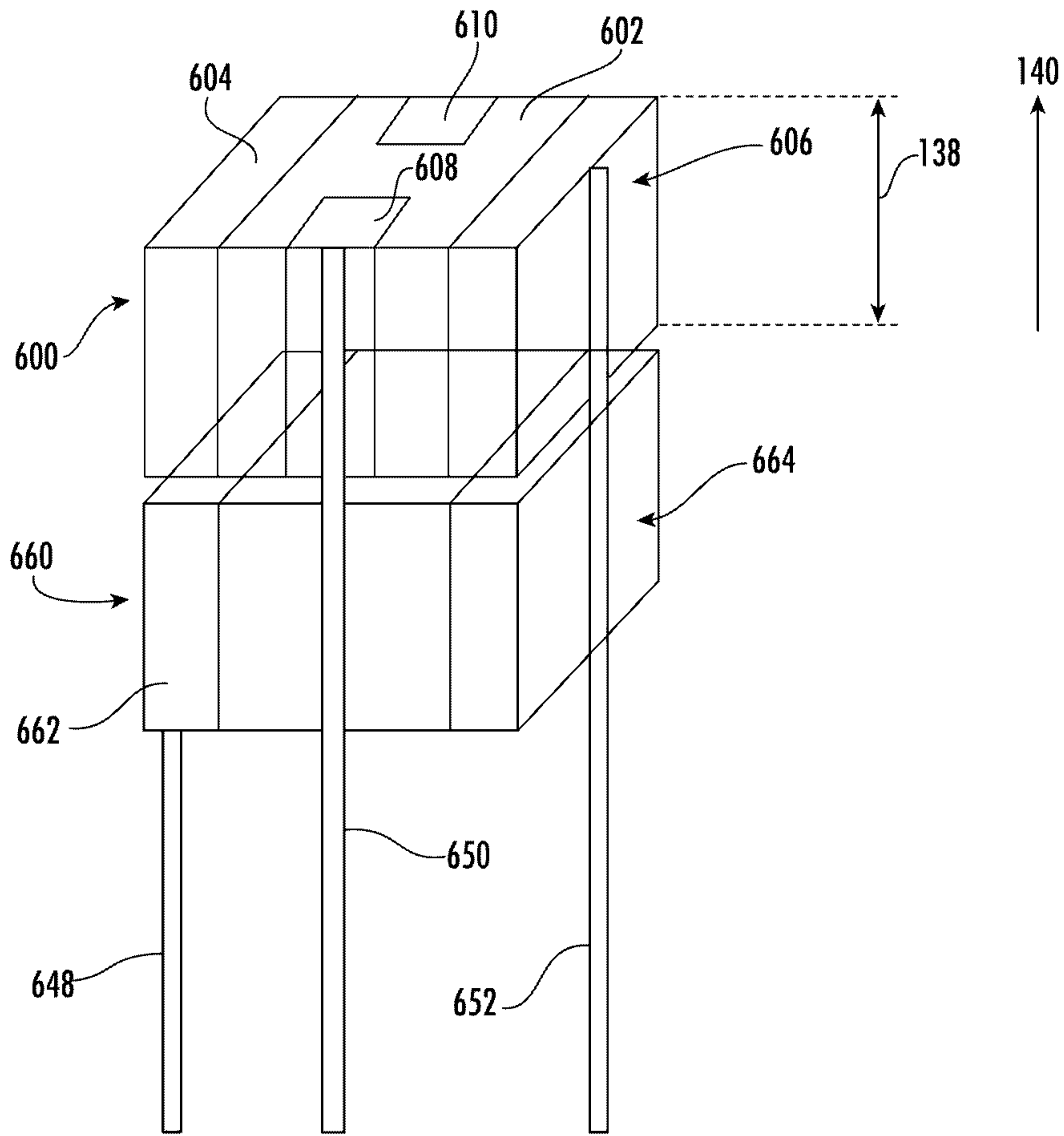
具有電容及離散壓敏電阻之積體組件

(57) 摘要

本發明提供一種積體組件，其可包含一多層電容，該多層電容包含一第一作用端接部、一第二作用端接部、至少一個接地端接部及在該第一作用端接部與該第二作用端接部之間串聯連接之一對電容。該積體組件可包含一離散壓敏電阻，該離散壓敏電阻包括：一第一外部壓敏電阻端接部，其與該第一作用端接部連接；及一第二外部壓敏電阻端接部，其與該多層電容之該第二作用端接部連接。

An integrated component may include a multilayer capacitor include a first active termination, a second active termination, at least one ground termination, and a pair of capacitors connected in series between the first active termination and the second active termination. The integrated component may include a discrete varistor comprising a first external varistor termination connected with the first active termination and a second external varistor termination connected with the second active termination of the multilayer capacitor.

指定代表圖：



【圖3A】

符號簡單說明：

138:厚度

140:Z 方向

600:多端子多層裝置/
例示性實施例/裝置

604:端接部

606:端接部

608:端接部

648:引線

650:引線

652:引線

660:壓敏電阻裝置/壓
敏電阻662:外部壓敏電阻端接
部/外部側(壓敏電阻)
端接部664:外部壓敏電阻端接
部/外部側(壓敏電阻)
端接部



202109578

【發明摘要】

【中文發明名稱】

具有電容及離散壓敏電阻之積體組件

【英文發明名稱】

INTEGRATED COMPONENT INCLUDING A CAPACITOR AND
DISCRETE VARISTOR

【中文】

本發明提供一種積體組件，其可包含一多層電容，該多層電容包含一第一作用端接部、一第二作用端接部、至少一個接地端接部及在該第一作用端接部與該第二作用端接部之間串聯連接之一對電容。該積體組件可包含一離散壓敏電阻，該離散壓敏電阻包括：一第一外部壓敏電阻端接部，其與該第一作用端接部連接；及一第二外部壓敏電阻端接部，其與該多層電容之該第二作用端接部連接。

【英文】

An integrated component may include a multilayer capacitor include a first active termination, a second active termination, at least one ground termination, and a pair of capacitors connected in series between the first active termination and the second active termination. The integrated component may include a discrete varistor comprising a first external varistor termination connected with the first active termination and a second external varistor termination connected with the second active termination of the multilayer capacitor.

【指定代表圖】

圖3A

【代表圖之符號簡單說明】

138:厚度

140:Z方向

600:多端子多層裝置/例示性實施例/裝置

604:端接部

606:端接部

608:端接部

648:引線

650:引線

652:引線

660:壓敏電阻裝置/壓敏電阻

662:外部壓敏電阻端接部/外部側(壓敏電阻)端接部

664:外部壓敏電阻端接部/外部側(壓敏電阻)端接部

【發明說明書】

【中文發明名稱】

具有電容及離散壓敏電阻之積體組件

【英文發明名稱】

INTEGRATED COMPONENT INCLUDING A CAPACITOR AND
DISCRETE VARISTOR

【技術領域】

【0001】 本發明係關於積體組件，且更特定而言係關於具有一電容及一離散壓敏電阻之積體組件。

【先前技術】

【0002】 一段時間以來，各種電子組件之設計已由朝向小型化以及增加之功能性之一一般工業趨勢推動。就此而言，存在對於具有經改良操作特性之越來越小電子組件之一需要。某些應用將受益於多個組件之等效，但嚴格地受限於此等電子組件舉例而言在一電路板上可佔據之空間量。

【0003】 多層陶瓷裝置(諸如多層陶瓷電容或壓敏電阻)有時構造為配置成一堆疊之複數個介電質電極層。在製造期間，該等層可經按壓且形成為一單塊堆疊結構。

【0004】 因此，若可提供導致經改良小型化以及增加之功能性及/或操作特性之裝置及對應方法可係有利的。

【發明內容】

【0005】 根據本發明之一項實施例，一種具有電容及壓敏電阻功能性之積體組件可包含一多層電容，該多層電容包含一第一作用端接部、一第二作用端接部、至少一個接地端接部，及在該第一作用端接部與該第二

作用端接部之間串聯連接之一對電容。該積體組件可包含一離散壓敏電阻，該離散壓敏電阻包括：一第一外部壓敏電阻端接部，其與該第一作用端接部連接；及一第二外部壓敏電阻端接部，其與該多層電容之該第二作用端接部連接。

【0006】 根據本發明之另一實施例，一種用於形成具有電容及壓敏電阻功能性之一積體組件之方法可包含：提供包含形成一對電容之電極之一多層電容主體；在該多層電容主體外部形成一第一作用端接部、一第二作用端接部及至少一個接地端接部，使得該對電容串聯連接在該第一作用端接部與該第二作用端接部之間；及將一離散壓敏電阻與該多層電容主體堆疊，使得該離散壓敏電阻之一第一壓敏電阻端接部與該第一作用端接部連接且一第二壓敏電阻端接部與該第二作用端接部連接。

【0007】 下文更詳細地論述本發明之其他特徵及態樣。

【圖式簡單說明】

【0008】 參考附圖在說明書中陳述指導熟習此項技術者之當前所揭示標的物(包含其最佳模式)之一全面及使能揭示內容，在附圖中：

【0009】 圖1A圖解說明根據當前所揭示標的物之一多端子多層裝置(諸如，用於一SMD組態中)之一例示性實施例之一外部透視圖；

【0010】 圖1B圖解說明圖1A之裝置之一第一電極層；

【0011】 圖1C圖解說明圖1A之裝置之一第二電極層；

【0012】 圖1D圖解說明圖1A之裝置的交替之第一電極層與第二電極層之一層疊；

【0013】 圖1E圖解說明進一步包含與裝置之各別外部端子連接之引線之圖1A之裝置；

【0014】 圖1F係圖1A之裝置之一示意圖；

【0015】 圖2A及圖2B圖解說明其中第二電極層包含T-電極之圖1A之裝置之交替第一及第二電極層；

【0016】 圖2C圖解說明如圖2A及圖2B中所展示之交替之第一電極層與第二電極層之一層疊；

【0017】 圖3A圖解說明根據當前所揭示標的物之包含處於一堆疊組態中之一多層電容及離散壓敏電阻之一積體組件；

【0018】 圖3B係圖3A之裝置之一示意圖；

【0019】 圖3C圖解說明根據當前所揭示標的物之一積體組件之另一實施例之一外部透視圖。

【0020】 圖4係根據本發明之態樣之用於形成具有電容及壓敏電阻功能性之一積體組件之一方法之一流程圖。

【0021】 遍及本說明書及隨附圖式之參考符號之重複使用意欲表示其相同或類似特徵、元件或步驟。

【實施方式】

【0022】 本申請案主張具有2019年4月25號之一申請日期之美國臨時專利申請案第62/838,410號之申請權益，該專利申請案之全文以引用方式併入本文中。

【0023】 現在將詳細地參考本發明之各種實施例，下文陳述該等實施例之一或多項實例。以闡釋本發明之而非限制本發明之方式提供每一實例。事實上，對熟習此項技術者將係顯而易見的係可在不背離本發明之範疇或精神之情況下在本發明中作出各種修改及變化。例如，經圖解說明或經闡述為一項實施例之部分之特徵可使用在另一實施例上以產生又一實施

例。因此，意欲本發明涵蓋此等修改及變化，只要歸屬於隨附申請專利範圍及其等效物之範疇內即可。

【0024】 一般而言，本發明係關於一種具有一多層電容及一離散壓敏電阻之積體裝置。在不意欲受理論限制之情況下，一電容係在一電場中儲存電能之一電組件。在不意欲受理論限制之情況下，一壓敏電阻係具有可隨著所施加電壓變化之一電阻藉此使其成為一電壓相依電阻器之一電組件。

【0025】 以組合形式，電容及壓敏電阻可在一個封裝中提供濾波及EMI及/或EMI/ESD電路保護，此可在空間係有限時特別有用。本發明可尤其適合於汽車應用，諸如馬達起停應用。

【0026】 積體組件之多層電容可具有一對合饋通型構造且包含一第一作用端接部、一第二作用端接部及在該第一作用端接部與該第二作用端接部之間串聯連接之一對電容。電容可由藉由介電層分離之內部電極形成。

【0027】 該離散壓敏電阻可包含：一第一外部壓敏電阻端接部，其與該第一作用端接部連接；及一第二外部壓敏電阻端接部，其與該多層電容之該第二作用端接部連接。舉例而言，該離散壓敏電阻與多層電容可經堆疊以形成一個單塊積體組件。在某些實施例中，引線可與外部端子連接及/或該積體組件可包覆模製。因此，一包覆模製層可囊封該離散壓敏電阻及該多層電容。

【0028】 該多層電容可包含位於陶瓷主體外部之至少一個接地端接部。第一複數個電極層可安置於主體內且與第一作用端接部連接。第二複數個電極層安置於主體內且與第二作用端接部連接。第三複數個電極層可與接地端接部連接且與第一複數個電極層及第二複數個電極層中之每一者

電容式耦合以形成對合饋通型構造。第一電容可形成於第一複數個電極層與第三複數個電極層之間的第一重疊區域處。第二電容可形成於第二複數個電極層與第三複數個電極層之間的第二重疊區域處。

【0029】 在一項實施例中，第一電容可具有一第一電容量，且第二電容可具有一第二電容量。在某些實施例中，第一重疊區域與第二重疊區域可近似相等使得該第二電容量可近似等於該第一電容量。在其他實施例中，然而，第一重疊區域與第二重疊區域可係不同的使得該第一電容量可大於或小於該第二電容量。

【0030】 舉例而言，第一電容量及第二電容量中之至少一者可介於自約10 nF至約3 μ F、在某些實施例中自約200 nF至約2 μ F、在某些實施例中自約400 nF至約1.5 μ F範圍內。第二電容量可介於第一電容量之自約5%至約500%、在某些實施例中自約10%至約300%、在某些實施例中自約25%至約200%及在某些實施例中自約50%至約150%範圍內。

【0031】 在某些實施例中，第三複數個電極層可通常係十字形的且可與一對相對接地端子連接。舉例而言，第三複數個電極層可各自包含一對相對邊緣。相對邊緣中之一者可與第一接地端接部連接，且相對邊緣中之另一者可與第二接地端接部連接。

【0032】 單塊主體可無形成於該單塊主體內之任何額外電容。舉例而言，第一、第二及第三複數個電極可配置於延伸穿過單塊主體之一厚度之一大部分之一電極層疊中。舉例而言，電極層疊之一厚度與單塊主體之一厚度之一比率可介於自約0.5至約0.97、在某些實施例中自約0.6至約0.95及在某些實施例中自約0.7至約0.9範圍內。

【0033】 在某些實施例中，組件可包含與外部端子連接之一或多條

引線。舉例而言，第一及第二引線可分別與第一及第二作用端接部耦合。一第三引線及/或一第四引線可與接地端接部耦合。組件可包覆模製使得引線自包覆模製封裝突出以用於連接該組件。

【0034】 在其他實施例中，第一作用端接部、第二作用端接部或至少一個接地端接部中之至少一者可沿著積體組件之一底部表面曝露以便將組件表面安裝為(舉例而言)一表面安裝裝置(SMD)或使用柵格陣列類型安裝(例如，平臺柵格陣列(LGA)、球形柵格陣列(BGA)等)。

【0035】 本發明之態樣可藉由用一單個積體電容性裝置來代替多個離散電容來簡化一引線式或SMD組件之組裝及/或安裝。舉例而言，在一SMD組態中，在一PCB上避免多個離散組件，此節省PCB上之空間且在某些例項中，降低電感及/或等效串聯電阻(ESR)。另外，可減少焊接接頭之數目，從而增加可靠性。

【0036】 一般而言，多層電容之介電層可由在此項技術中通常採用之任何材料製成。例如，該介電層可由包含作為一主要成分之一種鈦酸鹽之一陶瓷材料製成。該鈦酸鹽可包含但不限於鈦酸鋇(BaTiO_3)。該陶瓷材料亦可含有一稀土金屬之一種氧化物及/或如Mn、V、Cr、Mo、Fe、Ni、Cu、Co或諸如此類之此受體類型元素之一化合物。該鈦酸鹽亦可含有MgO、CaO、 Mn_3O_4 、 Y_2O_3 、 V_2O_5 、ZnO、 ZrO_2 、 Nb_2O_5 、 Cr_2O_3 、 Fe_2O_3 、 P_2O_5 、SrO、 Na_2O 、 K_2O 、 Li_2O 、 SiO_2 、 WO_3 或諸如此類。除陶瓷粉末之外，該陶瓷材料亦可包含其他添加劑、有機溶劑、塑化劑、黏合劑、分散劑，或諸如此類。

【0037】 一般而言，多層電容之內部電極可由在此項技術中通常採用之任何材料製成。例如，該等內部電極可藉由燒結其主成分係一貴金屬

材料之一導電膠材來形成。此等材料可包含但不限於鈮、鈮銀合金、鎳及銅。例如，在一項實施例中，該等電極係由鎳或一鎳合金製成。合金可含有Mn、Cr、Co、Al、W及諸如此類中之一或多者，且合金中之一Ni含量較佳地係95重量%或更多。Ni或Ni合金可含有0.1重量%或更少之諸如P、C、Nb、Fe、Cl、B、Li、Na、K、F、S及諸如此類等各種微量成分。

【0038】 多層電容之陶瓷主體可使用在此項技術中通常已知之任何方法來形成。例如，陶瓷主體可藉由用交替堆疊之陶瓷片及經圖案化內部電極形成一經層壓主體、將一黏合劑自該經層壓主體移除掉、在介於自1200°C至1300°C範圍內之一高溫度下在一非氧化氛圍中燒結黏合劑移除之經層壓主體，且在氧化氛圍中重新氧化燒結之經層壓主體來形成。

【0039】 一般而言，壓敏電阻可經組態以將電湧轉向至接地。舉例而言，壓敏電阻可具有介於自約3伏特至約150伏特、在某些實施例中自約5伏特至約100伏特、在某些實施例中自約10伏特至約50伏特及在某些實施例中自約15伏特至約30伏特範圍內之一嵌位電壓。

【0040】 壓敏電阻可包含具有外部電極之一陶瓷主體。該陶瓷主體藉由燒結由交替堆疊之陶瓷層及內部電極形成之一經層壓主體來製作。每一對鄰近內部電極在其之間具有一陶瓷層的情況下彼此面對且可分別電耦合至不同外部電極。

【0041】 一般而言，介電層可包含任何適合介電材料，諸如，例如鈦酸鋇、氧化鋅或任何其他適合介電材料。各種添加劑可包含於介電材料中，舉例而言，產生或增強介電材料之電壓相依電阻。舉例而言，在某些實施例中，該等添加劑可包含鈷、鈹、錳或其一組合之氧化物。在某些實施例中，該等添加劑可包含鎳、鋁、銻、鉻、硼、鈦、鉛、鋇、鎳、鈳、

錫或其組合之氧化物。介電材料可摻雜有介於自約0.5莫耳百分比至約3莫耳百分比，及在某些實施例中自約1莫耳百分比至約2莫耳百分比範圍內之添加劑。介電材料之平均顆粒大小可有助於介電材料之非線性性質。在某些實施例中，平均顆粒大小可介於自約10微米至100微米，及在某些實施例中自約20微米至80微米範圍內。壓敏電阻亦可包含兩個端子，且每一電極可與一各別端子連接。電極可沿著電極之長度及/或在電極與端子之間的連接處提供電阻。

【0042】 一般而言，內部電極可由在此項技術中通常採用之任何材料製成。例如，內部電極可藉由燒結其主成分係一貴金屬材料之一導電膠材來形成。此等材料可包含但不限於鈮、鈮銀合金、銀、鎳及銅。例如，在一項實施例中，電極可由鎳或一鎳合金製成。合金可含有Mn、Cr、Co、Al、W及諸如此類中之一或多者，且合金中之一Ni含量較佳地係95重量%或更多。Ni或Ni合金可含有0.1重量%或更少之諸如P、C、Nb、Fe、Cl、B、Li、Na、K、F、S及諸如此類等各種微量成分。

【0043】 積體組件可具有各種大小。舉例而言，積體組件可具有介於自EIA 0504或更小至EIA 2920或更大範圍內之一外殼大小。實例外殼大小包含 0805、1206、1806、2020等。

【0044】 如以上所指示，在某些實施例中，可使用各種適合材料包覆模製積體組件。實例包含一矽橡膠、一熱塑性彈性體或其他類似聚合物。

【0045】 現在將參考各圖來論述實例實施例。圖1A圖解說明通常根據當前所揭示標的物之一多端子多層裝置100之一例示性實施例之一外部透視圖。如所圖解說明，裝置100可包含一主體102，諸如一六面體。裝

置100可包含一第一端部端子104、一第二端部端子106、一第一側端子108及一第二側端子110。所有此等外部端接部通常存在於裝置100之一經指定底部側112上，諸如供在一表面安裝裝置(SMD)組態中使用。

【0046】 裝置100可包含串聯在第一端子104及第二端子106兩者之間的兩個經形成電容。如熟習此項技術者關於本文中闡述之所有實施例所理解，標的多層構造中之協作層包括轉而形成積體電容性結構之電極層。

【0047】 圖1B圖解說明圖1A之裝置100之一第一電極層120。電極配置120可包含具有分別與第一側端子108及第二側端子110(圖1A)連接之一對相對邊緣124、126之一十字形電極122。圖1C圖解說明包含與第一端部端子104連接之一第一電極130，及與第二端部端子106連接之一第二電極132之一第二電極層128。圖1D圖解說明交替之第一電極層120與第二電極層128之一電極層疊133。應理解，電極層疊133可包含任何適合數目之電極層120、128。

【0048】 再次參考圖1B，十字形電極122可沿著一第一重疊區域134與第一電極130重疊以形成一第一電容，且可沿著一第二重疊區域136與第二電極132重疊以形成一第二電容。

【0049】 在某些實施例中，單塊主體102(圖1A)可在單塊主體102(圖1A)內無任何額外電容(除第一及第二電容之外)。舉例而言，上文參考圖1D闡述之電極層疊133可在垂直於電極122、130、132之一Z方向140上延伸穿過單塊主體102之一厚度138之一大部分(圖1A)。舉例而言，電極層疊133在Z方向140上之一厚度142與單塊主體102之厚度138之一比率可介於自約0.4至約0.97範圍內。

【0050】 圖1E圖解說明根據本申請案之態樣之一裝置100之另一實

施例之一透視圖。圖1A具有添加之引線組態。更特定而言，引線148、150及152分別附接至外部端接部104、108及106。引線148及152可構成分別附接至第一對端接部104及106之第一及第二引線，而引線150可構成附接至第二對端接部108及110中之至少一者之一第三引線。熟習此項技術者亦將理解，端接部108及110兩者皆連接至層122使得引線150可與此端接部108或110連接，具有相同電路結果。應用圖1C之所得組態係一包覆模製三引線組件。

【0051】 圖1F圖解說明應用圖1A之裝置100處於其連接/安裝組態中(如由應用圖1C所展示)之一示意圖。更特定而言，引線148、150及152展示為與串聯及並聯電容各別接觸。所指示電容量值意欲僅作為例示性，而非限制。

【0052】 如所圖解說明，裝置100提供用於含有串聯及並聯電容之一單裝置解決方案。一第一電容154可在第一重疊區域134處形成於十字形電極122與第一電極130之間。一第二電容156可在第二重疊區域136處形成於十字形電極122與第二電極132之間。第一重疊區域134近似等於第二重疊區域136使得第一電容及第二電容呈現近似電容量。在其他實施例中，然而第一重疊區域134可大於或小於第二重疊區域136使得第一電容量可大於或小於第二電容量。第一電容量及第二電容量中之一或兩者可介於自約10 nF至約3 μ F範圍內。

【0053】 圖2A及圖2B圖解說明根據本發明之態樣之另一實施例之一電極組態。一第一電極層220可包含具有可分別與第一側端子108及第二側端子110(圖1A)連接之一對相對邊緣224、226之一十字形電極222。圖1C圖解說明包含與第一端部端子104連接之一第一電極230及與第二端

部端子106連接之一第二電極232之一第二電極層228。第一電極230及/或第二電極232可係一T-電極使得電極230、232延伸至電極層228之側邊緣235、237且沿著單塊主體102之至少一個側表面239與各別端部端子104、106(圖1A)連接。

【0054】 圖2C圖解說明交替之第一電極層220與第二電極層228之一電極層疊233。電極層疊233在Z方向140上可具有一厚度242。

【0055】 電極層疊233在Z方向140上之厚度242與單塊主體102(圖1A)之厚度138之一比率可介於自約0.4至約0.97範圍內。

【0056】 再次參考圖2A，十字形電極222可沿著一第一重疊區域234與第一電極230重疊且可沿著一第二重疊區域236與第二電極232重疊。

【0057】 圖3A圖解說明通常根據當前所揭示標的物之一多端子多層裝置600之一例示性實施例之一外部透視圖，以便藉助各別經添加引線648、650及652以一堆疊組態與一壓敏電阻裝置660一起使用，如所圖解說明。如本文中進一步所論述，圖3B圖解說明應用圖3A之例示性實施例600之一示意圖。

【0058】 一壓敏電阻660可具有外部壓敏電阻端接部662、664。一引線組態配置可用於將裝置600與壓敏電阻660相對於彼此並聯放置。更特定而言，引線648、650及652可分別附接至裝置600之外部(電容裝置)端接部604、608及606，而引線648及652分別連接至(如所展示)壓敏電阻660之外部側(壓敏電阻)端接部662及664。應用圖3A之所得組態可包覆模製。

【0059】 圖3B大體上圖解說明應用圖3A之例示性實施例600處於其

連接/安裝組態中(如由應用圖3A所展示)之一示意圖。更特定而言，引線648、650及652展示為與串聯及並聯電容各別接觸。所指示電容量值意欲僅作為例示性而非限制。同樣地，如所圖解說明，壓敏電阻660與引線648及652接觸，以便與裝置600成並聯關係。所指示壓敏電阻特性意欲僅作為例示性，而非限制。

【0060】 圖3C圖解說明根據本發明之態樣之具有電容及壓敏電阻功能性之積體組件之一透視圖。一般而言，圖3C以另一透視圖圖解說明圖3A之裝置。例如，圖3C之實施例提供成裝置600(諸如一多層陶瓷裝置)在底部上而壓敏電阻660在頂部上。此一組態可允許在諸如經由焊接將裝置600與壓敏電阻660組合在一起之後(將)用作一表面安裝裝置。另外，如圖3C中所圖解說明之實施例提供為無圖3A中所圖解說明之引線。然而，應理解亦可在處於此一組態中時採用引線。

【0061】 如所圖解說明，裝置600提供用於含有串聯及並聯電容之一單裝置解決方案。裝置600展示兩個代表性電容654及656，諸如可藉由在裝置600之一隔離區中之多個層之一對合饋通組態來形成。

【0062】 儘管針對藉此所揭示之例示性實施中之任一者可實踐各種大小，但裝置600及壓敏電阻660可視為表示一標準MLC外殼大小，舉例而言，一1206外殼大小。當然，可視一特定應用之需要或期望，在各種實施例中實踐各種大小。例示性電容量值之所有此等變化及修改意欲歸屬於當前所揭示標的物之精神及範疇內。

【0063】 如藉此由揭示內容所展示，對於其中用於一SMD配置中之某些實施例，當前所揭示標的物可導致一印刷電路板(PCB)上之多個離散組件之代替，藉此節省空間且在某些例項中降低電感。所有此等當前所揭

示之例示性實施例可在其某些使用中封裝成包覆模製之三引線組件。按照當前所揭示之標的物，獲得裝置大小之一實質減小，此導致焊接接頭之數目之減小，此相應地增加可靠性。

【0064】 圖4係根據本發明之態樣之用於形成具有電容及壓敏電阻功能性之一積體組件之一方法400之一流程圖。一般而言，本文中將參考上文參考圖1A至圖3C闡述之積體組件100、200來闡述方法400。然而，應瞭解，所揭示方法400可藉助任何適合積體組件來實施。另外，儘管出於圖解說明及論述之目的，圖4繪示以一特定次序執行之步驟，但本文中所論述之方法不限於任何特定次序或配置。使用本文中所提供之揭示內容，熟習此項技術者將瞭解，可在不背離本發明之範疇之情況下以各種方式省略、重新配置、組合、及/或調適本文中所揭示方法之各種步驟。

【0065】 方法400可包含，在(402)處提供包含以一對合饋通型構造形成一對電容之電極之一多層電容主體，舉例而言，如上文參考圖1A至圖3C所闡述。

【0066】 該方法可包含，在(404)處在多層電容主體外部形成一第一作用端接部及一第二作用端接部，使得該對電容串聯連接在該第一作用端接部與該第二作用端接部之間，舉例而言，如上文參考圖1A至圖3C所闡述。

【0067】 該方法可包含，在(406)處將一離散壓敏電阻與該多層電容主體堆疊，使得該離散壓敏電阻之一第一壓敏電阻端接部與該第一作用端接部連接且一第二壓敏電阻端接部與該第二作用端接部連接。

【0068】 應理解，達成所揭示組態之個別步驟僅意欲作為其代表，且不表示超過本發明之一般本質之其他態樣之所需使用，除非另有指示。

舉例而言，熟習此項技術者將認識到所選擇步驟可經實踐以產生針對當前所揭示標的物之一給定應用選擇之一特定設計。

實例

【0069】 根據本發明之一項實例實施例，一積體組件具有各自呈現約475 nF之第一及第二電容。該積體組件包含具有約22伏特之一嵌位電壓之一離散壓敏電阻。

【0070】 根據本發明之一項實例實施例，一積體組件具有各自呈現約685 nF之第一及第二電容。該積體組件包含具有約22伏特之一嵌位電壓之一離散壓敏電阻。

【0071】 根據本發明之另一實例實施例，一積體組件具有各自呈現約1 μ F之第一及第二電容。該積體組件包含具有約22伏特之一嵌位電壓之一離散壓敏電阻。

測試方法

【0072】 以下段落提供用於測試壓敏電阻以判定多層陶瓷電容、離散電容及/或積體組件之各種特性之實例方法。

【0073】 可使用一Keithley 2400系列源量測單元(SMU)(舉例而言，一Keithley 2410-C SMU)來量測壓敏電阻之嵌位電壓。舉例而言，根據ANSI 標準C62.1，壓敏電阻可經受一8/20 μ s電流波。該電流波可具有1 mA之一峰值電流值。該峰值電流值可經選擇使得峰值電流致使壓敏電阻「嵌位」電壓。電流可增加至峰值電流值且然後衰減。一「上升」時間週期可係自電流脈衝之起始至電流達到峰值電流值之90%時。該「上升」時間可係8 μ s。該「衰減時間」可係自電流脈衝之起始至峰值電流值之50%。該「衰減時間」可係20 μ s。嵌位電壓量測為在電流波期間跨越

壓敏電阻之最大電壓。

【0074】 可使用一Keithley 2400系列源量測單元(SMU)(舉例而言，一Keithley 2410-C SMU)來量測多層電容之電容量。舉例而言，第一電容之第一電容量可係在接地與多層電容之第一外部端子之間量測。第二電容之第二電容量可係在接地與多層電容之第二外部端子之間量測。

【0075】 雖然此當前所揭示之標的物已關於其特定實施例詳細地闡述，但將瞭解熟習此項技術者在獲得對前述內容之一理解後可容易地產生對此等實施例之變更、變化及等效物。因此，本發明之範疇係以實例之方式而非以限制之方式，且本發明不排除包含對當前所揭示標的物之此等修改、變化及/或添加，如對於熟習此項技術者將係容易顯而易見的。

【符號說明】

【0076】

100:多端子多層裝置/裝置/積體組件

102:主體/單塊主體

104:第一端部端子/第一端子/外部端接部/端接部/端部端子

106:第二端部端子/第二端子/外部端接部/端接部/端部端子

108:第一側端子/外部端接部/端接部

110:第二側端子/端接部

112:經指定底部側

120:第一電極層/電極配置/電極層

122:十字形電極/電極/層

124:相對邊緣

126:相對邊緣

128:第二電極層/電極層

130:第一電極/電極

132:第二電極/電極

133:電極層疊

134:第一重疊區域/

136:第二重疊區域

138:厚度

140:Z方向

142:厚度

148:引線

150:引線

152:引線

154:第一電容

156:第二電容

220:第一電極層

222:十字形電極

224:相對邊緣

226:相對邊緣

228:第二電極層

230:第一電極/電極

232:第二電極/電極

233:電極層疊

234:第一重疊區域

236:第二重疊區域

242:厚度

400:方法

402:步驟

404:步驟

406:步驟

600:多端子多層裝置/例示性實施例/裝置

604:端接部

606:端接部

608:端接部

648:引線

650:引線

652:引線

654:代表性電容

656:代表性電容

660:壓敏電阻裝置/壓敏電阻

662:外部壓敏電阻端接部/外部側(壓敏電阻)端接部

664:外部壓敏電阻端接部/外部側(壓敏電阻)端接部

【發明申請專利範圍】

【請求項1】

一種積體組件，其包括：

一多層電容，其包括一第一作用端接部、一第二作用端接部、至少一個接地端接部及在該第一作用端接部與該第二作用端接部之間串聯連接之一對電容；及

一離散壓敏電阻，其包括與該第一作用端接部連接之一第一外部壓敏電阻端接部，及與該多層電容之該第二作用端接部連接之一第二外部壓敏電阻端接部。

【請求項2】

如請求項1之積體組件，其中該多層電容進一步包括：

一主體，其包括複數個介電層；

第一複數個電極層，其安置於該主體內且與該第一作用端接部連接；

第二複數個電極層，其安置於該主體內且與該第二作用端接部連接；及

第三複數個電極層，其與該至少一個接地端接部連接且與該第一複數個電極層與第二複數個電極層中之每一者電容式耦合以在該第一複數個電極層與該第三複數個電極層之間形成第一電容且在該第二複數個電極層與該第三複數個電極層之間形成第二電容。

【請求項3】

如請求項2之積體組件，其中該第三複數個電極層係大體十字形的。

【請求項4】

如請求項2之積體組件，其中該至少一個接地端接部包括一第一接地端接部及一第二接地端接部。

【請求項5】

如請求項4之積體組件，其中該第三複數個電極層中之每一者各自包括一對相對邊緣，該等相對邊緣中之一者與該第一接地端接部連接且該等相對邊緣中之另一者與該第二接地端接部連接。

【請求項6】

如請求項4之積體組件，其中該第一接地端接部定位成與該第二接地端接部相對。

【請求項7】

如請求項1之積體組件，其中該第一作用端接部、該第二作用端接部或該至少一個接地端接部中之至少一者沿著該積體組件之一底部表面曝露以便表面安裝該組件。

【請求項8】

如請求項1之積體組件，其進一步包括第一及第二引線，其分別與該等第一及第二作用端接部耦合；及一第三引線，其與該至少一個接地端接部耦合。

【請求項9】

如請求項1之積體組件，其中第一電容具有一第一電容量且第二電容具有近似等於該第一電容量之一第二電容量。

【請求項10】

如請求項1之積體組件，其中第一電容量或第二電容量中之至少一者介於自約10 nF至約3 μ F範圍內。

【請求項11】

如請求項1之積體組件，其中：

第三複數個電極層沿著一第一重疊區域與第一複數個電極層重疊；且

該第三複數個電極層沿著近似等於該第一重疊區域之一第二重疊區域與第二複數個電極層重疊。

【請求項12】

如請求項1之積體組件，其中該離散壓敏電阻相對於該多層電容堆疊。

【請求項13】

如請求項12之積體組件，其進一步包括囊封該離散壓敏電阻及多層電容之一包覆模製層。

【請求項14】

如請求項1之積體組件，其中電極層疊之一厚度與單塊主體之一厚度之一比率大於約0.4。

【請求項15】

一種用於形成一積體組件之方法，其包括：

提供包含形成一對電容之電極之一多層電容主體；

在該多層電容主體外部形成一第一作用端接部、一第二作用端接部及至少一個接地端接部，使得該對電容串聯連接在該第一作用端接部與該第二作用端接部之間；及

將一離散壓敏電阻與該多層電容主體堆疊使得該離散壓敏電阻之一第一壓敏電阻端接部與該第一作用端接部連接且一第二壓敏電阻端接部與該第二作用端接部連接。

【請求項16】

如請求項15之方法，其中提供包含形成該對電容之電極之該多層電容主體包括：

形成安置於該主體內且與該第一作用端接部連接之第一複數個電極層；

形成安置於該主體內且與該第二作用端接部連接之第二複數個電極層。

【請求項17】

如請求項15之方法，其進一步包括：

在該多層電容主體內形成第三複數個電極層，該第三複數個電極層與該至少一個接地端接部連接且與該第一複數個電極層及第二複數個電極層中之每一者電容式耦合以在該第一複數個電極層與該第三複數個電極層之間形成第一電容且在該第二複數個電極層與該第三複數個電極層之間形成第二電容。

【請求項18】

如請求項17之方法，其中形成該至少一個接地端接部包括形成一第一接地端接部及一第二接地端接部。

【請求項19】

如請求項17之方法，其中該第三複數個電極層係大體十字形的。

【請求項20】

如請求項17之方法，其中該第三複數個電極層中之每一者包括一對相對邊緣，該等相對邊緣中之一者與該第一接地端接部連接且該等相對邊緣中之另一者與該第二接地端接部連接。

【請求項21】

如請求項17之方法，其中第一接地端接部定位成與第二接地端接部相對。

【請求項22】

如請求項17之方法，其中該第一作用端接部、該第二作用端接部或該至少一個接地端接部中之至少一者沿著該積體組件之一底部表面曝露以便表面安裝該組件。

【請求項23】

如請求項15之方法，其進一步包括將第一及第二引線分別與該等第一及第二作用端接部連接且將一第三引線與該至少一個接地端接部連接。

【請求項24】

如請求項15之方法，其中第一電容具有一第一電容量且第二電容具有近似等於該第一電容量之一第二電容量。

【請求項25】

如請求項15之方法，其中第一電容量或第二電容量中之至少一者介於自約10 nF至約3 μ F範圍內。

【請求項26】

如請求項15之方法，其中：

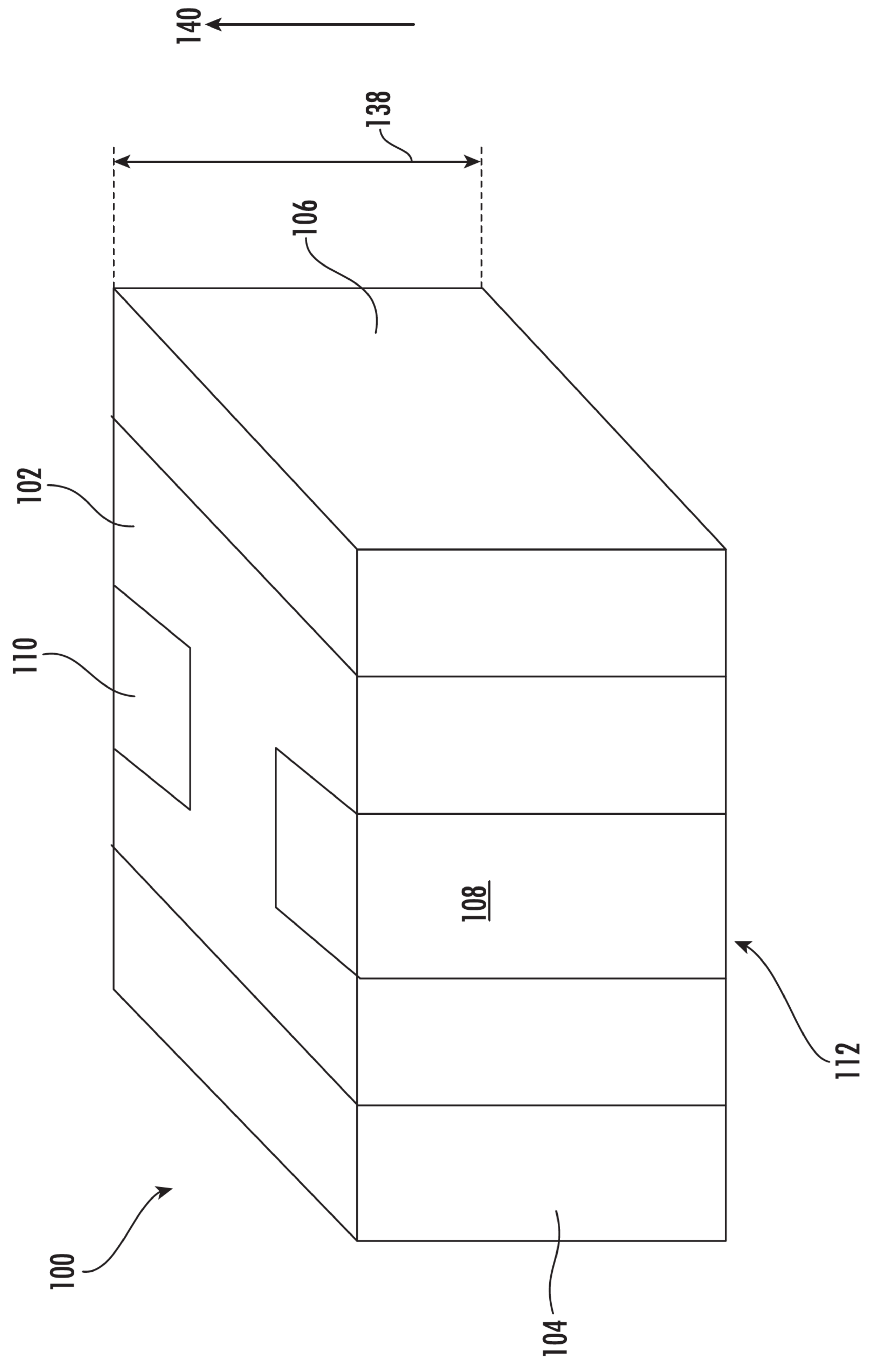
第三複數個電極層沿著一第一重疊區域與第一複數個電極層重疊；且

該第三複數個電極層沿著近似等於該第一重疊區域之一第二重疊區域與第二複數個電極層重疊。

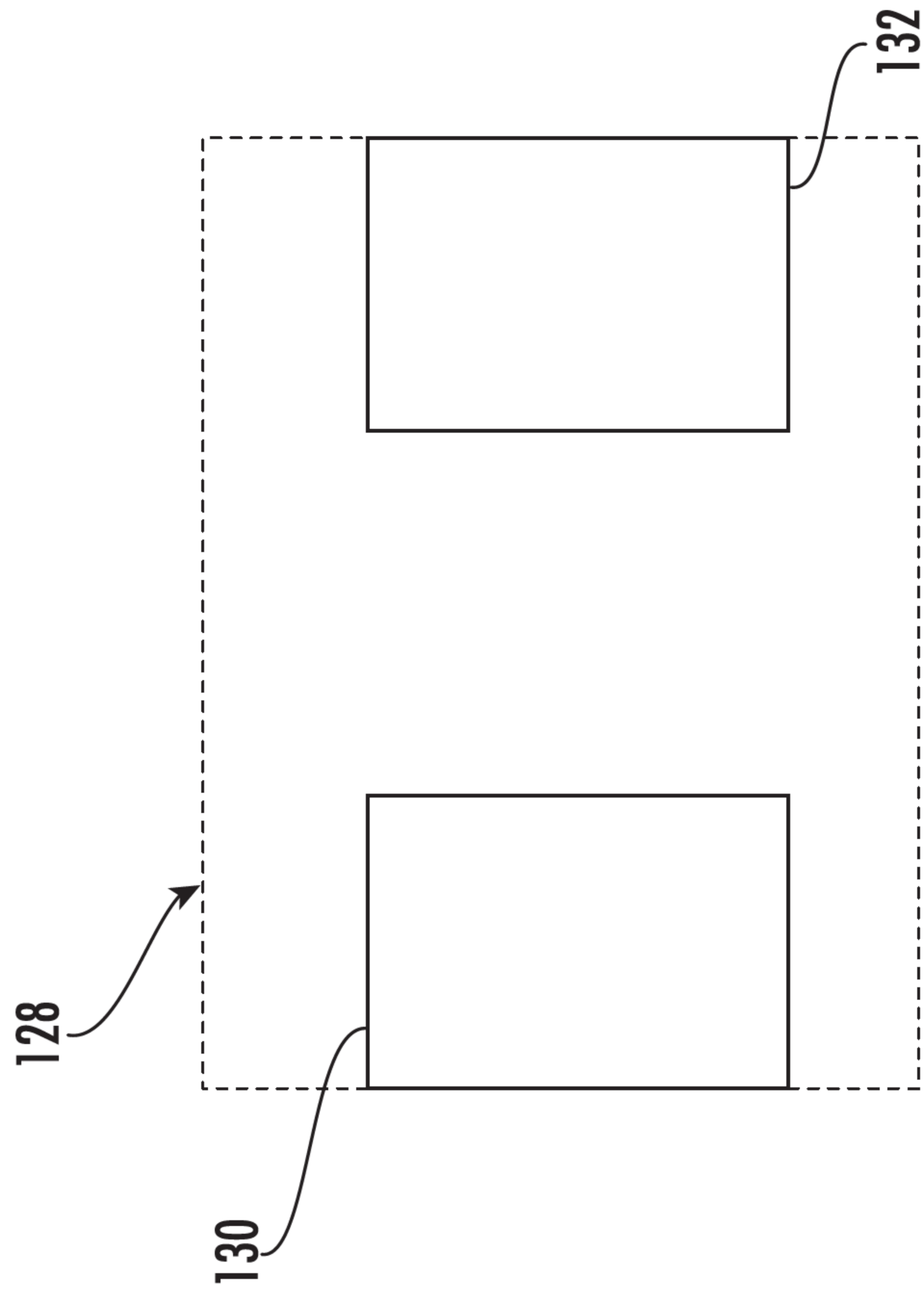
【請求項27】

如請求項15之方法，其進一步包括藉助一包覆模製層對該離散壓敏
電阻及多層電容進行包覆模製。

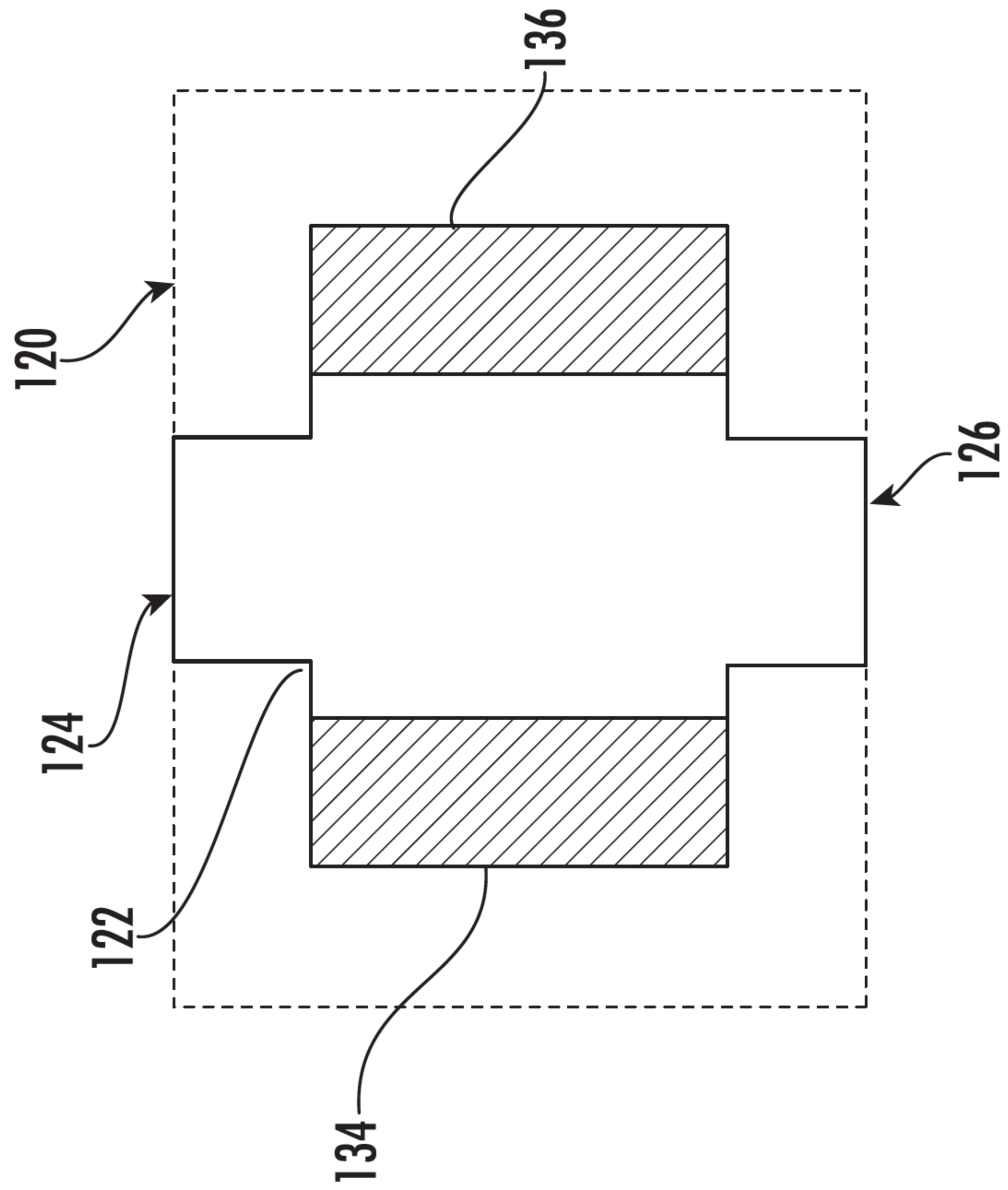
【發明圖式】



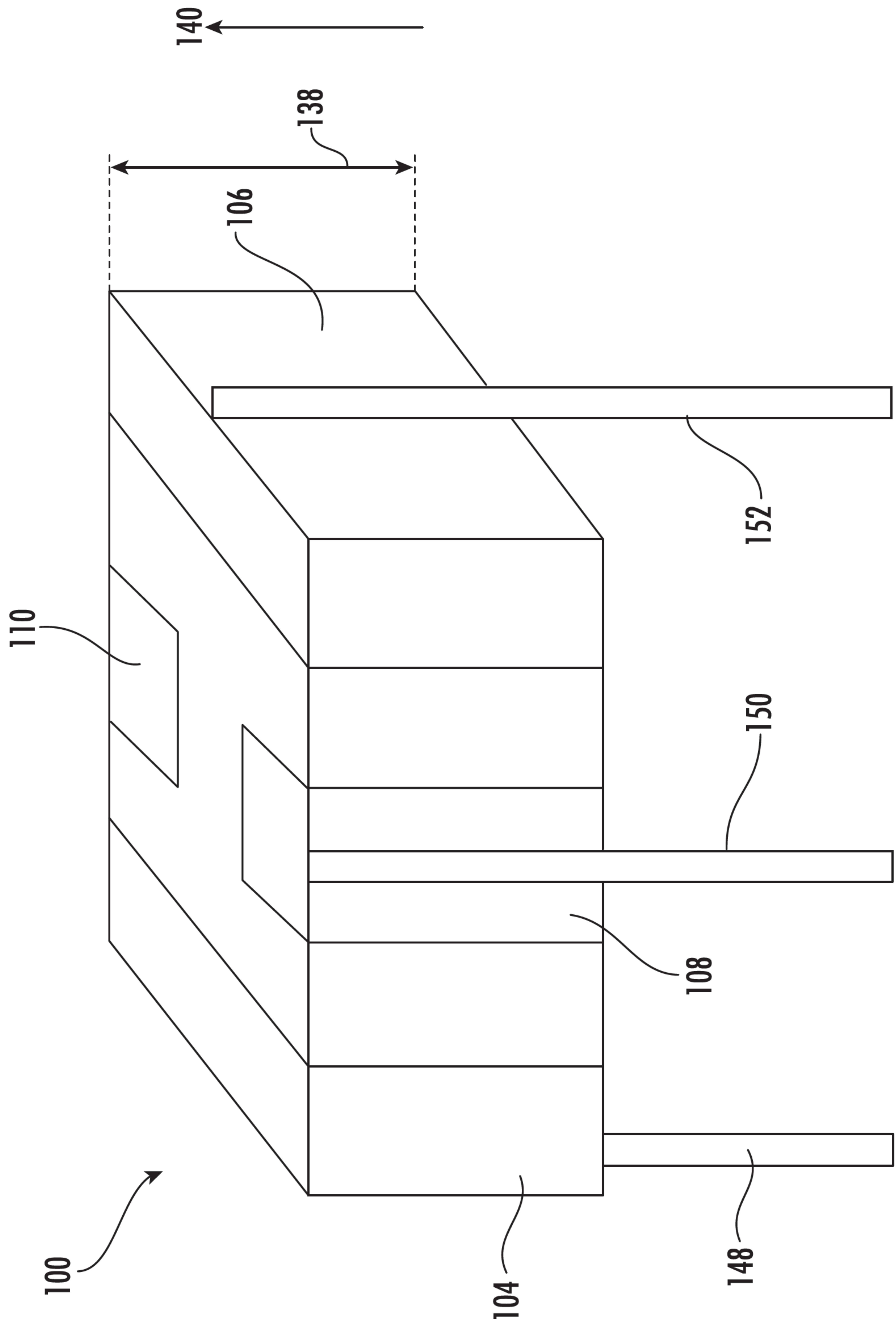
【圖1A】



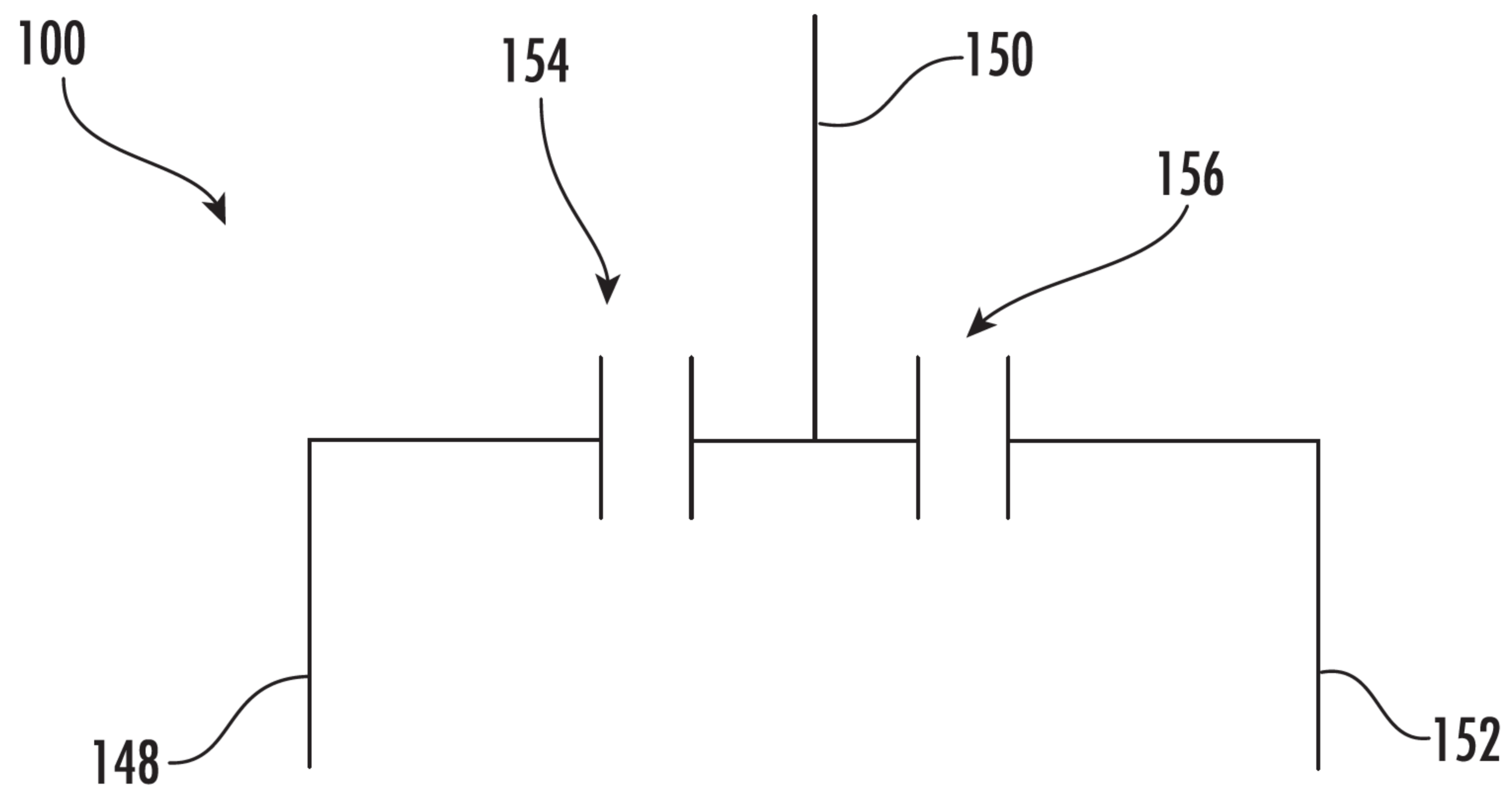
【圖1C】



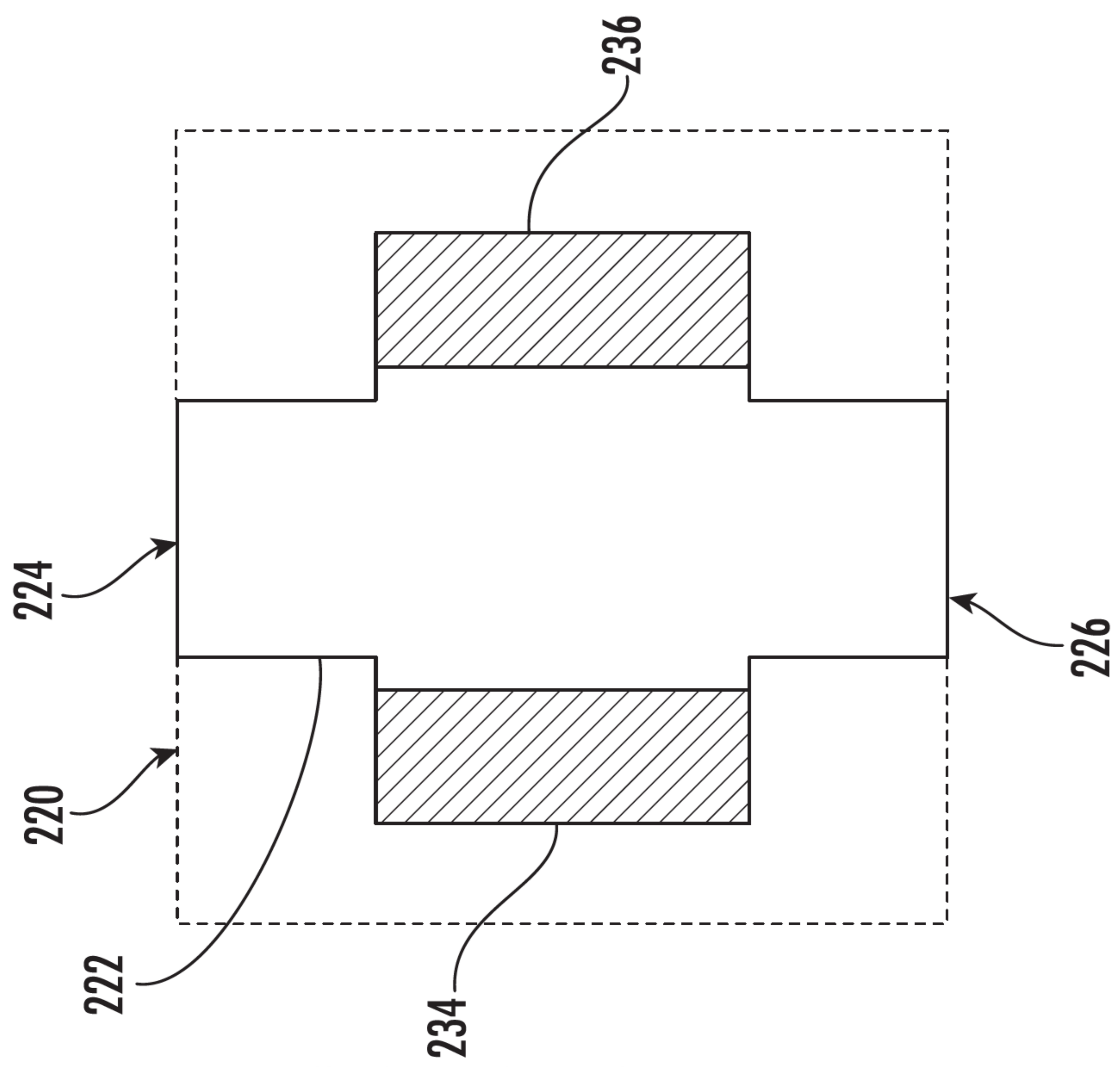
【圖1B】



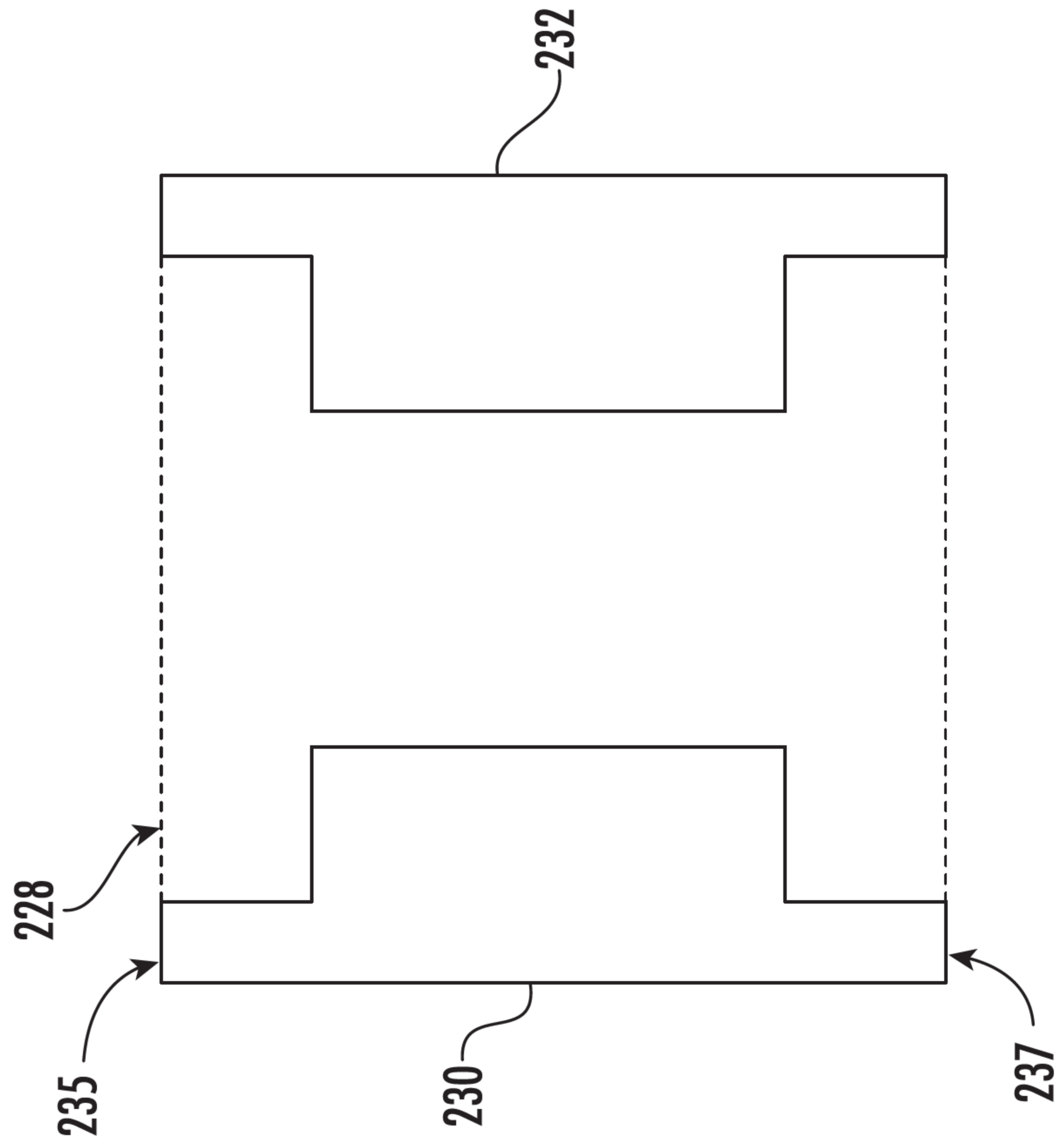
【圖1E】



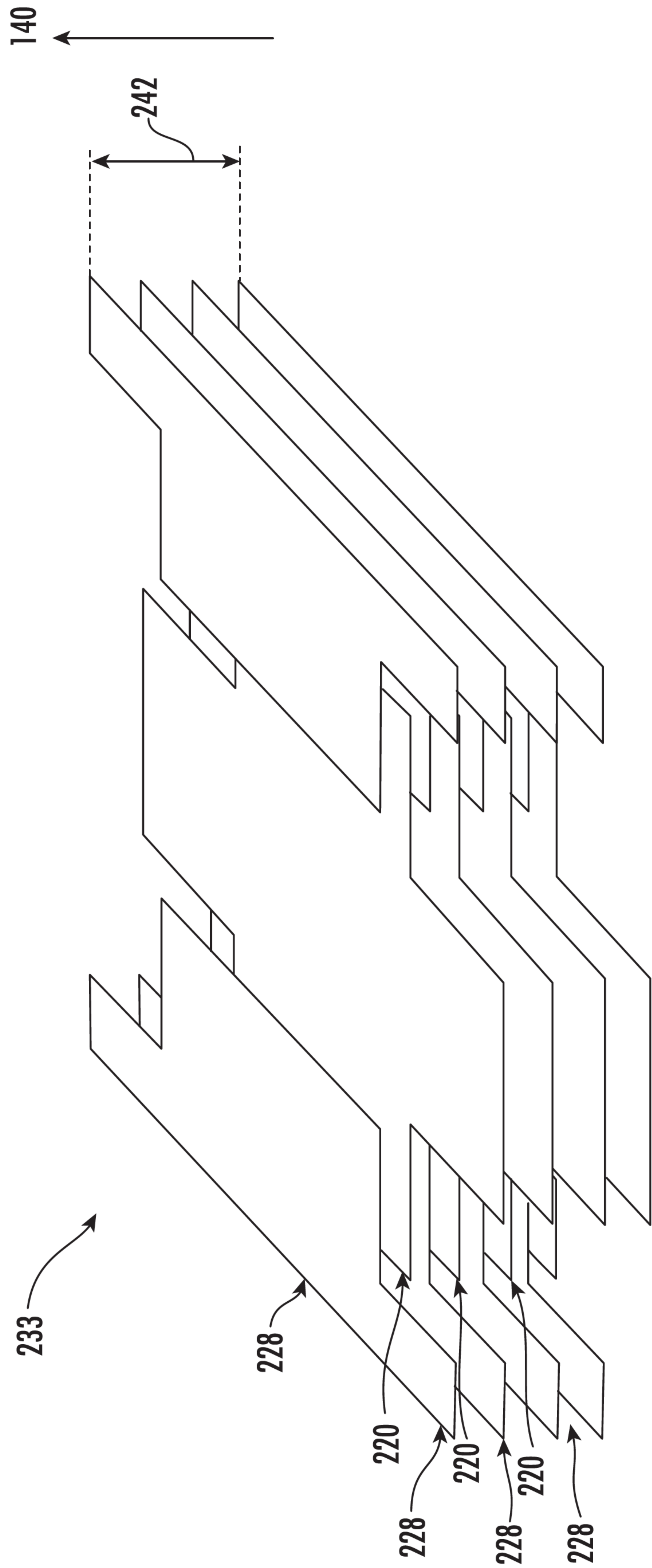
【圖1F】



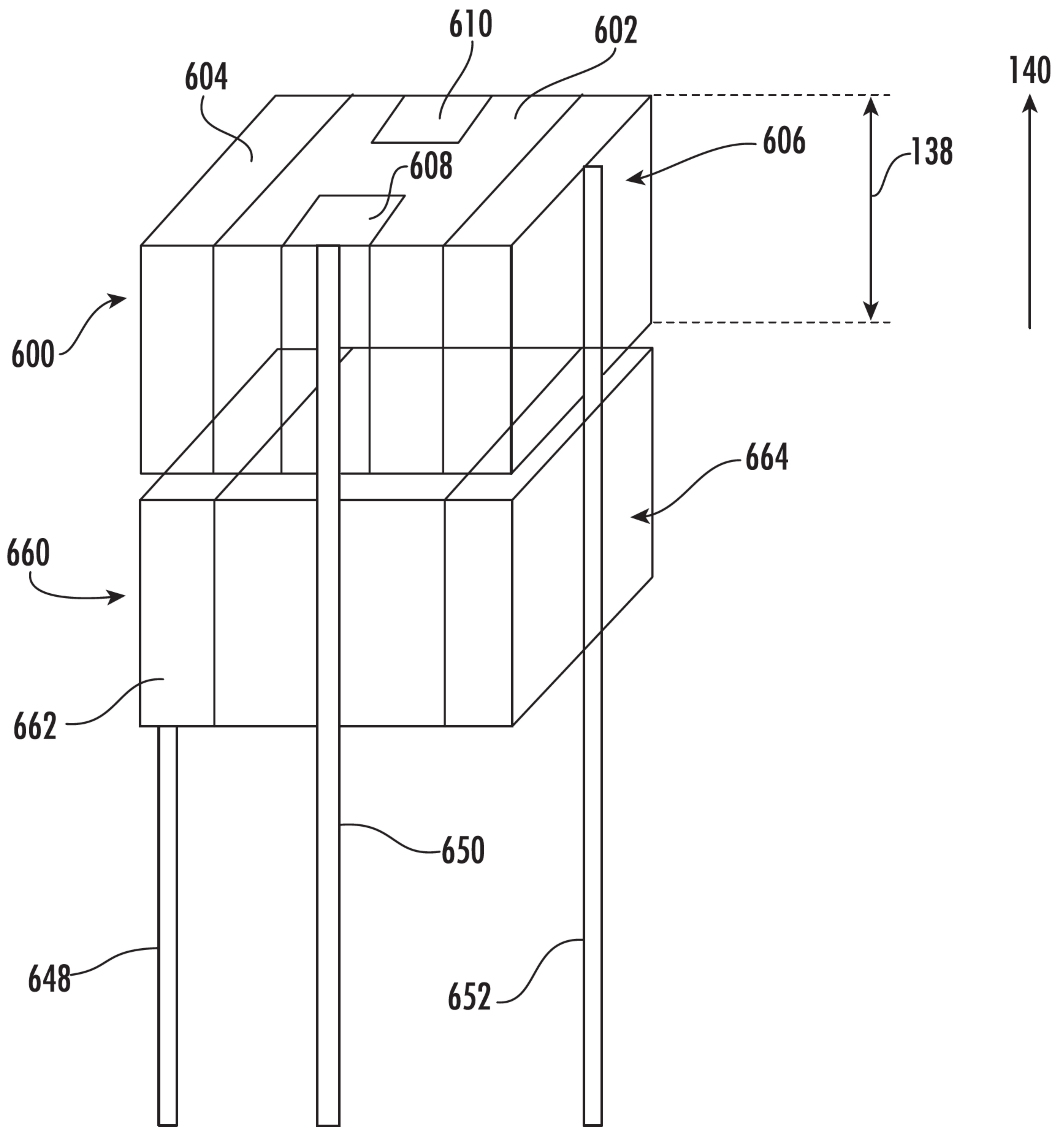
【圖2A】



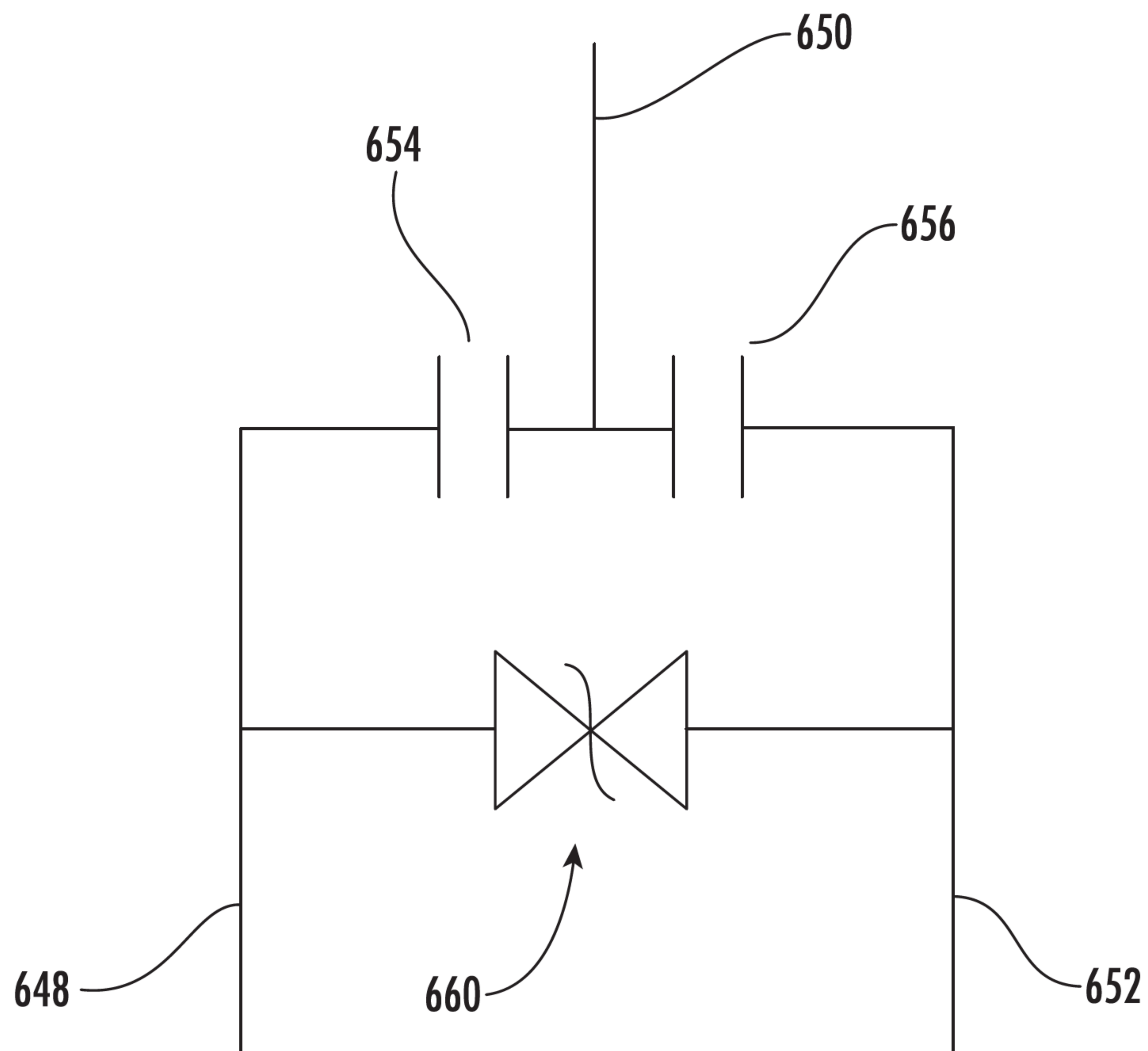
【圖2B】



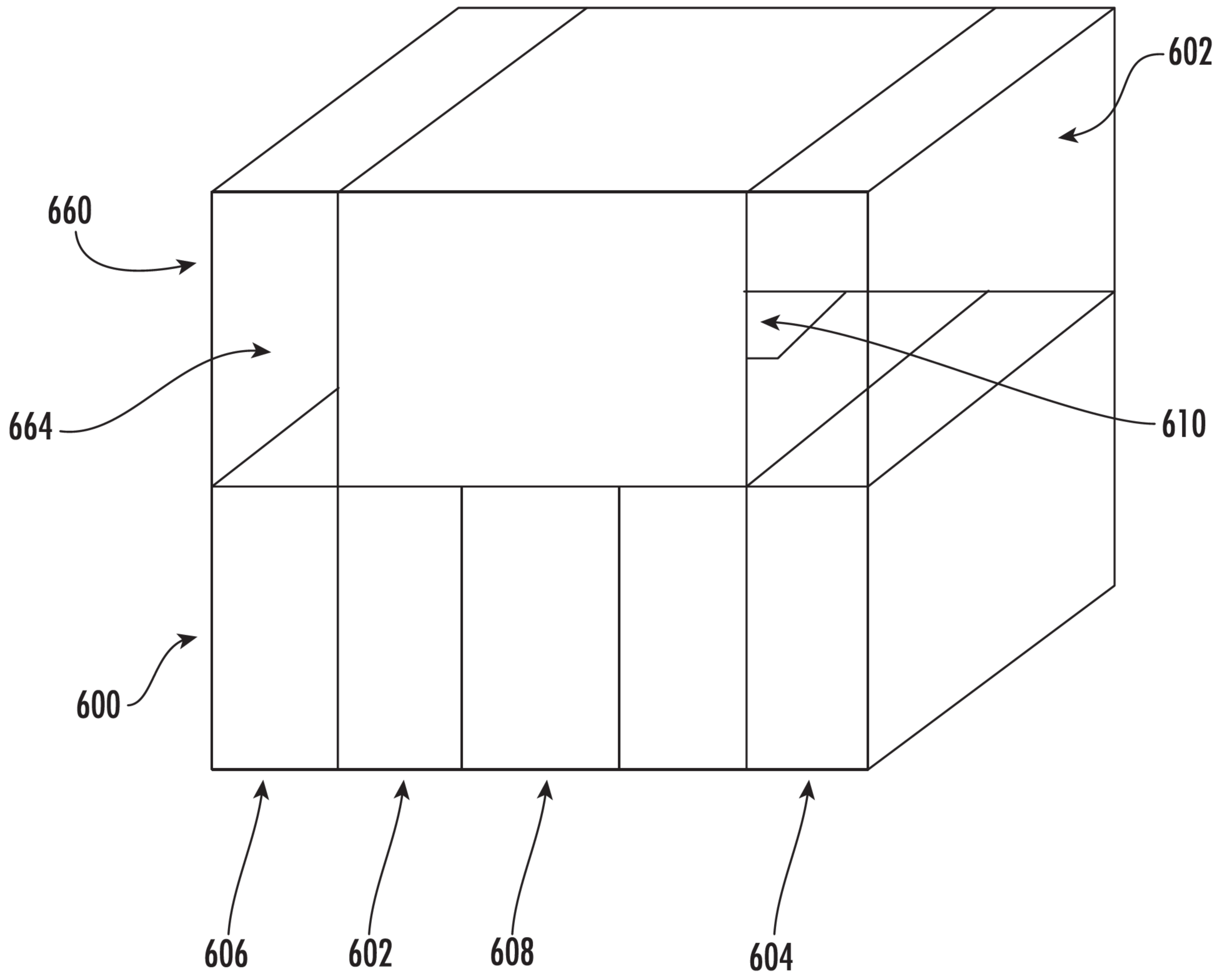
【圖2C】



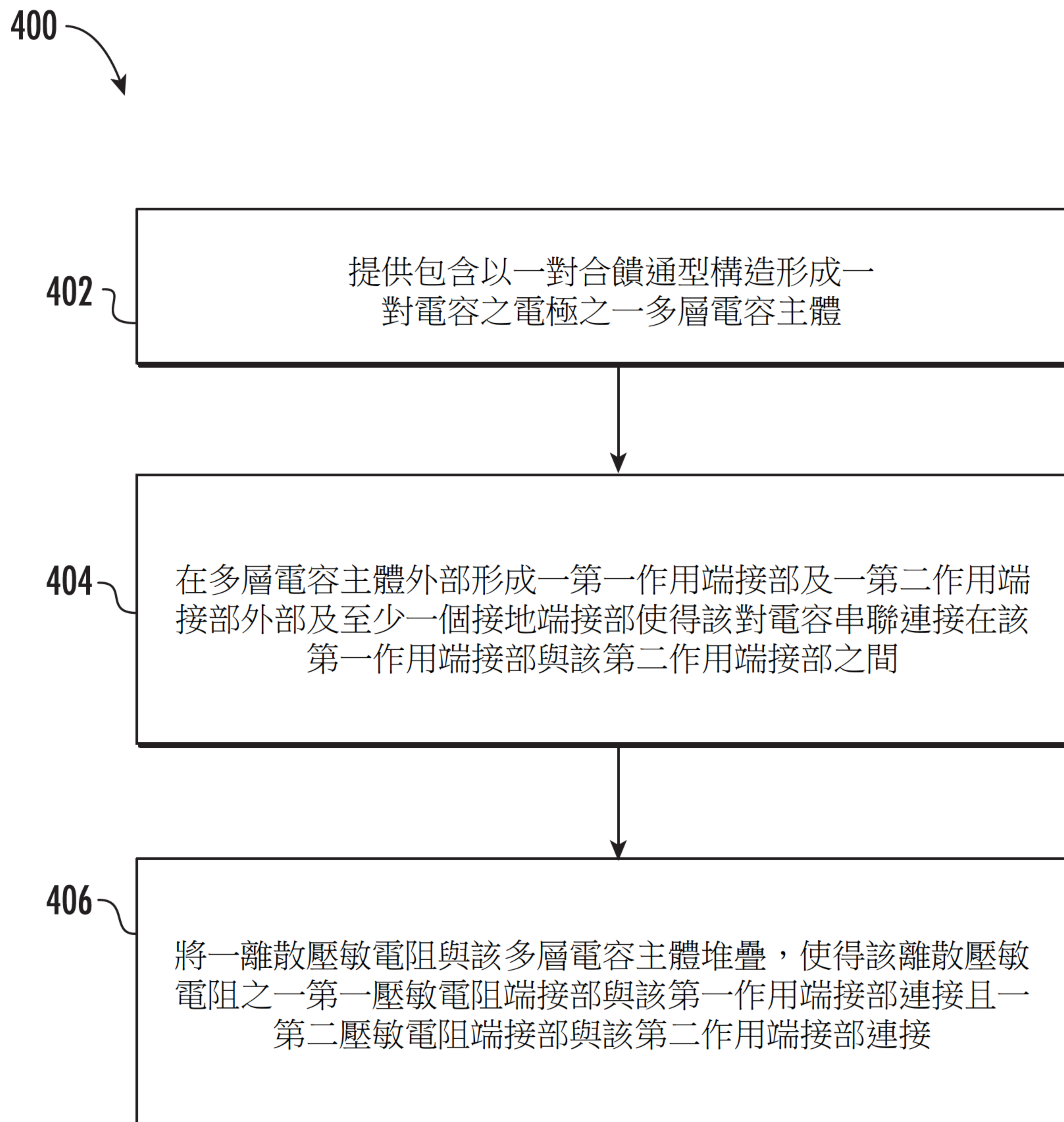
【圖3A】



【圖3B】



【圖3C】



【圖4】