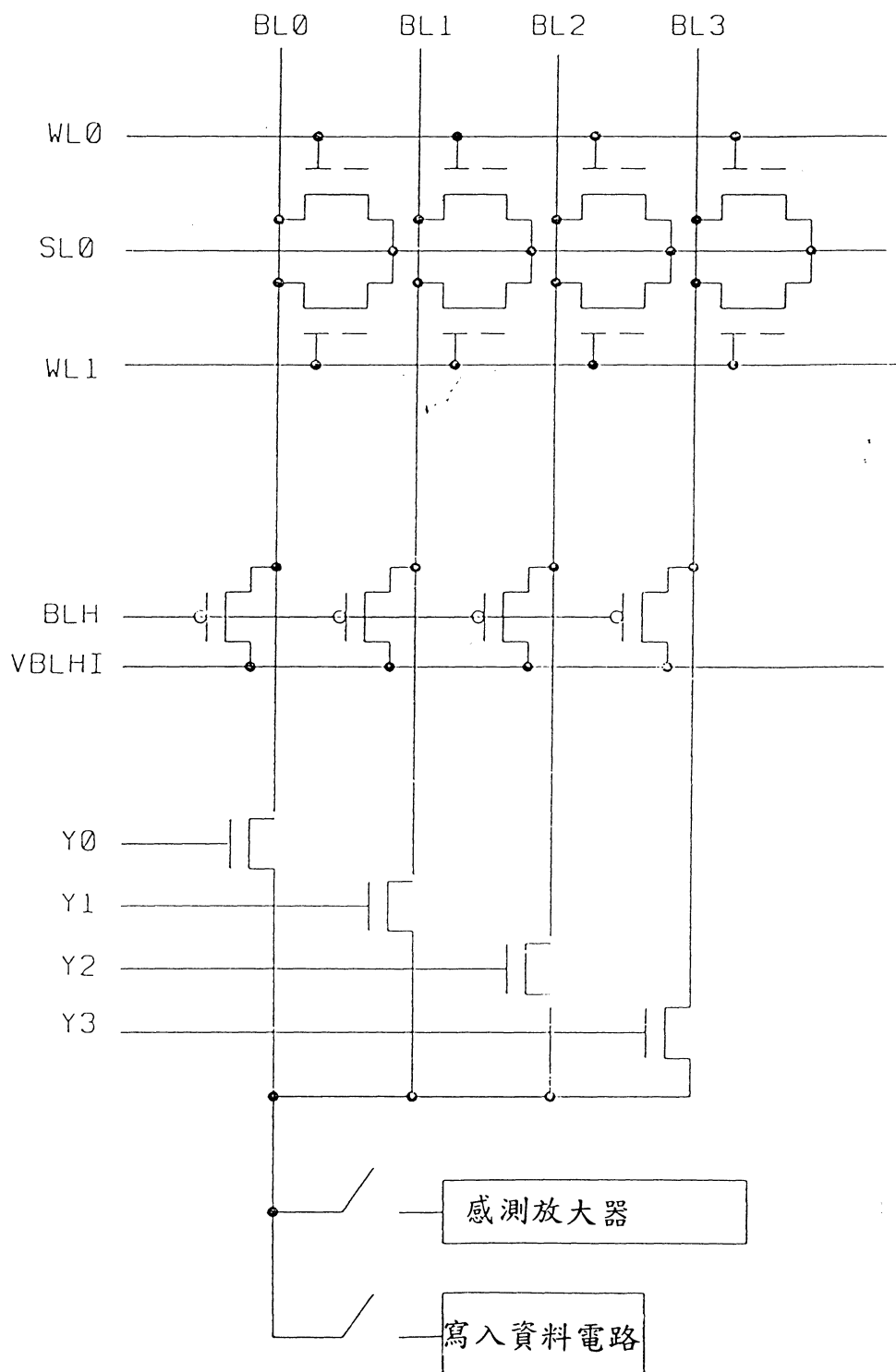
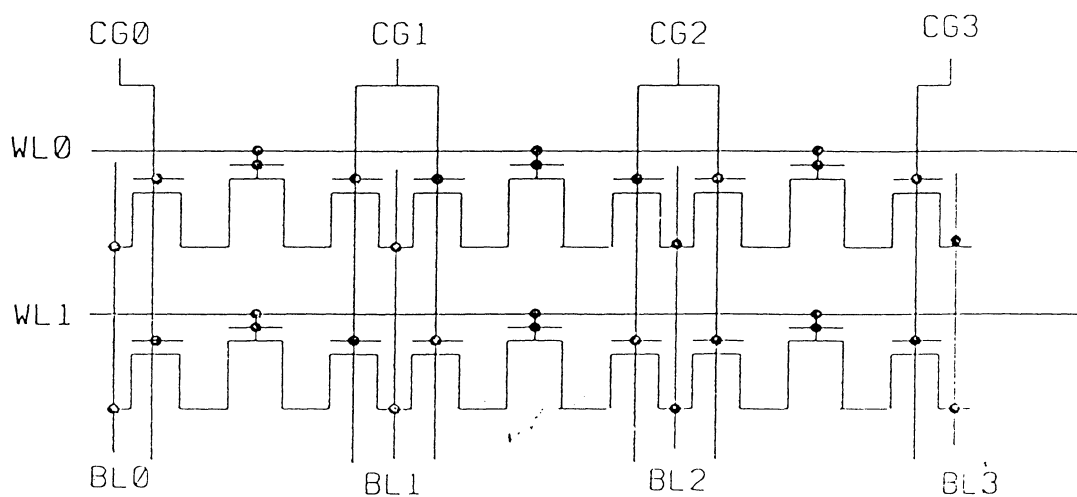
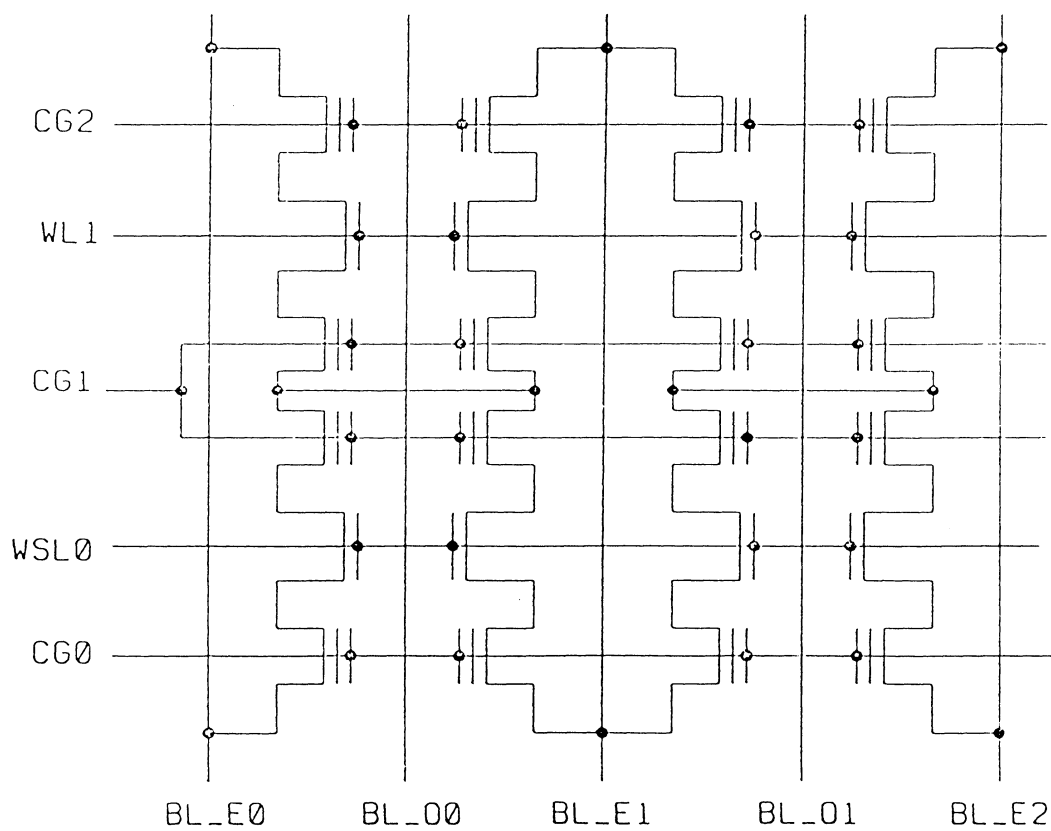




第 1 圖(習用技藝)



第 2 圖(習用技藝)



第 3 圖(習用技藝)

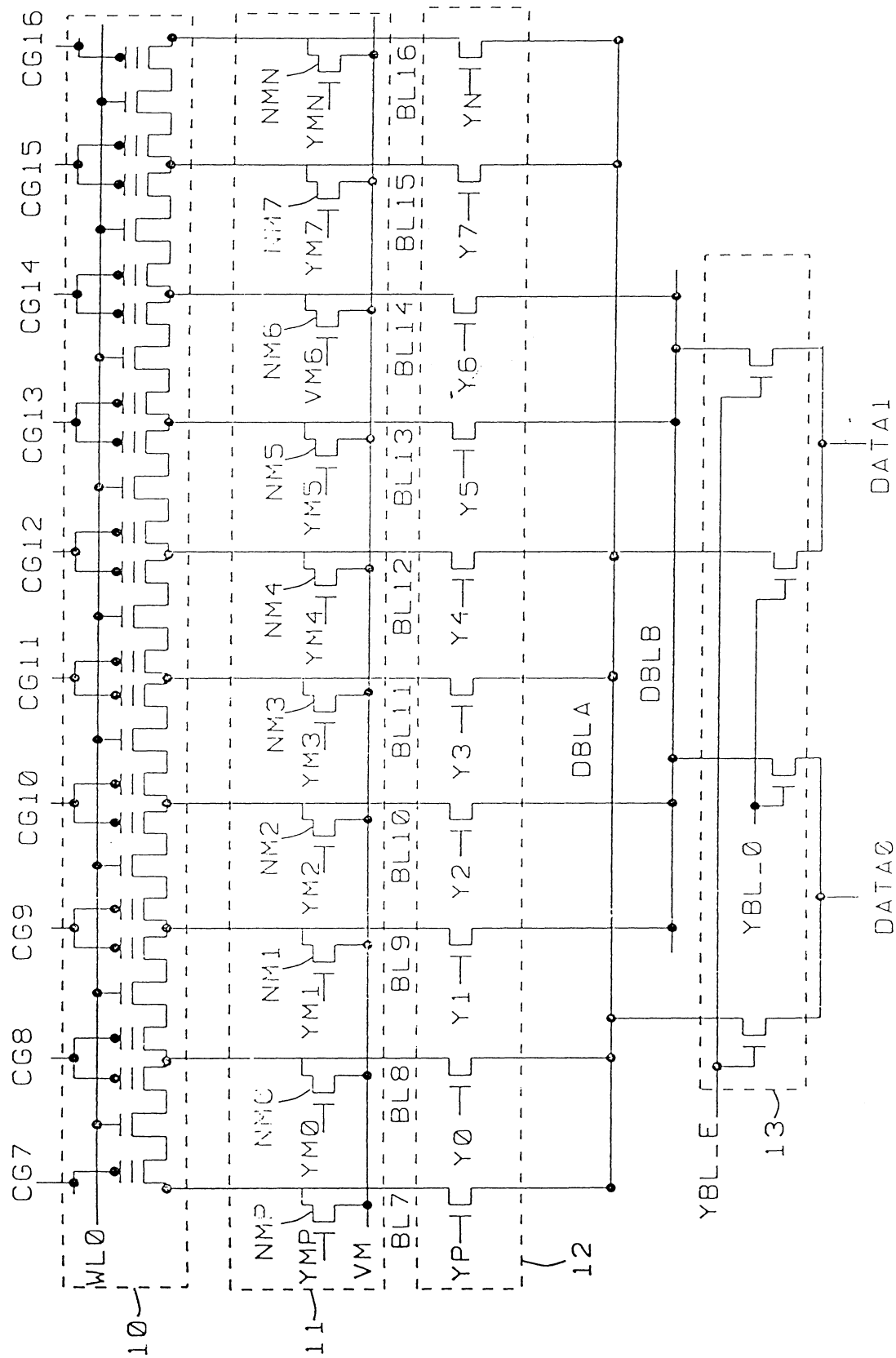
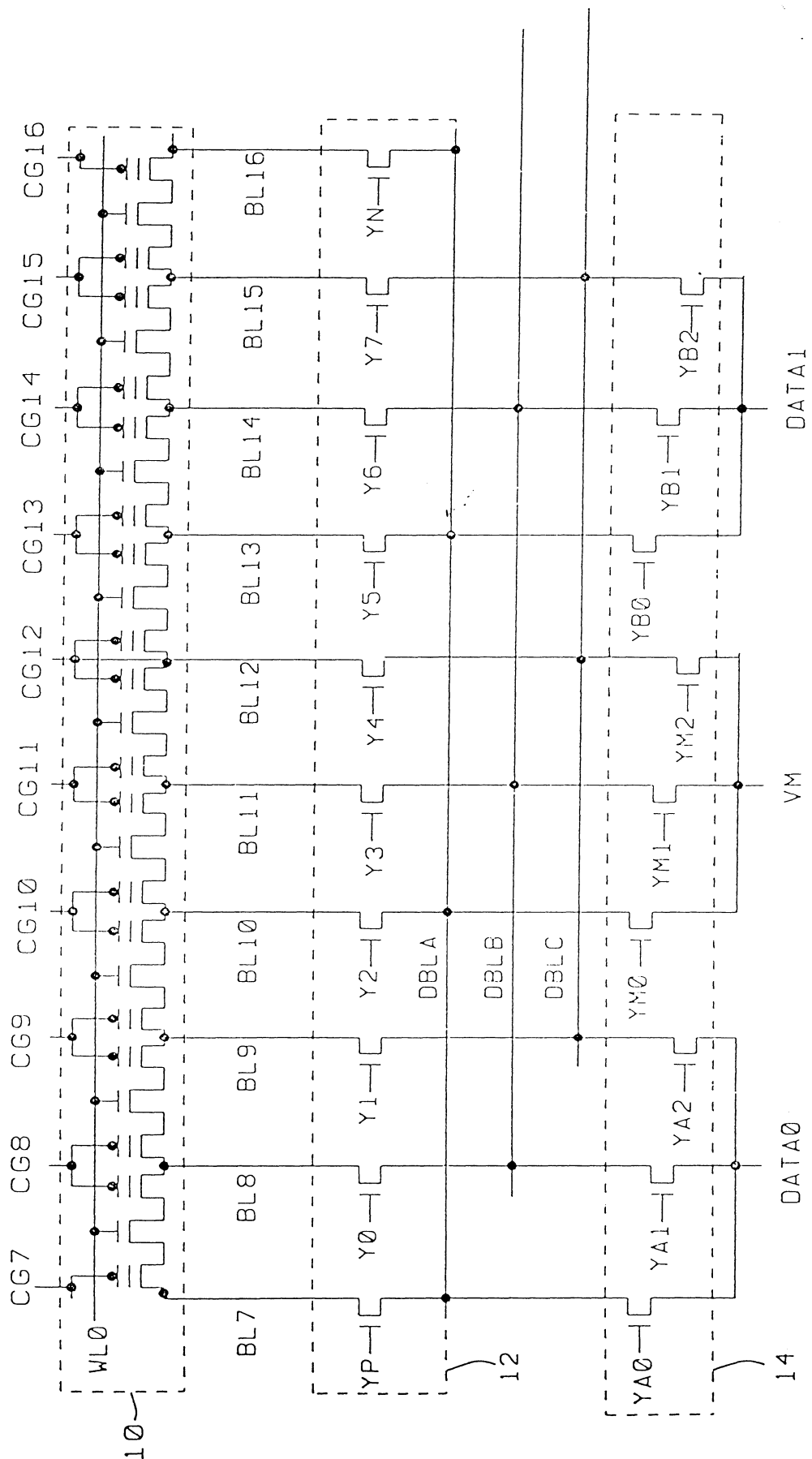


圖 4 第



第 5 圖

申請日期：91.7.5

IPC分類

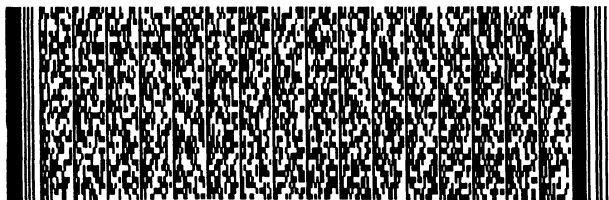
申請案號：91114932

G11C16/08

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	雙位元記憶體及一雙位元選擇的位元線解碼設計及電路
	英 文	Bit Line Decoding Scheme and Circuit for Dual Bit Memory With a Dual Bit Selection
二、 發明人 (共1人)	姓 名 (中文)	1. 大倉智子
	姓 名 (英文)	1. Tomoko Ogura
	國 籍 (中英文)	1. 日本 JP
	住居所 (中 文)	1. 美國紐約洲12533好望站君主道10號(10 Monarch Drive, Hopewell Junction, NY 12533)
	住居所 (英 文)	1.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 美商·哈婁利公司
	名稱或 姓 名 (英文)	1. Halo Lsi, Inc.
	國 籍 (中英文)	1. 美國 US
	住居所 (營業所) (中 文)	1. 美國紐約州12590瓦賓柏鎮美亞角路169號2樓(169 Myers Corners Road, Floor 2, Wappingers Falls, N.Y. 12590, U.S.A.) (本地址與前向貴局申請者不同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 大倉世紀
	代表人 (英文)	1. Seiki Ogura



一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十四條第一項優先權
美國 US	2001/07/06	60/303,735	有

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

本申請案主張美國暫時專利申請案號60/303,735號，於2001年7月6日申請，在此包含於內。

【發明背景】

(1) 發明領域

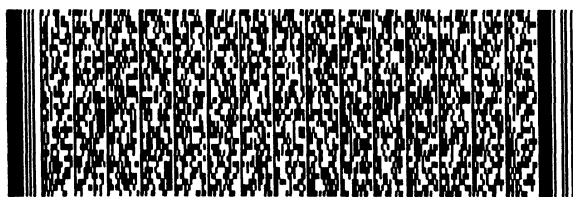
本發明係有關於半導體記憶體，並且特別是有關於使用雙位元快閃記憶體晶胞的快閃記憶體。

(2) 習知技藝之說明

對所有種類的DRAM、SRAM及快閃記憶體陣列而言，位元線解碼係為一種常見元件，較小的晶片區意指較低成本；且因此，就像許多記憶體晶胞盡可能的構裝到一個較小的空間，然而，感測電路(其係決定記憶體晶胞的值)可需要特別的區域，此乃是為了要降低成本通常在許多記憶體晶胞間共享一單感測電路的理由之一，一個位元線解碼器的功能係在於選擇正確的位元線、且將此連接到一個相對應的感測放大器。

第1圖係顯示一種習用的位元線解碼器連接到一NOR(反或閘)-型浮置閘極快閃記憶體陣列，值得注意的是，對於NOR-型陣列而言，每個陣列晶胞行係具有一獨特的位元線，且記憶體晶胞的源極擴散區係水平地連接穿過陣列。

第2圖顯示一種較高密度雙位元型陣列，其中源極線係與位元線結合且垂直地運行，美國專利第6,011,725號(Eitan)及專利申請第09/426,692號於1999年10月25日申請，係皆揭露不同形式的雙位元記憶體陣列，在此之間的基本共同性係為，在兩硬位元(每個字閘極的左側及右側)



五、發明說明 (2)

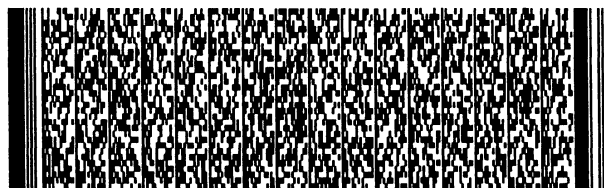
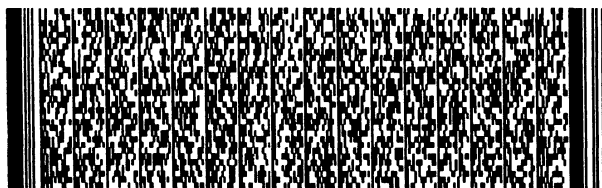
間共享一單字線及一位元線，對於一種單硬位元操作而言，需要同時選擇兩位元線，一個將提供源極電壓，且另一個將提供汲極電壓，其係取決於是否選擇左及右側硬位元而定，因此，可得知的是，一個雙位元陣列的位元線解碼器須比NOR型解碼器更為複雜。

在美國專利第6,011,725號(Eitan)中，選擇一單獨硬位元儲存區用以操作，所關心及考慮係在於確保共享相同位元線的未選擇硬位元儲存區，並不會受到不適當的影響。在專利申請案第10/099,030號於2002年2月15日申請，係介紹一種新穎記憶體單元選擇，代替選擇一硬位元的兩位元線，三位元線選擇作為兩位元，藉由同時選擇兩硬位元儲存區，可減少干擾影響，再者，位元線解碼器大大地被簡化，是因為硬位元選擇作為一對，且不再需要區分左側及右側位元線。

在專利申請第09/810,122號於2001年3月19日申請，係揭露另一個種類具有一金屬位元線的雙位元快閃記憶體晶胞陣列，如第3圖所示，雖然晶胞區域稍微地大些，但是製程較擴散位元線陣列為簡單。替代一擴散位元線，在四硬位元線之間共享一個到金屬接觸窗的單獨擴散區，其係降低位元線的電阻。控制閘極與字線平行地運行，且位元線與控制閘極線及字線兩者垂直地運行，位元線選擇係依y行地址及CG線的一奇數或偶數指定兩者而定。

【本發明之摘要】

本發明之一主要目的，係在於提供一位元線解碼器設



五、發明說明 (3)

計，其係在雙位元記憶體晶胞一陣列中選擇包含有兩儲存區的一個記憶體晶胞。

本發明之另一目的，係在於提供使用具有擴散位元線 MONOS 及金屬位元線 MONOS 陣列兩者的位元線解碼器設計。

本發明之又一目的，係在於提供一位元解碼器電路，其係包含有一種雙位元記憶體陣列的電壓選擇必要條件。

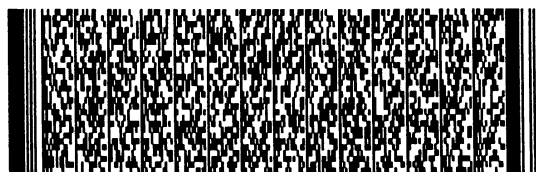
本發明之又一目的，係在於提供經由解碼電晶體選擇性地連接位元線及一電壓源極。

本發明之又一目的，係在於提供選擇性地連接兩位元線及兩中間資料線、及經由解碼電晶體選擇性地連接中間資料線及感測放大器。

本發明之又一目的，係在於提供減少由解碼器邏輯產生的訊號次數，其係藉由一第三中間資料線而加入雙位元記憶體陣列的電壓選擇必要條件。

在本發明中，係描述一種位元線解碼器設計，其一個含有兩儲存區的記憶體晶胞係選自於每個含有兩儲存區的快閃記憶體晶胞陣列中。在一第一實施例中，一第一解碼單元包括有電晶體，其係連接位元線及一電壓源極，位元線可作為源極線的功能、且可作為汲極線到記憶體晶胞的功能。一第二解碼單元包括有電晶體，其係選擇性連接快閃記憶體陣列的位元線及中間資料線。一第三解碼單元包括有電晶體，其係連接中間資料線及記憶體感測放大器，此容許一記憶體儲存區同時連接到每個兩感測放大器，而一偏壓選擇性地施加到記憶體陣列的位元線上。

相較於第一實施例，第二較佳實施例係減少一個解碼



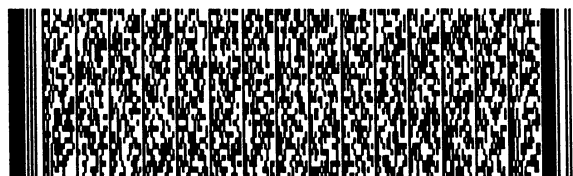
五、發明說明 (4)

單元的數量，一第一解碼單元包括有電晶體，其係選擇性地連接快閃記憶體陣列的位元線及兩儲存區及中間資料線，中間資料線係藉由一第二解碼單元而連接到感測放大器，第二解碼單元亦使用於連接一電壓及一第三中間資料線，其中該電壓係經由第一解碼器單元以選擇性地連接到位元線。

【較佳實施例說明】

第4圖係顯示本發明一第一較佳實施例之設計示意圖，一頁雙位元快閃記憶體單元10的部份係連接到一字線WL0、位元線BL7到BL16、及控制閘極線CG7到CG16，一第一解碼單元11係將一電壓VM連接到位元線，第一解碼器單元的電晶體係包括有具有解碼器輸入YM0到YM7的電晶體NM0到NM7、具有解碼器輸入YMP的NMP(前一個)、及具有解碼器輸入YMN的NMN(最後一個)。一第二解碼器單元12係將位元線BL7到BL16連接到中間資料線DBLA及DBLB，輸入到第二解碼器單元電晶體，係包括有解碼器輸入Y0到Y7、YP(前一個)及YN(最後一個)。一第三解碼單元13將中間資料線DBLA及DBLB經由DATA0及DATA1而連接到感測放大器，其係使用解碼器輸入YBL_E及YBL_0。

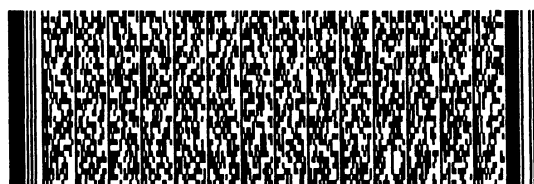
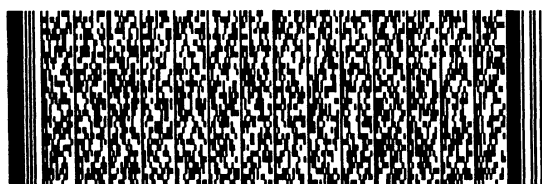
如第4圖所示的位元線解碼電路，係包括有雙位元記憶體陣列的電壓選擇需要，且可從數個nbl的記憶體晶胞10中選擇一記憶體晶胞。位元線代表為BLn，其n亦為記憶體晶胞數。因為記憶體晶胞具有兩儲存區，此對於解碼電路而言連接到nbl+2位元線以從nbl記憶體晶胞中選擇是必要的，較遠的左位元線指定為BL(nbl-1)或BL，且較遠的



五、發明說明 (5)

右位元線指定為BL(nbl+1)或BL16，如第4圖所示。有三種型式的解碼單元11、12及13，且依系統中的必要及可用的電壓而定，一解碼單元可執行作為一高電壓NMOS電晶體或一互補穿透通過閘極(其係包括有一NMOS及一PMOS電晶體)，若不將間隙納入基本的考慮時，則互補閘極NMOS及PMOS電晶體應使用作為一解碼器單元。

表1係描述第4圖解碼器電路的解碼器邏輯，其係用於讀取及程式模式，其中將同時選擇兩位元線。中間位元線將連接到電壓源極VM，且外部兩位元線將連接到兩感測放大器及程式鎖存器，因此，參閱表1，當k模數(modulo)Y=0時，藉由一解碼器輸入YM0將電晶體NM0打開以連接VM到位元線BL8，而解碼器單元11的YM[#]=0(其中#為某數)；位元線BL7連接到中間資料線DBLA，則解碼器單元12的Y[#]=P；位元線BL9連接到中間資料線DBLB，則解碼器單元12的Y[#]=1；且對於解碼器單元13而言，解碼器訊號Yb1_E連接DBLA到DATA1及連接DBLB到DATA1。當k模數Y=2時，藉由一解碼器輸入YM2將電晶體NM2打開以連接VM到位元線BL10，則解碼器單元11的YM[#]=2；位元線BL9連接到中間資料線DBLA，解碼器12的Y[#]=1；位元線BL11連接到中間資料線DBLB，解碼器單元12的Y[#]=3；且對於解碼器13而言，解碼器訊號YBL_0連接DBLA到DATA1及連接DBLB到DATA0。



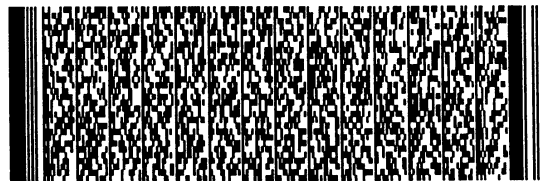
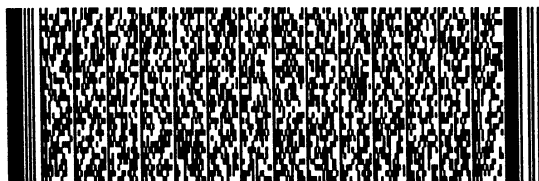
五、發明說明 (6)

表 1

	單 元 11	單 元 12	單 元 12	單 元 13
k 模 數 Y	YM[#]	Y[#]	Y[#]	YBL-
0	0	P	1	EVEN(偶數)
1	1	0	2	EVEN(偶數)
2	2	1	3	ODD(奇數)
-	-	-	-	-
-	-	-	-	-
Y-1	Y-1	Y-2	Y	ODD(奇數)
Y	Y	Y-1	N	ODD(奇數)

第5圖係顯示本發明一第二實施例之示意圖，其中位元線解碼器的變化具有與第4圖相同的功能，此電路的優點係為，已清除第4圖的解碼器單元11，以降低須由解碼器邏輯產生的訊號次數，或者，加入一第三中間資料線DBLC，且VM電壓選擇功能係納入於解碼器單元14。在第4圖及第5圖中的解碼器可使用於雙位元MONOS陣列的擴散位元線、及雙位元MONOS陣列的金屬位元線。然而，解碼器的邏輯將會不同的。

繼續參閱第5圖，一頁雙位元快閃記憶體單元10的部份係連接到一字線WL0、位元線BL7到BL16、及控制閘極CG7到CG16，一第一解碼器單元12連接位元線BL7及BL16到中間資料線DBLA、DBLB及DBLC，輸入到第一解碼器單元10電晶體，係包括有解碼器輸入Y0到Y7、YP(前一個)及YN(後一個)，使用解碼器輸入YA0、YA1、YA2經由DATA1將一

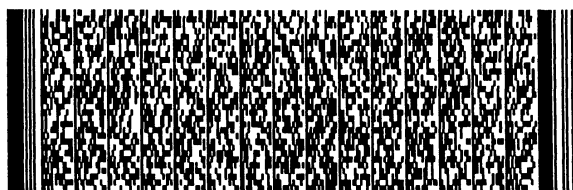
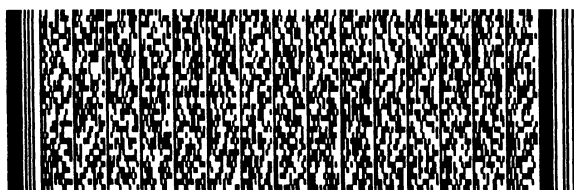


五、發明說明 (7)

第二解碼單元14連接中間資料線DBLA及DBLB到感測放大器，且使用解碼器輸入YB0、YB1及YB2經由DATA1連接到感測放大器。第二解碼器單元14亦使用解碼器單元輸入YM0、YM1、及YM2連接一電壓VM到中間資料線DBLA、DBLB、DBLC。

第5圖所示的位元線解碼電路，係將雙位元記憶體陣列的電壓選擇要求加入到第二解碼器單元14中，且可從記憶體單元10的數個nbl中選擇一記憶體晶胞。位元線代表為BLn，其n亦為記憶體晶胞數。因為記憶體晶胞具有兩儲存區，所以此對於解碼電路而言連接到nbl+2位元線以從nbl記憶體晶胞中選擇是必要的，較遠的左位元線指定為BL(nbl-1)或BL7，且較遠的右位元線指定為BL(nbl+1)或BL16，如第5圖所示。有二個解碼單元12及14，且依系統中的必要及可用的電壓而決定，一解碼單元可執行作為一高電壓NMOS電晶體或一互補穿透通過閘極(其係包括有一NMOS及一PMOS電晶體)。若不將間隙納入基本的考慮時，則互補閘極NMOS及PMOS電晶體應使用作為一解碼器單元。

表2係描述第5圖用於讀取及程式化模式解碼器電路的解碼器邏輯，其中將同時選擇兩位元線。中間位元線將連接到電壓源極VM，且外部兩位元線將連接到兩感測放大器及程式鎖存器，因此，當k模數Y=0時，解碼器輸入Y0連接BL8到DBLB，其中該DBLB尚藉由解碼器單元14的解碼器輸入YM1而連接到一電壓VM；位元線BL7連接到中間資料線DBLA，則解碼器單元12的Y[#]=P；且位元線BL9連接到中



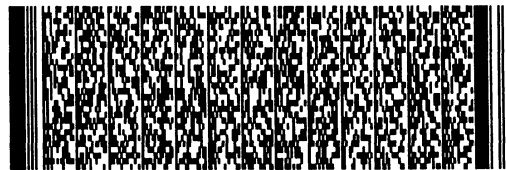
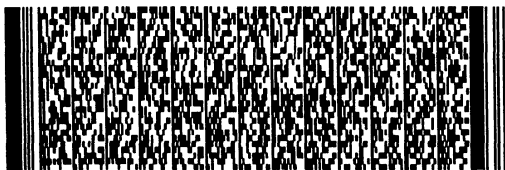
五、發明說明 (8)

間資料線DBLC，則解碼器單元12的 $Y[\#]=1$ 。解碼器輸入YA0連接中間資料線DBLA到資料線DATA0，且解碼器輸入YB2連接中間資料線DBLC到資料線DATA1，因此，位元線BL7連接到DATA0，位元線BL9連接到DATA1，且位元線BL8連接到一電壓VM。當k模數 $Y=2$ 時，解碼器輸入Y1連接BL9到DBLC，其中DBLC尚藉由解碼器單元14中的解碼器輸入YM2而連接到一電壓VM；位元線8係連接到中間資料線DBLb，則解碼器單單元12的 $Y[\#]=0$ ；且位元線BL10連接到中間資料線DBLA，則解碼器單元12的 $Y[\#]=2$ 。解碼器輸入YA1連接中間資料線DBLB到中間線DATA0，且解碼器輸入YB0連接中間資料線DBLA到資料線DATA1。因此，對於k模數 $Y=2$ 而言，位元線BL8係連接到DARA0，位元線BL10連接到DATA1且位元線BL9連接到一電壓VM。

表2

k 模數Y	單元12			單元14		
	Y[#]	Y[#]	Y[#]	YA[#]	YM[#]	TB[#]
0	0	P	1	0	1	2
1	1	0	2	1	2	0
2	2	1	3	2	0	1
3	3	2	0	0	1	2
4	0	3	1	1	2	0
-	-	-	-	-	-	-

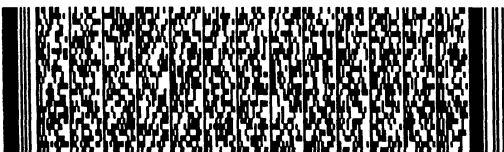
對於金屬位元陣列而言，可使用相同的拓樸解碼器電路，但是解碼器邏輯係不同的，因為歸類不同位元線。此一個以控制閘極選擇為基礎的位元線偶數/奇數特性，若



五、發明說明 (9)

選擇一奇數位元線時，則將也會一起選擇靠近此的兩偶數位元線。

雖然本發明已參考其較佳實施例而被特別地表示並說明，惟熟習本技藝之人士應瞭解地是各種在形式上及細節上的改變可在不背離本發明之精神與範疇下為之。



圖式簡單說明

根據本發明之方法的特徵與優點將由下列配合附圖的說明而更清楚地被瞭解，包括有：

第1圖係顯示一種習用技藝傳統的位元線解碼器連接到NOR型快閃記憶體之設計。

第2圖係顯示一種習用技藝雙位元線型快閃記憶體陣列之設計，其位元線及源極線以垂直方向的運行。

第3圖係顯示習用技藝一種具有金屬位元線的雙位元線快閃記憶體晶胞之設計。

第4圖係顯示本發明一第一較佳實施例解碼器設計之設計示意圖。

第5圖係顯示本發明一第二較佳實施例解碼器之設計示意圖。

【圖號對照說明】

- 10 雙位元快閃記憶體單元
- 11 第一解碼單元
- 12 第二解碼器單元
- 13 第三解碼單元
- 14 解碼器單元



四、中文發明摘要 (發明名稱：雙位元記憶體及一雙位元選擇的位元線解碼設計及電路)

在本發明中，係描述一位元線解碼器設計，其係連接資料及電壓到雙位元快閃記憶體陣列複數個位元線，位元線係藉由一第一解碼器單元而連接到複數個中間資料線，且中間資料線係藉由一第二解碼器單元而連接到複數個感測放大器的資料線，在一第一較佳實施例中，電壓係連接到一已選擇的位元線而穿過一個分開的解碼器單元，且在第二實施例中，電壓係連接穿過解碼器單元而連接到中間資料線。

陸、英文發明摘要 (發明名稱：Bit Line Decoding Scheme and Circuit for Dual Bit Memory With a Dual Bit Selection)

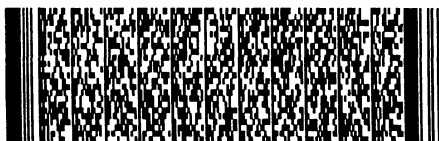
In the present invention a bit line decoder scheme is described that connects data and voltage to a plurality of bit lines of a dual bit flash memory array. The bit lines are connected to a plurality of intermediate data lines by a first decoder unit and the intermediate data lines are connected to a plurality of data lines of the sense amplifiers by a second decoder unit. In one



四、中文發明摘要 (發明名稱：雙位元記憶體及一雙位元選擇的位元線解碼設計及電路)

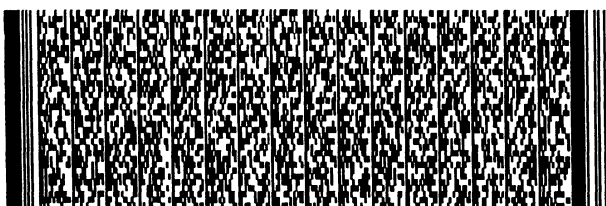
陸、英文發明摘要 (發明名稱：Bit Line Decoding Scheme and Circuit for Dual Bit Memory With a Dual Bit Selection)

embodiment the voltage is connected to a selected bit line through a separate decoder unit and in a second embodiment the voltage is connected through the decoder unit connected to the intermediate data lines.



六、申請專利範圍

1. 一種具有雙位元晶胞的快閃記憶體陣列之位元解碼器電路，係包括有：
 - a) 一快閃記憶體陣列，其係具有複數個雙位元記憶體晶胞；
 - b) 一第一解碼器單元，係連接一電壓到該記憶體陣列之位元線；
 - c) 該位元線功能作為源極線及汲極線兩種；
 - d) 一第二解碼器單元，係連接該位元線到複數個中間資料線；及
 - e) 一第三解碼器單元，係連接該複數個中間資料線到複數個資料線，以連接到複數個感測放大器。
2. 如申請專利範圍第1項所述之位元解碼器電路，其中該第一解碼器單元係連接該電壓到該位元線，作為已選擇相鄰記憶體晶胞的該源極線。
3. 如申請專利範圍第1項所述之位元解碼器電路，其中該第二解碼器單元連接到複數個位元線加兩位元線，以從該複數個記憶體晶胞中選擇。
4. 如申請專利範圍第1項所述之位元解碼器電路，其中該第三解碼器單元自該中間資料線選擇出來，以提供同步的資料到該複數個感測放大器。
5. 如申請專利範圍第1項所述之位元解碼器電路，其中該位元線係為一雙位元MONOS陣列中的擴散位元線。
6. 如申請專利範圍第1項所述之位元解碼器電路，其



六、申請專利範圍

中該位元線係為一雙位元MONOS陣列中的金屬線。

7．一種雙位元線快閃記憶體陣列之位元線解碼器電路，係包括有：

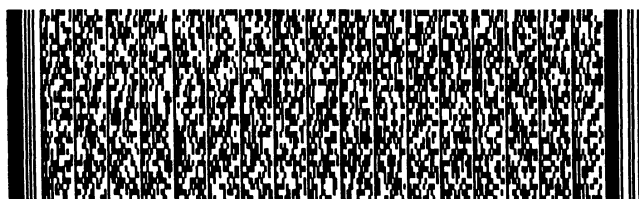
- a) 一具有複數個雙位元記憶體晶胞的快閃記憶體陣列，其係連接到位元線、控制閘極線、及字線；
- b) 該位元線功能作為源極線及汲極線兩種；
- c) 一第一解碼器單元，係連接該位元線到複數個中間資料線；
- d) 一第二解碼器單元，係連接該複數個中間資料線到一電壓、及到複數個資料線，以連接到複數個感測放大器。

8．如申請專利範圍第7項所述之位元線解碼器電路，其中該第一解碼器單元連接到複數個位元線加兩位元線，以從複數個記憶體單元中選擇出來。

9．如申請專利範圍第7項所述之位元線解碼器電路，其中該第二解碼器單元係選自於該中間資料線中，以提供同步的資料到該複數個感測放大器。

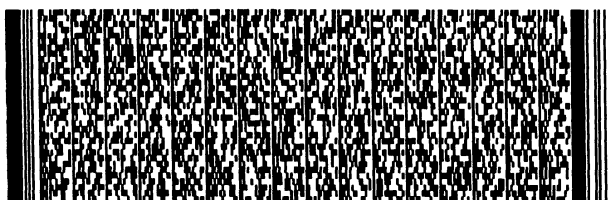
10．如申請專利範圍第7項所述之位元線解碼器電路，其中該第二解碼器單元連接該電壓到一個該複數個中間資料線，且該第一解碼器單元連接一個該複數個中間資料線到位元線，以作為已選擇相鄰記憶體晶胞的源極線。

11．如申請專利範圍第7項所述之位元線解碼器電路，其中該位元線係為一雙位元MONOS陣列的擴散位元線



六、申請專利範圍

- 1 2 . 如申請專利範圍第7項所述之位元線解碼器電路，其中該位元線係為一雙位元MONOS陣列的金屬線。
- 1 3 . 一種用於讀取及程式操作藉以連接到一雙位元快閃記憶體陣列的位元線之裝置，係包括有：
 - a) 一種藉以選擇一雙位元快閃記憶體陣列的複數個位元線之裝置；
 - b) 一種藉以連接一電壓到該複數個位元線以作為源極線之裝置；及
 - c) 一種藉以連接要讀取或程式化的該複數個位元線到複數個感測放大器之裝置。
- 1 4 . 如申請專利範圍第13項所述之裝置，其中該藉以連接一電壓到該複數個位元線以作為源極線之裝置，係使用一種解碼器裝置連接該電壓到該位元線。
- 1 5 . 如申請專利範圍第13項所述之裝置，其中該藉以連接一電壓到該複數個位元線以作為源極線之裝置，尚包括有一第一解碼器裝置連接該中間資料線到該位元線、及一第二解碼器裝置連接該電壓到中間資料線。
- 1 6 . 如申請專利範圍第13項所述之裝置，其中該藉以連接要讀取或程式化的該複數個位元線到複數個感測放大器之裝置，尚包括有一第一解碼器裝置連接該複數個位元線到複數個中間資料線、一第二解碼器裝置連接複數個中間資料到該複數個感測放大器。
- 1 7 . 一種用於讀取及程式操作藉以選擇一雙位元快閃記



六、申請專利範圍

憶體陣列的位元線之方法，係包括有：

- a) 連接一電壓到複數個中間資料線其中一個；
- b) 連接複數個感測放大器到該複數個中間資料線；及
- c) 選擇要連接的複數個位元線到該複數個中間資料線

。

18．如申請專利範圍第17項所述之方法，其中尚有一電壓源極係連接到該位元線而直接穿過一解碼器單元。

19．如申請專利範圍第17項所述之方法，其中連接該複數個感測放大器到該複數個中間資料線係穿過一解碼器單元而不連接到該電壓。

20．如申請專利範圍第17項所述之方法，其中選擇要連接的該複數個位元線到該複數個中間資料線，係穿過一解碼器單元，其該解碼器單元係連接資料及電壓兩者到該複數個位元線。

