(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 118866977 A
(43)申请公布日 2024.10.29

(21)申请号 202411277545.7

(22)申请日 2019.07.24

(30)优先权数据
2018-146787 2018.08.03 JP
2018-175352 2018.09.19 JP
2018-201126 2018.10.25 JP
2019-061174 2019.03.27 JP

(62)分案原申请数据
201980050350.X 2019.07.24

(71)申请人 株式会社半导体能源研究所
地址 日本神奈川县

(72)发明人 肥塚纯一 冈崎健一 保坂泰靖 生内俊光 中泽安孝 保本清治 山崎舜平

(74)专利代理机构 上海专利商标事务所有限公司 31100
专利代理师 俞丹

(51)Int.Cl.
H01L 29/786(2006.01)
H01L 21/336(2006.01)
H01L 27/12(2006.01)
G02F 1/1368(2006.01)
H05B 33/14(2006.01)
H05B 33/22(2006.01)
H05B 33/28(2006.01)

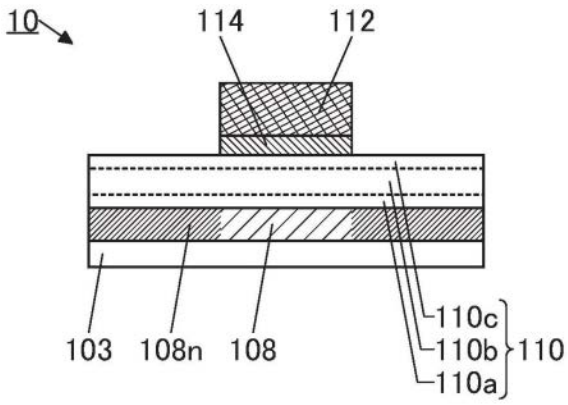
权利要求书7页 说明书49页 附图47页

(54)发明名称

半导体装置

(57)摘要

提供一种电特性良好的半导体装置。提供一种可靠性高的半导体装置。提供一种电特性稳定的半导体装置。半导体装置包括第一绝缘层、第二绝缘层、半导体层及第一导电层。在第一绝缘层上依次层叠半导体层、第二绝缘层及第一导电层。第二绝缘层具有依次层叠第一绝缘膜、第二绝缘膜及第三绝缘膜的叠层结构。第一绝缘膜、第二绝缘膜及第三绝缘膜各自包含氧化物。第一绝缘膜包括与半导体层接触的部分。半导体层包含铟、镓及氧,并包括铟的含有率比镓的含有率高的区域。



CN 118866977 A

1.一种半导体装置,包括:

第一绝缘层;

所述第一绝缘层上的氧化物半导体层,所述氧化物半导体层包括晶体管的沟道形成区域;

所述氧化物半导体层上的第二绝缘层;

所述第二绝缘层上的栅电极;

所述栅电极上的第三绝缘层;以及

所述第三绝缘层上的源电极和漏电极,

其中,所述栅电极与所述沟道形成区域夹着所述第二绝缘层重叠,

所述源电极和所述漏电极分别通过所述第二绝缘层和所述第三绝缘层中的第一开口部和第二开口部电连接到所述氧化物半导体层,

所述第二绝缘层包括与所述氧化物半导体层的顶面接触的第一绝缘膜、及位于所述第一绝缘膜上的第二绝缘膜,

所述氧化物半导体层包含铟和元素M,

所述元素M为铝、硅、硼、钇、锡、铜、钒、铍、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨和镁中的一种或多种,

所述第二绝缘层包含氧化物,

并且,所述氧化物半导体层中的铟的原子比例高于所述氧化物半导体层中的所述元素M的原子比例。

2.一种半导体装置,包括:

第一绝缘层;

所述第一绝缘层上的氧化物半导体层,所述氧化物半导体层包括晶体管的沟道形成区域;

所述氧化物半导体层上的第二绝缘层;

所述第二绝缘层上的栅电极;

所述栅电极上的第三绝缘层;以及

所述第三绝缘层上的源电极和漏电极,

其中,所述栅电极与所述沟道形成区域夹着所述第二绝缘层重叠,

所述源电极和所述漏电极分别通过所述第二绝缘层和所述第三绝缘层中的第一开口部和第二开口部电连接到所述氧化物半导体层,

所述第二绝缘层包括与所述氧化物半导体层的顶面接触的第一绝缘膜、及位于所述第一绝缘膜上的第二绝缘膜,

所述氧化物半导体层包含铟和元素M,

所述元素M为铝、硅、硼、钇、锡、铜、钒、铍、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨和镁中的一种或多种,

所述第二绝缘层包含氧化物,

所述氧化物半导体层中的铟的原子比例高于所述氧化物半导体层中的所述元素M的原子比例,

并且,所述氧化物半导体层不含镓。

3.一种半导体装置,包括:

第一绝缘层;

所述第一绝缘层上的第一氧化物半导体层;

所述第一氧化物半导体层上的第二氧化物半导体层;

所述第二氧化物半导体层上的第二绝缘层;

所述第二绝缘层上的栅电极;

所述栅电极上的第三绝缘层;以及

所述第三绝缘层上的源电极和漏电极,

其中,所述第一氧化物半导体层和所述第二氧化物半导体层中的至少一个包括晶体管的沟道形成区域,

所述栅电极与所述沟道形成区域夹着所述第二绝缘层重叠,

所述源电极和所述漏电极分别通过所述第二绝缘层和所述第三绝缘层中的第一开口部和第二开口部电连接到所述第二氧化物半导体层,

所述第二绝缘层包括与所述第二氧化物半导体层的顶面接触的第一绝缘膜、及位于所述第一绝缘膜上的第二绝缘膜,

所述第二氧化物半导体层包含铟和元素M,

所述元素M为铝、硅、硼、钇、锡、铜、钒、铍、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨和镁中的一种或多种,

所述第二绝缘层包含氧化物,

并且,所述第二氧化物半导体层中的铟的原子比例高于所述第二氧化物半导体层中的所述元素M的原子比例。

4.一种半导体装置,包括:

第一绝缘层;

所述第一绝缘层上的氧化物半导体层,所述氧化物半导体层包括晶体管的沟道形成区域;

所述氧化物半导体层上的第二绝缘层;

所述第二绝缘层上的栅电极;

所述栅电极上的第三绝缘层;以及

所述第三绝缘层上的源电极和漏电极,

其中,所述栅电极与所述沟道形成区域夹着所述第二绝缘层重叠,

所述源电极和所述漏电极分别通过所述第二绝缘层和所述第三绝缘层中的第一开口部和第二开口部电连接到所述氧化物半导体层,

所述第二绝缘层包括与所述氧化物半导体层的顶面接触的第一绝缘膜、及位于所述第一绝缘膜上的第二绝缘膜,

所述氧化物半导体层包含氧化铟,

并且,所述第二绝缘层包含氧化物。

5.一种半导体装置,包括:

衬底;

所述衬底上的第一绝缘层;

所述第一绝缘层上的第一金属氧化物层;

所述第一金属氧化物层上的第二绝缘层;

所述第二绝缘层上的第一栅电极;

所述第一栅电极上的第三绝缘层;以及

所述第三绝缘层上的第一导电层和第二导电层,

其中,所述第一导电层和所述第二导电层中的一个被配置为具有作为晶体管的源电极和漏电极中的一个的功能,

所述第一导电层和所述第二导电层中的另一个被配置为具有作为所述晶体管的所述源电极和所述漏电极中的另一个的功能,

所述第一金属氧化物层使用氧化铟形成,

所述第一金属氧化物层不使用氧化镓及氧化锌形成,

所述第一金属氧化物层包括第一区域、第二区域和第三区域,

所述第三区域被夹在所述第一区域与所述第二区域之间,

所述第三区域包括所述晶体管的沟道形成区域,

所述第一区域和所述第二区域均包含杂质元素,

所述第一金属氧化物层包含结晶,

并且,所述第一金属氧化物层使用原子层沉积法形成。

6.一种半导体装置,包括:

衬底;

所述衬底上的第一绝缘层;

所述第一绝缘层上的第一金属氧化物层;

所述第一金属氧化物层上的第二金属氧化物层;

所述第二金属氧化物层上的第二绝缘层;

所述第二绝缘层上的第一栅电极;

所述第一栅电极上的第三绝缘层;以及

所述第三绝缘层上的第一导电层和第二导电层,

其中,所述第一导电层和所述第二导电层中的一个被配置为具有作为晶体管的源电极和漏电极中的一个的功能,

所述第一导电层和所述第二导电层中的另一个被配置为具有作为所述晶体管的所述源电极和所述漏电极中的另一个的功能,

所述第一金属氧化物层使用含有铟、镓和锌的氧化物形成,

所述第一金属氧化物层使用溅射法形成,

所述第二金属氧化物层使用氧化铟形成,

所述第二金属氧化物层不使用氧化镓及氧化锌形成,

所述第二金属氧化物层包括第一区域、第二区域和第三区域,

所述第三区域被夹在所述第一区域与所述第二区域之间,

所述第三区域包括所述晶体管的沟道形成区域,

所述第一区域和所述第二区域均包含杂质元素,

所述第二金属氧化物层包含结晶,

并且,所述第二金属氧化物层使用原子层沉积法形成。

7.一种半导体装置,包括:

衬底;

所述衬底上的第一栅电极;

所述第一栅电极上的第一绝缘层;

所述第一绝缘层上的第一金属氧化物层;

所述第一金属氧化物层上的第二金属氧化物层;

所述第二金属氧化物层上的第二绝缘层;

所述第二绝缘层上的第二栅电极;

所述第二栅电极上的第三绝缘层;以及

所述第三绝缘层上的第一导电层和第二导电层,

其中,所述第一导电层和所述第二导电层中的一个被配置为具有作为晶体管的源电极和漏电极中的一个的功能,

所述第一导电层和所述第二导电层中的另一个被配置为具有作为所述晶体管的所述源电极和所述漏电极中的另一个的功能,

所述第一金属氧化物层使用氧化铟形成,

所述第一金属氧化物层不使用氧化镓及氧化锌形成,

所述第一金属氧化物层包括第一区域、第二区域和第三区域,

所述第三区域被夹在所述第一区域与所述第二区域之间,

所述第三区域包括所述晶体管的沟道形成区域,

所述第一区域和所述第二区域均包含杂质元素,

所述第一金属氧化物层包含结晶,

并且,所述第一金属氧化物层使用原子层沉积法或溅射法形成。

8.一种半导体装置,包括:

衬底;

所述衬底上的第一栅电极;

所述第一栅电极上的第一绝缘层;

所述第一绝缘层上的第一金属氧化物层;

所述第一金属氧化物层上的第二金属氧化物层;

所述第二金属氧化物层上的第二绝缘层;

所述第二绝缘层上的第二栅电极;

所述第二栅电极上的第三绝缘层;以及

所述第三绝缘层上的第一导电层和第二导电层,

其中,所述第一导电层和所述第二导电层中的一个被配置为具有作为晶体管的源电极和漏电极中的一个的功能,

所述第一导电层和所述第二导电层中的另一个被配置为具有作为所述晶体管的所述源电极和所述漏电极中的另一个的功能,

所述第一金属氧化物层使用含有铟、镓和锌的氧化物形成,

所述第一金属氧化物层使用溅射法形成,

所述第二金属氧化物层使用氧化铟形成，

所述第二金属氧化物层不使用氧化镓及氧化锌形成，

所述第二金属氧化物层包括第一区域、第二区域和第三区域，

所述第三区域被夹在所述第一区域与所述第二区域之间，

所述第三区域包括所述晶体管的沟道形成区域，

所述第一区域和所述第二区域均包含杂质元素，

所述第二金属氧化物层包含结晶，

并且，所述第二金属氧化物层使用原子层沉积法或溅射法形成。

9.一种半导体装置，包括：

衬底；

所述衬底上的第一绝缘层；

所述第一绝缘层上的第一金属氧化物层；

所述第一金属氧化物层上的第二绝缘层；

所述第二绝缘层上的第一栅电极；

所述第一栅电极上的第三绝缘层；以及

所述第三绝缘层上的第一导电层和第二导电层，

其中，所述第一导电层和所述第二导电层中的一个被配置为具有作为晶体管的源电极和漏电极中的一个的功能，

所述第一导电层和所述第二导电层中的另一个被配置为具有作为所述晶体管的所述源电极和所述漏电极中的另一个的功能，

所述第一金属氧化物层使用氧化铟形成，

所述第一金属氧化物层不使用氧化镓及氧化锌形成，

所述第一金属氧化物层包括第一区域、第二区域和第三区域，

所述第三区域被夹在所述第一区域与所述第二区域之间，

所述第三区域包括所述晶体管的沟道形成区域，

所述第一区域和所述第二区域均包含杂质元素，

所述第一金属氧化物层包含结晶，

所述第一金属氧化物层使用原子层沉积法或溅射法形成，

并且，所述第三绝缘层与所述第二绝缘层的侧面及所述第一金属氧化物层的顶面接触。

10.一种半导体装置，包括：

衬底；

所述衬底上的第一绝缘层；

所述第一绝缘层上的第一金属氧化物层；

所述第一金属氧化物层上的第二金属氧化物层；

所述第二金属氧化物层上的第二绝缘层；

所述第二绝缘层上的第一栅电极；

所述第一栅电极上的第三绝缘层；以及

所述第三绝缘层上的第一导电层和第二导电层，

其中,所述第一导电层和所述第二导电层中的一个被配置为具有作为晶体管的源电极和漏电极中的一个的功能,

所述第一导电层和所述第二导电层中的另一个被配置为具有作为所述晶体管的所述源电极和所述漏电极中的另一个的功能,

所述第一金属氧化物层使用含有铟、镓和锌的氧化物形成,

所述第一金属氧化物层使用溅射法形成,

所述第二金属氧化物层使用氧化铟形成,

所述第二金属氧化物层不使用氧化镓及氧化锌形成,

所述第二金属氧化物层包括第一区域、第二区域和第三区域,

所述第三区域被夹在所述第一区域与所述第二区域之间,

所述第三区域包括所述晶体管的沟道形成区域,

所述第一区域和所述第二区域均包含杂质元素,

所述第二金属氧化物层包含结晶,

所述第二金属氧化物层使用原子层沉积法形成,

并且,所述第三绝缘层与所述第二绝缘层的侧面及所述第二金属氧化物层的顶面接触。

11.一种半导体装置,包括:

衬底;

所述衬底上的第一绝缘层;

所述第一绝缘层上的第一金属氧化物层;

所述第一金属氧化物层上的第二绝缘层;

所述第二绝缘层上的第一栅电极;

所述第一栅电极上的第三绝缘层;以及

所述第三绝缘层上的第一导电层和第二导电层,

其中,所述第一导电层和所述第二导电层中的一个被配置为具有作为晶体管的源电极和漏电极中的一个的功能,

所述第一导电层和所述第二导电层中的另一个被配置为具有作为所述晶体管的所述源电极和所述漏电极中的另一个的功能,

所述第一金属氧化物层使用氧化铟形成,

所述第一金属氧化物层不使用氧化镓及氧化锌形成,

所述第一金属氧化物层包括第一区域、第二区域和第三区域,

所述第三区域被夹在所述第一区域与所述第二区域之间,

所述第三区域包括所述晶体管的沟道形成区域,

所述第一区域和所述第二区域均包含杂质元素,

所述第一金属氧化物层包含结晶,

所述第一金属氧化物层使用原子层沉积法形成,

并且,在所述第一金属氧化物层形成后施加600℃以上的高温。

12.一种半导体装置,包括:

衬底;

所述衬底上的第一绝缘层;

所述第一绝缘层上的第一金属氧化物层;

所述第一金属氧化物层上的第二金属氧化物层;

所述第二金属氧化物层上的第二绝缘层;

所述第二绝缘层上的第一栅电极;

所述第一栅电极上的第三绝缘层;以及

所述第三绝缘层上的第一导电层和第二导电层,

其中,所述第一导电层和所述第二导电层中的一个被配置为具有作为晶体管的源电极和漏电极中的一个的功能,

所述第一导电层和所述第二导电层中的另一个被配置为具有作为所述晶体管的所述源电极和所述漏电极中的另一个的功能,

所述第一金属氧化物层使用含有铟、镓和锌的氧化物形成,

所述第一金属氧化物层使用溅射法形成,

所述第二金属氧化物层使用氧化铟形成,

所述第二金属氧化物层不使用氧化镓及氧化锌形成,

所述第二金属氧化物层包括第一区域、第二区域和第三区域,

所述第三区域被夹在所述第一区域与所述第二区域之间,

所述第三区域包括所述晶体管的沟道形成区域,

所述第一区域和所述第二区域均包含杂质元素,

所述第二金属氧化物层包含结晶,

所述第二金属氧化物层使用原子层沉积法形成,

并且,在所述第二金属氧化物层形成后施加600℃以上的高温。

半导体装置

本申请是发明名称为“半导体装置”、国际申请日为2019年7月24日、申请号为201980050350.X(国际申请号为PCT/IB2019/056307)的发明专利申请的分案申请。

技术领域

[0001] 本发明的一个实施方式涉及半导体装置及半导体装置的制造方法。本发明的一个实施方式涉及显示装置。

[0002] 注意,本发明的一个实施方式不局限于上述技术领域。作为本说明书等所公开的本发明的一个实施方式的技术领域的例子,可以举出半导体装置、显示装置、发光装置、蓄电装置、存储装置、电子设备、照明装置、输入装置、输入输出装置、这些装置的驱动方法或这些装置的制造方法。半导体装置是指能够通过利用半导体特性而工作的所有装置。

背景技术

[0003] 作为可用于晶体管的半导体材料,包含金属氧化物的氧化物半导体受到瞩目。例如,专利文献1公开了如下半导体装置:层叠有多个氧化物半导体层,在该多个氧化物半导体层中,被用作沟道的氧化物半导体层包含铟及镓,并且铟的比例比镓的比例高,使得场效应迁移率(有时,简称为迁移率或μFE)得到提高的半导体装置。

[0004] 由于能够用于半导体层的金属氧化物可以利用溅射法等形成,所以可以被用于大型显示装置中的晶体管的半导体层。此外,因为可以将包含多晶硅或非晶硅的晶体管的生产设备的一部分改良而利用,所以还可以抑制设备投资。与包含非晶硅的晶体管相比,包含金属氧化物的晶体管具有高场效应迁移率,所以可以实现设置有驱动电路的高性能的显示装置。

[参考文献]

[专利文献]

[0005] [专利文献1]日本专利申请公开第2014-7399号公报

发明内容

[0006] 本发明的一个实施方式的目的之一是提供一种电特性良好的半导体装置。本发明的一个实施方式的目的之一是提供一种可靠性高的半导体装置。本发明的一个实施方式的目的之一是提供一种电特性稳定的半导体装置。本发明的一个实施方式的目的之一是提供一种可靠性高的显示装置。

[0007] 注意,这些目的的记载不妨碍其他目的的存在。注意,本发明的一个实施方式并不需要实现所有上述目的。此外,可以从说明书、附图、权利要求书等的记载抽取上述以外的目的。

[0008] 本发明的一个实施方式是一种包括第一绝缘层、第二绝缘层、半导体层及第一导电层的半导体装置。在第一绝缘层上依次层叠半导体层、第二绝缘层及第一导电层。第二绝缘层具有依次层叠第一绝缘膜、第二绝缘膜及第三绝缘膜的叠层结构。第一绝缘膜、第二绝

缘膜及第三绝缘膜各自包含氧化物。第一绝缘膜包括与半导体层接触的部分。半导体层包含铟及氧。

[0009] 在上述中,半导体层优选不包含镓。

[0010] 在上述中,半导体层优选包含锌。

[0011] 本发明的另一个实施方式是一种包括第一绝缘层、第二绝缘层、半导体层及第一导电层的半导体装置。在第一绝缘层上依次层叠半导体层、第二绝缘层及第一导电层。第二绝缘层具有依次层叠第一绝缘膜、第二绝缘膜及第三绝缘膜的叠层结构。第一绝缘膜、第二绝缘膜及第三绝缘膜各自包含氧化物。第一绝缘膜包括与半导体层接触的部分。半导体层包含铟、镓及氧,且包括铟的含有率比镓的含有率高的区域。

[0012] 在上述中,半导体层优选包含锌。此时,半导体层优选包括锌的含有率比镓的含有率高的区域。

[0013] 本发明的另一个实施方式是一种包括第一绝缘层、第二绝缘层、第一半导体层、第二半导体层及第一导电层的半导体装置。在第一绝缘层上依次层叠第二半导体层、第一半导体层、第二绝缘层及第一导电层。第二绝缘层具有依次层叠第一绝缘膜、第二绝缘膜及第三绝缘膜的叠层结构。第一绝缘膜、第二绝缘膜及第三绝缘膜各自包含氧化物。第一绝缘膜包括与第一半导体层接触的部分。第一半导体层包含铟及氧。第二半导体层包含铟、锌、镓及氧。第一半导体层包括铟的含有率比第二半导体层高的区域。

[0014] 在上述中,第一半导体层优选包含锌及镓。第一半导体层优选包括镓的含有率比铟的含有率低且锌的含有率比镓的含有率高的区域。第一半导体层优选包括锌的含有率高于或等于第二半导体层的锌的含有率的区域。

[0015] 在上述中,优选的是在第二绝缘层与第一导电层之间设置金属氧化物层。此时,金属氧化物层优选包含选自铝、铪、铟、镓及锌中的一种以上的元素。尤其优选的是金属氧化物层包含铟。此外,金属氧化物层及第一半导体层优选具有大致相同的铟的含有率。

[0016] 在上述中,第一绝缘膜优选以比第二绝缘膜低的沉积速率形成。

[0017] 在上述中,优选的是包括第二导电层,且包括第三绝缘层代替第一绝缘层。此时,优选的是第二导电层包括隔着第三绝缘层与第一半导体层重叠的区域,第三绝缘层具有依次层叠第四绝缘膜、第五绝缘膜、第六绝缘膜及第七绝缘膜的叠层结构。优选的是第七绝缘膜包含氧,且第四绝缘膜、第五绝缘膜及第六绝缘膜各自包含氮。

[0018] 在上述中,优选的是第七绝缘膜包含氧化硅,第四绝缘膜、第五绝缘膜及第六绝缘膜各自包含氮化硅。

[0019] 根据本发明的一个实施方式,可以提供一种电特性良好的半导体装置。可以提供一种可靠性高的半导体装置。可以提供一种电特性稳定的半导体装置。可以提供一种可靠性高的显示装置。

[0020] 注意,这些效果的记载不妨碍其他效果的存在。另外,本发明的一个实施方式并不需要具有所有上述效果。另外,可以从说明书、附图、权利要求书等的记载抽取上述以外的效果。

附图说明

[0021] 在图式中:

图1A及图1B各自示出晶体管的结构实例;
图2A及图2B各自示出晶体管的结构实例;
图3A至图3C示出晶体管的结构实例;
图4A至图4C示出晶体管的结构实例;
图5A至图5C示出晶体管的结构实例;
图6A至图6C示出晶体管的结构实例;
图7A至图7D各自示出晶体管的结构实例;
图8A至图8D各自示出晶体管的结构实例;
图9A至图9E示出晶体管的制造方法;
图10A至图10D示出晶体管的制造方法;
图11A及图11B示出晶体管的制造方法;
图12A至图12D示出晶体管的制造方法;
图13A至图13C是显示装置的俯视图;
图14是显示装置的截面图;
图15是显示装置的截面图;
图16是显示装置的截面图;
图17是显示装置的截面图;
图18A是显示装置的方框图,图18B及图18C是显示装置的电路图;
图19A、图19C及图19D是显示装置的电路图,图19B是时序图;
图20A及图20B示出显示模块的结构实例;
图21A及图21B示出电子设备的结构实例;
图22A至图22E示出电子设备的结构实例;
图23A至图23G示出电子设备的结构实例;
图24A至图24D示出电子设备的结构实例;
图25A至图25D示出晶体管的Id-Vg特性,图25E示出晶体管的可靠性测试结果;
图26A示出晶体管的Id-Vg特性,图26B示出晶体管的可靠性测试结果;
图27示出TDS分析结果;
图28A及图28B示出TDS分析结果;
图29A至图29C示出ESR测定结果;
图30A示出晶体管的Id-Vg特性,图30B示出晶体管的可靠性测试结果;
图31A示出晶体管的Id-Vg特性,图31B示出晶体管的可靠性测试结果;
图32A示出晶体管的Id-Vg特性,图32B示出晶体管的可靠性测试结果;
图33A是分割结构的示意图,图33B示出具有分割结构的氧化物半导体的态密度;
图34A是Ga-O结构的示意图,图34B示出具有Ga-O结构的氧化物半导体的态密度;
图35A及图35B各自示出反应路径的能量变化。

具体实施方式

[0022] 以下,参照附图对实施方式进行说明。但是,实施方式可以以多个不同方式来实施,所属技术领域的普通技术人员可以很容易地理解一个事实,就是其方式和详细内容可

以被变换为各种各样的形式而不脱离本发明的宗旨及其范围。因此,本发明不应该被解释为仅限定在以下所示的实施方式所记载的内容中。

[0023] 在本说明书所说明的附图中,为便于清楚地说明,有时夸大表示各构成要素的大小、层的厚度或区域。

[0024] 本说明书等所使用的“第一”、“第二”、“第三”等序数词是为了避免构成要素的混淆而附加的,而不是为了在数目方面上进行限定的。

[0025] 在本说明书等中,为了方便起见,使用“上”、“下”等表示配置的词句以参照附图说明构成要素的位置关系。此外,构成要素的位置关系根据描述各结构的方向适当地改变。因此,不局限于说明书中所说明的词句,根据情况可以适当地换词句。

[0026] 此外,在本说明书等中,在采用晶体管的极性不同的晶体管或电路工作中的电流方向变化的情况等下,晶体管所包括的源极及漏极的功能有时相互调换。因此,“源极”和“漏极”可以相互调换。

[0027] 注意,在本说明书等中,晶体管的沟道长度方向是指与以最短距离连接源区域和漏区域的直线平行的方向中的一个。也就是说,沟道长度方向相当于在晶体管处于开启状态时流过半导体层中的电流的方向之一。此外,沟道宽度方向是指与该沟道长度方向正交的方向。此外,根据晶体管的结构及形状,沟道长度方向及沟道宽度方向有时不限于一个方向。

[0028] 在本说明书等中,“电连接”包括通过“具有某种电作用的元件”连接的情况。在此,“具有某种电作用的元件”只要可以进行连接对象间的电信号的授受,就对其没有特别的限制。例如,“具有某种电作用的元件”不仅包括电极和布线,而且还包括晶体管等的开关元件、电阻元件、电感器、电容器、其他具有各种功能的元件等。

[0029] 此外,在本说明书等中,可以将“膜”和“层”相互调换。例如,有时可以将“导电层”变换为“导电膜”。此外,例如,有时可以将“绝缘层”变换为“绝缘膜”。

[0030] 此外,在本说明书等中,在没有特别的说明的情况下,关态电流(off-state current)是指晶体管处于关闭状态(也称为非导通状态、遮断状态)时的漏极电流。在没有特别的说明的情况下,在n沟道晶体管中,关闭状态是指栅极与源极间的电压V_{gs}低于阈值电压V_{th}(p沟道型晶体管中V_{gs}高于V_{th})的状态。

[0031] 在本说明书等中,显示装置的一个方式的显示面板是指能够在显示面显示(输出)图像等的面板。因此,显示面板是输出装置的一个方式。

[0032] 此外,在本说明书等中,有时将在显示面板的衬底上安装有例如FPC(Flexible Printed Circuit:柔性印刷电路)或TCP(Tape CarrierPackage:载带封装)等连接器的结构或在衬底上以COG(Chip On Glass:玻璃覆晶封装)方式等直接安装IC(Integrated Circuit:集成电路)的结构称为显示面板模块或显示模块,或者也简称为显示面板等。

[0033] 注意,在本说明书等中,显示装置的一个方式的触摸面板具有如下功能:在显示面显示图像等的功能;以及检测出手指或触屏笔等被检测体接触、按压或靠近显示面的作为触摸传感器的功能。因此,触摸面板是输入输出装置的一个方式。

[0034] 触摸面板例如也可以称为具有触摸传感器的显示面板(或显示装置)、具有触摸传感器功能的显示面板(或显示装置)。触摸面板也可以包括显示面板及触摸传感器面板。或者,也可以具有在显示面板内部或表面具有触摸传感器的功能的结构。

[0035] 此外,在本说明书等中,有时将在触摸面板的衬底上安装有连接器或IC的结构称为触摸面板模块、显示模块,或者简称为触摸面板等。

[0036] (实施方式1)

在本实施方式中,对本发明的一个实施方式的半导体装置及半导体装置的制造方法进行说明。尤其是,在本实施方式中,作为半导体装置的一个例子对在形成沟道的半导体层中使用氧化物半导体的晶体管进行说明。

[0037] [结构实例1]

<结构实例1-1>

图1A示出晶体管10的沟道长度方向的截面示意图。

[0038] 晶体管10包括绝缘层103、半导体层108、绝缘层110、金属氧化物层114、导电层112。绝缘层110被用作栅极绝缘层。导电层112被用作栅电极。

[0039] 当导电层112使用包含金属或合金的导电膜形成时,可以抑制电阻,所以是优选的。注意,也可以作为导电层112使用包含氧化物的导电膜。

[0040] 金属氧化物层114具有对绝缘层110中供应氧的功能。此外,当作为导电层112使用包含容易氧化的金属或合金的导电膜时,也可以使金属氧化物层114被用作防止因绝缘层110中的氧导致导电层112被氧化的阻挡层。注意,也可以通过在形成导电层112之前去除金属氧化物层114,使导电层112与绝缘层110接触。

[0041] 绝缘层103优选由包含氧化物的绝缘膜形成。尤其是,优选将氧化物膜用于与半导体层108接触的部分。

[0042] 半导体层108包含示出半导体特性的金属氧化物(以下,也称为氧化物半导体)。半导体层108优选至少包含铟及氧。通过半导体层108包含铟的氧化物,可以提高载流子迁移率。例如可以实现与使用非晶硅的晶体管相比能够流过大电流的晶体管。

[0043] 半导体层108的与导电层112重叠的区域被用作沟道形成区域。此外,半导体层108优选夹着沟道形成区域包括一对低电阻区域108n。低电阻区域108n各自具有比沟道形成区域高的载流子浓度,并被用作源区域及漏区域。

[0044] 低电阻区域108n也可以说是与沟道形成区域相比电阻更低的区域、载流子浓度更高的区域、氧空位量更多的区域、氢浓度更高的区域或者杂质浓度更高的区域。

[0045] 绝缘层110具有从绝缘层103一侧依次层叠有绝缘膜110a、绝缘膜110b及绝缘膜110c的叠层结构。绝缘膜110a具有与半导体层108的沟道形成区域接触的区域。绝缘膜110c具有与金属氧化物层114接触的区域。绝缘膜110b位于绝缘膜110a与绝缘膜110c之间。

[0046] 绝缘膜110a、绝缘膜110b及绝缘膜110c优选分别为包含氧化物的绝缘膜。此时,绝缘膜110a、绝缘膜110b及绝缘膜110c优选在同一沉积装置中连续形成。

[0047] 作为绝缘膜110a、绝缘膜110b及绝缘膜110c的每一个,例如可以使用包含氧化硅膜、氧氮化硅膜、氮氧化硅膜、氧化铝膜、氧化铪膜、氧化钇膜、氧化锆膜、氧化镓膜、氧化钽膜、氧化镁膜、氧化镧膜、氧化铈膜和氧化钕膜中的一种以上的绝缘层。

[0048] 与半导体层108接触的绝缘层110优选具有氧化物绝缘膜的叠层结构。此外,绝缘层110更优选具有含有超过化学计量组成的氧的区域。换言之,绝缘层110包括能够释放氧的绝缘膜。例如,通过在氧气氛下形成绝缘层110;通过对形成后的绝缘层110在氧气氛下进行热处理、等离子体处理等;或者通过在绝缘层110上在氧气氛下形成氧化物膜,可以将氧

供应到绝缘层110中。

[0049] 绝缘膜110a、绝缘膜110b及绝缘膜110c的每一个例如可以利用溅射法、化学气相沉积(CVD:Chemical Vapor Deposition)法、真空蒸镀法、脉冲激光沉积(PLD:Pulsed Laser Deposition)法、原子层沉积(ALD:Atomic Layer Deposition)法等中的任意方法形成。作为CVD法可以使用等离子体增强化学气相沉积(PECVD:PlasmaEnhanced CVD)法、热CVD法等。

[0050] 尤其是,绝缘膜110a、绝缘膜110b及绝缘膜110c优选利用PECVD法形成。

[0051] 绝缘膜110a由于形成于半导体层108上,所以优选在半导体层108所受的损伤尽量少的条件下形成。例如,绝缘膜110a可以在沉积速率充分低的条件下形成。

[0052] 例如,在作为绝缘膜110a利用PECVD法形成氧氮化硅膜时,通过在低功率的条件下形成膜,可以使给半导体层108带来的损伤极少。

[0053] 作为用于氧氮化硅膜的形成的形成气体例如可以使用包含硅烷、乙硅烷等含硅的沉积气体以及氧、臭氧、一氧化二氮、二氧化氮等氧化气体的源气体。此外,除了源气体以外也可以包含氩、氦或氮等稀释气体。

[0054] 例如,通过减小相对于形成气体的总流量的沉积气体的流量的比例(以下,简称为流量比),可以降低沉积速率,因此可以形成致密且缺陷少的膜。

[0055] 绝缘膜110b优选在其沉积速率比绝缘膜110a高的条件下形成。由此,可以提高生产率。

[0056] 例如,当采用与绝缘膜110a相比增加沉积气体的流量比的条件时,绝缘膜110b可以在提高沉积速率的条件下形成。

[0057] 绝缘膜110c优选为其表面缺陷得到降低、不容易吸附水等包含在大气中的杂质、极为致密的膜。例如,与绝缘膜110a同样地,绝缘膜110c可以在沉积速率充分低的条件下形成。

[0058] 由于绝缘膜110c形成于绝缘膜110b上,所以与绝缘膜110a的形成相比在形成绝缘膜110c时给半导体层108带来的影响很小。因此,绝缘膜110c可以与绝缘膜110a相比在高功率的条件下形成。通过降低沉积气体的流量比且在较高的功率下形成膜,可以实现致密且其表面缺陷得到降低的膜。

[0059] 换言之,可以使用在绝缘膜110b的沉积速率最高且绝缘膜110a的第二高且绝缘膜110c的最低的条件下形成的叠层膜形成绝缘层110。此外,在绝缘层110中,在同一条件下进行湿蚀刻或干蚀刻时,绝缘层110b的蚀刻速率最高,绝缘膜110a的第二高且绝缘膜110c的最低。

[0060] 绝缘膜110b优选形成为比绝缘膜110a及绝缘膜110c厚。通过将以最高的沉积速率形成的绝缘膜110b形成得厚,可以缩短绝缘层110的形成工序所需要的时间。

[0061] 这里,由于绝缘膜110a与绝缘膜110b的边界及绝缘膜110b与绝缘膜110c的边界有时不清楚,所以在图1A等中以虚线表示这些边界。注意,由于绝缘膜110a与绝缘膜110b的膜密度不同,所以有时在绝缘层110的截面的透射电子显微镜(TEM:Transmission ElectronMicroscopy)图像等中,以对比度的不同而可以观察到这些边界。同样地,有时以对比度的不同而可以观察到绝缘膜110b和绝缘膜110c的边界。

[0062] 这里,对半导体层108的组成进行说明。半导体层108优选至少包括包含铟及氧的

金属氧化物。此外,半导体层108还可以包含锌。半导体层108也可以包含镓。

[0063] 作为半导体层108,典型的是,可以使用氧化铟、铟锌氧化物(In-Zn氧化物)、铟镓锌氧化物(也称为In-Ga-Zn氧化物或IGZO)等。此外,可以使用铟锡氧化物(In-Sn氧化物)或含硅的铟锡氧化物等。注意,后面说明能够用于半导体层108的材料的详细内容。

[0064] 这里,半导体层108的组成给晶体管10的电特性及可靠性带来很大的影响。例如,通过增加半导体层108中的铟的含量,可以提高载流子迁移率,因此可以实现场效应迁移率高的晶体管。

[0065] 这里,作为评价晶体管的可靠性的指标之一,有保持对栅极施加的电场的栅极偏置应力测试(GBT)。GBT测试包括相对于源极电位及漏极电位正的电位被施加到栅极且在高温下被保持的PBTS(PositiveBias Temperature Stress)测试、以及负电位被施加到栅极且在高温下被保持的NBTS(Negative Bias Temperature Stress)测试。此外,将在照射白色LED光等的光的状态下进行的PBTS测试及NBTS测试分别称为PBTIS(Positive Bias Temperature Illumination Stress)测试及NBTIS(Negative Bias Temperature Illumination Stress)测试。

[0066] 尤其是,在包括氧化物半导体的n型晶体管中,使晶体管开启状态(流过电流的状态)时对栅极施加正电位,因此PBTS测试的阈值电压的变动量为着眼于晶体管的可靠性指标的很重要的因素之一。

[0067] 这里,作为半导体层108使用不包含镓或镓的含有率低的金属氧化物膜,由此可以减少PBTS测试中的阈值电压的变动量。此外,在包含镓时,半导体层108中的镓的含量优选比铟的含量低。由此,可以实现可靠性高的晶体管。

[0068] 作为PBTS测试中的阈值电压的变动的原因之一,可以举出在半导体层和栅极绝缘层的界面或界面附近的缺陷态。缺陷态密度越大,PBTS测试中的劣化越显著。通过减少半导体层的与栅极绝缘层接触的部分的镓的含量,可以抑制该缺陷态的生成。

[0069] 在半导体层108不包含镓或其镓的含量很低时可以抑制PBTS劣化的理由例如为如下。包含在半导体层108中的镓与其他金属元素(例如铟或锌)相比更容易吸引氧。因此,当在包含更多的镓的金属氧化物膜与包含氧化物的绝缘层110的界面处镓与绝缘层110中的过剩氧键合时,容易产生载流子(这里是电子)陷阱位点(trap site)。因此,当对栅极施加正电位且在半导体层与栅极绝缘层的界面载流子被俘获时,阈值电压会变动。

[0070] 具体而言,在作为半导体层108使用In-Ga-Zn氧化物的情况下,可以将In的原子个数比高于Ga的原子比例的金属氧化物膜用作半导体层108。更优选使用Zn的原子比例高于Ga的原子比例的金属氧化物膜。换言之,将金属元素的原子比例满足In＞Ga且Zn＞Ga的金属氧化物膜用作半导体层108。

[0071] 例如,作为半导体层108,可以使用金属元素的原子个数比为In:Ga:Zn＝2:1:3、In:Ga:Zn＝3:1:2、In:Ga:Zn＝4:2:3、In:Ga:Zn＝4:2:4.1、In:Ga:Zn＝5:1:6、In:Ga:Zn＝5:1:7、In:Ga:Zn＝5:1:8、In:Ga:Zn＝6:1:6、In:Ga:Zn＝5:2:5及其附近中的任意原子个数比的金属氧化物膜。

[0072] 在作为半导体层108使用包含铟及镓的金属氧化物膜时,包含在金属氧化物中的相对于金属元素的原子的镓原子的比率(原子比例)大于0且小于50%,优选为0.05%以上且30%以下,更优选为0.1%以上且15%以下,进一步优选为0.1%以上且5%以下。注意,在

半导体层108包含镓时,不容易产生氧空位。

[0073] 作为半导体层108,也可以使用不包含镓的金属氧化物膜。例如,可以将In-Zn氧化物用于半导体层108。此时,当提高包含在金属氧化物膜中的相对于金属元素的In的原子比例时,可以提高晶体管的场效应迁移率。另一方面,当提高包含在金属氧化物中的相对于金属元素的Zn的原子比例时,金属氧化物膜具有高结晶性,因此晶体管的电特性的变动可以得到抑制,可以提高可靠性。此外,作为半导体层108可以使用氧化铟等的不包含镓及锌的金属氧化物膜。通过使用不包含镓的金属氧化物膜,尤其是可以使PBTS测试中的阈值电压的变动极为小。

[0074] 在本发明的一个实施方式的晶体管10中,作为半导体层108使用镓的含量低的金属氧化物膜或不包含镓的金属氧化物膜,作为与半导体层108的顶面接触的绝缘膜110a,使用通过给半导体层108带来的损伤得到降低的沉积方法形成的膜。因此,可以降低半导体层108与绝缘层110的界面的缺陷态密度,由此晶体管10可以具有高可靠性。

[0075] 虽然说明使用镓的情况作为例子,但是相同的内容也可以应用于使用元素M(M为铝、硅、硼、钇、锡、铜、钒、铍、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨和镁中的一种或多种)代替镓的情况。尤其是,M优选为镓、铝、钇和锡中的一种或多种。

[0076] 尤其是,作为半导体层108优选使用In的原子个数比高于元素M的原子比例的金属氧化物膜。此外,优选使用Zn的原子比例高于元素M的原子个数比的金属氧化物膜。

[0077] 作为半导体层108优选使用具有结晶性的金属氧化物膜。例如,可以使用具有后面说明的CAAC(c-axis aligned crystal)结构、多晶结构、微晶结构等的金属氧化物膜。通过将具有结晶性的金属氧化物膜用作半导体层108,可以降低半导体层108中的缺陷态密度,由此可以实现可靠性高的半导体装置。

[0078] 半导体层108具有越高的结晶性,该膜中的缺陷态密度越低。另一方面,通过使用结晶性低的金属氧化物膜,可以实现能够流过大电流的晶体管。

[0079] 在利用溅射法形成金属氧化物膜时,形成膜时的衬底温度(载物台温度)越高,金属氧化物膜的结晶性可以越提高。相对于在形成膜中使用的形成气体整体的氧气体的流量比例(也称为氧流量比)越高,金属氧化物膜的结晶性可以越提高。

[0080] <结构实例1-2>

图1B是晶体管10A的截面示意图。晶体管10A与上述晶体管10的不同之处主要在于半导体层108的结构。

[0081] 晶体管10A所包括的半导体层108具有从绝缘层103一侧层叠有半导体层108a及半导体层108b的叠层结构。半导体层108a及半导体层108b的每一个优选使用金属氧化物膜。

[0082] 注意,为了方便起见,半导体层108a所包括的低电阻区域及半导体层108b所包括的低电阻区域总称为低电阻区域108n,以相同的阴影线示出。实际上,由于半导体层108a和半导体层108b的组成不同,所以有时半导体层108a中的低电阻区域108n与半导体层108b中的低电阻区域108n的电阻率、载流子浓度、氧空位量、氢浓度或杂质浓度等不同。

[0083] 半导体层108b与半导体层108a的顶面及绝缘膜110a的底面接触。作为半导体层108b,可以使用上述结构实例1-1所示的能够用于半导体层108的金属氧化物膜。

[0084] 另一方面,半导体层108a可以使用镓的原子比例高于半导体层108b的金属氧化物膜。

[0085] 镓与氧的键合力高于铟,因此在将镓的原子比例高的金属氧化物膜用作半导体层108a时,不容易形成氧空位。半导体层108a中的多量的氧空位导致晶体管的电特性及可靠性的下降。因此,当作为半导体层108a使用镓的原子比例高于半导体层108b的金属氧化物膜时,可以实现电特性良好且可靠性高的晶体管10A。

[0086] 具体而言,半导体层108a可以适当地使用包含铟、镓及锌且包括镓的原子比例高于半导体层108b且铟的原子比例低于半导体层108b的区域的金属氧化物膜形成。换言之,半导体层108b可以使用包括与半导体层108a相比铟的原子比例高且镓的原子比例低的区域的金属氧化物膜。

[0087] 作为半导体层108a,优选使用包括锌的原子比例低于或等于半导体层108b的锌的原子比例的区域的金属氧化物膜。

[0088] 例如,作为半导体层108a,可以使用金属元素的原子个数比为In:Ga:Zn=1:1:1、In:Ga:Zn=1:3:2、In:Ga:Zn=1:3:4、In:Ga:Zn=1:3:6、In:Ga:Zn=2:2:1或其附近的金属氧化物膜。

[0089] 典型的是,作为半导体层108a优选使用金属元素的原子个数比为In:Ga:Zn=1:1:1或其附近的金属氧化物膜,作为半导体层108b优选使用金属元素的原子个数比为In:Ga:Zn=4:2:3、In:Ga:Zn=5:1:6或其附近的金属氧化物膜。

[0090] 当作为半导体层108a使用不容易产生氧空位的金属氧化物膜时,可以降低上述NBTIS测试中的劣化。

[0091] 在图1B所示的晶体管10A中作为位于绝缘层103一侧的半导体层108a使用镓的含有率较高的金属氧化物膜,由此降低半导体层108中的氧空位。再者,作为位于绝缘层110一侧的半导体层108b使用镓的含有率低或不包含镓的金属氧化物膜,由此半导体层108与绝缘层110的界面缺陷密度得到降低。因此,晶体管10A具有极高的电特性及极高的可靠性。

[0092] 这里,半导体层108b优选形成为比半导体层108a薄。即使半导体层108b例如为0.5nm以上且10nm以下的极薄的膜,也可以降低与绝缘层110的界面缺陷密度。另一方面,使不容易产生氧空位的半导体层108a相对厚,由此可以实现可靠性更高的晶体管。

[0093] 例如,半导体层108a的厚度可以为半导体层108b的厚度的1.5倍以上且20倍以下,优选为2倍以上且15倍以下,更优选为3倍以上且10倍以下。氧化物半导体层108b的厚度优选为0.5nm以上且30nm以下,优选为1nm以上且20nm以下,更优选为2nm以上且10nm以下。

[0094] 作为半导体层108a及半导体层108b的每一个优选使用上述具有结晶性的金属氧化物膜。作为半导体层108a及半导体层108b的双方可以使用结晶性高的金属氧化物膜或结晶性低的金属氧化物膜。或者,半导体层108a及氧化物半导体层108b也可以具有不同的结晶性。例如,半导体层108a的结晶性可以比半导体层108b高,或者半导体层108b的结晶性可以比半导体层108a高。用作半导体层108a及半导体层108b的每一个的金属氧化物膜的结晶性可以基于所要求的晶体管的电特性及可靠性以及沉积装置等的规格决定。

[0095] <结构实例1-3>

图2A是晶体管10B的截面示意图。晶体管10B与上述晶体管10的不同之处主要在于绝缘层103的结构以及导电层106的存在。

[0096] 导电层106包括隔着绝缘层103与半导体层108、绝缘层110、金属氧化物层114及导电层112重叠的区域。导电层106被用作第一栅电极(也称为背栅电极)。绝缘层103被用作第

一栅极绝缘层。此时,导电层112被用作第二栅电极,绝缘层110被用作第二栅极绝缘层。

[0097] 例如,在对导电层112及导电层106施加相同的电位时,可以增大在处于开启状态的晶体管10B中可流过的电流。此外,在晶体管10B中,可以对导电层112和导电层106中的一个供应控制阈值电压的电位,对导电层112和导电层106中的另一个供应控制晶体管10B的开启/关闭状态的电位。

[0098] 绝缘层103具有从导电层106一侧层叠有绝缘膜103a、绝缘膜103b、绝缘膜103c及绝缘膜103d的叠层结构。绝缘膜103a与导电层106接触。绝缘膜103d与半导体层108接触。

[0099] 被用作第二栅极绝缘层的绝缘层103优选满足如下特征中的至少一个,更优选满足如下特征的全部:耐压高,低应力,不容易释放氢及水,缺陷少,防止包含在导电层106中的金属元素的扩散。

[0100] 在绝缘层103所包括的四个绝缘膜中,位于导电层106一侧的绝缘膜103a、绝缘膜103b及绝缘膜103c的每一个优选使用含氮的绝缘膜形成。另一方面,与半导体层108接触的绝缘膜103d优选使用含氧的绝缘膜形成。绝缘层103所包括的四个绝缘膜优选利用等离子体CVD装置以不接触于大气的方式连续地形成。

[0101] 作为绝缘膜103a、绝缘膜103b及绝缘膜103c的每一个,例如可以使用氮化硅膜、氮氧化硅膜、氮化铝膜、氮化铪膜等含氮的绝缘膜。此外,作为绝缘膜103c也可以使用能够用作上述绝缘层110的绝缘膜。

[0102] 绝缘膜103a及绝缘膜103c优选为防止来自下方的层的杂质的扩散的致密膜。优选的是,绝缘膜103a能够阻挡包含在导电层106中的金属元素,绝缘膜103c能够阻挡包含在绝缘膜103b中的氢及水。因此,绝缘膜103a及绝缘膜103c的每一个可以使用以比绝缘膜103b低的沉积速率形成的绝缘膜。

[0103] 另一方面,绝缘膜103b优选使用具有低应力且以高沉积速率形成的绝缘膜形成。绝缘膜103b优选比绝缘膜103a及绝缘膜103c厚。

[0104] 例如,在作为绝缘膜103a、绝缘膜103b及绝缘膜103c使用利用PECVD法形成的氮化硅膜的情况下,绝缘膜103b的膜密度比其他两个绝缘膜小。因此,在绝缘层103的截面的透射电子显微镜图像中观察到对比度的不同,由此有时可以区别这些膜。由于绝缘膜103a和绝缘膜103b的边界及绝缘膜103b和绝缘膜103c的边界不清楚,所以在图2A等中以虚线示出这些边界。

[0105] 作为与半导体层108接触的绝缘膜103d,优选使用其表面上不容易吸附水等杂质的致密的绝缘膜。此外,优选的是使用缺陷尽可能少且水及氢等杂质得到降低的绝缘膜。例如,作为绝缘膜103d可以使用与上述绝缘层110所包括的绝缘膜110c同样的绝缘膜。

[0106] 例如,在作为导电层106使用构成元素不容易扩散到绝缘层103的金属膜或合金膜的情况下,可以采用不设置绝缘膜103a而层叠绝缘膜103b、绝缘膜103c及绝缘膜103d的三个绝缘膜的结构。

[0107] 通过采用具有这种叠层结构的绝缘层103,晶体管可以具有极高的可靠性。

[0108] <结构实例1-4>

图2B是晶体管10C的截面示意图。晶体管10C是对上述结构实例1-2所示的晶体管10A适用上述结构实例1-3所示的晶体管10B所包括的导电层106及绝缘层103的例子。

[0109] 通过采用这种结构,可以实现具有良好的电特性及极高的可靠性的晶体管。

[0110] [结构实例2]

以下,对更具体的晶体管的结构实例进行说明。

[0111] <结构实例2-1>

图3A是晶体管100的俯视图。图3B是沿着图3A所示的点划线A1-A2切断的截面图,图3C是沿着图3A所示的点划线B1-B2切断的截面图。注意,在图3A中,没有示出晶体管100的构成要素的一部分(栅极绝缘层等)。点划线A1-A2方向相当于沟道长度方向,点划线B1-B2方向相当于沟道宽度方向。在后面的晶体管的俯视图中也与图3A同样地没有示出构成要素的一部分。

[0112] 晶体管100设置在衬底102上,并包括绝缘层103、半导体层108、绝缘层110、金属氧化物层114、导电层112、绝缘层118等。岛状的半导体层108设置在绝缘层103上。绝缘层110以与绝缘层103的顶面及半导体层108的顶面及侧面接触的方式设置。金属氧化物层114及导电层112依次设置在绝缘层110上,并具有与半导体层108重叠的部分。绝缘层118以覆盖绝缘层110的顶面、金属氧化物层114的侧面及导电层112的顶面的方式设置。

[0113] 绝缘层103具有从衬底102一侧层叠有绝缘膜103a、绝缘膜103b、绝缘膜103c及绝缘膜103d的叠层结构。绝缘层110具有从半导体层108一侧层叠有绝缘膜110a、绝缘膜110b及绝缘膜110c的叠层结构。

[0114] 如图3A及图3B所示,晶体管100也可以在绝缘层118上包括导电层120a及导电层120b。导电层120a及导电层120b被用作源电极及漏电极。导电层120a及导电层120b通过设置在绝缘层118及绝缘层110中的开口部141a及开口部141b与低电阻区域108n电连接。

[0115] 导电层112的一部分被用作栅电极。绝缘层110的一部分被用作栅极绝缘层。晶体管100是在半导体层108上设置有栅电极的所谓顶栅晶体管。

[0116] 导电层112及金属氧化物层114加工为具有大致一致的顶面形状。

[0117] 在本说明书等中,“顶面形状大致一致”是指叠层中的每一个层的边缘的至少一部分重叠。例如,是指上层及下层的一部或全部通过同一的掩模图案被加工的情况。但是,实际上有边缘不重叠的情况,例如,上层位于下层的内侧或者上层位于下层的外侧,这种情况也可以说“顶面形状大致一致”。

[0118] 位于绝缘层110与导电层112之间的金属氧化物层114被用作防止绝缘层110所包含的氧扩散到导电层112一侧的阻挡膜。再者,金属氧化物层114还被用作防止导电层112所包含的氢及水扩散到绝缘层110一侧的阻挡膜。金属氧化物层114例如优选使用至少与绝缘层110相比不容易使氧及氢透过的材料形成。

[0119] 即使在将如铝或铜等容易吸收氧的金属材料用于导电层112的情况下,金属氧化物层114也可以防止氧从绝缘层110扩散到导电层112。此外,即使导电层112包含氢,也可以防止氢从导电层112通过绝缘层110扩散到半导体层108。其结果是,可以使半导体层108的沟道形成区域中的载流子密度极低。

[0120] 作为金属氧化物层114,可以使用绝缘材料或导电材料。当金属氧化物层114具有绝缘性时,该金属氧化物层114被用作栅极绝缘层的一部分。另一方面,当金属氧化物层114具有导电性时,该金属氧化物层114被用作栅电极的一部分。

[0121] 尤其是,作为金属氧化物层114,优选使用其介电常数比氧化硅高的绝缘材料。尤其是,优选使用氧化铝膜、氧化铪膜或铝酸铪膜等,因为可以降低驱动电压。

[0122] 金属氧化物层114也可以使用氧化铟、铟锡氧化物(ITO)或含有硅的铟锡氧化物(ITSO)等导电氧化物形成。尤其是,优选使用包含铟的导电氧化物,因为其导电性高。

[0123] 此外,作为金属氧化物层114,优选使用包含半导体层108的元素中的一种以上的氧化物材料。尤其是,优选使用可用于上述半导体层108的氧化物半导体材料。此时,通过使用利用与半导体层108相同的溅射靶材而形成的金属氧化物膜作为金属氧化物层114,可以共用设备,所以这是优选的。

[0124] 此外,金属氧化物层114优选利用溅射装置形成。例如,在利用溅射装置形成氧化物膜时,通过在包含氧气体的气氛下形成该氧化物膜,可以适当地对绝缘层110及半导体层108中添加氧。

[0125] 半导体层108包括与导电层112重叠的区域及夹着该区域的一对低电阻区域108n。半导体层108的与导电层112重叠的区域被用作晶体管100的沟道形成区域。一对低电阻区域108n被用作晶体管100的源区域及漏区域。

[0126] 此外,低电阻区域108n也可以说是与沟道形成区域相比电阻更低的区域、载流子浓度更高的区域、氧空位密度更高的区域、杂质浓度更高的区域或呈现n型的区域。

[0127] 半导体层108的低电阻区域108n包含杂质元素。作为该杂质元素的例子包括氢、硼、碳、氮、氟、磷、硫、砷、铝及稀有气体元素等。作为稀有气体元素的典型例子包括氦、氖、氩、氪及氙等。特别是,优选包含硼或磷。此外,也可以包含这些元素中的两种以上。

[0128] 如后面说明,可以以导电层112为掩模通过绝缘层110对低电阻区域108n添加杂质。

[0129] 低电阻区域108n优选各自包含杂质浓度为1×10^{19}atoms/cm^3以上且1×10^{23}atoms/cm^3以下,优选为5×10^{19}atoms/cm^3以上且5×10^{22}atoms/cm^3以下,更优选为1×10^{20}atoms/cm^3以上且1×10^{22}atoms/cm^3以下的区域。

[0130] 例如,可以利用二次离子质谱分析(SIMS:Secondary Ion MassSpectrometry)、X射线光电子能谱(XPS:X-ray PhotoelectronSpectroscopy)等分析方法分析出低电阻区域108n所包含的杂质的浓度。在利用XPS分析的情况下,通过组合来自表面一侧或背面一侧的离子溅射和XPS分析,可以得知深度方向上的浓度分布。

[0131] 此外,低电阻区域108n中的杂质元素优选被氧化。例如,作为杂质元素,优选使用硼、磷、镁、铝、硅等容易被氧化的元素。这种容易被氧化的元素可以在与半导体层108中的氧键合而被氧化了的状态下稳定地存在,因此,即使在后面的工序中被施加高温(例如为400℃以上、600℃以上、800℃以上),也可以抑制该元素的脱离。此外,杂质元素夺取氧的半导体层108,由此在低电阻区域108n中产生很多氧空位。该氧空位与膜中的氢键合而成为载流子供给源,使得低电阻区域108n成为极低电阻状态。

[0132] 例如,在使用硼作为杂质元素的情况下,包含在低电阻区域108n中的硼可以以与氧键合的状态存在。通过在XPS分析中观察到起因于B_2O_3键合的光谱峰可以确认这一点。此外,在XPS分析中,观察不到起因于元素硼的光谱峰或者其峰强度极小到埋在检测下限附近检测的背景噪声中的程度。

[0133] 绝缘层110包括与半导体层108的沟道形成区域接触的区域,即与导电层112重叠的区域。此外,绝缘层110包括与半导体层108的低电阻区域108n接触且不与导电层112重叠的区域。

[0134] 绝缘层110的与低电阻区域108n重叠的区域有时包含上述杂质元素。此时,与低电阻区域108n同样地,绝缘层110中的杂质元素也优选在与氧键合的状态下存在。这种容易被氧化的元素可以在与绝缘层110中的氧键合而被氧化了的状态下稳定地存在,因此,即使在后面的工序中被施加高温,也可以抑制该元素的脱离。尤其是,在绝缘层110中含有能够通过加热脱离的氧(也称为过剩氧)的情况下,该过剩氧与杂质元素键合而被稳定化,由此可以抑制氧从绝缘层110供应给低电阻区域108n。此外,由于氧不容易扩散到包含被氧化的杂质元素的绝缘层110的一部分中,所以抑制氧从绝缘层110的上方通过该绝缘层110供应给低电阻区域108n,也可以防止低电阻区域108n的高电阻化。

[0135] 绝缘层118被用作保护晶体管100的保护层。作为绝缘层110,例如可以使用氧化物或氮化物等无机绝缘材料。具体而言,可以使用氧化硅、氧氮化硅、氮化硅、氮氧化硅、氧化铝、氧氮化铝、氮化铝、氧化铪、铝酸铪等无机绝缘材料。

[0136] <结构实例2-2>

图4A是晶体管100A的俯视图,图4B是晶体管100A的沟道长度方向的截面图,图4C是晶体管100A的沟道宽度方向的截面图。

[0137] 晶体管100A与结构实例2-1的晶体管的不同之处主要在于在衬底102与绝缘层103之间包括导电层106。导电层106包括与半导体层108及导电层112重叠的区域。

[0138] 在晶体管100A中,导电层112被用作第二栅电极(也称为顶栅电极),导电层106被用作第一栅电极(也称为底栅电极)。此外,绝缘层110的一部分被用作第二栅极绝缘层,绝缘层103的一部分被用作第一栅极绝缘层。

[0139] 半导体层108的与导电层112及导电层106中的至少一个重叠的部分被用作沟道形成区域。下面,为了便于说明,有时将半导体层108的与导电层112重叠的部分称为沟道形成区域,但是实际上有时沟道还形成在半导体层108的不与导电层112重叠而与导电层106重叠的部分(包括低电阻区域108n的部分)。

[0140] 此外,如图4C所示,导电层106可以通过设置在金属氧化物层114、绝缘层110以及绝缘层103中的开口部142电连接到导电层112。由此,可以对导电层106和导电层112供应同一电位。

[0141] 导电层106可以使用与导电层112、导电层120a或导电层120b相同的材料形成。尤其是,当将包含铜的材料用于导电层106时,可以降低布线电阻,所以是优选的。

[0142] 此外,如图4A及图4C所示,优选在沟道宽度方向上导电层112及导电层106超过半导体层108端部延伸。此时,如图4C所示,导电层112及导电层106隔着半导体层108和导电层112之间的绝缘层110及半导体层108和导电层112之间的绝缘层103覆盖整个沟道宽度方向上的半导体层108。

[0143] 通过采用上述结构,可以利用由一对栅电极产生的电场电围绕半导体层108。此时,尤其优选对导电层106和导电层112供应同一电位。由此,可以将用来感生沟道的电场有效地施加到半导体层108,而可以增大晶体管100A的通态电流。因此,可以实现晶体管100A的微型化。

[0144] 此外,导电层112也可以不与导电层106连接。此时,可以对一对栅电极中的一个供应固定电位,对另一个供应用来驱动晶体管100A的信号。此时,可以通过利用供应给一个栅电极的电位控制用另一个栅电极驱动晶体管100A时的阈值电压。

[0145] <结构实例2-3>

图5A是晶体管100B的俯视图,图5B是晶体管100B的沟道长度方向的截面图,图5C是晶体管100B的沟道宽度方向的截面图。

[0146] 晶体管100B与结构实例2-1所示的晶体管100的不同之处主要在于绝缘层110的结构及绝缘层116的存在。

[0147] 绝缘层110加工为具有与导电层112及金属氧化物层114的顶面形状大致一致的顶面形状。绝缘层110例如可以通过使用用来加工导电层112及金属氧化物层114的抗蚀剂掩模形成。

[0148] 绝缘层116以与半导体层108的不由导电层112、金属氧化物层114及绝缘层110覆盖的顶面及侧面接触的方式设置。绝缘层116以覆盖绝缘层103的顶面、绝缘层110的侧面、金属氧化物层114的侧面及导电层112的顶面及侧面的方式设置。

[0149] 绝缘层116具有使低电阻区域108n低电阻化的功能。绝缘层116可以使用通过形成绝缘层116时或形成绝缘层116之后进行加热对低电阻区域108n中供应杂质的绝缘膜形成。或者,绝缘层116可以使用通过在形成绝缘层116时或形成绝缘层116之后进行加热,能够在低电阻区域108n中产生氧空位的绝缘膜形成。

[0150] 例如,作为绝缘层116,可以使用被用作对低电阻区域108n供应杂质的供应源的绝缘膜。此时,绝缘层116优选为通过加热释放氢的膜。当这种绝缘层116以与半导体层108接触的方式形成,可以对低电阻区域108n供应氢等杂质,由此可以使低电阻区域108n低电阻化。

[0151] 绝缘层116优选使用包含氢元素等杂质元素的形成气体形成。此外,通过提高绝缘层116的沉积温度,可以有效地对半导体层108供应很多杂质元素。绝缘层116的沉积温度例如可以为200℃以上且500℃以下,优选为220℃以上且450℃以下,更优选为250℃以上且400℃以下。

[0152] 当在进行加热的同时在减压下形成绝缘层116时,可以促进从半导体层108中的将成为低电阻区域108n的区域脱离氧。当对形成有很多氧空位的半导体层108供应氢等杂质时,提高低电阻区域108n的载流子密度,可以进一步有效地使低电阻区域108n低电阻化。

[0153] 作为绝缘层116,例如可以适当地使用氮化硅、氮氧化硅、氧氮化硅、氮化铝、氮氧化铝等含氮化物的绝缘膜。尤其是,氮化硅具有对氢及氧的阻挡性,因此可以防止从外部向半导体层的氢的扩散及从半导体层向外部的氧的脱离的双方,由此可以实现可靠性高的晶体管。

[0154] 绝缘层116可以为具有吸收半导体层108中的氧且产生氧空位的功能的绝缘膜。尤其是,作为绝缘层116例如优选使用氮化铝等金属氮化物。

[0155] 在使用金属氮化物的情况下,优选使用铝、钛、钽、钨、铬或钌的氮化物。例如,特别优选包含铝或钛。例如,关于利用使用铝的溅射靶材且使用包含氮的形成气体的反应性溅射法形成的氮化铝膜,通过适当地控制相对于形成气体的总流量的氮气的流量比,可以形成兼具极高绝缘性及对氢或氧的极高阻挡性的膜。因此,通过与半导体层接触地设置包含金属氮化物的这种绝缘膜,不但可以实现半导体层的低电阻化而且还可以有效地防止从半导体层的氧脱离以及向半导体层的氢扩散。

[0156] 在使用氮化铝作为金属氮化物的情况下,包含氮化铝的绝缘层的厚度优选为5nm

以上。就算是这么薄的膜,也可以兼具对氢及氧的高阻挡性及使半导体层低电阻化的功能。此外,对该绝缘层的厚度没有上限,但是考虑到生产率,优选为500nm以下,更优选为200nm以下,进一步优选为50nm以下。

[0157] 在使用氮化铝膜作为绝缘层116的情况下,优选使用满足组成式AlN_x(x为大于0且2以下的实数,x优选为0.5以上且1.5以下的实数)的膜。此时,可以得到具有良好的绝缘性及高热传导率的膜,由此可以提高在驱动晶体管100B时产生的热的散热性。

[0158] 或者,作为绝缘层116,可以使用氮化铝钛膜、氮化钛膜等。

[0159] 由于这种绝缘层116以与低电阻区域108n接触的方式设置,因此绝缘层116吸收低电阻区域108n中的氧,可以在低电阻区域108n中产生氧空位。此外,当形成这种绝缘层116之后进行加热处理时,可以在低电阻区域108n中形成更多的氧空位,可以进一步降低电阻。在作为绝缘层116使用包含金属氧化物的膜的情况下,绝缘层116吸收半导体层108中的氧,由此有时在绝缘层116与低电阻区域108n之间形成包括包含在绝缘层116中的金属元素(例如铝)的氧化物的层。

[0160] 这里,在作为半导体层108使用含铟的金属氧化物膜的情况下,有时在低电阻区域108n的绝缘层116一侧的界面附近形成析出氧化铟的区域或铟浓度高的区域。由此,可以形成极低的电阻的低电阻区域108n。这种区域例如有时通过XPS等分析法观察。

[0161] <结构实例2-4>

图6A是晶体管100C的俯视图,图6B是晶体管100C的沟道长度方向的截面图,图6C是晶体管100C的沟道宽度方向的截面图。

[0162] 晶体管100C是对结构实例2-3所示的晶体管100B设置结构实例2-2所示的被用作第一栅电极的导电层106的例子。

[0163] 通过采用这种结构,可以实现通态电流高的晶体管。或者,可以提供能够控制阈值电压的晶体管。

[0164] [结构实例2的变形实例1]

虽然在上述结构实例2-1至2-4中半导体层108为单层,但是半导体层108优选具有层叠半导体层108a及半导体层108b的叠层结构。

[0165] 图7A所示的晶体管100_a是结构实例2-1所示的晶体管100的半导体层108具有叠层结构的例子。在图7A中,在点划线的左侧示出沟道长度方向的截面,在点划线的右侧示出沟道宽度方向的截面。

[0166] 同样地,图7B所示的晶体管100A_a、图7C所示的晶体管100B_a及图7D所示的晶体管100C_a为晶体管100A、晶体管100B及晶体管100C的半导体层108的每一个具有叠层结构的例子。

[0167] [结构实例2的变形实例2]

如上所述,可以在氧供应给绝缘层110之后去除位于绝缘层110与导电层112之间的金属氧化物层114。

[0168] 图8A所示的晶体管100_b为去除图7A所示的晶体管100_a的金属氧化物层114的例子。

[0169] 同样地,图8B所示的晶体管100A_b、图8C所示的晶体管100B_b及图8D所示的晶体管100C_b为去除晶体管100A_a、晶体管100B_a及晶体管100C_a的金属氧化物层114的例子。

[0170] [制造方法实例1]

以下,对本发明的一个实施方式的晶体管的制造方法的例子进行说明。这里,以结构实例2-2所示的晶体管100A为例进行说明。

[0171] 包括在半导体装置的薄膜(绝缘膜、半导体膜、导电膜等)可以利用溅射法、化学气相沉积(CVD:Chemical Vapor Deposition)法、真空蒸镀法、脉冲激光沉积(PLD:Pulsed Laser Deposition)法、原子层沉积(ALD:Atomic Layer Deposition)法等中的任意方法形成。作为CVD法有等离子体增强化学气相沉积(PECVD:Plasma EnhancedCVD)法、热CVD法。此外,作为热CVD法之一,有有机金属化学气相沉积(MOCVD:Metal Organic CVD)法。

[0172] 此外,包括在半导体装置的薄膜(绝缘膜、半导体膜、导电膜等)可以利用旋涂法、浸渍法、喷涂法、喷墨法、分配器法、丝网印刷法、胶版印刷法、刮刀(doctor knife)法、狭缝式涂布法、辊涂法、帘式涂布法、刮刀式涂布法等方法形成。

[0173] 此外,当对包括在半导体装置的薄膜进行加工时,可以利用光刻法等。除了上述方法以外,还可以利用纳米压印法、喷砂法、剥离法等对薄膜进行加工。此外,可以利用金属掩模等遮蔽掩模的形成方法形成岛状的薄膜。

[0174] 光刻法典型地有如下两种方法。一个是在要进行加工的薄膜上形成抗蚀剂掩模,通过蚀刻等对该薄膜进行加工,并去除抗蚀剂掩模的方法。另一个是在形成感光性薄膜之后,进行曝光及显影来将该薄膜加工为所希望的形状的方法。

[0175] 在光刻法中,作为用于曝光的光,例如可以使用i线(波长为365nm)、g线(波长为436nm)、h线(波长为405nm)或将这些光混合而成的光。此外,还可以使用紫外光、KrF激光或ArF激光等。此外,也可以利用液浸曝光技术进行曝光。作为用于曝光的光,也可以使用极紫外光(EUV:Extreme Ultra-Violet)或X射线。此外,也可以使用电子束代替用于曝光的光。当使用极紫外光、X射线或电子束时,可以进行极其微细的加工,所以是优选的。此外,在通过电子束等光束的扫描进行曝光时,不需要光掩模。

[0176] 作为薄膜的蚀刻方法,可以利用干蚀刻法、湿蚀刻法及喷砂法等。

[0177] 图9A至图9E、图10A至图10D以及图11A及图11B各自示出晶体管100A的制造工序的各阶段的沟道长度方向及沟道宽度方向的截面。

[0178] <导电层106的形成>

在衬底102上形成导电膜,对其进行蚀刻加工形成被用作栅电极的导电层106(图9A)。

[0179] 此时,如图9A所示,对导电层106优选以其端部具有锥形形状的方式进行加工。由此,可以提高在下一步骤中形成的绝缘层103的台阶覆盖性。

[0180] 当作为将成为导电层106的导电膜使用含铜的导电膜时,可以减少布线电阻。例如在是大型显示装置或分辨率高的显示装置的情况下优选使用含铜的导电膜。即使作为导电层106使用含铜的导电膜,也可以由绝缘层103抑制铜扩散到半导体层108一侧,由此可以得到可靠性高的晶体管。

[0181] <绝缘层103的形成>

接着,以覆盖衬底102及导电层106的方式形成绝缘层103(图9B)。绝缘层103可以利用PECVD法、ALD法、溅射法等形成。

[0182] 这里,绝缘层103通过层叠绝缘膜103a、绝缘膜103b、绝缘膜103c及绝缘膜103d形

成。

[0183] 尤其是,包括在绝缘层103的各绝缘膜优选利用PECVD法形成。关于绝缘层103的形成方法可以参照上述结构实例1的记载。

[0184] 在形成绝缘层103之后,也可以对绝缘层103进行氧供应处理。例如,可以在氧气氛下进行等离子体处理或加热处理等。或者,也可以利用等离子体离子掺杂法或离子注入法对绝缘层103供应氧。

[0185] <半导体层108的形成>

接着,在绝缘层103上形成金属氧化物膜108f(图9C)。

[0186] 金属氧化物膜108f优选通过使用金属氧化物靶材的溅射法形成。

[0187] 金属氧化物膜108f优选为缺陷尽可能少的致密的膜。金属氧化物膜108f优选为高纯度的膜,其中尽可能降低氢及水等杂质。尤其是,作为金属氧化物膜108f,优选使用具有结晶性的金属氧化物膜。

[0188] 在形成金属氧化物膜时,也可以混合氧气体和惰性气体(例如,氦气体、氩气体、氙气体等)。注意,在形成金属氧化物膜时的形成气体整体中的氧气体的比例(以下,也称为氧流量比)越高,金属氧化物膜的结晶性可以越高,可以实现具有高可靠性的晶体管。另一方面,氧流量比越低,金属氧化物膜的结晶性越低,可以实现通态电流(on-state current)高的晶体管。

[0189] 在形成金属氧化物膜时,随着衬底温度变高,可以形成结晶性更高的更加致密的金属氧化物膜。另一方面,随着衬底温度变低,可以形成结晶性更低且导电性更高的金属氧化物膜。

[0190] 金属氧化物膜在衬底温度为室温以上且250℃以下,优选为室温以上且200℃以下,更优选为室温以上且140℃以下的条件下形成。例如,衬底温度优选为室温以上且低于140℃,由此可以提高生产性。通过在衬底温度为室温或不进行意图性的加热的状态下形成金属氧化物膜时,金属氧化物膜可以具有低结晶性。

[0191] 在形成金属氧化物膜108f之前,优选进行用来脱离在绝缘层103的表面吸附的水、氢、有机物等的处理和对绝缘层103供应氧的处理中的至少一个。例如,可以在减压气氛下以70℃以上且200℃以下的温度进行加热处理。或者,也可以进行含氧的气氛下的等离子体处理。或者,通过进行包含一氧化二氮(N_2O)等含氧化性气体的气氛下的等离子体处理,也可以将氧供应给绝缘层103。当进行使用一氧化二氮气体的等离子体处理时,可以适当地去除绝缘层103的表面的有机物且可以将氧供应给绝缘层103。优选的是,在这种处理之后,以不使绝缘层103的表面暴露于大气的方式连续地形成金属氧化物膜108f。

[0192] 注意,在半导体层108具有层叠多个半导体层的叠层结构的情况下,优选的是,在形成下方的金属氧化物膜之后,以不使下方的金属氧化物膜的表面暴露于大气的方式连续地形成上方的金属氧化物膜。

[0193] 接着,通过部分地蚀刻金属氧化物膜108f,形成岛状的半导体层108(图9D)。

[0194] 金属氧化物膜108f通过湿蚀刻法及/或干蚀刻法进行加工。此时,有时不与半导体层108重叠的绝缘层103的一部分被蚀刻来变薄。例如,有时通过蚀刻绝缘层103的绝缘膜103d被去除,露出绝缘膜103c的表面。

[0195] 这里,优选在形成金属氧化物膜108f或加工半导体层108之后进行加热处理。通过

加热处理,可以去除包含在金属氧化物膜108f或半导体层108中或者附着在金属氧化物膜108f或半导体层108的表面的氢或水。此外,通过加热处理,有时金属氧化物膜108f或半导体层108的膜质得到提高(例如,缺陷量的降低、结晶性的提高等)。

[0196] 此外,通过加热处理,可以将氧从绝缘层103供应给金属氧化物膜108f或半导体层108。此时,更优选的是,在将半导体膜108f加工成半导体层108之前进行加热处理。

[0197] 典型的是,可以在150℃以上且低于衬底的应变点、200℃以上且500℃以下、250℃以上且450℃以下、300℃以上且450℃以下的温度下进行加热处理。

[0198] 加热处理可以在含稀有气体或氮的气氛下进行。或者,也可以在该气氛中进行加热处理,然后在含氧的气氛中进行加热处理。或者,也可以在干燥空气气氛中进行加热。优选的是,在上述加热处理的气氛中尽可能不包含氢或水等。该加热处理可以使用电炉或RTA(RapidThermal Anneal:气体快速热退火)装置等。通过使用RTA装置,可以缩短加热处理时间。

[0199] 注意,该加热处理并不一定需要进行。在这工序中不需要进行加热处理,也可以将在后面的工序中进行的加热处理用作在这工序中的加热处理。有时,在后面的工序中的高温下的处理(例如,膜形成工序)等可以用作这工序中的加热处理。

[0200] <绝缘层110的形成>

接着,以覆盖绝缘层103及半导体层108的方式形成绝缘层110(图9E)。

[0201] 这里,绝缘层110通过层叠绝缘膜110a、绝缘膜110b及绝缘膜110c形成。

[0202] 尤其是,优选包括在绝缘层110中的各绝缘膜通过PECVD法形成。作为包括在绝缘层110中的各绝缘膜的形成方法,可以参照上述结构实例1的记载。

[0203] 优选的是,在形成绝缘层110之前对半导体层108的表面进行等离子体处理。通过该等离子体处理,可以降低附着在半导体层108的表面的水等杂质。因此,可以降低半导体层108与绝缘层110的界面的杂质,可以实现具有高可靠性的晶体管。在半导体层108的形成到绝缘层110的形成中半导体层108的表面暴露于大气的情况下,等离子体处理是尤其优选的。等离子体处理可以在氧、臭氧、氮、一氧化二氮或氩等的气氛下进行。等离子体处理与绝缘层110的形成优选以不暴露于大气的方式连续地进行。

[0204] 在形成绝缘层110之后,优选进行加热处理。通过加热处理,可以去除包含在绝缘层110中或吸附到其表面的氢或水。同时,可以降低绝缘层110中的缺陷量。

[0205] 加热处理的条件可以参照上述记载。

[0206] 注意,该加热处理并不一定需要进行。在这工序中不需要进行加热处理,也可以将在后面的工序中进行的加热处理用作在这工序中的加热处理。有时,在后面的工序中的高温下的处理(例如,膜形成工序)等可以用作这工序中的加热处理。

[0207] <金属氧化物膜114f的形成>

接着,在绝缘层110上形成金属氧化物膜114f(图10A)。

[0208] 金属氧化物膜114f例如优选在包含氧的气氛下形成。尤其是,金属氧化物膜114f优选在包含氧的气氛下利用溅射法形成。由此,可以在形成金属氧化物膜114f时对绝缘层110供应氧。

[0209] 在与上述半导体层108同样通过使用包含金属氧化物的氧化物靶材的溅射法形成金属氧化物膜114f的情况下,可以援用上述记载。

[0210] 例如,金属氧化物膜114f可以通过作为形成气体使用氧且使用金属靶材的反应性溅射法形成。在作为金属靶材例如使用铝的情况下,可以形成氧化铝膜。

[0211] 当形成金属氧化物膜114f时,引入到沉积装置的沉积室内的形成气体的总流量中的氧流量的比率(氧流量比)越高或沉积室内的氧分压越高,越可以增大供应给绝缘层110中的氧量。氧流量比或氧分压例如为50%以上且100%以下,优选为65%以上且100%以下,更优选为80%以上且100%以下,进一步优选为90%以上且100%以下。尤其是,优选将氧流量比设定为100%,来使沉积室中的氧分压尽量接近于100%。

[0212] 如此,通过在包含氧的气氛下利用溅射法形成金属氧化物膜114f,可以在形成金属氧化物膜114f的同时对绝缘膜110供应氧且防止氧从绝缘层110脱离。其结果是,可以将极多的氧封闭在绝缘层110中。

[0213] 在形成金属氧化物膜114f之后,优选进行加热处理。通过加热处理,可以将包含在绝缘层110中的氧供应给半导体层108。当在金属氧化物膜114f覆盖绝缘层110的状态下进行加热处理时,可以防止从绝缘层110向外部脱离氧,可以将多量的氧供应给半导体层108。因此,可以降低半导体层108中的氧空位,因此实现可靠性高的晶体管。

[0214] 加热处理的条件可以参照上述记载。

[0215] 注意,该加热处理并不一定需要进行。在这工序中不需要进行加热处理,也可以将在后面的工序中进行的加热处理用作在这工序中的加热处理。有时,在后面的工序中的高温下的处理(例如,膜形成工序)等可以用作这工序中的加热处理。

[0216] 在金属氧化物膜114f的形成或该加热处理之后,也可以去除金属氧化物膜114f。

[0217] <开口部142的形成>

接着,通过对金属氧化物膜114f、绝缘层110及绝缘层103部分地进行蚀刻,形成到达导电层106的开口部142(图10B)。由此,可以使导电层106与后面形成的导电层112通过开口部142电连接。

[0218] <导电层112、金属氧化物层114的形成>

接着,在金属氧化物膜114f上形成将成为导电层112的导电膜112f(图10C)。

[0219] 作为导电膜112f,优选使用低电阻的金属或低电阻的合金材料。优选的是,导电膜112f使用不容易释放氢且不容易扩散氢的材料形成。此外,作为导电膜112f优选使用不容易氧化的材料。

[0220] 例如,导电膜112f优选通过使用包含金属或合金的溅射靶材的溅射法形成。

[0221] 例如,导电膜112f优选为包括不容易氧化且不容易扩散氢的导电膜和低电阻的导电膜的叠层膜。

[0222] 接着,通过对导电膜112f及金属氧化物膜114f部分地进行蚀刻,形成导电层112及金属氧化物层114。优选使用相同的抗蚀剂掩模对导电膜112f及金属氧化物膜114f进行加工。或者,也可以通过使用通过蚀刻得到的导电层112作为硬掩模,对金属氧化物膜114f进行蚀刻。

[0223] 尤其是,作为导电膜112f及金属氧化物膜114f的蚀刻,优选使用湿蚀刻法。

[0224] 由此,可以形成顶面形状大致一致的导电层112及金属氧化物层114。

[0225] 像这样,当绝缘层110不被蚀刻而覆盖半导体层108的顶面及侧面以及绝缘层103时,可以防止在蚀刻导电膜112f等时半导体层108以及绝缘层103的一部分被蚀刻而变薄。

[0226] <杂质元素的供应处理>

接着,以导电层112为掩模进行通过绝缘层110对半导体层108供应(添加或注入)杂质元素140的处理(图10D)。由此,可以在半导体层108的不被导电层112覆盖的区域中形成低电阻区域108n。此时,在半导体层108的与导电层112重叠的区域,导电层112被用作掩模,而杂质元素140不供应到该区域。

[0227] 杂质元素140的供应可以适当地使用等离子体掺杂法或离子注入法。通过使用这些方法,可以根据离子加速电压及剂量等以高准确度控制深度方向上的浓度分布。通过使用等离子体掺杂法,可以提高生产率。此外,通过使用利用质量分离的离子注入法,可以提高被供应的杂质元素的纯度。

[0228] 优选以半导体层108与绝缘层110的界面、半导体层108中接近界面的部分或者绝缘层110中接近该界面的部分具有最高浓度的方式控制杂质元素140的供应处理的条件。由此,可以将具有最合适的浓度的杂质元素140通过一次的处理供应到半导体层108及绝缘层110的双方。

[0229] 作为杂质元素140,可以举出氢、硼、碳、氮、氟、磷、硫、砷、铝、镁、硅或稀有气体等。作为稀有气体的典型例,可以举出氦、氖、氩、氪及氙等。尤其是,优选使用硼、磷、铝、镁或硅。

[0230] 作为杂质元素140的源气体,可以使用包含上述杂质元素的气体。当供应硼时,典型地可以使用B_2H_6气体或BF_3气体等。此外,当供应磷时,典型地可以使用PH_3气体等。此外,也可以使用由稀有气体稀释这些源气体的混合气体。

[0231] 除了上述以外,作为源气体,可以使用CH_4、N_2、NH_3、AlH_3、$AlCl_3$、SiH_4、Si_2H_6、F_2、HF、H_2、$(C_5H_5)_2Mg$以及稀有气体等。此外,离子源不局限于气体,也可以使用对固体或液体加热而被汽化了的。

[0232] 通过考虑到绝缘层110及半导体层108的组成、密度、厚度等设定加速电压或剂量等的条件,可以控制杂质元素140的添加。

[0233] 当使用离子注入法或等离子体离子掺杂法添加硼时,加速电压例如可以为5kV以上且100kV以下,优选为7kV以上且70kV以下,更优选为10kV以上且50kV以下。此外,剂量例如可以为1×10^{13}ions/cm^2以上且1×10^{17}ions/cm^2以下,优选为1×10^{14}ions/cm^2以上且5×10^{16}ions/cm^2以下,更优选为1×10^{15}ions/cm^2以上且3×10^{16}ions/cm^2以下。

[0234] 此外,当使用离子注入法或等离子体离子掺杂法添加磷离子时,加速电压例如可以为10kV以上且100kV以下,优选为30kV以上且90kV以下,更优选为40kV以上且80kV以下。此外,剂量例如可以为1×10^{13}ions/cm^2以上且1×10^{17}ions/cm^2以下,优选为1×10^{14}ions/cm^2以上且5×10^{16}ions/cm^2以下,更优选为1×10^{15}ions/cm^2以上且3×10^{16}ions/cm^2以下。

[0235] 注意,杂质元素140的供应方法不局限于此,例如也可以进行等离子体处理或利用因加热而引起的热扩散的处理等。在采用等离子体处理法的情况下,通过使用在包含所添加的杂质元素的气体气氛下产生的等离子体可以添加杂质元素。作为产生上述等离子体的装置,可以使用干蚀刻装置、灰化装置、等离子体CVD装置或高密度等离子体CVD装置等。

[0236] 在本发明的一个实施方式中,可以将杂质元素140通过绝缘层110供应到半导体层108。由此,即使在半导体层108具有结晶性的情况下,也可以减小在供应杂质元素140时半导体层108受到的损伤,因此可以抑制结晶性损失。由此,适合用于由结晶性降低导致电阻

增大等的情况。

[0237] <绝缘层118的形成>

接着,以覆盖绝缘层110、金属氧化物层114及导电层112的方式形成绝缘层118(图11A)。

[0238] 在沉积温度过高的情况下通过PECVD法形成绝缘层118时,包含在低电阻区域108n等的杂质有可能扩散到包括半导体层108的沟道形成区域的周围部或低电阻区域108n的电阻有可能上升。因此,绝缘层118的沉积温度考虑到这些因素来决定。

[0239] 例如,绝缘层118优选在沉积温度为150℃以上且400℃以下,优选为180℃以上且360℃以下,更优选为200℃以上且250℃以下的条件下形成。通过以低温形成绝缘层118,即使是沟道长度短的晶体管,也可以具有良好的电特性。

[0240] 也可以在形成绝缘层118之后进行加热处理。通过该加热处理,有时可以使低电阻区域108n更稳定且低电阻。例如,通过加热处理,可以使杂质元素140适当地扩散而局部性地被均匀化,来形成具有理想的杂质元素的浓度梯度的低电阻区域108n。注意,当加热处理的温度过高(例如为500℃以上)时,杂质元素140扩散到沟道形成区域内,这可能导致晶体管的电特性或可靠性的降低。

[0241] 加热处理的条件可以参照上述记载。

[0242] 注意,该加热处理并不一定需要进行。在这工序中不需要进行加热处理,也可以将在后面的工序中进行的加热处理用作在这工序中的加热处理。有时,在后面的工序中的高温下的处理(例如,膜形成工序)等可以用作这工序中的加热处理。

[0243] <开口部141a、开口部141b的形成>

接着,通过对绝缘层118及绝缘层110部分地进行蚀刻,形成到达低电阻区域108n的开口部141a及开口部141b。

[0244] <导电层120a、导电层120b的形成>

接着,以覆盖开口部141a及开口部141b的方式在绝缘层118上形成导电膜,将该导电膜加工为所希望的形状,来形成导电层120a及导电层120b(图11B)。

[0245] 通过上述工序,可以制造晶体管100A。例如,在将晶体管100A应用于显示装置的像素的情况下,后面可以追加形成保护绝缘层、平坦化层、像素电极和布线中的一个以上的工序。

[0246] 以上是制造方法实例1的说明。

[0247] 注意,在制造结构实例2-1所示的晶体管100的情况下,可以省略上述制造方法实例1中的导电层106的形成工序及开口部142的形成工序。晶体管100和晶体管100A可以通过同一工序形成在同一衬底上。

[0248] [制造方法实例2]

以下对其一部分的工序与上述制造方法实例1不同的制造方法实例进行说明。这里,以上述结构实例2-4所示的晶体管100C为例进行说明。

[0249] 注意,以下省略与上述制造方法实例1相同的工序的说明而详细地说明不同的工序。

[0250] 首先,如上述制造方法实例1相同地,依次形成导电层106、绝缘层103、半导体层108、绝缘层110、金属氧化物膜114f及导电膜112f。图12A是该阶段的截面图。

[0251] 接着,对导电膜112f及金属氧化物膜114f部分地进行蚀刻形成导电层112及金属氧化物层114,还对绝缘层110部分地进行蚀刻,由此使半导体层108的一部分露出(图12B)。由此,可以形成顶面形状大致一致的导电层112、金属氧化物层114及绝缘层110。

[0252] 绝缘层110优选使用用来蚀刻导电膜112f的抗蚀剂掩模进行蚀刻。绝缘层110可以与导电膜112f、金属氧化物膜114f相同的工序中被蚀刻或者可以在对导电膜112f及金属氧化物膜114f进行蚀刻之后以不同的蚀刻方法被蚀刻。

[0253] 例如,通过使用相同的蚀刻剂的湿蚀刻法对导电膜112f及金属氧化物膜114f进行蚀刻,然后可以通过干蚀刻法对绝缘层110进行蚀刻。尤其是,当通过干蚀刻法对导电膜112f及金属氧化物膜114f进行加工时,因包含金属的反应生成物的产生导致半导体层108及绝缘层110的污染。因此,在对绝缘层110进行蚀刻之前,优选通过湿蚀刻法对导电膜112f及金属氧化物膜114f进行加工。

[0254] 根据蚀刻条件,有时导电层112、金属氧化物层114及绝缘层110的端部不对齐。例如,有时导电层112及金属氧化物层114中的至少一个的端部位于绝缘层110的端部的内侧或外侧。

[0255] 在绝缘层110的蚀刻中,有时被露出的半导体层108的一部分被蚀刻而薄膜化。此时,半导体层108有时具有低电阻区域108n的厚度比沟道形成区域的厚度小的形状。

[0256] 此外,在绝缘层110的蚀刻中,有时不被半导体层108覆盖的绝缘层103的一部分被蚀刻而薄膜化。例如有时绝缘层103的绝缘膜103d被去除。

[0257] 接着,与半导体层108的露出的部分接触地形成绝缘层116,接着形成绝缘层118(图12C)。通过形成绝缘层116,半导体层108的露出的部分的电阻降低,由此形成低电阻区域108n。

[0258] 作为绝缘层116,可以使用释放具有使半导体层108低电阻化的功能的杂质元素的绝缘膜。尤其是,优选使用氮化硅膜、氮氧化硅膜、氧氮化硅膜等能够释放氢的无机绝缘膜。此时,通过使用含氢的形成气体的PECVD法,可以在形成绝缘层116时也对半导体层108供应氢,所以是优选的。

[0259] 例如,在作为绝缘层116使用氮化硅的情况下,优选采用使用硅烷等含硅的气体、氨或一氧化二氮等含氮的气体的混合气体作为形成气体的PECVD法。此时,优选的是形成的氮化硅膜包含氢。由此,通过绝缘层116中的氢扩散到半导体层108,可以容易使半导体层108的一部分低电阻化。

[0260] 或者,可以使用具有在半导体层108中产生氧空位的功能的绝缘膜。尤其是,优选使用含金属氮化物的绝缘膜。例如,优选采用使用含金属的溅射靶材且作为形成气体使用氮气体及为稀释气体的稀有气体等的混合气体的反应性溅射法。由此,通过控制形成气体的流量比,可以容易控制绝缘层116的膜质。

[0261] 例如,在作为绝缘层116使用通过使用铝靶材的反应性溅射形成的氮化铝膜的情况下,相对于形成气体的总流量的氮气体的流量为30%以上且100%以下,优选为40%以上且100%以下,更优选为50%以上且100%以下。

[0262] 这里,绝缘层116及绝缘层118优选以不暴露于大气的方式连续地形成。

[0263] 在绝缘层116的形成或绝缘层118的形成之后,也可以进行加热处理。通过加热处理,可以促进低电阻区域108n的低电阻化。

[0264] 加热处理的条件可以参照上述记载。

[0265] 注意,该加热处理并不一定需要进行。在这工序中不需要进行加热处理,也可以将在后面的工序中进行的加热处理用作在这工序中的加热处理。有时,在后面的工序中的高温下的处理(例如,膜形成工序)等可以用作这工序中的加热处理。

[0266] 接着,在绝缘层118及绝缘层116中形成到达低电阻区域108n的开口部141a及开口部141b。

[0267] 接着,与制造方法实例1同样地,在绝缘层118上形成导电层120a及导电层120b(图12D)。

[0268] 通过上述工序,可以制造晶体管100C。

[0269] 注意,在制造结构实例2-3所示的晶体管100B的情况下,可以省略上述制造方法实例2中的导电层106的形成工序及开口部142的形成工序。晶体管100B及晶体管100C可以通过同一工序形成在同一衬底上。

[0270] [半导体装置的构成要素]

以下,对包括在本实施方式的半导体装置中的构成要素进行说明。

[0271] <衬底>

虽然对衬底102的材料等没有特别的限制,但是至少需要具有能够承受后续的加热处理的耐热性。例如,可以使用以硅或碳化硅为材料的单晶半导体衬底或多晶半导体衬底、硅锗等的化合物半导体衬底、SOI衬底、玻璃衬底、陶瓷衬底、石英衬底、蓝宝石衬底等作为衬底102。此外,也可以将设置有半导体元件的上述衬底中的任意衬底用作衬底102。

[0272] 此外,作为衬底102,也可以使用柔性衬底,并且在柔性衬底上直接形成半导体装置等。或者,也可以在衬底102与半导体装置等之间设置剥离层。当剥离层上制造半导体装置的一部分或全部,然后将其从衬底102分离并转置到其他衬底上时可以使用剥离层。此时,也可以将半导体装置等转置到耐热性低的衬底或柔性衬底上。

[0273] <导电膜>

作为用作栅电极的导电层112及导电层106、用作源电极和漏电极中的一个的导电层120a及用作源电极和漏电极中的另一个的导电层120b,可以使用选自铬、铜、铝、金、银、锌、钼、钽、钛、钨、锰、镍、铁、钴的金属元素或以上述金属元素为成分的合金或者组合上述金属元素中的任意金属元素的合金等来分别形成。

[0274] 此外,作为导电层112、导电层106、导电层120a以及导电层120b的每一个,可以使用In-Sn氧化物、In-W氧化物、In-W-Zn氧化物、In-Ti氧化物、In-Ti-Sn氧化物、In-Zn氧化物、In-Sn-Si氧化物、In-Ga-Zn氧化物等氧化物导电体或者金属氧化物膜。

[0275] 这里,对氧化物导电体(OC:Oxide Conductor)进行说明。例如,通过在具有半导体特性的金属氧化物中形成氧空位并对该氧空位添加氢来在导带附近形成施主能级。由此,金属氧化物的导电性增高,金属氧化物变为导电体,也可以将变为导电体的金属氧化物称为氧化物导电体。

[0276] 此外,作为导电层112等,也可以采用含有上述氧化物导电体(金属氧化物)的导电膜、含有金属或合金的导电膜的叠层结构。通过使用含有金属或合金的导电膜,可以降低布线电阻。这里,优选与作为用作栅极绝缘膜的绝缘层接触的导电膜是含有氧化物导电体的导电膜。

[0277] 此外,导电层112、导电层106、导电层120a、导电层120b尤其优选包含选自上述金属元素中的钛、钨、钽和钼中的任一个或多个。尤其是,优选使用氮化钽膜。该氮化钽膜具有导电性,并对铜、氧或氢具有高阻挡性,且其释放的氢量少,由此可以作为与半导体层108接触的导电膜或半导体层108附近的导电膜适合地使用氮化钽膜。

[0278] <半导体层>

当半导体层108为In-M-Zn氧化物时,作为用来形成In-M-Zn氧化物的溅射靶材中的金属元素的原子个数比,可以举出In:M:Zn=1:1:1、In:M:Zn=1:1:1.2、In:M:Zn=1:3:2、In:M:Zn=1:3:4、In:M:Zn=1:3:6、In:M:Zn=2:2:1、In:M:Zn=2:1:3、In:M:Zn=3:1:2、In:M:Zn=4:2:3、In:M:Zn=4:2:4.1、In:M:Zn=5:1:6、In:M:Zn=5:1:7、In:M:Zn=5:1:8、In:M:Zn=6:1:6、In:M:Zn=5:2:5等。

[0279] 此外,作为溅射靶材优选使用含有多晶氧化物的靶材,由此可以易于形成具有结晶性的半导体层108。注意,所形成的半导体层108中的金属元素的原子个数比在上述溅射靶材中的金属元素的原子数比的±40%的范围内变动。例如,在被用于半导体层108的形成的溅射靶材的组成为In:Ga:Zn=4:2:4.1[原子个数比]时,所形成的半导体层108的组成有时为In:Ga:Zn=4:2:3[原子个数比]或其附近。

[0280] 注意,原子个数比为In:Ga:Zn=4:2:3或其附近包括如下情况:In为4时,Ga为1以上且3以下,Zn为2以上且4以下。此外,原子个数比为In:Ga:Zn=5:1:6或其附近包括如下情况:In为5时,Ga大于0.1且为2以下,Zn为5以上且7以下。此外,原子个数比为In:Ga:Zn=1:1:1或其附近包括如下情况:In为1时,Ga大于0.1且为2以下,Zn大于0.1且为2以下。

[0281] 此外,半导体层108的能隙为2eV以上,优选为2.5eV以上。如此,通过使用能隙比硅宽的金属氧化物,可以减少晶体管的关态电流。

[0282] 此外,半导体层108优选具有非单晶结构。非单晶结构例如包括后述的CAAC结构、多晶结构、微晶结构或非晶结构。在非单晶结构中,非晶结构的缺陷态密度最高,CAAC结构的缺陷态密度最低。

[0283] 下面对CAAC(c-axis aligned crystal)进行说明。CAAC表示结晶结构的一个例子。

[0284] CAAC结构是指包括多个纳米晶(最大直径小于10nm的结晶区域)的薄膜等的结晶结构之一。各纳米晶的c轴在特定方向上取向,其a轴及b轴不具有取向性,纳米晶彼此不形成晶界而在a轴及b轴方向上连续地连接。尤其是,在具有CAAC结构的薄膜中,各纳米晶的c轴容易在薄膜的厚度方向、薄膜的被形成面的法线方向或者薄膜表面的法线方向上取向。

[0285] CAAC-OS(Oxide Semiconductor:氧化物半导体)是结晶性高的氧化物半导体。另一方面,在CAAC-OS中观察不到明确的晶界,因此不容易发生起因于晶界的电子迁移率的下降。此外,氧化物半导体的结晶性有时因杂质的混入或缺陷的生成等而降低,因此可以说CAAC-OS是杂质或缺陷(氧空位等)少的氧化物半导体。因此,包含CAAC-OS的氧化物半导体的物理性质稳定。因此,包含CAAC-OS的氧化物半导体具有高耐热性及高可靠性。

[0286] 在此,在晶体学上,决定由a轴、b轴、c轴这三个轴(晶轴)形成的单位晶格的一般方法是决定以较特殊的轴为c轴的单位晶格。尤其是,在具有层状结构的结晶中,决定单位晶格的一般方法是决定一种单位晶格,其中以与层的面方向平行的两个轴为a轴及b轴,以与层交叉的轴为c轴。作为这种具有层状结构的结晶的典型例子,有分类为六方晶系的石墨,

其单位晶格的a轴及b轴平行于劈开面,c轴正交于劈开面。例如,为层状结构的具有$YbFe_2O_4$型结晶结构的$InGaZnO_4$可分类为六方晶系,其单位晶格的a轴及b轴平行于层的面方向,c轴正交于层(即,正交于a轴及b轴)。

[0287] 在利用TEM观察到的图像中,有时不能明确地确认到具有微晶结构的氧化物半导体膜(微晶氧化物半导体膜)的结晶部。微晶氧化物半导体膜的结晶部大多为1nm以上且100nm以下或1nm以上且10nm以下。尤其是,将其尺寸为1nm以上且10nm以下或1nm以上且3nm以下的微晶称为纳米晶体(nc:nanocrystal)。将含有纳米晶体的氧化物半导体膜称为nc-OS(nanocrystalline Oxide Semiconductor:纳米晶氧化物半导体)膜。例如,在使用TEM得到的图像中,有时不能明确地确认到nc-OS膜中的晶界。

[0288] 在nc-OS膜中,微小的区域(例如其尺寸为1nm以上且10nm以下的区域,特别是其尺寸为1nm以上且3nm以下的区域)中的原子排列具有周期性。此外,nc-OS膜在不同的结晶部之间没有晶体取向的规律性。因此,在膜整体中观察不到取向性。所以,有时nc-OS膜在某些分析方法中与非晶氧化物半导体膜没有差别。例如,在通过其中利用使用其束径比结晶部大的X射线的XRD装置的out-of-plane法对nc-OS膜进行结构分析时,检测不出表示结晶面的峰值。此外,在使用其束径比结晶部的直径大(例如,50nm以上)的电子射线获得的nc-OS膜的选区电子衍射图案中,观察到光晕图案。另一方面,有时在对nc-OS膜进行使用其电子束径接近结晶部的直径的大小或者比结晶部的直径小(例如,1nm以上且30nm以下)的电子射线的电子衍射(也称为纳米束电子衍射)时,观察到亮度高的圈状(环状)区域,该环状区域内观察到多个斑点。

[0289] nc-OS膜的缺陷态密度比非晶氧化物半导体膜低。但是,nc-OS膜在不同的结晶部之间没有晶体取向的规律性。所以,nc-OS膜的缺陷态密度比CAAC-OS膜高。因此,nc-OS膜有时具有比CAAC-OS膜高的载流子密度及电子迁移率。所以,包括nc-OS膜的晶体管有时具有较高的场效应迁移率。

[0290] nc-OS膜可以以比CAAC-OS膜形成时更低的氧流量比形成。此外,nc-OS膜可以以比CAAC-OS膜形成时更低的衬底温度形成。例如,nc-OS膜可以在衬底温度为较低的低温(例如130℃以下的温度)的状态或不对衬底进行加热的状态下形成,因此适用于使用大型玻璃衬底、树脂衬底等的情况,可以提高生产率。

[0291] 下面,对金属氧化物的结晶结构的一个例子进行说明。使用In-Ga-Zn氧化物靶材(In:Ga:Zn=4:2:4.1[原子个数比])在衬底温度为100℃以上且130℃以下的条件下利用溅射法形成的金属氧化物易于具有nc结构和CAAC结构中的任一方或这两个结构混在的结构。另一方面,在衬底温度为室温(R.T.)的条件下形成的金属氧化物易于具有nc结晶结构。注意,这里的室温(R.T.)是指包括对衬底不进行意图性的加热时的温度。

[0292] [金属氧化物的构成]

以下,对可用于在本发明的一个实施方式中公开的晶体管的CAC(Cloud-Aligned Composite)-OS的构成进行说明。

[0293] 注意,CAAC是指结晶结构的一个例子,CAC是指功能或材料构成的一个例子。

[0294] CAC-OS或CAC-metal oxide在材料的一部分中具有导电性的功能,在材料的另一部分中具有绝缘性的功能,作为材料的整体具有半导体的功能。此外,在将CAC-OS或CAC-metal oxide用于晶体管的活性层的情况下,导电性的功能是使被用作载流子的电子(或空

穴)流过的功能,绝缘性的功能是不使被用作载流子的电子流过的功能。通过导电性的功能和绝缘性的功能的互补作用,可以使CAC-OS或CAC-metaloxide具有开关功能(开启/关闭功能)。通过在CAC-OS或CAC-metaloxide中使各功能分离,可以最大限度地提高各功能。

[0295] 此外,CAC-OS或CAC-metal oxide包括导电性区域及绝缘性区域。导电性区域具有上述导电性的功能,绝缘性区域具有上述绝缘性的功能。此外,在材料中,导电性区域和绝缘性区域有时以纳米粒子级分离。此外,导电性区域和绝缘性区域有时在材料中不均匀地分布。此外,有时导电性区域被观察为其边缘模糊且以云状连接。

[0296] 在CAC-OS或CAC-metal oxide中,有时导电性区域及绝缘性区域各自以0.5nm以上且10nm以下,优选为0.5nm以上且3nm以下的尺寸分散在材料中。

[0297] 此外,CAC-OS或CAC-metal oxide由具有不同带隙的成分构成。例如,CAC-OS或CAC-metal oxide含有具有起因于绝缘性区域的宽隙的成分及具有起因于导电性区域的窄隙的成分。在是这样的构成的情况下,载流子主要在具有窄隙的成分中流过。此外,具有窄隙的成分与具有宽隙的成分互补作用,与具有窄隙的成分联动地在具有宽隙的成分中载流子流过。因此,在将上述CAC-OS或CAC-metal oxide用于晶体管的沟道形成区域时,在晶体管的导通状态中可以得到高电流驱动力,即大通态电流及高场效应迁移率。

[0298] 就是说,也可以将CAC-OS或CAC-metal oxide称为基质复合材料(matrix composite)或金属基质复合材料(metal matrix composite)。

[0299] 以上是金属氧化物的结构的说明。

[0300] 本实施方式所示的结构实例及对应于这些例子的附图等的至少一部分可以与其他结构实例或附图等适当地组合而实施。

[0301] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式适当地组合而实施。

[0302] (实施方式2)

在本实施方式中,对包括上述实施方式所示的晶体管中的任意晶体管的显示装置的一个例子进行说明。

[0303] [结构实例]

图13A示出显示装置700的俯视图。显示装置700包括利用密封剂712贴合在一起的第一衬底701和第二衬底705。在被第一衬底701、第二衬底705及密封剂712密封的区域中,第一衬底701上形成有像素部702、源极驱动电路部704及栅极驱动电路部706。像素部702中设置有多个显示元件。

[0304] 此外,第一衬底701的不与第二衬底705重叠的部分中设置有连接有FPC716的FPC端子部708。从FPC716通过FPC端子部708及信号线710分别对像素部702、源极驱动电路部704及栅极驱动电路部706提供各种信号等。

[0305] 可以设置多个栅极驱动电路部706。此外,栅极驱动电路部706及源极驱动电路部704分别另行形成在半导体衬底等上以得到被封装的IC芯片。该IC芯片可以各自安装在第一衬底701上或安装到FPC716。

[0306] 像素部702、源极驱动电路部704及栅极驱动电路部706包括的晶体管可以使用为本发明的一个实施方式的半导体装置的晶体管中的任意晶体管。

[0307] 作为设置在像素部702中的显示元件,可以举出液晶元件及发光元件。作为液晶元

件,可以采用透射型液晶元件、反射型液晶元件、半透射型液晶元件等。此外,作为发光元件可以举出LED(LightEmitting Diode:发光二极管)、OLED(Organic LED:有机LED)、QLED(Quantum-dot LED:量子点LED)、半导体激光器等自发光性发光元件。此外,作为显示元件可以使用快门方式或光干涉方式的MEMS(Micro Electro Mechanical Systems:微电子机械系统)元件或采用微囊方式、电泳方式、电润湿方式或电子粉流体(注册商标)方式等的显示元件等。

[0308] 图13B所示的显示装置700A是包括具有柔性的树脂层743代替第一衬底701的能够用作柔性显示器的显示装置的例子。

[0309] 显示装置700A的像素部702不是矩形而是角部具有圆弧形的形状。此外,如图13B中的区域P1所示,显示装置700A具有像素部702的一部分及树脂层743的一部分被切断的缺口部。一对栅极驱动电路部706夹着像素部702设置在两侧。栅极驱动电路部706在像素部702的角部沿着圆弧形的轮廓内侧设置。

[0310] 树脂层743具有设置有FPC端子部708的突出部。树脂层743的包括FPC端子部708的一部分可以沿着图13B中的区域P2折到背面。通过将树脂层743的一部分折到背面,可以在FPC716与像素部702的背面重叠的状态下将显示装置700A安装到电子设备,由此可以使电子设备小型化。

[0311] 与显示装置700A连接的FPC716安装有IC717。IC717例如具有源极驱动电路的功能。这里,显示装置700A中的源极驱动电路部704可以包括保护电路、缓冲器电路、解复用器电路等中的至少一种。

[0312] 图13C所示的显示装置700B是为可以适用于具有大屏幕的电子设备的显示装置。例如,显示装置700B可以适用于电视装置、显示器装置、个人计算机(包括笔记本型或台式)、平板终端、数字标牌等。

[0313] 显示装置700B包括多个源极驱动器IC721和一对栅极驱动电路部722。

[0314] 多个源极驱动器IC721分别安装在FPC723上。此外,多个FPC723的一个端子与第一衬底701连接,另一个端子与印刷电路板724连接。通过使FPC723弯曲,可以将印刷电路板724配置在像素部702的背面,显示装置700B安装到电子设备,而可以使电子设备小型化。

[0315] 另一方面,栅极驱动电路部722设置在第一衬底701上。由此,可以实现窄边框的电子设备。

[0316] 通过采用上述结构,可以实现大型且高清晰显示装置。例如,可以实现屏幕尺寸为对角线30英寸以上、40英寸以上、50英寸以上或60英寸以上的显示装置。此外,可以实现4K2K、8K4K等极为高分辨率的显示装置。

[0317] [截面结构实例]

下面参照图14、图15、图16及图17对作为显示元件使用液晶元件或EL元件的结构进行说明。图14、图15、图16是沿着图13A所示的点划线Q-R的截面图。图17是沿着图13B所示的显示装置700A中的点划线S-T的截面图。图14及图15都是作为显示元件包括液晶元件的结构,图16及图17都是作为显示元件包括EL元件的结构。

[0318] <显示装置的相同部分的说明>

图14、图15、图16及图17所示的显示装置各自包括引绕布线部711、像素部702、源极驱动电路部704及FPC端子部708。引绕布线部711包括信号线710。像素部702包括晶体管

750及电容器790。源极驱动电路部704包括晶体管752。图15中没有设置电容器790的情况。

[0319] 晶体管750及晶体管752可以使用实施方式1所示的晶体管。

[0320] 本实施方式使用的晶体管包括高度纯化且氧空位的形成被抑制的氧化物半导体膜。该晶体管可以具有低关态电流。因此,可以延长图像信号等电信号的保持时间,可以延长图像信号等的写入工作的间隔。因此,可以降低刷新工作的频度,由此可以发挥降低功耗的效果。

[0321] 此外,在本实施方式中使用的晶体管能够得到较高的场效应迁移率,因此能够进行高速驱动。例如,通过将这种高速晶体管用于显示装置,可以在同一衬底上形成像素部的开关晶体管及驱动电路部的驱动晶体管。即,不需要使用由硅片等形成的驱动电路,由此可以减少显示装置的构件数。此外,通过在像素部中也使用高速晶体管,可以提供高质量的图像。

[0322] 图14、图16及图17各自的电容器790包括通过对与用于晶体管750的第一栅电极的膜相同的膜进行加工形成的下部电极以及通过对与用于半导体层的膜相同的金属氧化物进行加工形成的上部电极。上部电极与晶体管750的源区域或漏区域同样地被低电阻化。此外,在下部电极与上部电极之间设置有用作晶体管750的第一栅极绝缘层的绝缘膜的一部分。也就是说,电容器790具有在一对电极间夹有用作电介质膜的绝缘膜的叠层结构。此外,上部电极电连接于通过对与用于晶体管的源电极及漏电极的膜相同的膜进行加工形成的布线。

[0323] 此外,晶体管750、晶体管752及电容器790上设置有平坦化绝缘膜770。

[0324] 此外,像素部702所包括的晶体管750与源极驱动电路部704所包括的晶体管752也可以具有不同结构。例如,晶体管750和晶体管752中的一方可以使用顶栅极型晶体管而另一方使用底栅极型晶体管。注意,与源极驱动电路部704同样,在上述栅极驱动电路部706中可以使用具有与晶体管750相同的结构或不同的结构的晶体管。

[0325] 信号线710与晶体管750及晶体管752的源电极及漏电极等由同一导电膜形成。这里,优选使用含有铜元素的材料等低电阻材料,由此可以减少起因于布线电阻的信号延迟等,从而可以实现大屏幕显示。

[0326] FPC端子部708包括其一部分用作连接电极的布线760、各向异性导电膜780及FPC716。布线760通过各向异性导电膜780与FPC716的端子电连接。在此,布线760由与晶体管750及晶体管752的源电极及漏电极等为同一导电膜形成。

[0327] 作为第一衬底701及第二衬底705,例如可以使用玻璃衬底或塑料衬底等具有柔性的衬底。当作为第一衬底701使用具有柔性的衬底时,优选在第一衬底701与晶体管750等之间设置对水或氢具有阻挡性的绝缘层。

[0328] 此外,第二衬底705一侧设置有遮光膜738、着色膜736以及与它们接触的绝缘膜734。

[0329] <使用液晶元件的显示装置的结构实例>

图14所示的显示装置700包括液晶元件775。液晶元件775包括导电层772、导电层774以及导电层772与导电层774之间的液晶层776。导电层774设置在第二衬底705一侧,用作共通电极。此外,导电层772与晶体管750所包括的源电极或漏电极电连接。导电层772形成在平坦化绝缘膜770上并用作像素电极。

[0330] 导电层772可以使用对可见光具有透光性的材料或具有反射性的材料。作为透光性材料,例如,可以使用含有铟、锌、锡等的氧化物材料。作为反射性材料,例如,可以使用含有铝、银等材料。

[0331] 当作为导电层772使用反射性材料时,显示装置700为反射型液晶显示装置。当作为导电层772使用透光性材料时,显示装置700为透射型液晶显示装置。在反射型液晶显示装置中,在观看侧设置偏振片。另一方面,在透射型液晶显示装置中,以夹着液晶元件的方式设置一对偏振片。

[0332] 图15所示的显示装置700是使用横向电场方式(例如,FFS模式)的液晶元件775的例子。导电层772上隔着绝缘层773设置有用作公共电极的导电层774。可以通过导电层772与导电层774间产生的电场控制液晶层776的取向状态。

[0333] 在图15中,可以以导电层774、绝缘层773、导电层772的叠层构成存储电容器。因此,不需要另外设置电容器,可以提高开口率。

[0334] 此外,虽然图14及图15中没有进行图示,也可以采用设置与液晶层776接触的取向膜。此外,可以适当地设置偏振构件、相位差构件、抗反射构件等的光学构件(光学衬底)及背光、侧光等光源。

[0335] 液晶层776可以使用热致液晶、低分子液晶、高分子液晶、高分子分散型液晶(PDLC:Polymer Dispersed Liquid Crystal)、高分子网络型液晶(PNLC:Polymer Network Liquid Crystal)、铁电液晶、反铁电液晶等。此外,在采用横向电场方式的情况下,也可以使用不需要取向膜的呈现蓝相的液晶。

[0336] 此外,作为液晶元件的模式,可以采用TN(Twisted Nematic:扭曲向列)模式、VA(Vertical Alignment:垂直取向)模式、IPS(In-Plane-Switching:平面内转换)模式、FFS(Fringe FieldSwitching:边缘电场转换)模式、ASM(Axially Symmetric alignedMicro-cell:轴对称排列微单元)模式、OCB(Optically CompensatedBirefringence:光学补偿弯曲)模式、ECB(Electrically ControlledBirefringence:电控双折射)模式、宾主模式等。

[0337] 此外,液晶层776可以采用使用高分子分散型液晶、高分子网络型液晶等的散乱型液晶。此时,可以采用不设置着色膜736进行黑白图像显示的结构,也可以采用使用着色膜736进行彩色显示的结构。

[0338] 此外,作为液晶元件的驱动方法,可以应用利用继时加法混色法进行彩色显示的分时显示方式(也称为场序制列驱动方式)。在该情况下,可以采用不设置着色膜736的结构。当采用分时显示方式的情况下,例如无需设置分别呈现R(红色)、G(绿色)、B(蓝色)的子像素,因此具有可以提高像素的开口率、清晰度等优点。

[0339] <包括发光元件的显示装置>

图16所示的显示装置700包括发光元件782。发光元件782包括导电层772、EL层786及导电膜788。EL层786包括有机化合物或无机化合物等发光材料。

[0340] 作为发光材料,可以举出荧光材料、磷光材料、热活化延迟荧光(Thermally activated delayed fluorescence:TADF)材料、无机化合物(量子点材料等)等。

[0341] 图16所示的显示装置700在平坦化绝缘膜770上设置有覆盖导电层772的一部分的绝缘膜730。在此,发光元件782为包括透光性导电膜788的顶部发射型发光元件。此外,发光元件782也可以采用从导电层772侧射出光的底部发射结构或者从导电层772一侧及导电膜

788一侧的双方射出光的双面发射结构。

[0342] 此外,着色膜736设置在与发光元件782重叠的位置,遮光膜738设置在引绕布线部711、源极驱动电路部704以及与绝缘膜730重叠的位置。此外,着色膜736及遮光膜738由绝缘膜734覆盖。此外,发光元件782与绝缘膜734之间由密封膜732充填。此外,当通过在各像素中将EL层786形成为岛状或者在各像素列中将EL层786形成为条状,也就是说,通过分开涂布来形成EL层786时,也可以不设置着色膜736。

[0343] 图17示出适用于柔性显示器的显示装置的结构。图17是沿着图13B所示的显示装置700A中的点划线S-T的截面图。

[0344] 图17所示的显示装置700A采用层叠支撑第一衬底745、粘合层742、树脂层743及绝缘层744的结构代替图16所示的衬底701。晶体管750、电容器790等设置在设置在树脂层743上的绝缘层744上。

[0345] 支撑衬底745包含有机树脂、玻璃等且薄得足以具有柔性。树脂层743是包含聚酰亚胺树脂、丙烯酸树脂等有机树脂的层。绝缘层744包含氧化硅、氧氮化硅、氮化硅等的无机绝缘膜。树脂层743与支撑衬底745通过粘合层742贴合在一起。树脂层743优选比支撑衬底745薄。

[0346] 此外,图17所示的显示装置700A包括保护层740代替图16所示的第二衬底705。保护层740与密封膜732贴合在一起。保护层740可以使用玻璃衬底、树脂薄膜等。此外,保护层740也可以使用偏振片、散射板等光学构件、触摸传感器面板等输入装置或上述光学构件和上述输入装置中的两个以上的叠层结构。

[0347] 此外,发光元件782包括的EL层786在绝缘膜730及导电层772上以岛状设置。通过以各子像素中的EL层786的发光色都不同的方式分开形成EL层786,可以在不使用着色膜736的情况下实现彩色显示。此外,覆盖发光元件782设置有保护层741。保护层741具有防止水等杂质扩散到发光元件782中。保护层741优选使用无机绝缘膜形成。此外,更优选的是采用无机绝缘膜和有机绝缘膜各为一个以上的叠层结构。

[0348] 此外,图17中示出能够折叠的区域P2。区域P2中包括不设置有支撑衬底745、粘合层742以及绝缘层744等无机绝缘膜的部分。此外,在区域P2中,覆盖布线760设置有树脂层746。通过尽可能不在能够折叠的区域P2中设置无机绝缘膜而仅层叠含有金属或合金的导电层、含有有机材料的层,可以防止在使其弯曲时产生裂缝。此外,通过不在区域P2设置支撑衬底745,可以使显示装置700A的一部分以极小的曲率半径弯曲。

[0349] <在显示装置中设置输入装置的结构实例>

此外,也可以对图14、图15、图16或图17所示的显示装置700或显示装置700A设置输入装置。作为该输入装置,例如,可以举出触摸传感器等。

[0350] 例如,作为传感器的方式,可以利用静电电容式、电阻式、表面声波式、红外线式、光学式、压敏式等各种方式。此外,可以组合使用上述方式中的两个以上。

[0351] 此外,触摸面板有如下结构:输入装置形成在一对衬底之间的所谓的In-Cell型触摸面板;输入装置形成在显示装置700上的所谓的On-Cell型触摸面板;将输入装置与显示装置700贴合的所谓的Out-Cell型触摸面板;等等。

[0352] 本实施方式所示的结构实例及对应于这些例子的附图等的至少一部分可以与其他结构实例或附图等适当地组合而实施。

[0353] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式适当地组合而实施。

[0354] (实施方式3)

在本实施方式中参照图18A至图18C对包括本发明的一个实施方式的半导体装置的显示装置进行说明。

[0355] 图18A所示的显示装置包括像素部502、驱动电路部504、保护电路506及端子部507。注意,也可以不设置保护电路506。

[0356] 作为像素部502或驱动电路部504所包括的晶体管可以使用本发明的一个实施方式的晶体管。此外,也可以在保护电路506中使用本发明的一个实施方式的晶体管。

[0357] 像素部502包括驱动配置为X行Y列(X、Y独立地表示2以上的自然数)的多个显示元件的多个像素电路501。

[0358] 驱动电路部504包括对栅极线GL_1至GL_X输出扫描信号的栅极驱动器504a、对数据线DL_1至DL_Y供应数据信号的源极驱动器504b等的驱动电路。栅极驱动器504a至少包括移位寄存器。此外,源极驱动器504b例如由多个模拟开关构成。此外,源极驱动器504b也可以包括移位寄存器等。

[0359] 端子部507是指设置有用来从外部的电路对显示装置输入功率、控制信号及图像信号等的端子的部分。

[0360] 保护电路506是在自身所连接的布线被供应一定的范围之外的电位时使该布线与其他布线电连接的电路。图18A所示的保护电路506例如与栅极驱动器504a和像素电路501之间的布线的栅极线GL、或者与源极驱动器504b和像素电路501之间的布线的数据线DL等布线连接。

[0361] 此外,既可以采用栅极驱动器504a及源极驱动器504b各自设置在设置有像素部502的衬底上的结构,又可以采用形成有栅极驱动电路或源极驱动电路的衬底(例如,使用单晶半导体膜、多晶半导体膜形成的驱动电路板)以COG或TAB(Tape Automated Bonding:卷带自动结合)安装于设置有像素部502的衬底的结构。

[0362] 此外,图18A所示的多个像素电路501例如可以采用与图18B、图18C所示的结构。

[0363] 图18B所示的像素电路501包括液晶元件570、晶体管550及电容器560。此外,像素电路501连接有数据线DL_n、栅极线GL_m及电位供应线VL等。

[0364] 根据像素电路501的规格适当地设定液晶元件570的一对电极中的一个电极的电位。液晶元件570的取向状态取决于被写入的数据。此外,也可以对多个像素电路501的每一个所具有的液晶元件570的一对电极中的一个电极供应公共电位。此外,也可以对各行的像素电路501的每一个所具有的液晶元件570的一对电极中的一个电极供应不同的电位。

[0365] 此外,图18C所示的像素电路501包括晶体管552、晶体管554、电容器562以及发光元件572。此外,像素电路501连接有数据线DL_n、栅极线GL_m、电位供应线VL_a及电位供应线VL_b等。

[0366] 此外,电位供应线VL_a和电位供应线VL_b中的一个被施加高电源电位VDD,电位供应线VL_a和电位供应线VL_b中的另一个被施加低电源电位VSS。根据晶体管554的栅极被施加的电位,流过发光元件572中的电流被控制,从而来自发光元件572的发光亮度被控制。

[0367] 本实施方式所示的结构实例及对应于这些例子的附图等的至少一部分可以与其

他结构实例或附图等适当地组合而实施。

[0368] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式适当地组合而实施。

[0369] (实施方式4)

下面对备有用来校正像素所显示的灰度的存储器的像素电路以及具有该像素电路的显示装置进行说明。实施方式1中例示出的晶体管中的任意晶体管可以用于下文中例示出的像素电路的晶体管。

[0370] [电路结构]

图19A示出像素电路400的电路图。像素电路400包括晶体管M1、晶体管M2、电容器C1及电路401。此外,像素电路400连接有布线S1、布线S2、布线G1及布线G2。

[0371] 晶体管M1的栅极与布线G1连接,晶体管M1的源极和漏极中的一个与布线S1连接,晶体管M1的源极和漏极中的另一个与电容器C1的一个电极连接。晶体管M2的栅极与布线G2连接,晶体管M2的源极和漏极中的一个与布线S2连接,晶体管M2的源极和漏极中的另一个与电容器C1的另一个电极及电路401连接。

[0372] 电路401至少包括一个显示元件。可以使用各种各样的显示元件,典型地有有机EL元件或LED元件等发光元件、液晶元件或MEMS元件等。

[0373] 将连接晶体管M1与电容器C1的节点记作节点N1,将连接晶体管M2与电路401的节点记作节点N2。

[0374] 像素电路400通过使晶体管M1变为关闭状态可以保持节点N1的电位。此外,通过使晶体管M2变为关闭状态可以保持节点N2的电位。此外,通过在晶体管M2处于关闭状态的状态下通过晶体管M1对节点N1写入规定的电位,由于通过电容器C1的电容耦合,可以使节点N2的电位对应节点N1的电位变化而发生改变。

[0375] 在此,作为晶体管M1、晶体管M2中的一方或双方可以使用实施方式1中例示出的使用氧化物半导体的晶体管。由于是极低的关态电流,可以长时间地保持节点N1或节点N2的电位。此外,当各节点的电位保持期间较短时(具体而言,帧频为30Hz以上时等)也可以采用使用硅等半导体的晶体管。

[0376] [驱动方法例]

接着,参照图19B对像素电路400的工作方法的一个例子进行说明。图19B是像素电路400的工作的时序图。注意,这里为了便于说明,不考虑布线电阻等各种电阻、晶体管或布线等的寄生电容及晶体管的阈值电压等的影响。

[0377] 在图19B所示的工作中,将1个帧期间分为期间T1和期间T2。期间T1是对节点N2写入电位的期间,期间T2是对节点N1写入电位的期间。

[0378] <期间T1>

在期间T1,对布线G1和布线G2供给使晶体管变为导通状态的电位。此外,对布线S1提供为固定电位的电位V_{ref},对布线S2提供第一数据电位V_w。

[0379] 节点N1通过晶体管M1从布线S1被供给电位V_{ref}。此外,节点N2通过晶体管M2被供给第一数据电位V_w。因此,电容器C1保持电位差V_w-V_{ref}。

[0380] <期间T2>

接着,在期间T2,布线G1被供应使晶体管M1变为导通状态的电位,布线G2被供应使

晶体管M2变为关闭状态的电位,布线S1被提供第二数据电位V_{data}。此外,布线S2可以被提供预定的恒电位或处于浮动状态。

[0381] 节点N1通过晶体管M1被供应第二数据电位V_{data}。此时,由于通过电容器C1的电容耦合,对应第二数据电位V_{data}节点N2的电位发生变化,其变化量仅为电位dV。也就是说,电路401被输入第一数据电位V_w和电位dV的总和的电位。注意,虽然图19B示出电位dV为正值,但是电位dV也可以为负值。也就是说,第二数据电位V_{data}也可以比电位V_{ref}低。

[0382] 这里,电位dV主要由电容器C1的电容值及电路401的电容值决定。当电容器C1的电容值充分大于电路401的电容值时,电位dV接近第二数据电位V_{data}。

[0383] 如上所述,由于像素电路400可以组合两种数据信号生成供应给包括显示元件的电路401的电位,所以可以在像素电路400内进行灰度校正。

[0384] 此外,像素电路400可以生成超过可对与布线S1及布线S2连接的源极驱动器供给的最大电位的电位。例如,在使用发光元件的情况下,可以进行高动态范围(HDR)显示等。此外,在使用液晶元件的情况下,可以实现过驱动等。

[0385] [应用例]

〈使用液晶元件的例子〉

图19C所示的像素电路400LC包括电路401LC。电路401LC包括液晶元件LC及电容器C2。

[0386] 液晶元件LC的一个电极与节点N2及电容器C2的一个电极连接,液晶元件LC的另一个电极与被供应电位V_{com2}的布线连接。电容器C2的另一个电极与被供应电位V_{com1}的布线连接。

[0387] 电容器C2用作存储电容器。此外,当不需要时可以省略电容器C2。

[0388] 由于像素电路400LC中可以对液晶元件LC提供高电压,所以例如可以通过过驱动实现高速显示,可以采用驱动电压高的液晶材料等。此外,通过对布线S1或布线S2提供校正信号,可以根据使用温度或液晶元件LC的劣化状态等进行灰度校正。

[0389] 〈使用发光元件的例子〉

图19D所示的像素电路400EL包括电路401EL。电路401EL包括发光元件EL、晶体管M3及电容器C2。

[0390] 晶体管M3的栅极与节点N2及电容器C2的一个电极连接,晶体管M3的源极和漏极中的一个与被供应电位V_H的布线连接,晶体管M3的源极和漏极中的另一个与发光元件EL的一个电极连接。电容器C2的另一个电极与被供应电位V_{com}的布线连接。发光元件EL的另一个电极与被供应电位V_L的布线连接。

[0391] 晶体管M3具有控制对发光元件EL供应的电流的功能。电容器C2用作存储电容器。不需要时也可以省略电容器C2。

[0392] 此外,虽然这里晶体管M3也可以与发光元件EL的阳极一侧连接,但是晶体管M3也可以与阴极一侧连接。此时,可以适当地改变电位V_H与电位V_L的值。

[0393] 像素电路400EL中可以通过对晶体管M3的栅极施加高电位使大电流流过发光元件EL,所以可以实现HDR显示等。此外,通过对布线S1或布线S2提供校正信号可以对晶体管M3或发光元件EL的电特性偏差进行校正。

[0394] 此外,不局限于图19C及图19D所示的电路,也可以另外附加晶体管或电容器等。

[0395] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式适当地组合而实施。

[0396] (实施方式5)

在本实施方式中,对可以使用本发明的一个实施方式制造的显示模块进行说明。

[0397] 图20A所示的显示模块6000在上盖6001与下盖6002之间包括与FPC6005连接的显示装置6006、框架6009、印刷电路板6010及电池6011。

[0398] 例如,可以将使用本发明的一个实施方式制造的显示装置用作显示装置6006。通过利用显示装置6006,可以实现功耗极低的显示模块。

[0399] 上盖6001及下盖6002可以根据显示装置6006的尺寸适当地改变其形状或尺寸。

[0400] 显示装置6006也可以具有作为触摸面板的功能。

[0401] 框架6009可以具有保护显示装置6006的功能、遮断因印刷电路板6010的工作而产生的电磁波的功能以及散热板的功能等。

[0402] 印刷电路板6010具有电源电路以及用来输出视频信号及时钟信号的信号处理电路、电池控制电路等。

[0403] 图20B是具备光学触摸传感器的显示模块6000的截面示意图。

[0404] 显示模块6000包括设置在印刷电路板6010上的发光部6015及受光部6016。此外,由上盖6001与下盖6002围绕的区域设置有一对导光部(导光部6017a、导光部6017b)。

[0405] 显示装置6006隔着框架6009与印刷电路板6010、电池6011重叠。显示装置6006及框架6009固定在导光部6017a、导光部6017b。

[0406] 从发光部6015发射的光6018通过导光部6017a经过显示装置6006的顶部并通过导光部6017b到达受光部6016。例如,当光6018被指头或触屏笔等被检测体阻挡时,可以将其检测为触摸操作。

[0407] 例如,多个发光部6015沿着显示装置6006的相邻的两个边设置。多个受光部6016配置在与发光部6015对置的位置。由此,可以取得触摸操作的位置的信息。

[0408] 作为发光部6015可以使用LED元件等光源,尤其是,优选使用发射红外线的光源。作为受光部6016可以使用接收发光部6015所发射的光且将其转换为电信号的光电元件。优选使用能够接收红外线的光电二极管。

[0409] 通过使用使光6018透过的导光部6017a及导光部6017b,可以将发光部6015及受光部6016配置在显示装置6006中的下侧,可以防止外光到达受光部6016而导致触摸传感器的错误工作。尤其优选使用吸收可见光且透过红外线的树脂,由此可以更有效地抑制触摸传感器的错误工作。

[0410] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式适当地组合而实施。

[0411] (实施方式6)

在本实施方式中对能够使用本发明的一个实施方式的显示装置的电子设备的例子进行说明。

[0412] 图21A所示的电子设备6500是可以用作智能手机的便携式信息终端设备。

[0413] 电子设备6500包括外壳6501、显示部6502、电源按钮6503、按钮6504、扬声器6505、麦克风6506、照相机6507及光源6508等。显示部6502具有触摸面板功能。

[0414] 显示部6502可以使用本发明的一个实施方式的显示装置。

[0415] 图21B是包括外壳6501的麦克风6506一侧的端部的截面示意图。

[0416] 外壳6501的显示面一侧设置有具有透光性的保护构件6510,被外壳6501及保护构件6510包围的空间内设置有显示面板6511、光学构件6512、触摸传感器面板6513、印刷电路板6517、电池6518等。

[0417] 将显示面板6511、光学构件6512及触摸传感器面板6513利用没有图示的粘合层固定到保护构件6510。

[0418] 此外,在显示部6502外侧的区域中,显示面板6511的一部分被折叠。此外,该被折叠的部分与FPC6515连接。FPC6515安装有IC6516。此外,FPC6515与设置于印刷电路板6517的端子连接。

[0419] 显示面板6511可以使用本发明的一个实施方式的柔性显示器面板。由此,可以实现极轻量的电子设备。此外,由于显示面板6511极薄,所以可以在抑制电子设备的厚度的增加的情况下搭载大容量的电池6518。此外,通过折叠显示面板6511的一部分以在像素部的背面设置与FPC6515的连接部,可以实现窄边框的电子设备。

[0420] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式适当地组合而实施。

[0421] (实施方式7)

在本实施方式中对包括使用本发明的一个实施方式制造的显示装置的各电子设备进行说明。

[0422] 以下所例示的各电子设备是在显示部中包括本发明的一个实施方式的显示装置的电子设备,因此是可以实现高清晰的电子设备。此外,可以同时实现高清晰及大屏幕的电子设备。

[0423] 在本发明的一个实施方式的电子设备的显示部上例如可以显示具有全高清、4K2K、8K4K、16K8K或更高的分辨率的影像。

[0424] 作为电子设备,例如除了电视装置、笔记本型个人计算机、显示器装置、数字标牌、弹珠机、游戏机等大型的具有比较大的屏幕的电子设备之外,还可以举出数码相机、数码摄像机、数码相框、移动电话机、便携式游戏机、便携式信息终端、声音再现装置等。

[0425] 使用本发明的一个实施方式的电子设备可以沿着房屋或楼的内壁或外壁、汽车等的内部装饰或外部装饰等的平面或曲面组装。

[0426] 图22A是安装有取景器8100的照相机8000的外观图。

[0427] 照相机8000包括外壳8001、显示部8002、操作按钮8003、快门按钮8004等。此外,照相机8000安装有可装卸的镜头8006。

[0428] 镜头8006也可以包括在照相机8000的外壳中。

[0429] 照相机8000通过按下快门按钮8004或者触摸用作触摸面板的显示部8002,可以进行成像。

[0430] 外壳8001包括具有电极的嵌入器,因此可以与取景器8100、闪光灯装置等连接。

[0431] 取景器8100包括外壳8101、显示部8102以及按钮8103等。

[0432] 外壳8101通过嵌合到照相机8000的嵌入器的嵌入器装到照相机8000。取景器8100可以将从照相机8000接收的图像等显示在显示部8102上。

[0433] 按钮8103被用作电源按钮等。

[0434] 本发明的一个实施方式的显示装置可以用于照相机8000的显示部8002及取景器8100的显示部8102。此外,也可以在照相机8000中内置有取景器。

[0435] 图22B是头戴显示器8200的外观图。

[0436] 头戴显示器8200包括安装部8201、透镜8202、主体8203、显示部8204以及电缆8205等。此外,在安装部8201中内置有电池8206。

[0437] 通过电缆8205,将电力从电池8206供应到主体8203。主体8203具备无线接收器等,能够将所接收的图像数据等显示在显示部8204上。此外,主体8203具有相机,由此可以利用使用者的眼球及眼睑的动作作为输入方法。

[0438] 此外,也可以对安装部8201的被使用者接触的位置设置多个电极,以检测出根据使用者的眼球的动作而流过电极的电流,由此实现识别使用者的视线。此外,安装部8201还可以具有根据流过该电极的电流监视使用者的脉搏的功能。安装部8201可以具有温度传感器、压力传感器、加速度传感器等各种传感器,也可以将使用者的生物信息显示在显示部8204上且与使用者的头部的动作同步地使显示在显示部8204上的图像变化。

[0439] 可以将本发明的一个实施方式的显示装置用于显示部8204。

[0440] 图22C至图22E是头戴显示器8300的外观图。头戴显示器8300包括外壳8301、显示部8302、带状固定工具8304以及一对透镜8305。

[0441] 使用者可以通过透镜8305看到显示部8302上的显示。优选的是,弯曲配置显示部8302。因为使用者可以感受高真实感。此外,通过透镜8305分别看到显示在显示部8302的不同区域上的图像,来可以进行利用视差的三维显示等。此外,本发明的一个实施方式不局限于设置有一个显示部8302的结构,也可以设置两个显示部8302以对使用者的一对眼睛分别配置两个不同的显示部。

[0442] 可以将本发明的一个实施方式的显示装置用于显示部8302。因为包括本发明的一个实施方式的半导体装置的显示装置具有极高的分辨率,所以即使如图22E那样地使用透镜8305放大,也可以不使使用者看到像素而可以显示现实感更高的影像。

[0443] 图23A至图23G所示的电子设备包括外壳9000、显示部9001、扬声器9003、操作键9005(包括电源开关或操作开关)、连接端子9006、传感器9007(该传感器具有测量如下因素的功能:力、位移、位置、速度、加速度、角速度、转速、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射线、流量、湿度、倾斜度、振动、气味或红外线)、麦克风9008等。

[0444] 图23A至图23G所示的电子设备具有各种功能。例如,可以具有如下功能:将各种信息(静态图像、动态图像、文字图像等)显示在显示部上的功能;触摸面板的功能;显示日历、日期或时间等的功能;通过利用各种软件(程序)控制处理的功能;进行无线通信的功能;读出储存在存储介质中的程序或数据来处理的功能;等。注意,电子设备的功能不局限于上述功能,而可以具有各种功能。电子设备可以包括多个显示部。此外,也可以在该电子设备中设置照相机等而使其具有如下功能:拍摄静态图像或动态图像来将所拍摄的图像储存在存储介质(外部存储介质或内置于照相机的存储介质)中的功能;将所拍摄的图像显示在显示部上的功能;等。

[0445] 下面,详细地说明图23A至图23G所示的电子设备。

[0446] 图23A是电视装置9100的立体图。可以将例如是50英寸以上或100英寸以上的大型显示部9001组装到电视装置9100。

[0447] 图23B是便携式信息终端9101的立体图。便携式信息终端9101例如可以用作智能手机。便携式信息终端9101也可以设置有扬声器9003、连接端子9006、传感器9007等。此外，便携式信息终端9101可以将文字或图像信息显示在其多个面上。图23B示出显示三个图标9050的例子。此外，也可以将由虚线矩形表示的信息9051显示在显示部9001的另一个面上。作为信息9051的一个例子，可以举出提示收到电子邮件、SNS或电话等的信息；电子邮件或SNS等的标题；发送者姓名；日期；时间；电池余量；以及天线接收信号强度等。或者，可以在显示有信息9051的位置上显示图标9050等。

[0448] 图23C是便携式信息终端9102的立体图。便携式信息终端9102具有将信息显示在显示部9001的三个以上的面上的功能。在此，示出信息9052、信息9053、信息9054分别显示于不同的面上的例子。例如，使用者也可以在将便携式信息终端9102放在上衣口袋里的状态下确认显示在能够从便携式信息终端9102的上方观察到的位置上的信息9053。使用者可以确认到该显示而无需从口袋里拿出便携式信息终端9102，由此能够判断例如是否接电话。

[0449] 图23D是手表型便携式信息终端9200的立体图。便携式信息终端9200例如可以用作智能手表。此外，显示部9001的显示面被弯曲，能够在所弯曲的显示面上进行显示。例如，通过与可进行无线通信的耳麦相互通信，便携式信息终端9200可以进行免提通话。此外，便携式信息终端9200包括连接端子9006，可以与其他信息终端进行数据的交换或者进行充电。此外，充电工作也可以利用无线供电进行。

[0450] 图23E、图23F及图23G是能够折叠的便携式信息终端9201的立体图。此外，图23E是便携式信息终端9201为展开状态的立体图，图23G是便携式信息终端9201为折叠状态的立体图，并且图23F是便携式信息终端9201为从图23E和图23G中的一个状态变为另一个状态的中途的状态的立体图。便携式信息终端9201在折叠状态下可携带性好，在展开状态下因为具有无缝拼接的较大的显示区域而其显示的一览性优异。便携式信息终端9201所包括的显示部9001由铰链9055所连接的三个外壳9000来支撑。例如，可以以1mm以上且150mm以下的曲率半径使显示部9001弯曲。

[0451] 图24A示出电视装置的一个例子。电视装置7100的显示部7500被组装在外壳7101中。在此示出利用支架7103支撑外壳7101的结构。

[0452] 可以通过利用外壳7101所具备的操作开关或另外提供的遥控操作机7111进行图24A所示的电视装置7100的操作。此外，也可以将触摸面板应用于显示部7500，通过用手指等触摸显示部7500可以进行电视装置7100的操作。此外，遥控操作机7111也可以除了具备操作按钮以外还具备显示部。

[0453] 此外，电视装置7100也可以具备电视广播的接收机或用来连接到通信网络的通信设备。

[0454] 图24B示出笔记型个人计算机7200。笔记型个人计算机7200包括外壳7211、键盘7212、指向装置7213、外部连接端口7214等。在外壳7211中组装有显示部7500。

[0455] 图24C及图24D示出数字标牌的一个例子。

[0456] 图24C所示的数字标牌7300包括外壳7301、显示部7500及扬声器7303等。此外，还

可以包括LED灯、操作键(包括电源开关或操作开关)、连接端子、各种传感器以及麦克风等。

[0457] 此外,图24D示出设置于圆柱状柱子7401上的数字标牌7400。数字标牌7400包括沿着柱子7401的曲面设置的显示部7500。

[0458] 显示部7500越大,一次能够提供的信息量越多,并且容易吸引人的注意,由此例如可以提高广告宣传效果。

[0459] 优选将触摸面板用于显示部7500,使得使用者能够操作数字标牌7300或数字标牌7400。由此,数字标牌7300或数字标牌7400不仅可以用于广告,还可以用于提供路线信息或交通信息、商用设施的指南等使用者需要的信息。

[0460] 如图24C和图24D所示,数字标牌7300或数字标牌7400优选通过无线通信可以与使用者所携带的智能手机等信息终端设备7311联动。例如,显示在显示部7500上的广告的信息可以显示在信息终端设备7311的屏幕,并且通过操作信息终端设备7311,可以切换显示部7500的显示。

[0461] 此外,可以在数字标牌7300或数字标牌7400上以信息终端设备7311为操作单元(控制器)执行游戏。由此,不特定多个使用者可以同时参加游戏,享受游戏的乐趣。

[0462] 本发明的一个实施方式的显示装置可以应用于图24A及图24D所示的显示部7500。

[0463] 虽然本实施方式的电子设备采用具有显示部的结构,但是本发明的一个实施方式也可以用于不具有显示部的电子设备。

[0464] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式适当地组合而实施。

[实施例1]

[0465] 以下,说明制造具有其结构不同的半导体层的晶体管且对其电特性及可靠性进行评价的结果。

[0466] [样品的制造]

关于所制造的晶体管的结构可以参照实施方式1所示的晶体管100。注意,这里,通过与包括背栅电极的晶体管100A同一的工序制造晶体管100。

[0467] 首先,利用溅射法在玻璃衬底上形成厚度大约为100nm的钨膜,对该钨膜进行加工来形成第一栅电极。接着,作为第一栅极绝缘层,通过PECVD法层叠厚度大约为240nm的第一氮化硅膜、厚度大约为60nm的第二氮化硅膜及厚度大约为3nm的氧氮化硅膜。

[0468] 第一氮化硅膜在如下条件下形成:硅烷气体、氮气体、氨气体的流量分别为290sccm、2000sccm、2000sccm;压力为200Pa;沉积功率为3000W;以及衬底温度为350℃。

[0469] 第二氮化硅膜在如下条件下形成:硅烷气体、氮气体、氨气体的流量分别为200sccm、2000sccm、100sccm;压力为100Pa;沉积功率为2000W;以及衬底温度为350℃。

[0470] 氧氮化硅膜在如下条件下形成:硅烷气体、一氧化二氮气体的流量分别为20sccm、3000sccm;压力为40Pa;沉积功率为3000W;以及衬底温度为350℃。

[0471] 接着,在第一栅极绝缘层上形成厚度大约为30nm的金属氧化物膜,且对该金属氧化物膜进行加工来形成半导体层。这里,制造包括不同沉积条件下形成的金属氧化物膜的五个样品(样品A1至样品A5)。

[0472] 样品A1的金属氧化物膜通过使用金属氧化物靶材的溅射法形成,其金属元素的原子个数比为In:Ga:Zn=5:1:6。作为形成气体使用氩气体和氧气体的混合气体,将氧气体的

流量比设定为2%。膜形成在不对衬底进行加热的情况下进行。

[0473] 样品A2的金属氧化物膜通过使用金属氧化物靶材的溅射法形成,其金属元素的原子个数比为In:Ga:Zn=4:2:3。作为形成气体使用氩气体和氧气体的混合气体,将氧气体的流量比设定为10%。膜形成在不对衬底进行加热的情况下进行。

[0474] 样品A3的金属氧化物膜通过使用金属氧化物靶材的溅射法形成,其金属元素的原子个数比为In:Ga:Zn=1:1:1。作为形成气体使用氩气体和氧气体的混合气体,将氧气体的流量比设定为30%。膜形成在不对衬底进行加热的情况下进行。

[0475] 样品A4的金属氧化物膜通过使用金属氧化物靶材的溅射法形成,其金属元素的原子个数比为In:Ga:Zn=1:3:4。作为形成气体使用氩气体和氧气体的混合气体,将氧气体的流量比设定为10%。膜形成在不对衬底进行加热的情况下进行。

[0476] 样品A5包括第一金属氧化物膜和第二金属氧化物膜的叠层。首先,第一金属氧化物膜通过使用金属氧化物靶材的溅射法形成,其金属元素的原子个数比为In:Ga:Zn=1:1:1,厚度大约为25nm。接着,第二金属氧化物膜通过使用金属氧化物靶材的溅射法形成,其金属元素的原子个数比为In:Ga:Zn=5:1:6,厚度大约为5nm。作为形成气体使用氩气体和氧气体的混合气体,在第一金属氧化物膜的形成中将氧气体的流量比设定为30%,在第二金属氧化物膜的形成中设定为2%。第一金属氧化物膜和第二金属氧化物膜的形成在不对衬底进行加热的情况下进行。

[0477] 在形成半导体层之后,在氮气体气氛下以350℃进行1小时的加热处理,然后在氮气体和氧气体的混合气氛下以350℃进行1小时的另一个加热处理。

[0478] 接着,作为第二栅极绝缘层,通过PECVD法形成厚度大约为5nm的第一氧氮化硅膜、厚度大约为140nm的第二氧氮化硅膜及厚度大约为5nm的第三氧氮化硅膜。

[0479] 第一氧氮化硅膜在如下条件下形成:硅烷气体、一氧化二氮气体的流量分别为24sccm、18000sccm;压力为200Pa;沉积功率为130W;以及衬底温度为350℃。

[0480] 第二氧氮化硅膜在如下条件下形成:硅烷气体、一氧化二氮气体的流量分别为200sccm、4000sccm;压力为300Pa;沉积功率为750W;以及衬底温度为350℃。

[0481] 第三氧氮化硅膜在如下条件下形成:硅烷气体、一氧化二氮气体的流量分别为20sccm、3000sccm;压力为40Pa;沉积功率为500W;以及衬底温度为350℃。

[0482] 接着,在第二栅极绝缘层上通过溅射法形成厚度大约为20nm的金属氧化物膜。金属氧化物膜在含氧的气氛下使用金属氧化物靶材形成,其金属元素的原子个数比为In:Ga:Zn=4:2:3。然后,在含氮的气氛下以350℃进行1小时的加热处理。

[0483] 接着,在金属氧化物膜上通过溅射法形成厚度大约为100nm的钼膜。然后,通过蚀刻去除钼膜的一部分和金属氧化物膜的一部分,形成第二栅电极及金属氧化物层。

[0484] 接着,以第二栅电极为掩模作为杂质元素添加硼。杂质的添加使用等离子体离子掺杂装置。作为用来供应硼的气体使用B_2H_6气体。

[0485] 接着,作为覆盖晶体管的保护绝缘层,利用PECVD法形成厚度大约为300nm的氧氮化硅膜。然后,对保护绝缘层及第二栅极绝缘层部分地进行蚀刻来形成开口,通过溅射法形成钼膜,然后对其进行加工形成源电极及漏电极。然后,作为平坦化层形成厚度大约为1.5μm的丙烯酸树脂膜,在氮气氛下以250℃的温度进行1小时的加热处理。

[0486] 通过上述工序,得到包括形成在玻璃衬底上的晶体管的样品A1至A5。

[0487] [晶体管的Id-Vg特性]

接着,对上述制造的晶体管的Id-Vg特性进行测定。

[0488] 晶体管的Id-Vg特性在如下条件下测定。对栅电极施加的电压(以下也称为栅极电压(Vg))以从-15V到+20V每隔0.25V的方式改变。此外,施加到源电极的电压(以下也称为源极电压(Vs))为0V(comm),施加到漏电极的电压(以下也称为漏极电压(Vd))为0.1V或10V。

[0489] 所测定的晶体管各自具有设计沟道长度为3μm且设计沟道宽度为50μm的单栅结构。每个样品的评价晶体管的个数为20。

[0490] [可靠性评价]

接着,为了评价上述晶体管的可靠性,进行GBT测试。在GBT测试中,将形成有晶体管的衬底保持为60℃且对晶体管的源极和漏极施加0V的电压,对栅极施加20V或-20V的电压,保持该状态1小时。这里,尤其示出PBTS测试及NBTIS测试。注意,在NBTIS测试中,对样品照射大约为10000lx的白色LED光。

[0491] [结果1]

图25A至图25D示出所测定的晶体管的Id-Vg特性。各图表示出漏极电压(Vd)不同的两个Id-Vg特性及从Vd=10V时的Id-Vg特性算出的场效应迁移率(μFE)。

[0492] 图25A至图25D示出样品A1、样品A2、样品A3及样品A4的Id-Vg特性。在各图及如下说明中,包括在各样品中的金属氧化物膜的组成简单地记为IGZO(516)等。

[0493] 如图25A至图25D所示,在相同的Vg下通态电流值在样品A1中最大,其次为样品A2、样品A3、样品A4。这可能与In的含有率有关。此外,样品A4的电特性的不均匀与其他样品相比更大。

[0494] 图25E示出PBTS测试及NBTIS测试后的样品A1至样品A4的阈值电压的变动量(ΔVth)。如图25E所示,根据半导体层的组成ΔVth变动。

[0495] 在着眼于PBTS测试时,阈值电压的变动量在样品A1中最小(即样品A1具有良好的可靠性),其次为样品A2、样品A3、样品A4。尤其是,样品A4中的阈值电压的变动量与其他样品相比显著大。

[0496] 另一方面,在着眼于NBTIS测试时,样品A1的阈值电压的变动量与其他样品相比稍微大,但是任何样品的阈值电压的变动量为2V以下,这意味着该样品具有良好的可靠性。

[0497] 上述结果示出用作半导体层的金属氧化物膜中镓的含量越低,越可以实现可靠性高的晶体管。尤其是,该结果示出通过使用镓的含量低的金属氧化物膜可以减少PBTS测试中的阈值电压的变动量。再者,可知通过使用铟的含量比镓的含量高且锌的含量比镓的含量高的金属氧化物膜,可以实现具有高场效应迁移率及高可靠性的双方的晶体管。

[0498] [结果2]

图26A示出样品A5的Id-Vg特性。如上所述,样品A5的晶体管的半导体层为在第一金属氧化物膜(IGZO(111))上层叠第二金属氧化物膜(IGZO(516))的叠层膜。

[0499] 如图26A所示,可确认到样品A5与样品A1(IGZO(516))相比不均匀小,由此具有良好的电特性。此外,可确认到样品A5与样品A3(IGZO(111))相比具有高通态电流及高场效应迁移率。

[0500] 图26B示出样品A5的可靠性测试后的ΔVth的结果。这里,作为比较示出上述样品A1及样品A3的结果。

[0501] 在着眼于PBTS测试时,样品A5的阈值电压的变动量比样品A1小。在NBTIS测试中,样品A5的阈值电压的变动量比样品A3小。换言之,可知样品A5与包括金属氧化物膜的单膜的样品相比具有更高的可靠性。

[0502] 这里,栅极绝缘层与半导体层的界面或界面附近的缺陷态被认为是PBTS测试中的阈值电压的变动的原因之一。因此,图26B的结果示出通过在栅极绝缘层一侧配置铟的含有率比镓的含有率高的金属氧化物膜,可以减少栅极绝缘层与半导体层的界面或界面附近的缺陷态。

[0503] 起因于半导体层中的氧空位的缺陷态被认为是NBTIS测试中的阈值电压的变动的原因之一。因此,从图26B的结果可知通过在与栅极绝缘层接触的第二金属氧化物膜上层叠其镓的含量比第二金属氧化物膜高的第一金属氧化物膜,可以降低这种缺陷态密度。再者,鉴于镓与铟及锌相比更容易键合于氧,在包含相对较多的镓的第一金属氧化物膜中不容易产生氧空位。

[0504] 在样品A5中,镓的含有率低且氧空位相对容易产生的第二金属氧化物膜的厚度比第一金属氧化物膜薄得多,且通过加热处理充分的氧从栅极绝缘层供应给第二金属氧化物膜。其结果,很可能半导体层整体的氧空位充分得到降低,得到图26A所示的不均匀小的良好的晶体管特性。

[0505] 上述结果示出通过使用层叠与栅极绝缘层接触且铟的含有率比镓的含有率高的第二金属氧化物膜以及其厚度比第二金属氧化物膜厚且镓的含有率高的第一金属氧化物膜而成的半导体层,可以实现具有极为良好的电特性及极为高的可靠性的晶体管。

[实施例2]

[0506] 在本实施例中,制造在不同的沉积条件下在绝缘层上形成金属氧化物层的样品,说明通过热脱附谱(TDS:Thermal DesorptionSpectrometry)分析对从绝缘层脱离的氧及氩的量进行测量的结果。

[0507] [样品的制造]

首先,作为玻璃衬底上的绝缘层,与上述实施例1所示的第二栅极绝缘层相同的条件下通过PECVD法形成厚度大约为5nm的第一氧氮化硅膜、厚度大约为130nm的第二氧氮化硅膜及厚度大约为5nm的第三氧氮化硅膜。

[0508] 接着,在氮气氛下以370℃进行1小时的加热处理。

[0509] 接着,通过溅射法在绝缘层上形成厚度大约为20nm的金属氧化物膜。金属氧化物膜使用金属氧化物靶材形成,其金属元素的原子个数比为In:Ga:Zn=4:2:4.1。

[0510] 这里,形成金属氧化物膜时使用不同形成气体来制造五个样品(样品B1至B5)。

[0511] 样品B1至B4各自使用氩气体和氧气体的混合气体作为形成气体形成。样品B1在形成气体的总流量中的氧气体的流量比率(以下称为流量比)为10%的条件下形成。样品B2在氧气体的流量比为30%的条件下形成。样品B3在氧气体的流量比为50%的条件下形成。样品B4在氧气体的流量比为70%的条件下形成。样品B5只使用氧气体作为形成气体形成,这意味着氧气体的流量比为100%。

[0512] 接着,在氧气体和氮气体的混合气氛下以370℃对各样品进行1小时的加热处理。

[0513] 然后,通过湿蚀刻法去除各样品的金属氧化物膜。

[0514] 通过上述工序制造样品B1至样品B5。

[0515] [TDS分析]

对上述样品B1至B5进行TDS分析。TDS分析以30℃/min的升温速度进行。

[0516] 图27示出各样品的TDS分析结果。图27示出相当于氧分子的质荷比(M/z)32的结果以及相当于氩的质荷比40的结果。横轴表示衬底温度(Sub.Temp.),纵轴表示检测强度(Intensity)。

[0517] 如图27所示,在各样品中,氧分子的脱离在大约为150℃至300℃的范围的温度下很明显,在200℃至250℃的范围的温度下存在有峰。此外,可确认到形成金属氧化物膜时的氧流量比越高,从绝缘层脱离的氧的量越多。

[0518] 另一方面,氩的脱离在大约为250℃至450℃的范围的温度下很明显,在350℃至400℃的范围的温度下存在有峰。此外,可确认到有形成金属氧化物膜时的氧流量比越高,氩的脱离量越小的倾向。尤其是,在氧流量比为100%的条件下几乎确认不到氩的脱离,这意味着因为是金属氧化物膜的形成气体所以在TDS分析中氩脱离。

[0519] 图28A及图28B示出从图27中的TDS分析结果算出的氧分子及氩的脱离量(desorption)的定量值。

[0520] 从图28A可确认到形成金属氧化物膜时的氧流量比越高,从绝缘层脱离的氧分子的量越大。换言之,可确认到在将该绝缘层用作第二栅极绝缘层时,形成金属氧化物膜时的氧流量比越高,供应给半导体层的氧越多。

[0521] 从图28B可确认到从绝缘层脱离的氩的量可以由形成金属氧化物膜时的氧流量比控制。

[实施例3]

[0522] 在本实施例中,制造各自具有绝缘膜及金属氧化物膜的叠层结构的样品(样品C1至样品C4),且对给绝缘膜带来的金属氧化物膜的形成的影响进行评价。

[0523] [样品的制造]

首先,在石英衬底上通过PECVD法层叠厚度大约为50nm的第一氮化硅膜、厚度大约为200nm的第二氮化硅膜、厚度大约为50nm的第三氮化硅膜、厚度大约为3nm的氧氮化硅膜。

[0524] 第一氮化硅膜在如下条件下形成:硅烷气体、氮气体、氨气体的流量分别为200sccm、2000sccm、100sccm;压力为100Pa;沉积功率为2000W;以及衬底温度为350℃。

[0525] 第二氮化硅膜在如下条件下形成:硅烷气体、氮气体、氨气体的流量分别为290sccm、2000sccm、2000sccm;压力为200Pa;沉积功率为3000W;以及衬底温度为350℃。

[0526] 第三氮化硅膜在如下条件下形成:硅烷气体、氮气体、氨气体的流量分别为200sccm、2000sccm、100sccm;压力为100Pa;沉积功率为2000W;以及衬底温度为350℃。

[0527] 氧氮化硅膜在如下条件下形成:硅烷气体、一氧化二氮气体的流量分别为20sccm、3000sccm;压力为40Pa;沉积功率为3000W;以及衬底温度为350℃。

[0528] 接着,在氧氮化硅膜上形成厚度大约为30nm的金属氧化物膜。金属氧化物膜通过使用金属氧化物靶材的溅射法形成,其金属元素的原子个数比为In:Ga:Zn=4:2:4.1。作为形成气体使用氩气体和氧气体的混合气体,将氧气体的流量比设定为10%。金属氧化物膜在如下条件下形成:压力为0.6Pa;功率为2.5kW;以及不对衬底进行加热。

[0529] 接着,进行加热处理。样品C2在氮气体气氛下以350℃被进行1小时的加热处理,然后在氮气体和氧气体的混合气氛下以350℃被进行1小时的另一个加热处理。样品C3在氮气

体气氛下以370℃被进行1小时的加热处理,然后在氮气体和氧气体的混合气氛下以370℃被进行1小时的另一个加热处理。样品C4在氮气体气氛下以400℃被进行1小时的加热处理,然后在氮气体和氧气体的混合气氛下以400℃被进行1小时的加热处理。样品C1不被进行加热处理。注意,混合气氛中的氮气体和氧气体的体积比为4:1。

[0530] [ESR测定]

接着,通过电子自旋共振法(ESR:Electron Spin Resonance)对样品C1至样品C4进行评价。

[0531] 在ESR测定中,测定温度为85K,9.2GHz的高频功率(微波功率)为10mW,磁场的方向平行于各样品的膜表面。检测下限为3.5×10^{17}spins/cm^3。

[0532] 图29A示出样品C1至样品C4的ESR光谱。在图29A中,横轴表示g值(g-factor),纵轴表示ESR的信号强度(ESR signal intensity)。如图29A所示,样品C1中观察到信号。样品C2、样品C3及样品C4的信号强度为检测下限以下。

[0533] 图29B是样品C1的ESR光谱的放大图。从信号的形状可认为起因于氧氮化硅膜中的过氧化自由基(POR:Peroxide Radical)的信号与起因于氧氮化硅膜中的二氧化氮(NO_2)的信号重叠。

[0534] 这里,在g值为2.00附近观察到起因于POR的非对称信号。另一方面,起因于NO_2的信号根据氮的核自旋分裂成三个信号,三个信号被观察到g值为2.04附近、2.00附近、1.96附近。

[0535] 作为参考,图29C示出在石英衬底上形成氧氮化硅膜的参考样品(Ref.)的ESR光谱。图29C示出起因于氧氮化硅膜中的NO_2的信号的典型例子。如图29B及图29C所示,在样品C1的ESR光谱中起因于POR的信号与NO_2的信号有可能重叠。

[0536] 根据起因于NO_2的信号的形状,起因于样品C1的NO_2的信号的自旋密度计算为9.9×10^{18}spins/cm^3。由于起因于POR的信号与起因于NO_2的信号重叠,所以不能算出起因于POR的信号的自旋密度。

[0537] 从上述结果可知在氧氮化硅膜上形成金属氧化物膜时,在氧氮化硅膜中形成POR,该POR通过加热处理得到降低。可知氧氮化硅膜中的NO_2通过加热处理得到降低。

[实施例4]

[0538] 在本实施例中,说明制造本发明的一个实施方式的晶体管并进行其电特性及可靠性的评价的结果。

[0539] [样品的制造]

关于所制造的晶体管的结构可以参照实施方式1所示的晶体管100及晶体管100A。就是说,这里,通过同一工序制造包括背栅电极的晶体管100A和不包括背栅电极的晶体管100。

[0540] 首先,利用溅射法在玻璃衬底上形成厚度大约为100nm的钨膜,对该钨膜进行加工来形成第一栅电极。接着,作为第一栅极绝缘层,使用通过PECVD法层叠厚度大约为240nm的第一氮化硅膜、厚度大约为60nm的第二氮化硅膜及厚度大约为5nm的氧氮化硅膜的叠层膜。

[0541] 第一至第三氮化硅膜在与上述实施例1相同的条件下形成。

[0542] 接着,在第一栅极绝缘层上形成单层的金属氧化物膜或者叠层的金属氧化物膜以总厚度大约为30nm,且对其进行加工形成半导体层。这里,制造包括不同结构的金属氧化物

膜的五种样品。

[0543] 样品D1及样品E1各自的金属氧化物膜通过使用金属氧化物靶材的溅射法形成,其金属元素的原子个数比为In:Ga:Zn=1:1:1。作为形成气体使用氩气体和氧气体的混合气体,将氧气体的流量比设定为30%。膜形成在不对衬底进行加热的情况下进行。

[0544] 在样品D2至D5及样品E2至样品E5的每一个中,层叠厚度大约为25nm的第一金属氧化物膜及厚度大约为5nm的第二金属氧化物膜。每个样品的第一金属氧化物膜在相同的条件下形成。第一金属氧化物膜通过使用金属氧化物靶材的溅射法形成,其金属元素的原子个数比为In:Ga:Zn=1:1:1。作为形成气体使用氩气体和氧气体的混合气体,将氧气体的流量比设定为30%。膜形成在不对衬底进行加热的情况下进行。

[0545] 样品D2及样品E2的每一个的第二金属氧化物膜通过使用金属氧化物靶材的溅射法形成,其金属元素的原子个数比为In:Ga:Zn=4:2:3。作为形成气体使用氩气体和氧气体的混合气体且氧气体的流量比为10%。膜形成在不对衬底进行加热的情况下进行。第二金属氧化物膜在形成第一金属氧化物膜之后以不暴露于大气的方式连续形成。

[0546] 样品D3及样品E3的每一个的第二金属氧化物膜通过使用金属氧化物靶材的溅射法形成,其金属元素的原子个数比为In:Ga:Zn=5:1:6。作为形成气体使用氩气体和氧气体的混合气体,将氧气体的流量比设定为2%。膜形成在不对衬底进行加热的情况下进行。第二金属氧化物膜在形成第一金属氧化物膜之后以不暴露于大气的方式连续形成。

[0547] 样品D4及样品E4的每一个的第二金属氧化物膜通过使用金属氧化物靶材的溅射法形成,其金属元素的原子个数比为In:Zn=2:3。作为形成气体使用氩气体和氧气体的混合气体,将氧气体的流量比设定为2%。膜形成在不对衬底进行加热的情况下进行。第二金属氧化物膜在形成第一金属氧化物膜之后以不暴露于大气的方式连续形成。

[0548] 样品D5及样品E5的每一个的第二金属氧化物膜通过使用金属氧化物靶材的溅射法形成,其金属元素的原子个数比为In:Sn:Si=80:9:11。作为形成气体使用氩气体和氧气体的混合气体,将氧气体的流量比设定为6%。膜形成在不对衬底进行加热的情况下进行。

[0549] 在形成半导体层之后,在氮气体气氛下以350℃进行1小时的加热处理,然后在氮气体和氧气体的混合气氛下以350℃进行1小时的另一个加热处理。

[0550] 接着,作为第二栅极绝缘层,通过PECVD法形成厚度大约为5nm的第一氧氮化硅膜、厚度大约为140nm的第二氧氮化硅膜及厚度大约为5nm的第三氧氮化硅膜。

[0551] 第一至第三氧氮化硅膜在与上述实施例1相同的条件下形成。

[0552] 接着,通过溅射法在第二栅极绝缘层上形成金属氧化物膜。这里,金属氧化物膜在以下两个条件下形成。

[0553] 在样品D1至D5中,形成厚度大约为20nm的金属氧化物膜。金属氧化物膜在含氧的气氛下使用金属氧化物靶材形成,其金属元素的原子个数比为In:Ga:Zn=4:2:3。

[0554] 在样品E1至E5中,形成厚度大约为5nm的金属氧化物膜。金属氧化物膜使用铝靶材在含氧的气氛下通过反应性溅射法形成。

[0555] 在形成金属氧化物膜之后,在含氮及氧的气氛下以350℃进行1小时的加热处理。

[0556] 接着,在金属氧化物膜上通过溅射法形成厚度大约为100nm的钼膜。然后,通过蚀刻去除钼膜形成第二栅电极及金属氧化物层。在样品D1至样品D5中,通过蚀刻去除钼膜的一部分及金属氧化物膜的一部分。另一方面,在样品E1至样品E5中,通过该蚀刻只去除钼

膜。

[0557] 接着,以第二栅电极为掩模作为杂质元素添加硼。杂质的添加使用等离子体离子掺杂装置。作为用来供应硼的气体使用B_2H_6气体。

[0558] 接着,作为覆盖晶体管的保护绝缘层,利用PECVD法形成厚度大约为300nm的氧氮化硅膜。然后,对保护绝缘层及第二栅极绝缘层部分地进行蚀刻来形成开口,通过溅射法形成钼膜,然后对其进行加工形成源电极及漏电极。然后,作为平坦化层形成厚度大约为1.5μm的丙烯酸树脂膜,在氮气氛下以250℃的温度进行1小时的加热处理。

[0559] 通过上述工序,得到包括形成在玻璃衬底上的晶体管的样品D1至D5及样品E1至样品E5。

[0560] [晶体管的Id-Vg特性]

接着,对上述制造的晶体管的Id-Vg特性进行测定。

[0561] 晶体管的Id-Vg特性在如下条件下测定。对栅电极施加的电压(以下也称为栅极电压(Vg))以从-15V到+20V每隔0.25V的方式改变。此外,施加到源电极的电压(以下也称为源极电压(Vs))为0V(comm),施加到漏电极的电压(以下也称为漏极电压(Vd))为0.1V或10V。

[0562] 所测定的晶体管各自具有1.5μm、2μm或3μm的设计沟道长度以及50μm的设计沟道宽度。对样品D1至D5的单栅(Single Gate)晶体管、样品E1至样品E5的单栅晶体管以及样品E1至样品E5的双栅(DualGate)晶体管进行测定。每个样品的评价晶体管的个数为20。

[0563] [可靠性评价]

接着,为了评价上述晶体管的可靠性,进行GBT测试。在GBT测试中,将形成有晶体管的衬底保持为60℃且对晶体管的源极和漏极施加0V的电压,对栅极施加20V或-20V的电压,保持该状态1小时。这里,尤其示出PBTS测试及NBTIS测试。注意,在NBTIS测试中,对样品照射大约为10000lx的白色LED光。

[0564] [结果1]

图30A示出样品D1至样品D5(Sample D1至D5)的晶体管的Id-Vg特性。各图表示漏极电压(Vd)不同的两个Id-Vg特性及从Vd=10V时的Id-Vg特性算出的场效应迁移率(μFE)。

[0565] 在图30A及后面说明中,包括在半导体层中的金属氧化物膜的组成及种类简单地记为IGZO(111)、IGZO(423)、IGZO(516)、InZnO(2:3)或ITSO。

[0566] 如图30A所示,即使晶体管的沟道长度为1.5μm所有的样品也呈现良好的特性。此外,在同一Vg下,与包括具有单层结构的半导体层的样品D1相比,各自包括具有叠层结构的半导体层的样品D2至D5在开启状态下流过的电流更大。

[0567] 图30B示出PBTS测试及NBTIS测试后的样品D1至样品D5的阈值电压的变动量(ΔVth)。

[0568] 在着眼于PBTS测试时,样品D1的ΔVth最大,样品D2至样品D5的每一个的ΔVth为样品D1的ΔVth的一半以下。

[0569] 另一方面,在着眼于NBTIS测试时,样品D4及样品D5各自的ΔVth与其他样品相比稍微大,但是任何样品的ΔVth为2V以下,这意味着该样品具有良好的可靠性。

[0570] [结果2]

图31A示出样品E1至E5的晶体管的Id-Vg特性。与样品D1至样品D5同样地,样品E1至样品E5具有良好的电特性。

[0571] 图31B示出样品E1至样品E5的可靠性测试后的ΔVth。

[0572] 在样品E1中,PBTS测试中的ΔVth较大。这可能是由于供应到半导体层的氧量不足,因为在样品E1的栅极绝缘层上形成的金属氧化物膜与样品D1的不同。

[0573] 但是,在PBTS测试中,各自包括具有叠层结构的半导体层的样品E2至样品E5的ΔVth比样品E1小得多。尤其是,有第二金属氧化物膜的镓的含有率越小,PBTS测试中的ΔVth越小的倾向。

[0574] 另一方面,在NBTIS测试中,每个样品的ΔVth小,尤其是样品E4的ΔVth极为小。

[0575] [结果3]

图32A及图32B示出样品E1至样品E5的双栅晶体管的结果。

[0576] 从图32A可确认到双栅晶体管的晶体管特性的不均匀比单栅晶体管小得多。

[0577] 如图32B所示,可确认到在NBTIS测试中双栅晶体管的ΔVth尤其是小。

[0578] 上述结果示出通过使用层叠与栅极绝缘层接触且铟的含有率比镓的含有率高的第二金属氧化物膜及其厚度比第二金属氧化物膜厚且镓的含有率高的第一金属氧化物膜而成的半导体层,可以实现具有极为良好的电特性及极为高的可靠性的晶体管。尤其是,可知通过作为第二金属氧化物膜使用不包含镓的金属氧化物膜,可以实现具有极为良好的电特性及极为高的可靠性的晶体管。此外,可知与栅极绝缘层接触的金属氧化物膜中的镓为PBTS测试中的特性劣化的原因。

[实施例5]

[0579] [PBTS测试中的阈值电压的变动的考察]

在本实施例中,对PBTS测试中的阈值电压的变动进行考察。具体而言,对在使用含有过剩氧且镓的含有率高的金属氧化物膜作为半导体层108时PBTS测试中的阈值电压的变动量增大的理由使用第一原理计算的结果进行说明。

[0580] 可以预测PBTS测试中的阈值电压的变动量增大是因俘获电子的受体缺陷的形成及释放电子的供体缺陷的消失导致的。这里,作为PBTS测试中的阈值电压的变动量增大的机理着眼于受体缺陷的形成。

[0581] 这里,对用于后面的计算的计算模型及计算条件进行说明。

[0582] 作为计算模型,从原子个数比为In:Ga:Zn:O=1:1:1:4的In-Ga-Zn氧化物的结晶结构切割出相当于6原子层的区域。包含在该区域中的原子的总数为56。注意,在计算模型具有后面说明的包含过剩氧的结构的情况下,包括在计算模型中的原子的总数为57。

[0583] 接着,在上述区域的c轴方向上设置真空层。也就是说,计算模型具有平板(slab)结构,其中在a轴方向及b轴方向具有周期性,在c轴方向没有周期性。注意,由O以及Ga和Zn中的一个或两个形成平板结构的最顶面的层。

[0584] 在计算中,使用第一原理计算软件的VASP(The Vienna Ab initiosimulation Package)。表1示出上述条件以外的计算条件。作为真空层的校正使用Dipole Layer法。

[0585] [表1]

软件	VASP
基底函数	平面波
泛函数	GGA/PBE
赝势	PAW

截止能量	500eV
k点网格	4×4×1

[0586] 此外,关于后面的反应路径的计算采用化学反应路径寻找方法的微动弹性带(NEB)法。NEB法用来寻找在初始状态与结束状态之间的能量最小路径。从初始状态到该能量最小路径的能量高度(能量差异)被称为反应势垒。

[0587] 以上是用于后面的计算的计算模型及计算条件的说明。

[0588] 接着,对PBTS测试之前(在初始状态中)的缺陷以及PBTS测试中的缺陷(在结束状态中)的可能存在的缺陷进行说明。在本实施例中,初始状态的缺陷及结束状态的缺陷起因于过剩氧。注意,在本计算中,该缺陷位于平板结构的最顶面的层。

[0589] 在初始状态中,采用没有电子俘获的结构。作为没有电子俘获的结构,假设在氧位置存在有两个氧原子的结构。注意,有时在氧位置存在有两个氧原子的结构被称为分割结构。图33A是分割结构的示意图。

[0590] 图33B示出通过对具有分割结构的计算模型进行计算得到的态密度。在图33B中,横轴表示能量(Energy)[eV],纵轴表示态密度(DOS)[states/eV]。准费米能级调整为横轴0eV。

[0591] 根据图33B,准费米能级位于隙能级的上侧(高能量一侧)。因此,可知电子不被分割结构俘获,也就是说,分割结构不是受体。由此,使用具有分割结构的计算模型作为初始状态。

[0592] 结束状态为俘获电子的结构(受体缺陷)。作为俘获电子的结构,假设与镓原子键合且具有悬空键的氧。注意,有时氧与镓原子键合且具有悬空键的结构称为Ga-O结构。图34A是Ga-O结构的示意图。

[0593] 图34B示出对具有Ga-O结构的计算模型进行计算得到的态密度。在图34B中,横轴表示能量(Energy)[eV],纵轴表示态密度(DOS)[states/eV]。准费米能级(电子的最高占有能级)调整为横轴0eV。

[0594] 根据图34B,准费米能级位于隙能级的下侧(低能量一侧)。也就是说,形成受体缺陷。因此,可知Ga-O结构为俘获电子的受体。因此,使用具有Ga-O结构的计算模型作为结束状态。

[0595] 接着,通过计算对起因于计算模型的最顶面的层的组成不同的PBTS测试前及PBTS测试中的从初始状态到结束状态的反应路径的能量变化以及初始状态与结束状态的能量的关系的变化进行评价。

[0596] 注意,假设在PBTS测试前晶体管关闭。也就是说,在PBTS测试前载流子未激发到金属氧化物膜中。假设在PBTS测试中晶体管开启。也就是说,在PBTS测试中载流子激发到金属氧化物膜中。

[0597] 注意,在氢进入氧空位的缺陷(这种缺陷记为V_OH)形成时产生载流子。因此,在本计算中,通过在计算模型中配置一个V_OH,再现PBTS测试。注意,V_OH位于靠近计算模型的最底面并在由In及O形成的层中的氧位置。

[0598] 这里,准备模型的最顶面的组成不同的两个模型(计算模型1A及计算模型2A)。计算模型2A假设为镓的含有率比计算模型1A高的金属氧化物膜。在镓的含有率高的金属氧化物膜中,最顶面的层很有可能是具有镓的含有率高的层。于是,与计算模型1A的最顶面的层

相比,计算模型2A作为最顶面的层包括镓的含有率高的层。具体而言,计算模型1A的最顶面的层具有Ga:Zn:O=1:1:2的原子个数比。计算模型2A的最顶面的层具有Ga:O=1:1的原子个数比。注意,通过将由O及Ga和Zn中的一个或两个形成的层的一部分的Ga置换成Zn,计算模型2A的原子个数比与计算模型1A一致。该层位于最顶面的层的下方,其间具有由In及O形成的层。

[0599] 使用计算模型1A说明对从初始状态到结束状态的反应路径的能量变化以及初始状态与结束状态的能量关系的变化进行计算的结果。

[0600] 初始状态为设置有一个分割结构的计算模型1A,结束状态为设置有一个Ga-O结构的计算模型1A。使用NEB法对PBTS测试前及PBTS测试中的从该初始状态到该结束状态的反应路径能量变化进行计算。计算条件与表1所示的条件相同。

[0601] 图35A示出在使用计算模型1A的情况下从上述初始状态到上述结束状态的反应路径的能量变化的计算结果。在图35A中,横轴表示反应路径。注意,图35A的左侧示出初始状态,右侧示出结束状态。纵轴表示能量[eV]。图35A中的虚线示出假设PBTS测试前的状态的计算结果,图35A中的实线示出假设PBTS测试中的状态的计算结果。

[0602] 从图35A可知与假设PBTS测试前的状态的情况相比,在假设PBTS测试中的状态的情况下,反应势垒较低而结束状态更稳定。但是,在假设PBTS测试前的状态的情况及假设PBTS测试中的状态的情况下,初始状态的能量值比结束状态的能量值小。也就是说,可知初始状态与结束状态相比更稳定。因此,可以推测PBTS测试中的阈值电压的变动量较小。

[0603] 接着,使用计算模型2A说明对从上述初始状态到上述结束状态的反应路径的能量变化以及上述初始状态与上述结束状态的能量关系的变化进行计算的结果。

[0604] 图35B示出在使用计算模型2A的情况下从上述初始状态到上述结束状态的反应路径的能量变化的计算结果。在图35B中,横轴表示反应路径。注意,图35B的左侧示出初始状态。图35B的右侧示出结束状态。纵轴表示能量[eV]。图35B中的虚线示出假设PBTS测试前的状态的计算结果,图35B中的实线示出假设PBTS测试中的状态的计算结果。

[0605] 从图35B可知与假设PBTS测试前的状态的情况相比,在假设PBTS测试中的状态的情况下,反应势垒较低而结束状态更稳定。再者,在假设PBTS测试中的状态的情况下,结束状态的能量值比初始状态的能量值小。也就是说,可知结束状态与初始状态相比更稳定。因此,可以推测PBTS测试中的阈值电压的变动量较大。

[0606] 如上所述,可以推测通过使用镓的含有率高的金属氧化物膜作为半导体层108,阈值电压的变动量增大。换言之,可以推测通过使用不包含镓或镓的含有率低的金属氧化物膜作为半导体层108,PBTS测试中的阈值电压的变动量得到降低。

符号说明

[0607] 10、10A、10B、10C:晶体管、100、100A、100B、100C:晶体管、102:衬底、103:绝缘层、103a、103b、103c、103d:绝缘膜、106:导电层、108、108a、108b:半导体层、108f:金属氧化物膜、108n:低电阻区域、110:绝缘层、110a、110b、110c:绝缘膜、112:导电层、112f:导电膜、114:金属氧化物层、114f:金属氧化物膜、116:绝缘层、118:绝缘层、120a、120b:导电层、140:杂质元素、141a、141b、142:开口部

本申请基于2018年8月3日由日本专利局受理的日本专利申请第2018-146787号、2018年9月19日由日本专利局受理的日本专利申请第2018-175352号、2018年10月25日由日

本专利局受理的日本专利申请第2018-201126号以及2019年3月27日由日本专利局受理的日本专利申请第2019-061174号,其全部内容通过引用纳入本文。

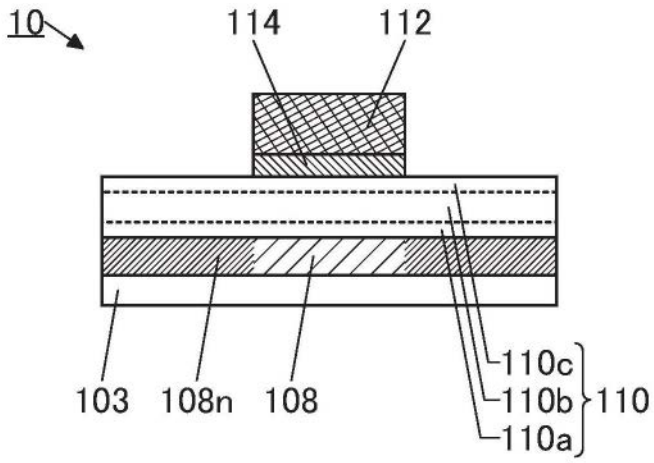

10
114
112
103
108n
108
110c
110b
110
110a

图1A

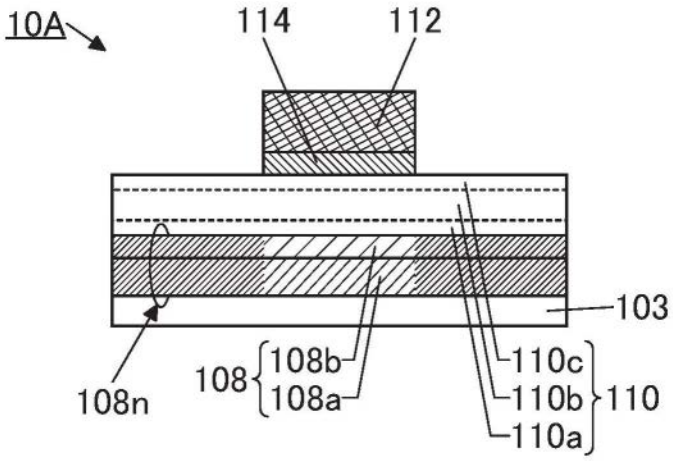

10A
114
112
103
108n
108
108b
108a
110c
110b
110
110a

图1B

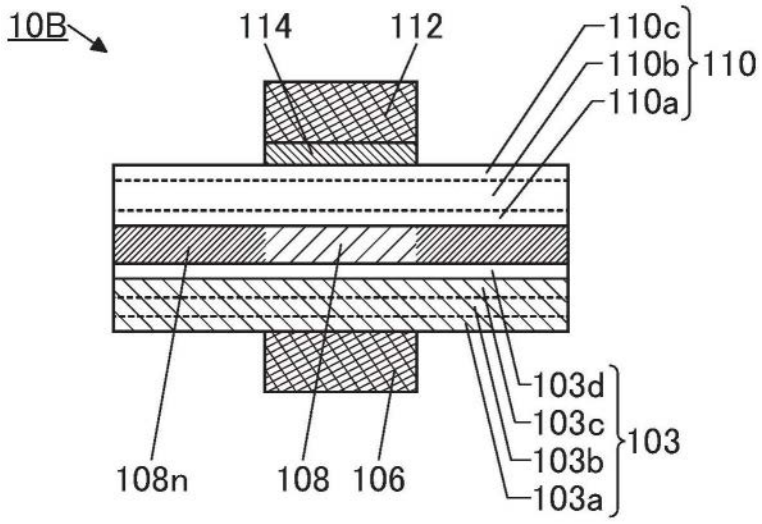

10B
114
112
110c
110b
110a
110
103d
103c
103b
103a
103
108n
108
106

图2A

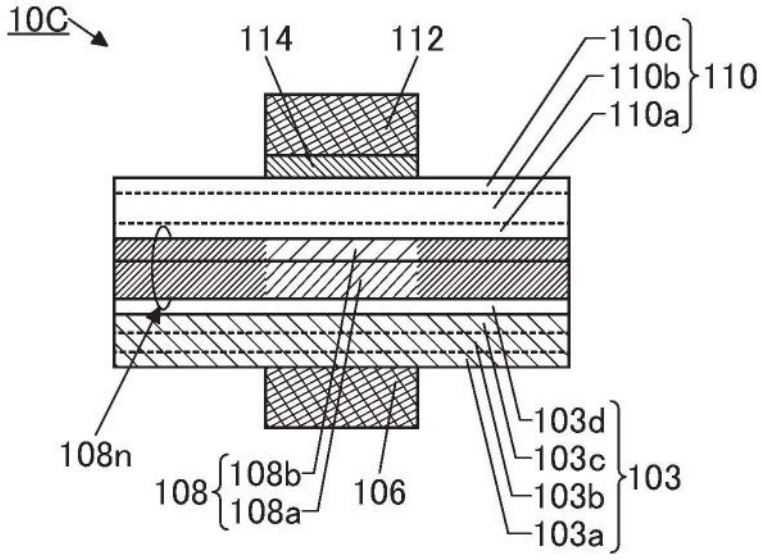

10C
114
112
110c
110b
110a
110
103d
103c
103b
103a
103
108n
108
108b
108a
106

图2B

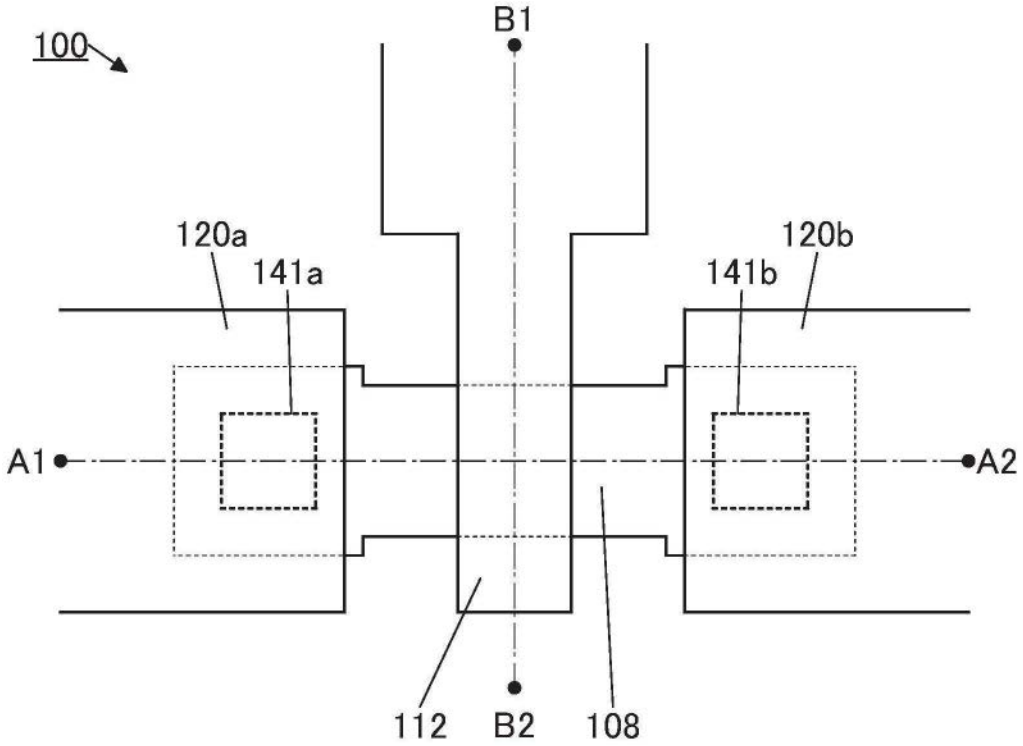

100
B1
120a
141a
120b
141b
A1
A2
112
B2
108

图3A

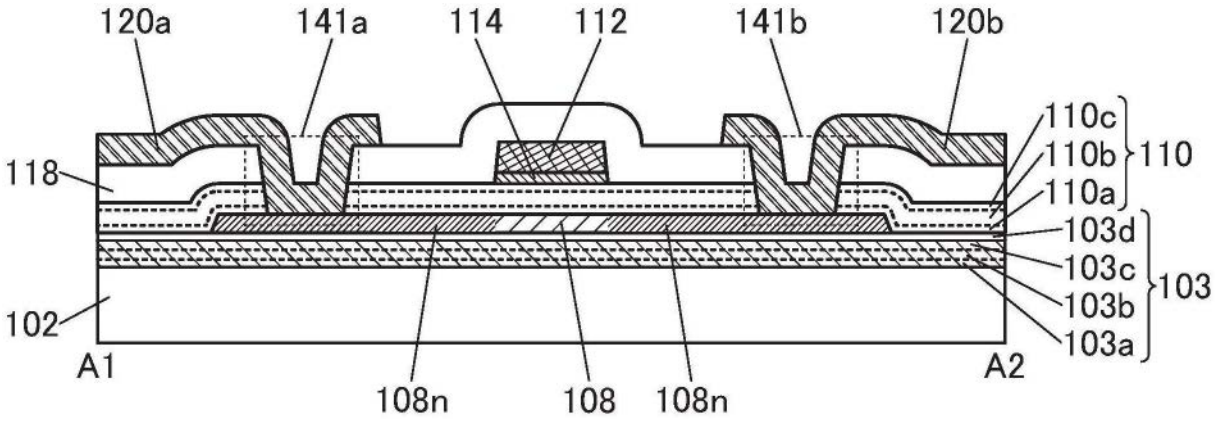

120a
141a
114
112
141b
120b
110c
110b
110
110a
118
103d
103c
103
103b
102
103a
A1
A2
108n
108
108n

图3B

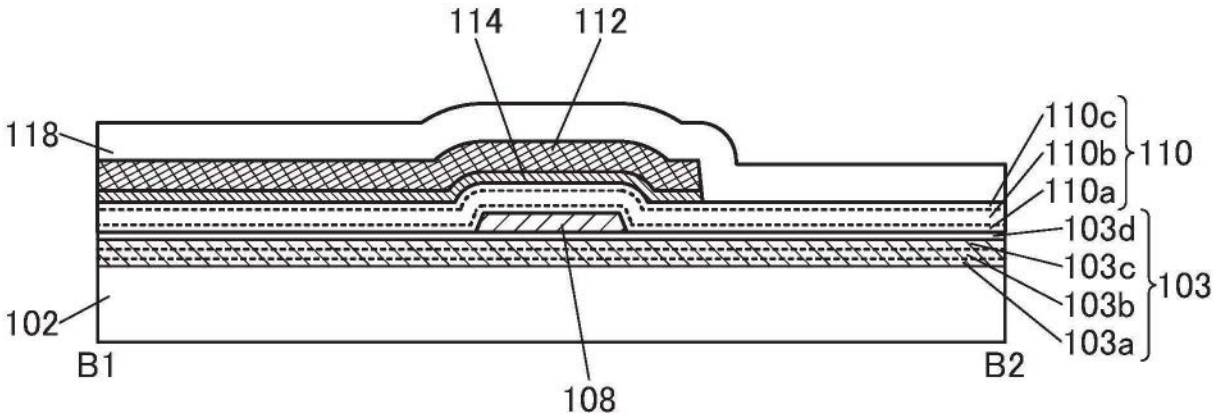

114
112
118
110c
110b
110
110a
103d
103c
103
103b
103a
102
B1
B2
108

图3C

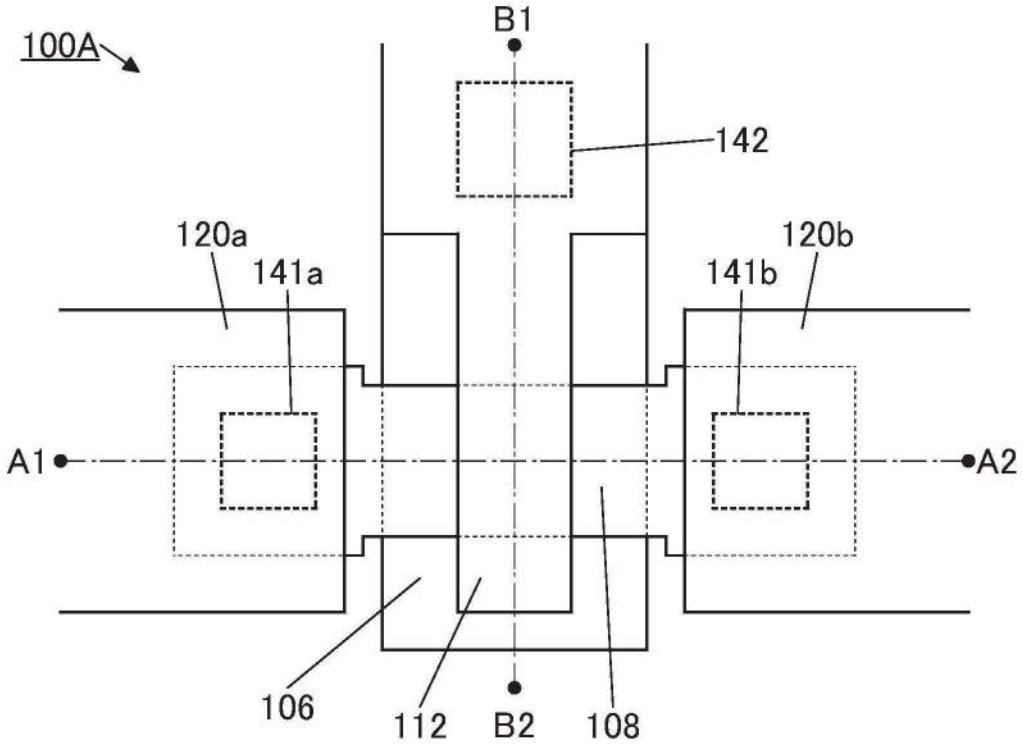

100A
B1
142
120a
141a
141b
120b
A1
A2
106
112
B2
108

图4A

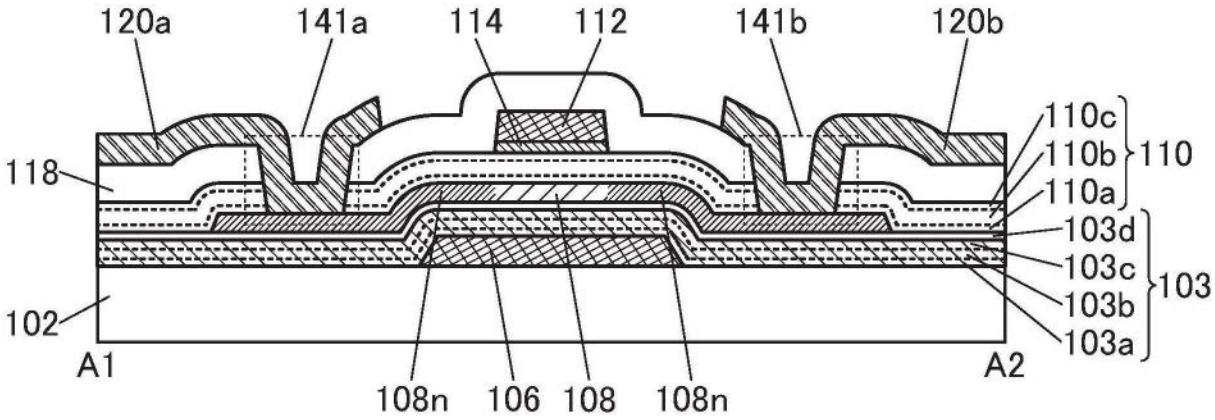

120a
141a
114
112
141b
120b
110c
110b
110
110a
118
103d
103c
103
103b
103a
102
A1
A2
108n
106
108
108n

图4B

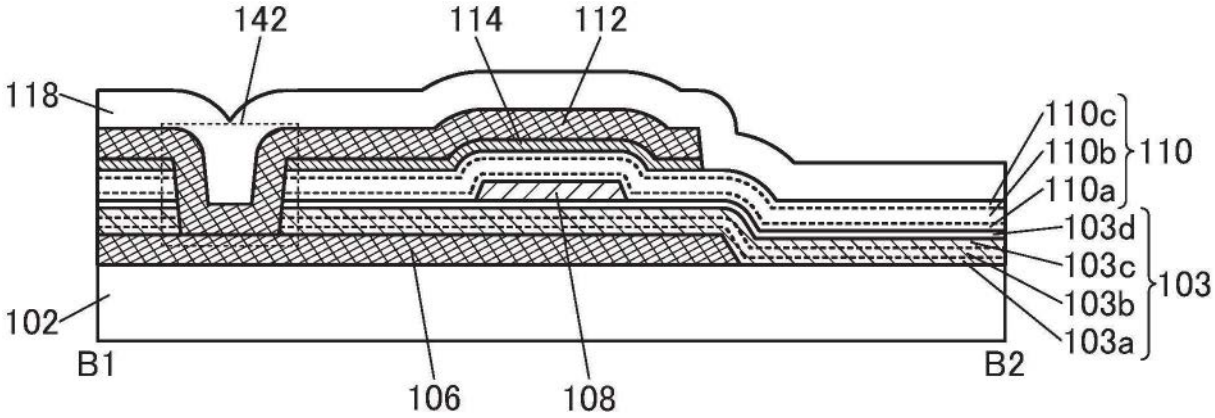

142
114
112
118
110c
110b
110
110a
103d
103c
103
103b
103a
102
B1
B2
106
108

图4C

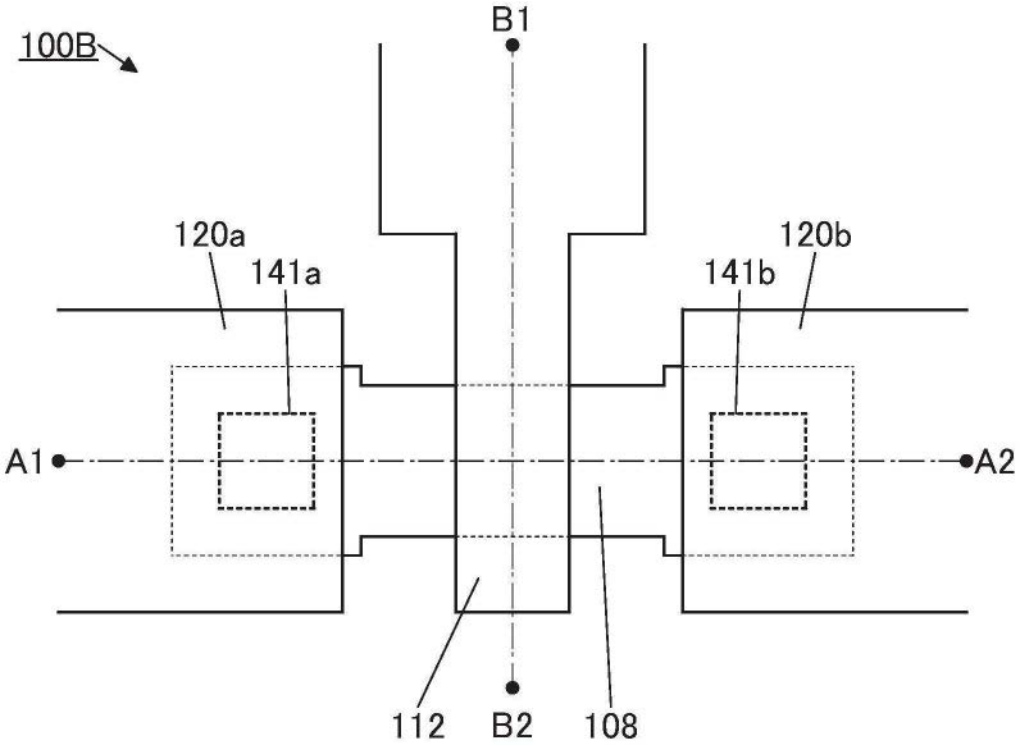

100B
B1
120a
141a
120b
141b
A1
A2
112
B2
108

图5A

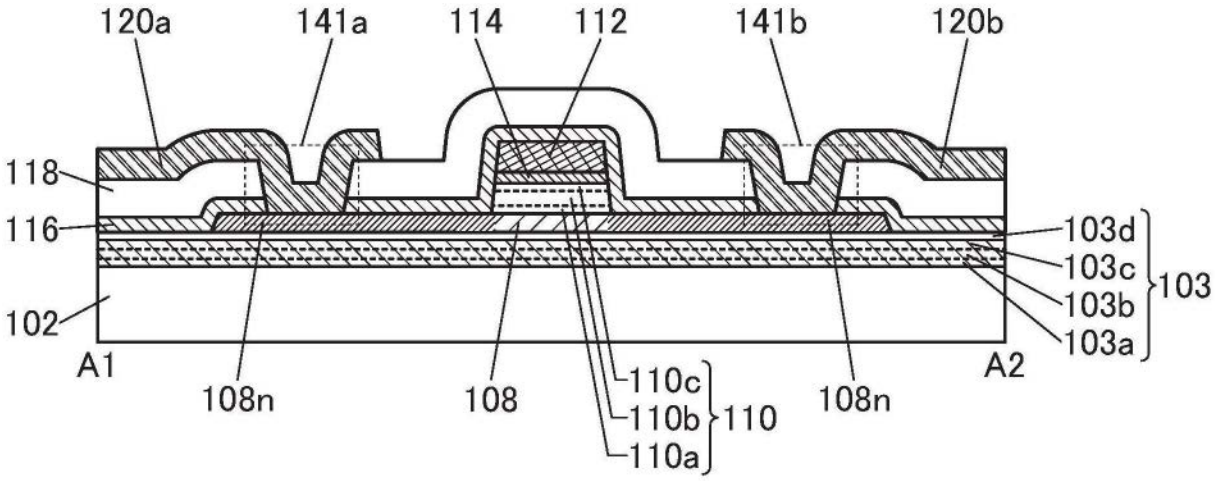

120a
141a
114
112
141b
120b
118
116
102
103d
103c
103b
103a
103
A1
A2
108n
108
110c
110b
110a
110
108n

图5B

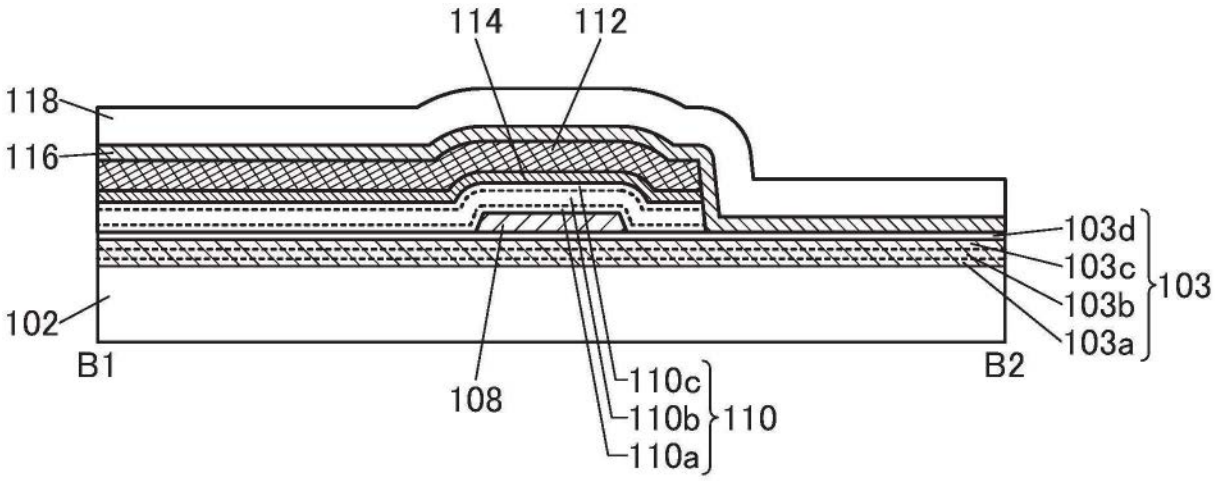

114
112
118
116
103d
103c
103b
103a
103
102
B1
B2
108
110c
110b
110
110a

图5C

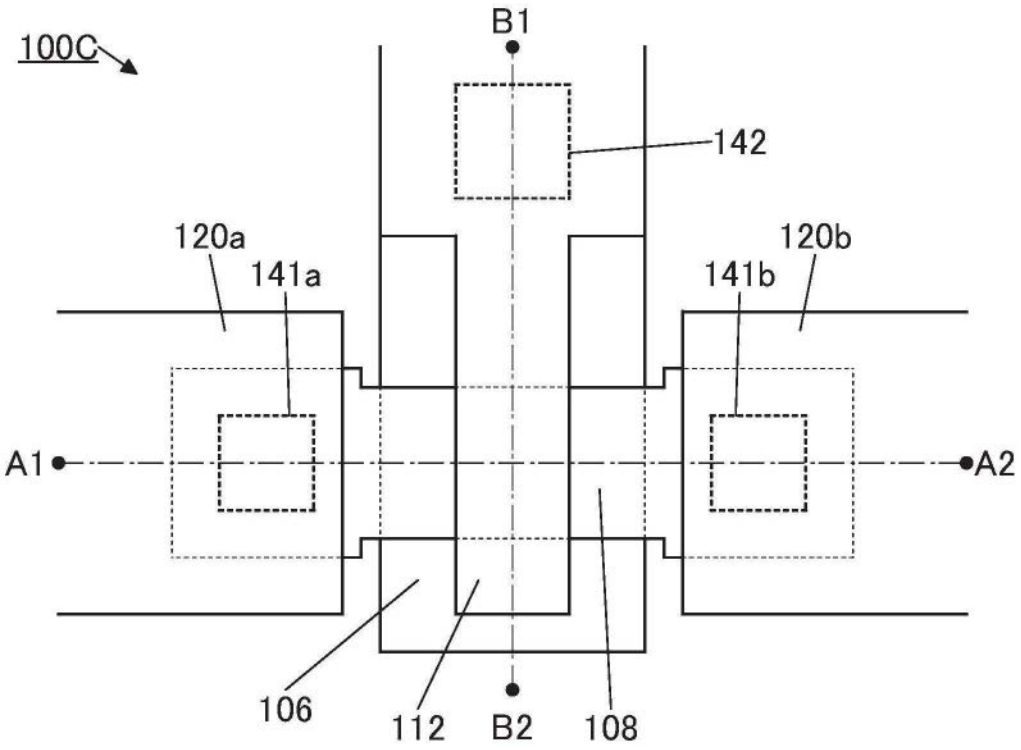

100C
B1
142
120a
141a
120b
141b
A1
A2
106
112
B2
108

图6A

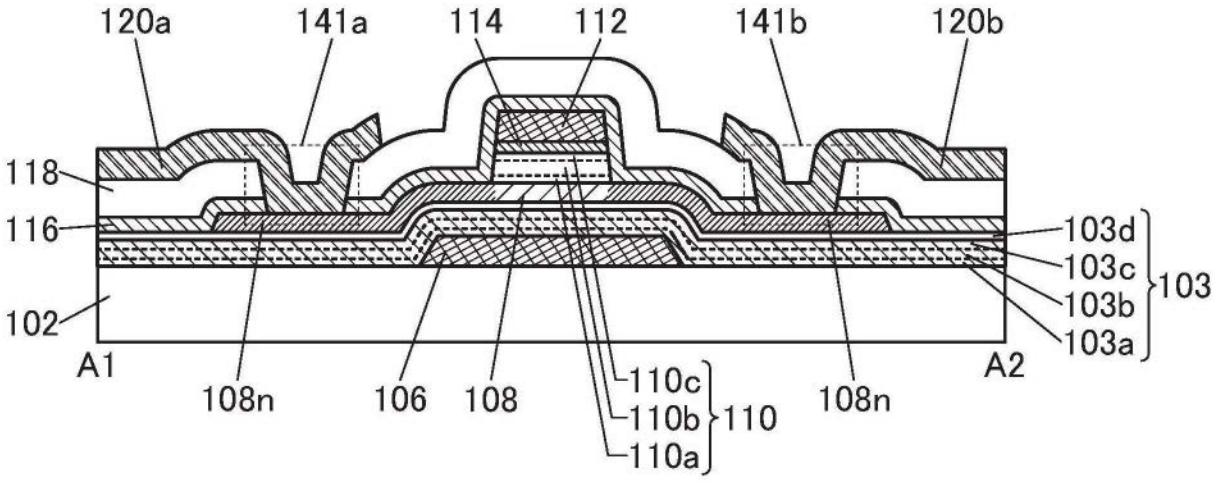

120a
141a
114
112
141b
120b
118
116
102
103d
103c
103b
103a
103
A1
A2
108n
106
108
110c
110b
110a
110
108n

图6B

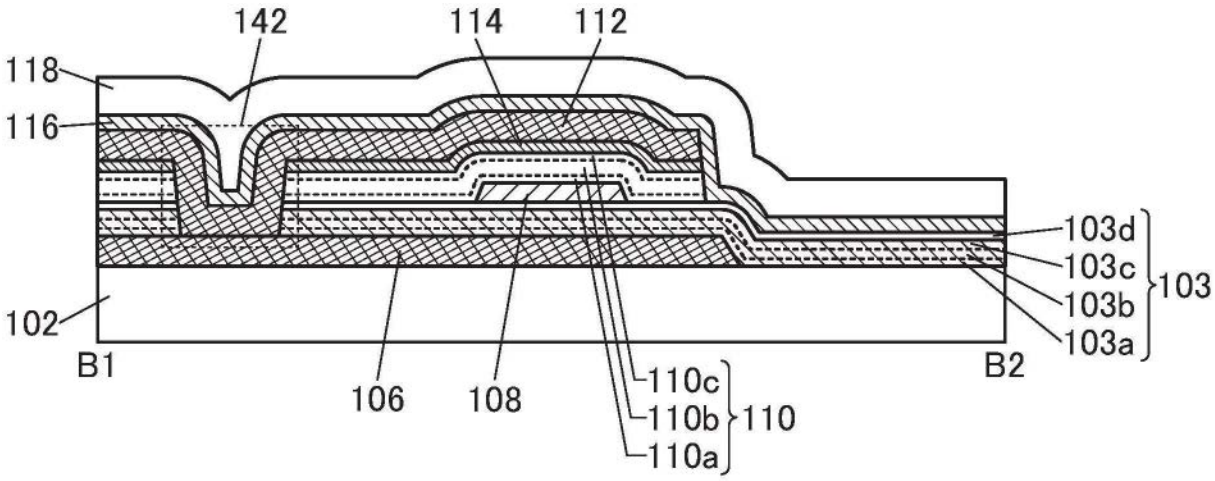

142
114
112
118
116
102
103d
103c
103b
103a
103
B1
B2
106
108
110c
110b
110a
110

图6C

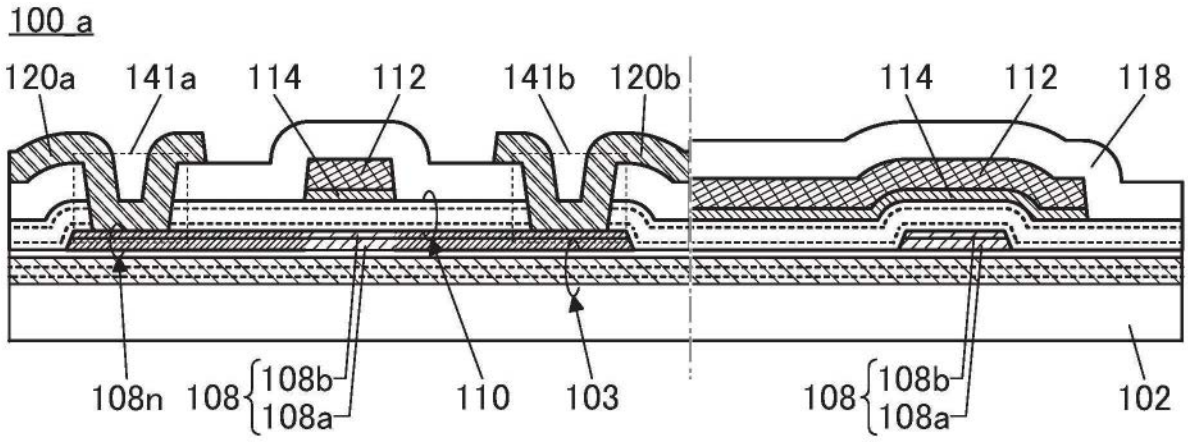

100 a
120a
141a
114
112
141b
120b
114
112
118
108n
108
108b
108a
110
103
108
108b
108a
102

图7A

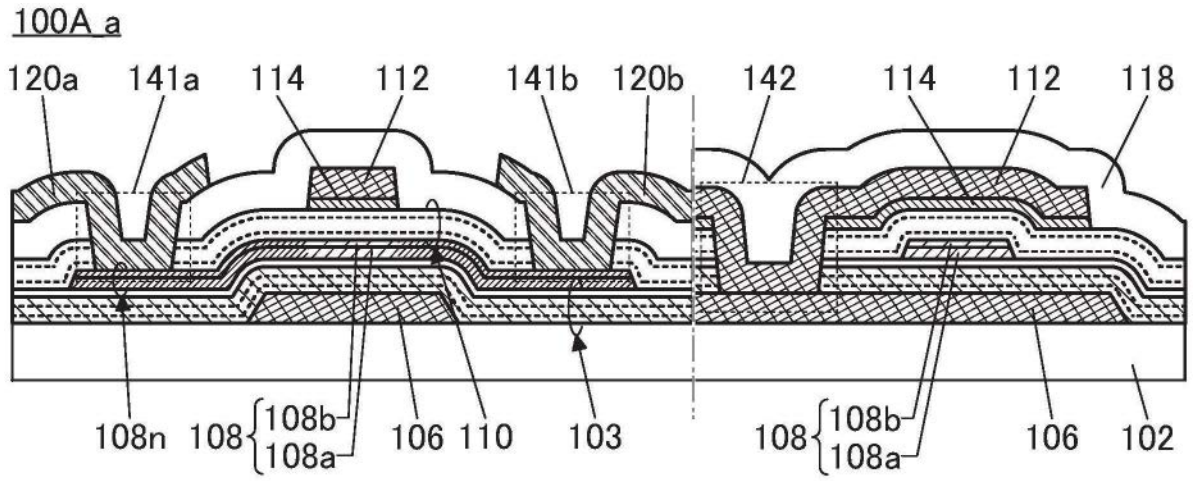

100A_a
120a
141a
114
112
141b
120b
142
114
112
118
108n
108
108b
108a
106
110
103
108
108b
108a
106
102

图7B

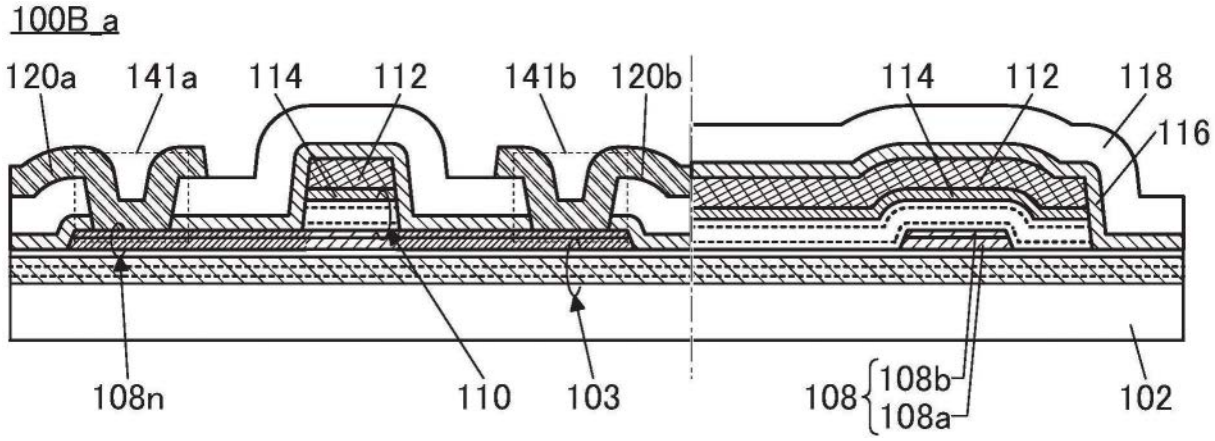

100B_a
120a
141a
114
112
141b
120b
114
112
118
116
108n
110
103
108
108b
108a
102

图7C

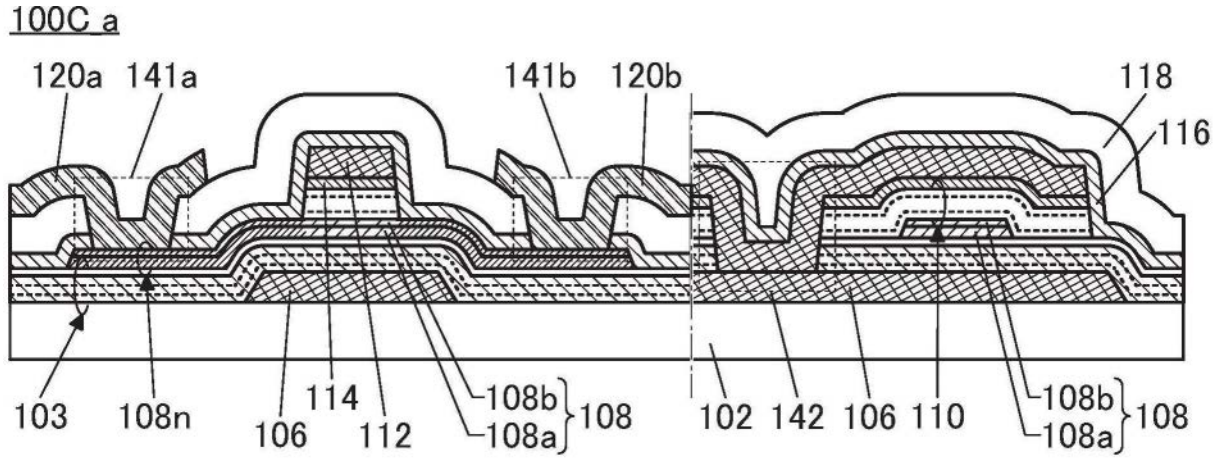

100C_a
120a
141a
141b
120b
118
116
103
108n
106
114
112
108b
108a
108
102
142
106
110
108b
108a
108

图7D

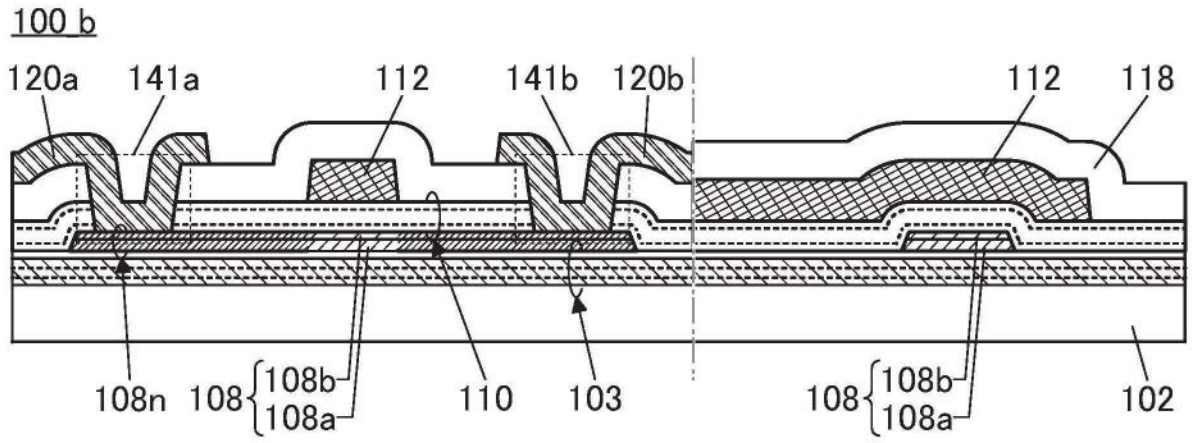

100_b
120a
141a
112
141b
120b
112
118
108n
108
108b
108a
110
103
108
108b
108a
102

图8A

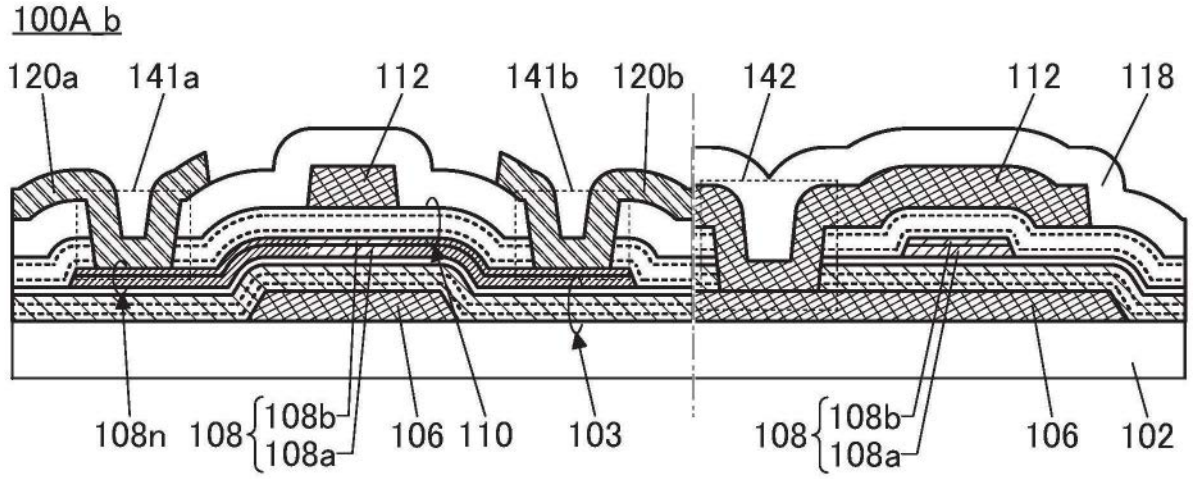

100A_b
120a
141a
112
141b
120b
142
112
118
108n
108
108b
108a
106
110
103
108
108b
108a
106
102

图8B

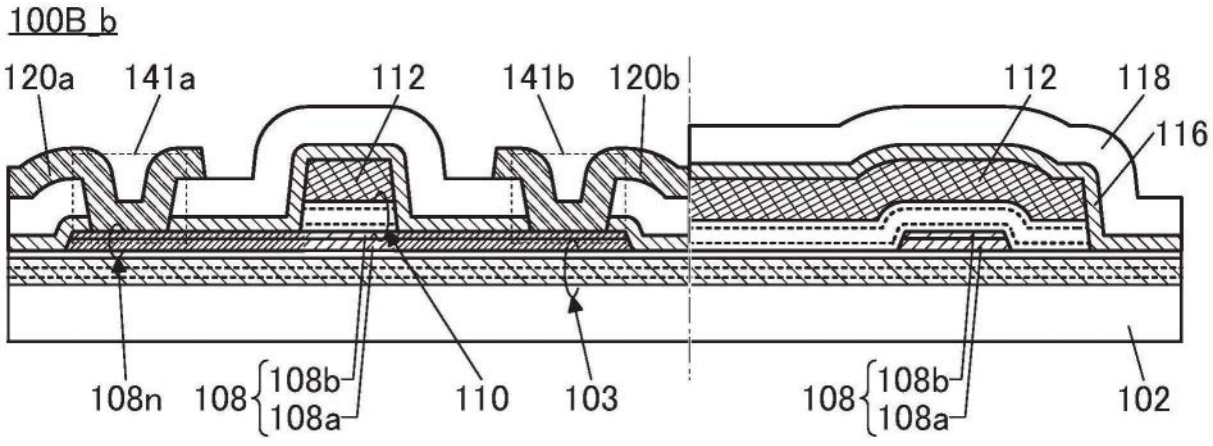

100B_b
120a
141a
112
141b
120b
112
118
116
108n
108
108b
108a
110
103
108
108b
108a
102

图8C

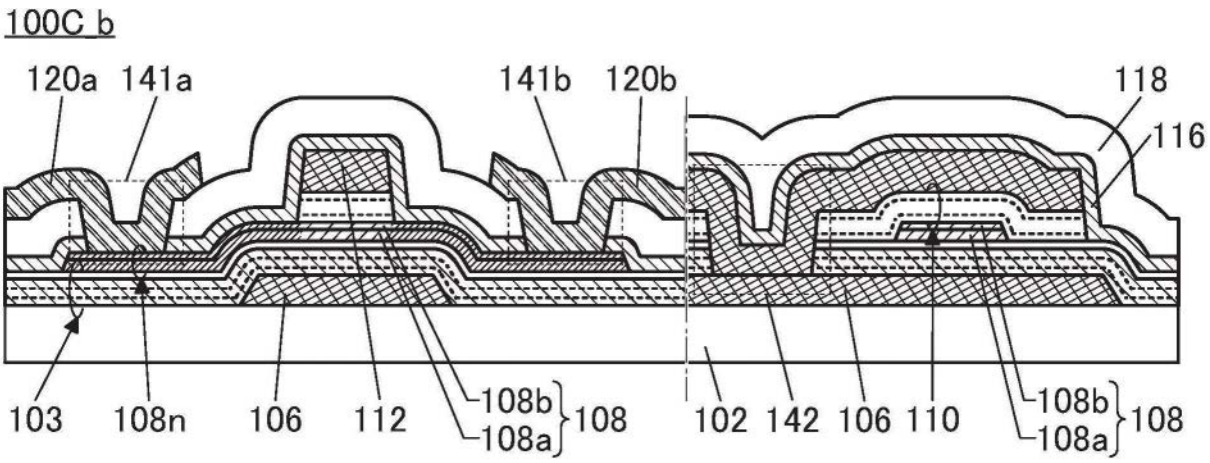

100C_b
120a
141a
141b
120b
118
116
103
108n
106
112
108b
108a
108
102
142
106
110
108b
108a
108

图8D

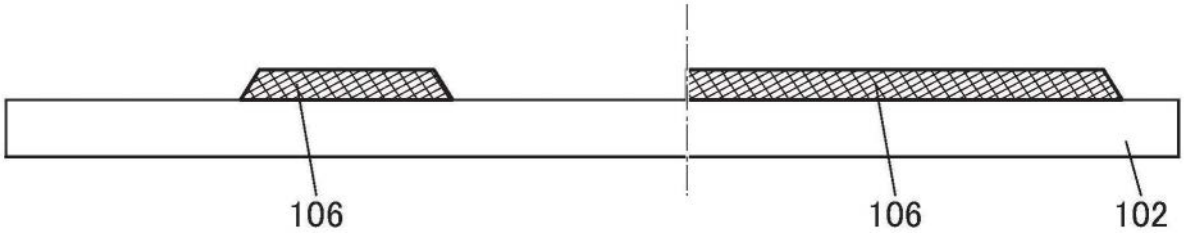

106
106
102

图9A

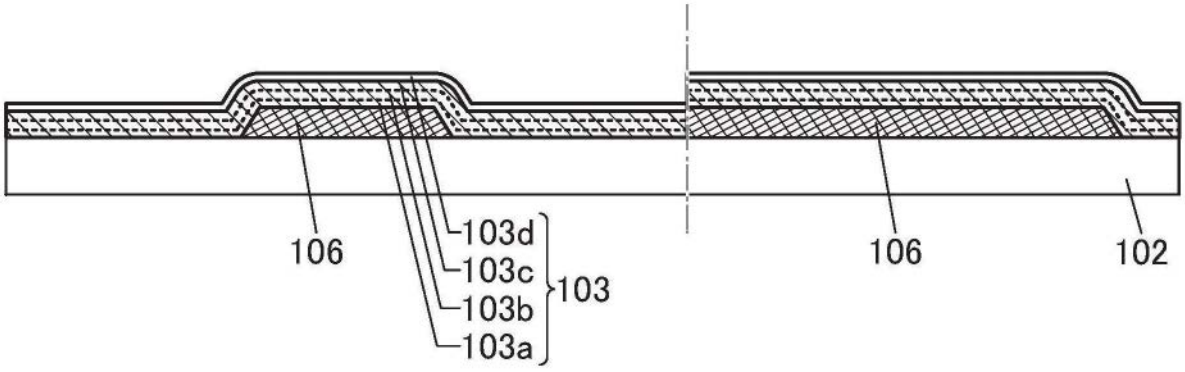

106
103d
103c
103b
103a
103
106
102

图9B

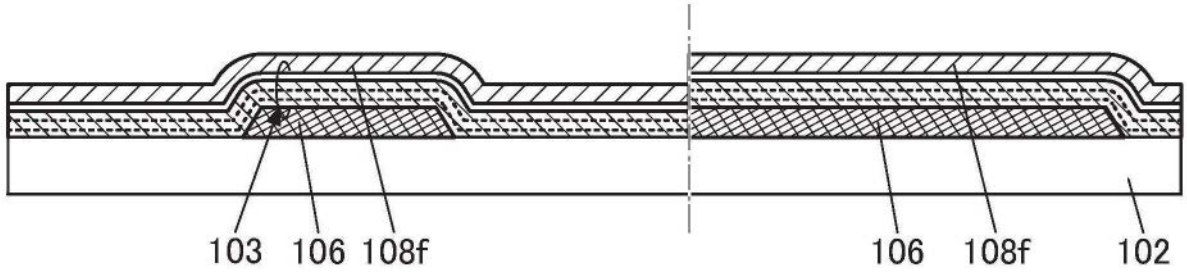


图9C

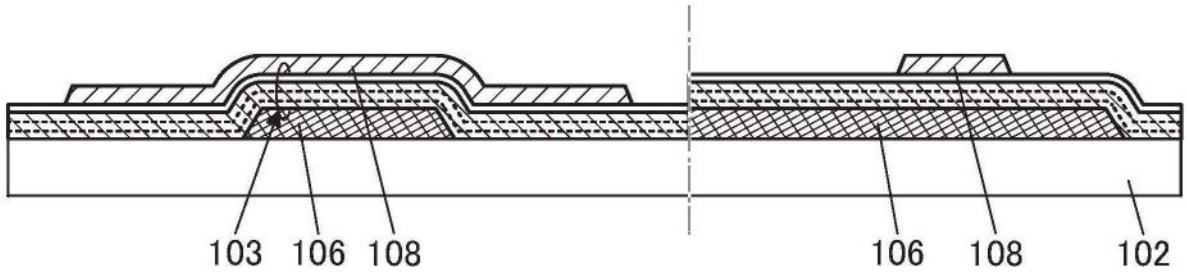


图9D

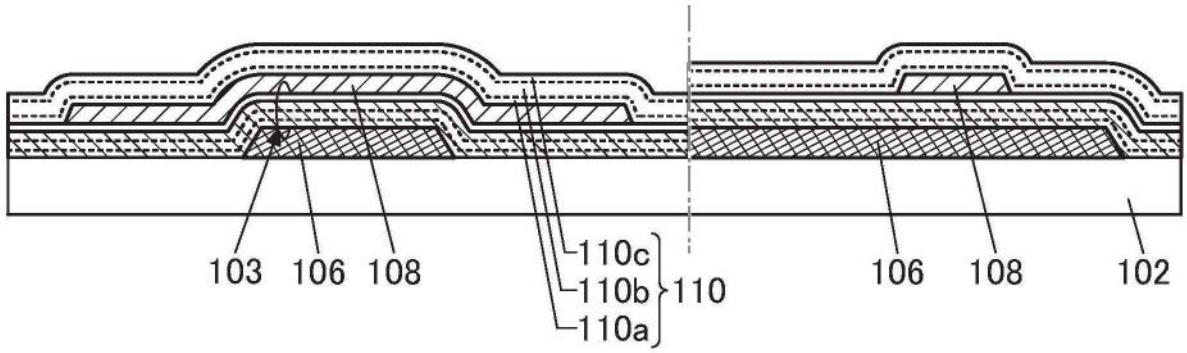


图9E

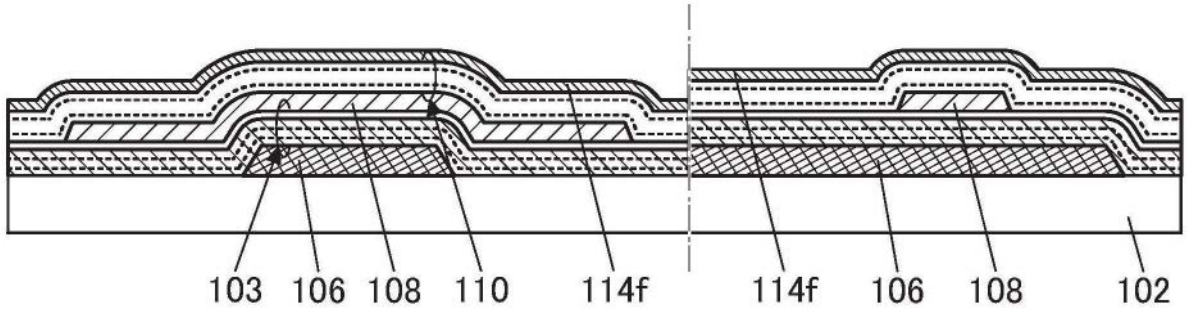


图10A

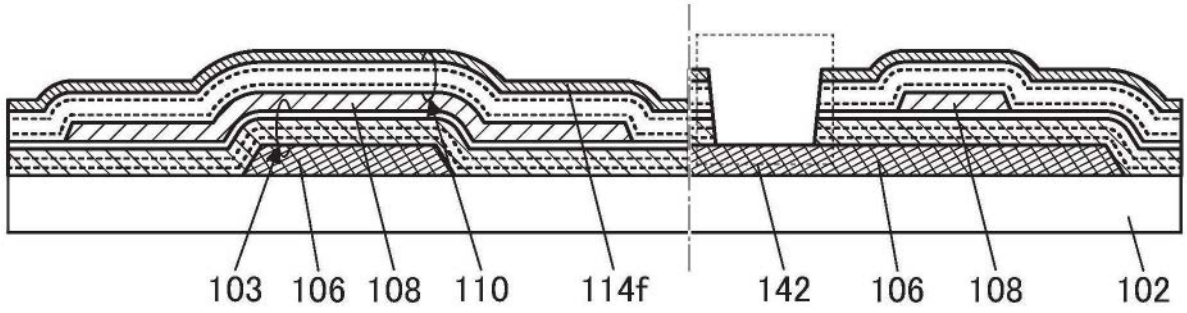


图10B

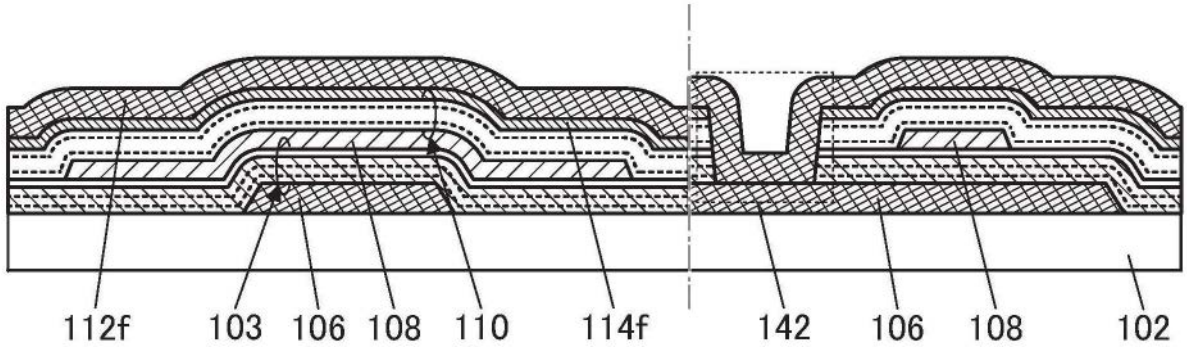


图10C

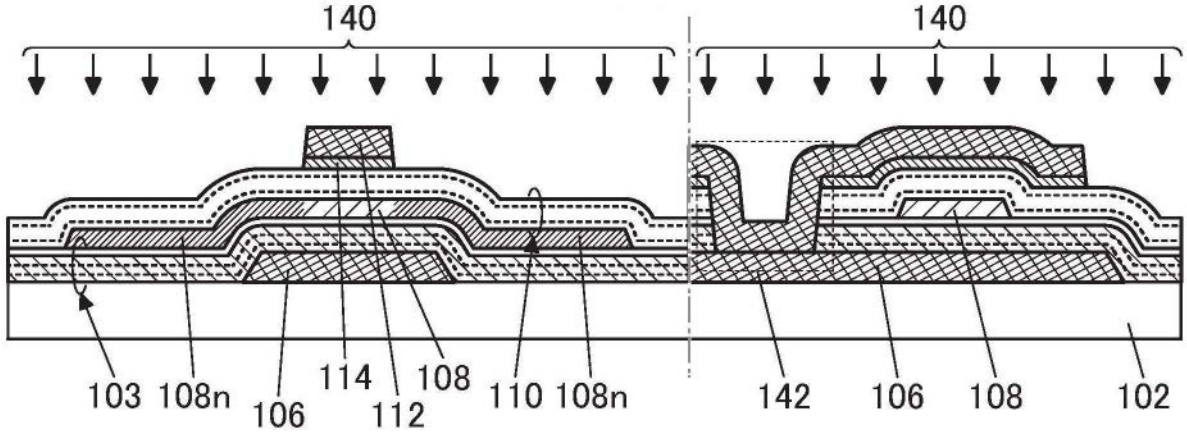


图10D

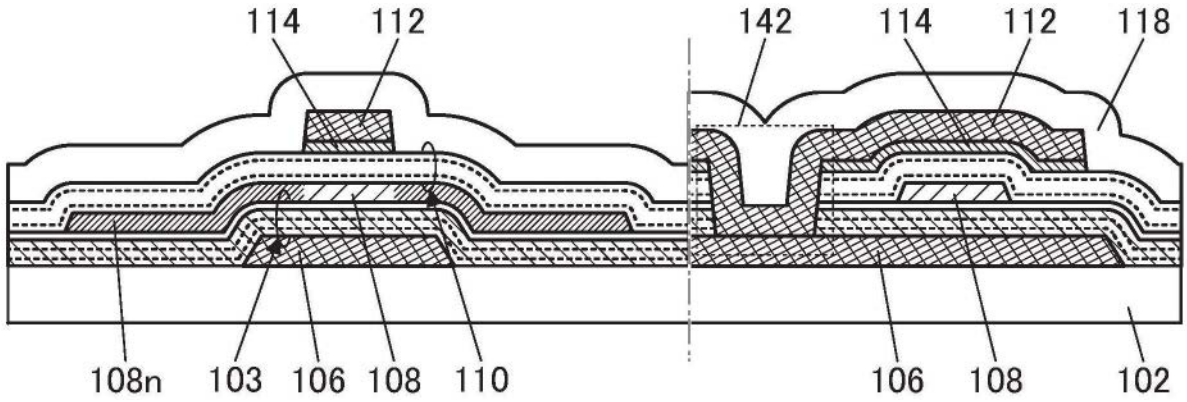


图11A

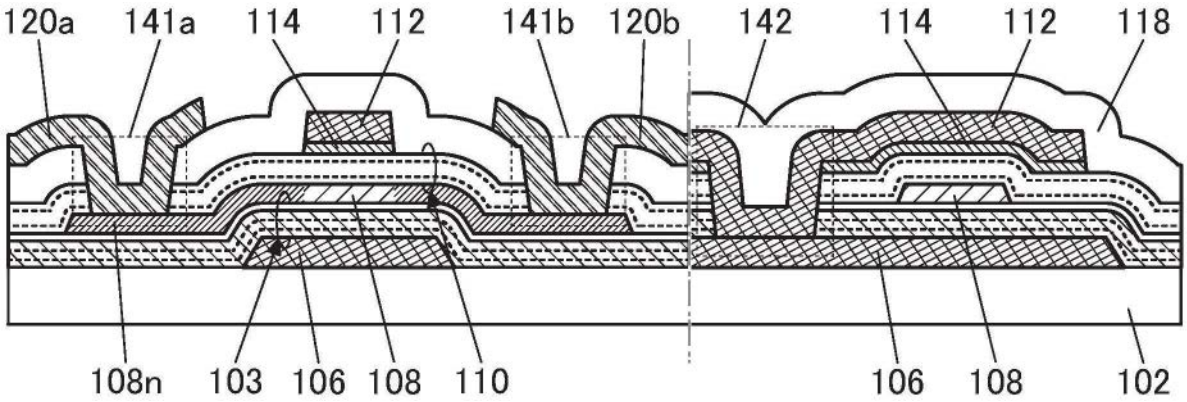


图11B

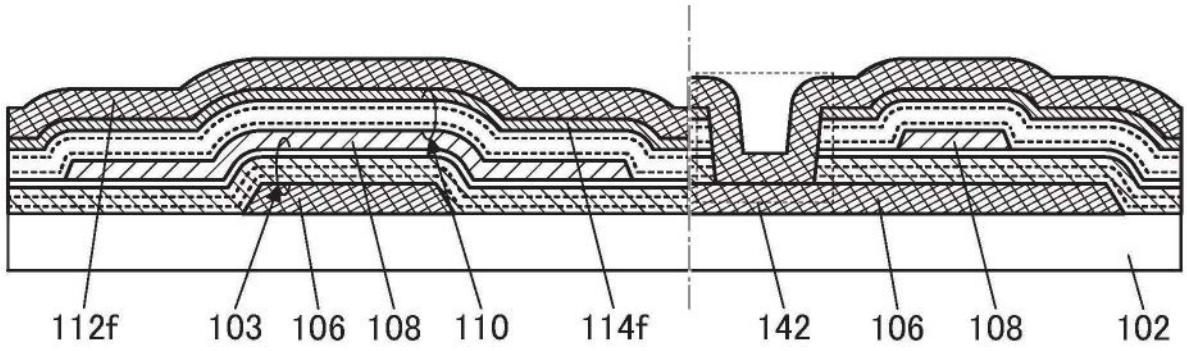


图12A

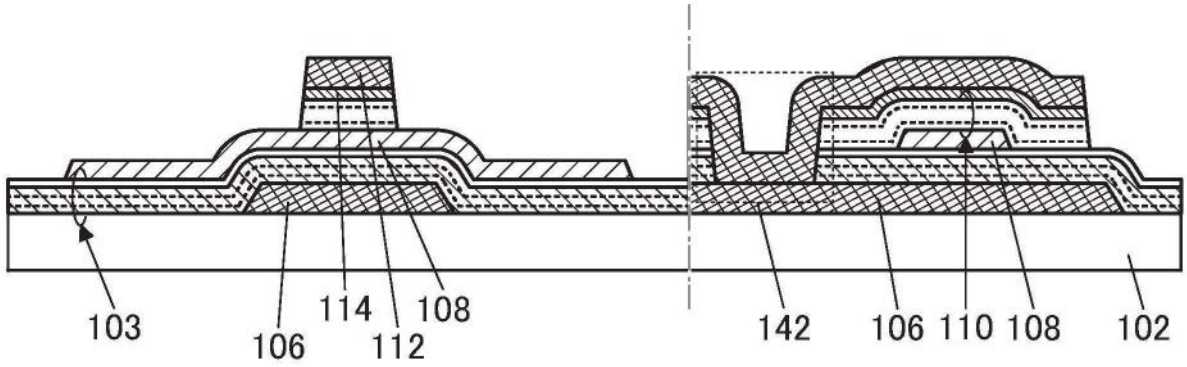


图12B

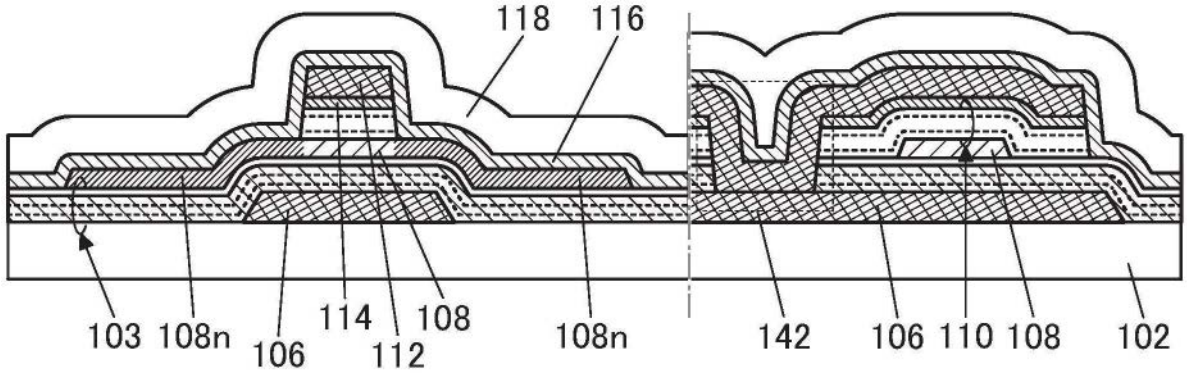


图12C

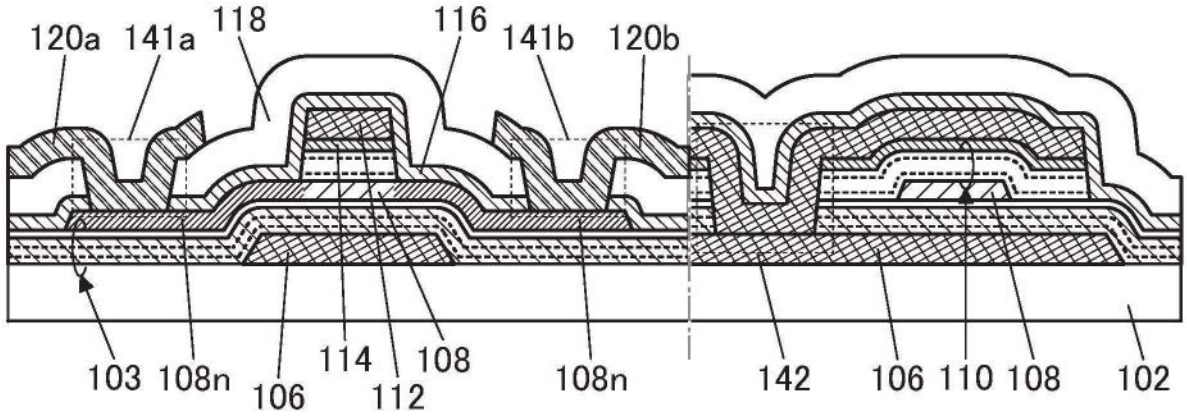


图12D

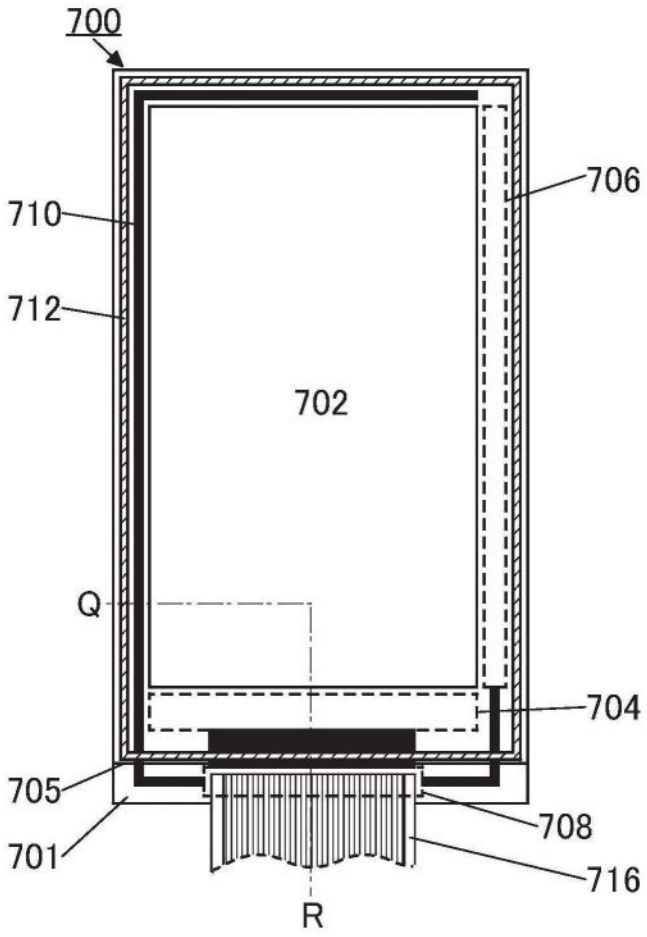


图13A

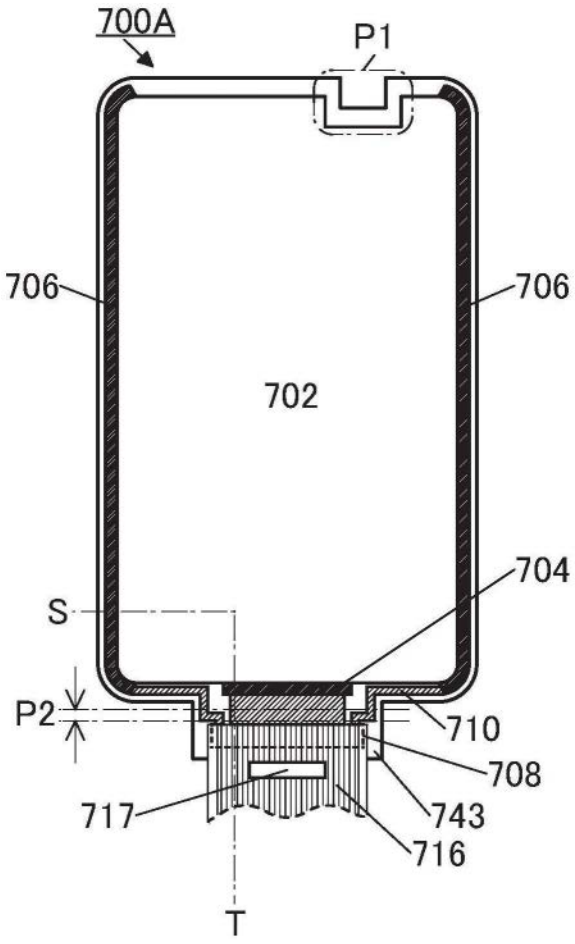


图13B

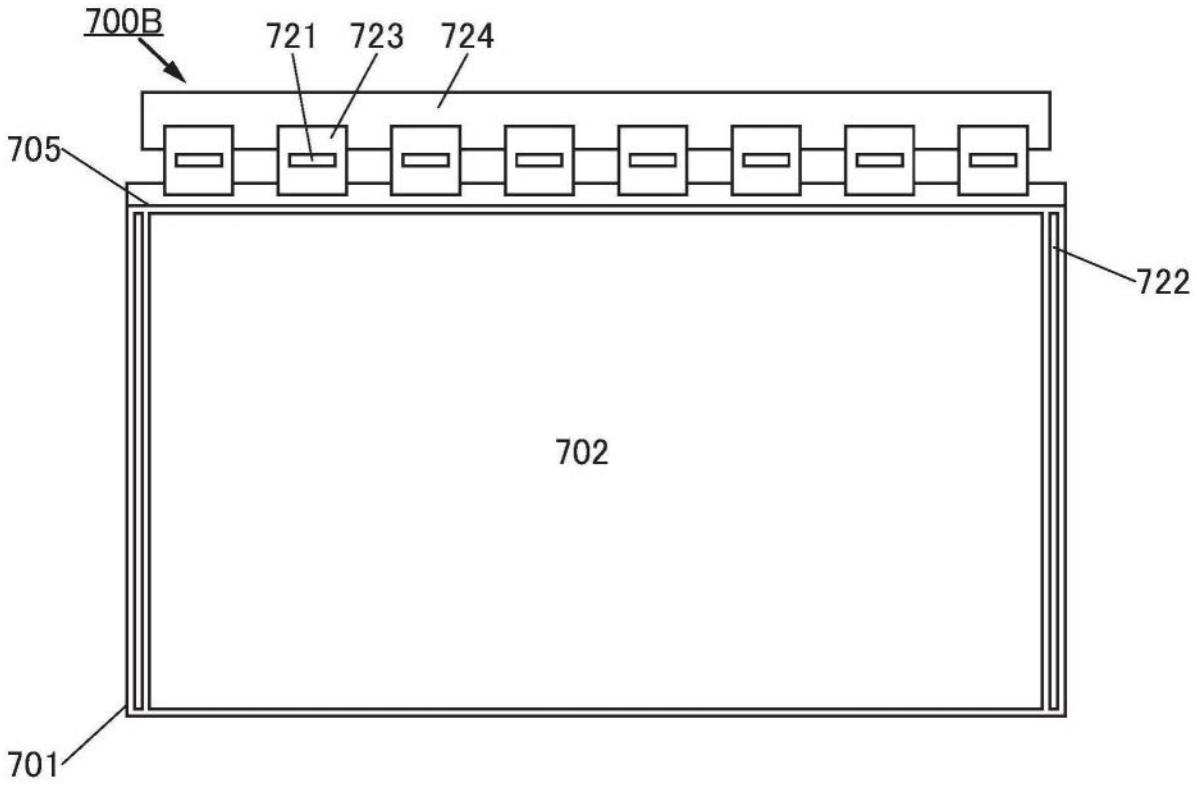


图13C

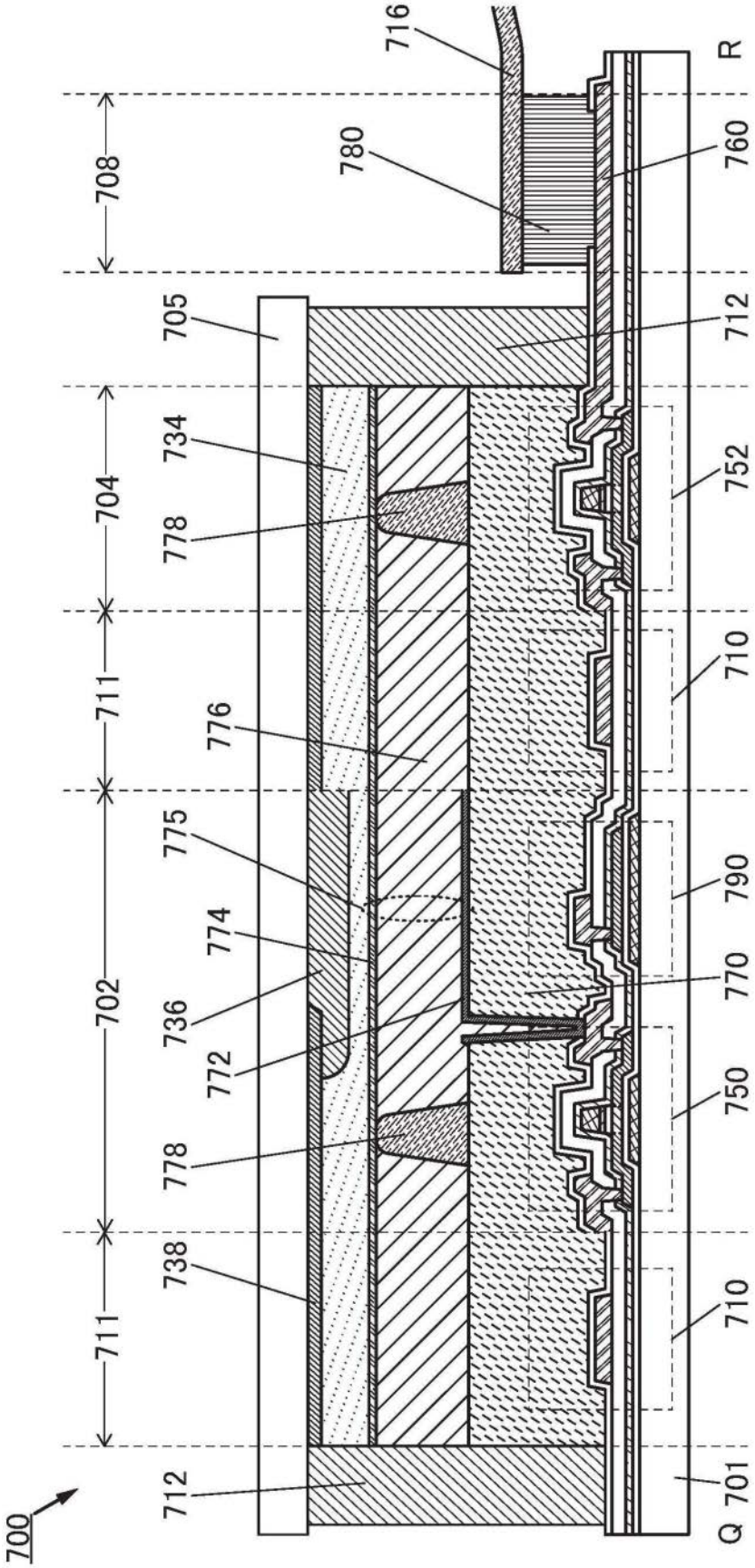

716
R
780
760
708
705
712
734
752
704
778
711
710
776
775
790
774
770
736
772
750
778
738
711
710
712
701
Q
700

图14

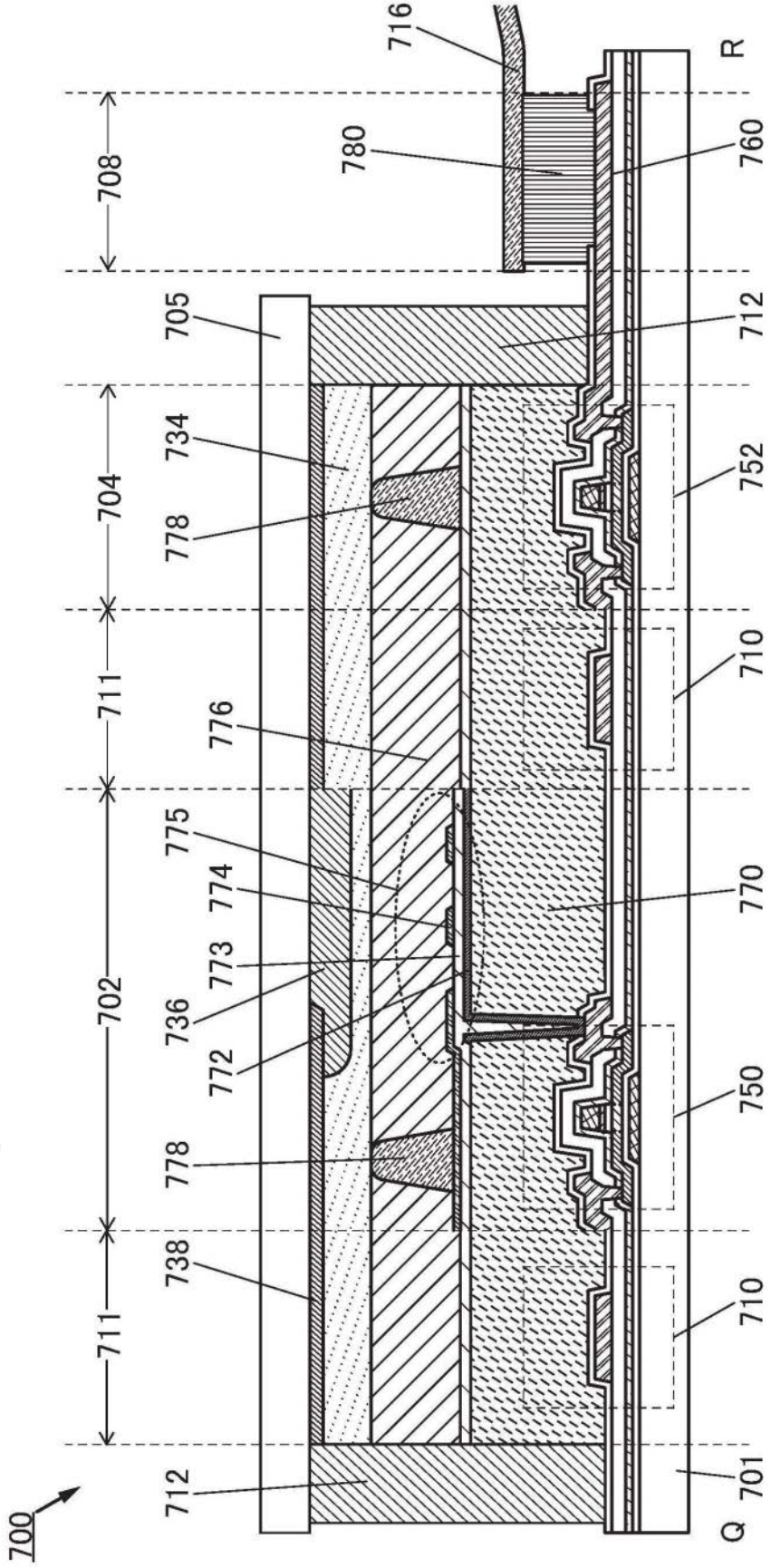

716
R
780
760
708
705
712
734
752
704
778
711
710
776
775
774
770
773
736
772
750
778
738
711
710
712
701
700
Q

图15

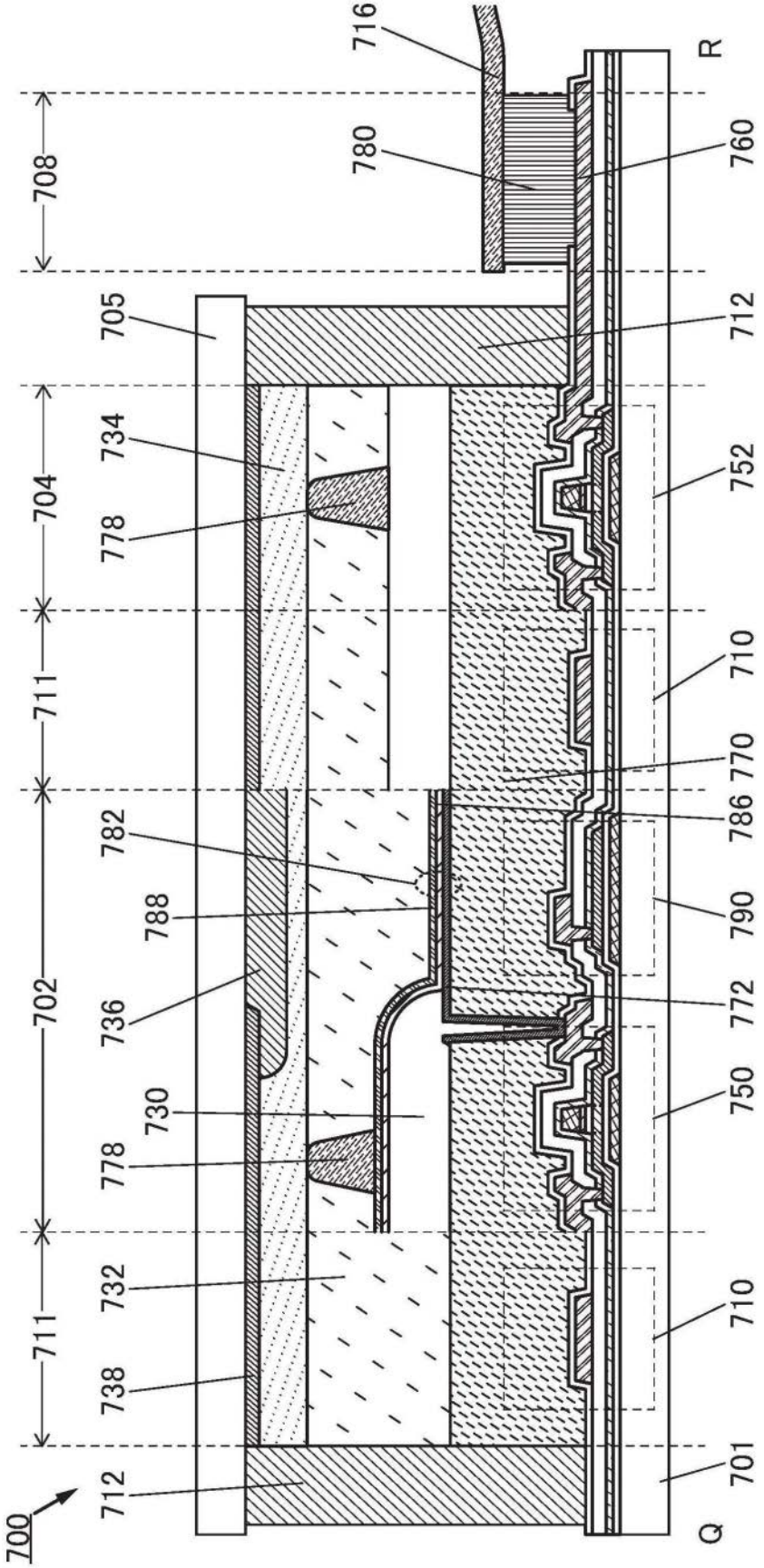

716
780
760
R
708
705
712
734
752
704
778
711
710
770
786
782
788
790
736
772
702
730
750
778
732
710
738
711
712
701
700
Q

图16

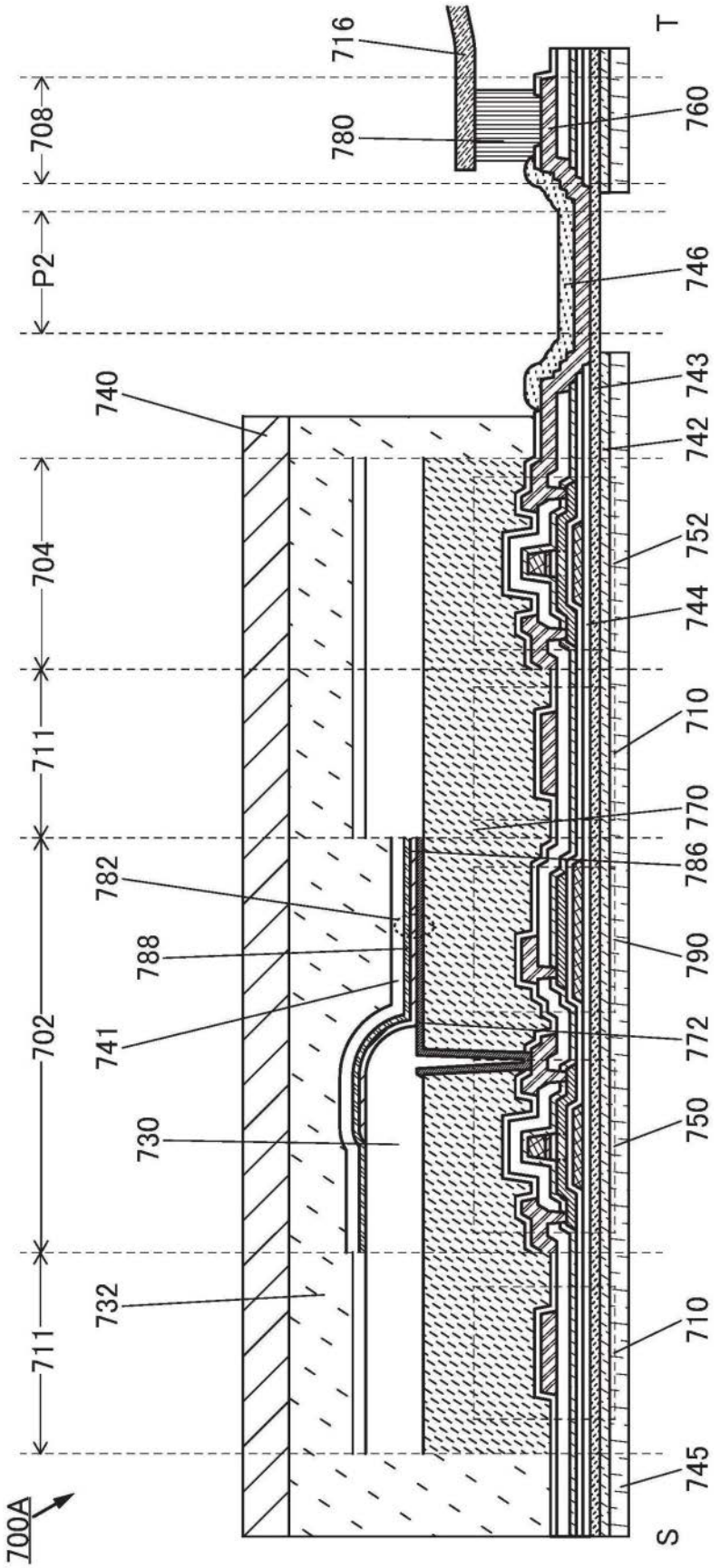

716
780
760
T
708
P2
746
740
743
742
704
752
744
711
710
770
786
782
788
790
702
741
772
730
750
732
711
710
745
S
Z00A

图17

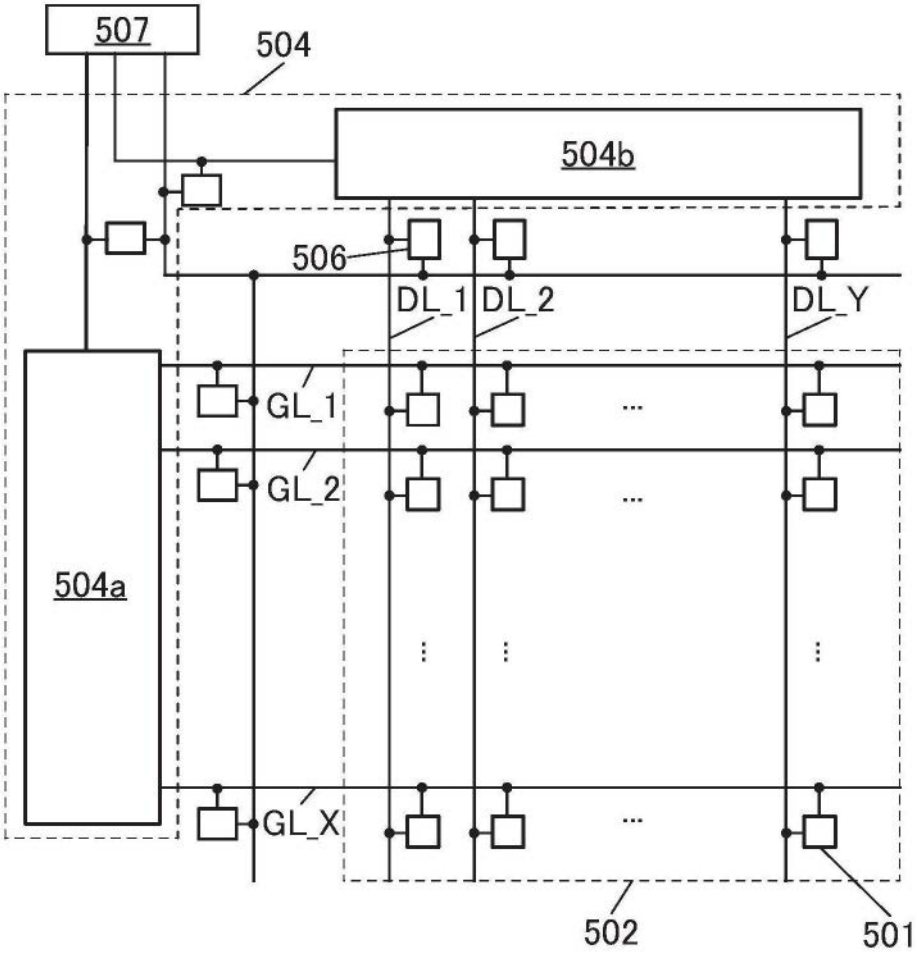

507
504
504b
506
DL_1
DL_2
DL_Y
GL_1
GL_2
GL_X
504a
502
501

图18A

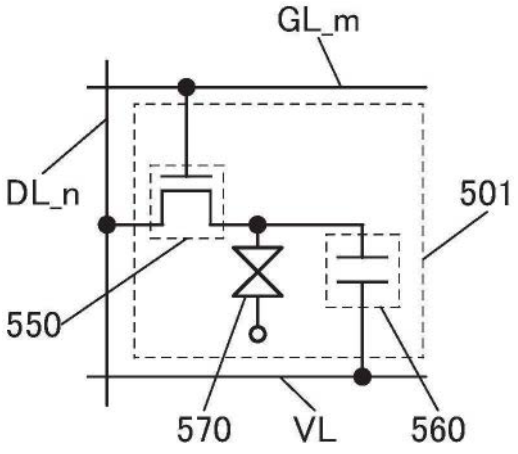

GL_m
DL_n
501
550
570
VL
560

图18B

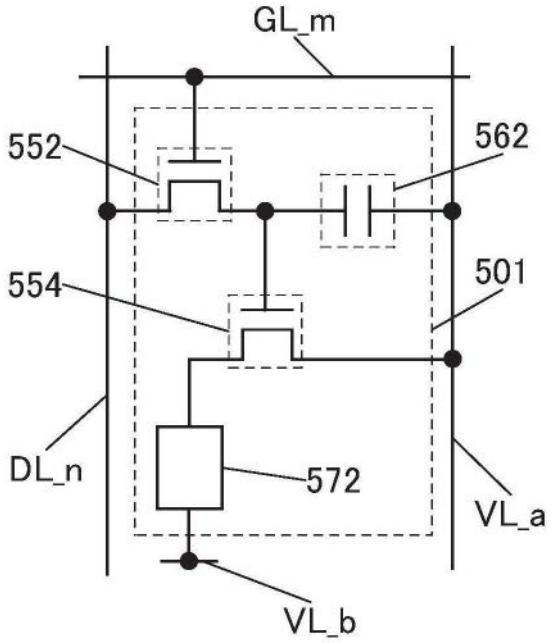

GL_m
552
562
554
501
DL_n
572
VL_a
VL_b

图18C

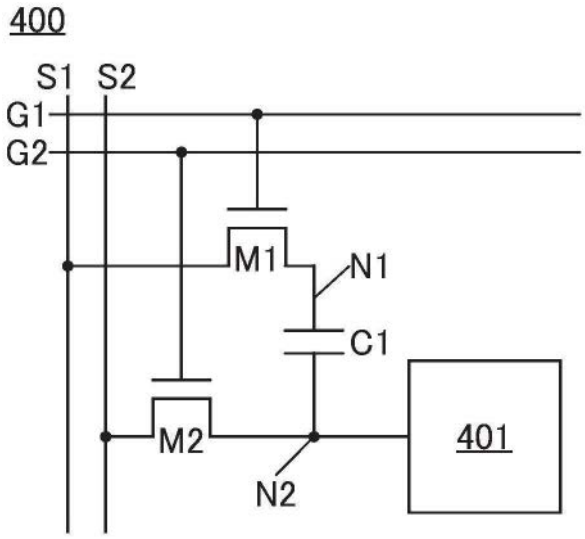

400
S1
S2
G1
G2
M1
N1
C1
M2
401
N2

图19A

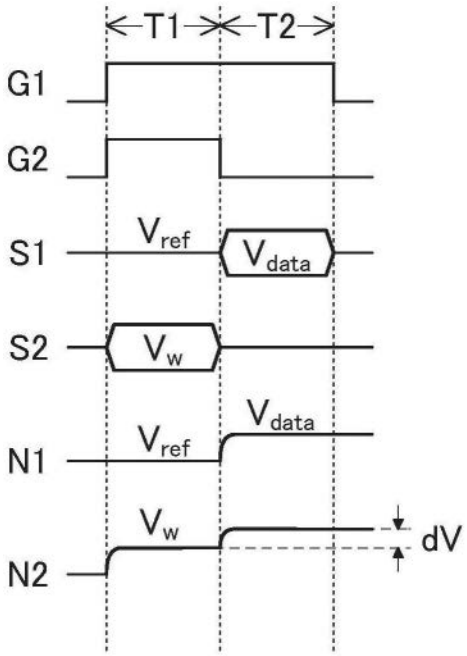

T1
T2
G1
G2
S1
Vref
Vdata
S2
Vw
N1
Vref
Vdata
N2
Vw
dV

图19B

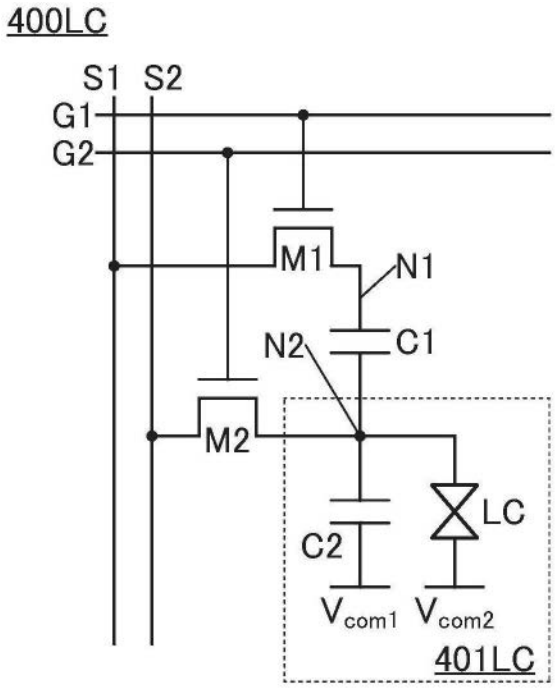

400LC
S1
S2
G1
G2
M1
N1
N2
C1
M2
LC
C2
Vcom1
Vcom2
401LC

图19C

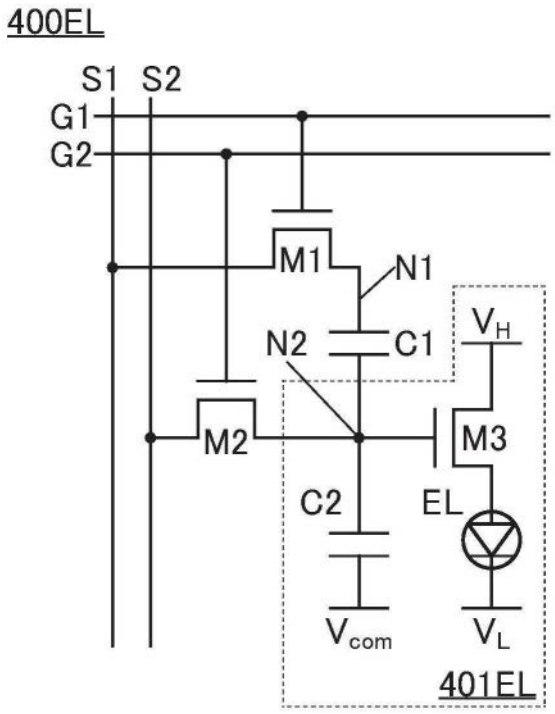


图19D

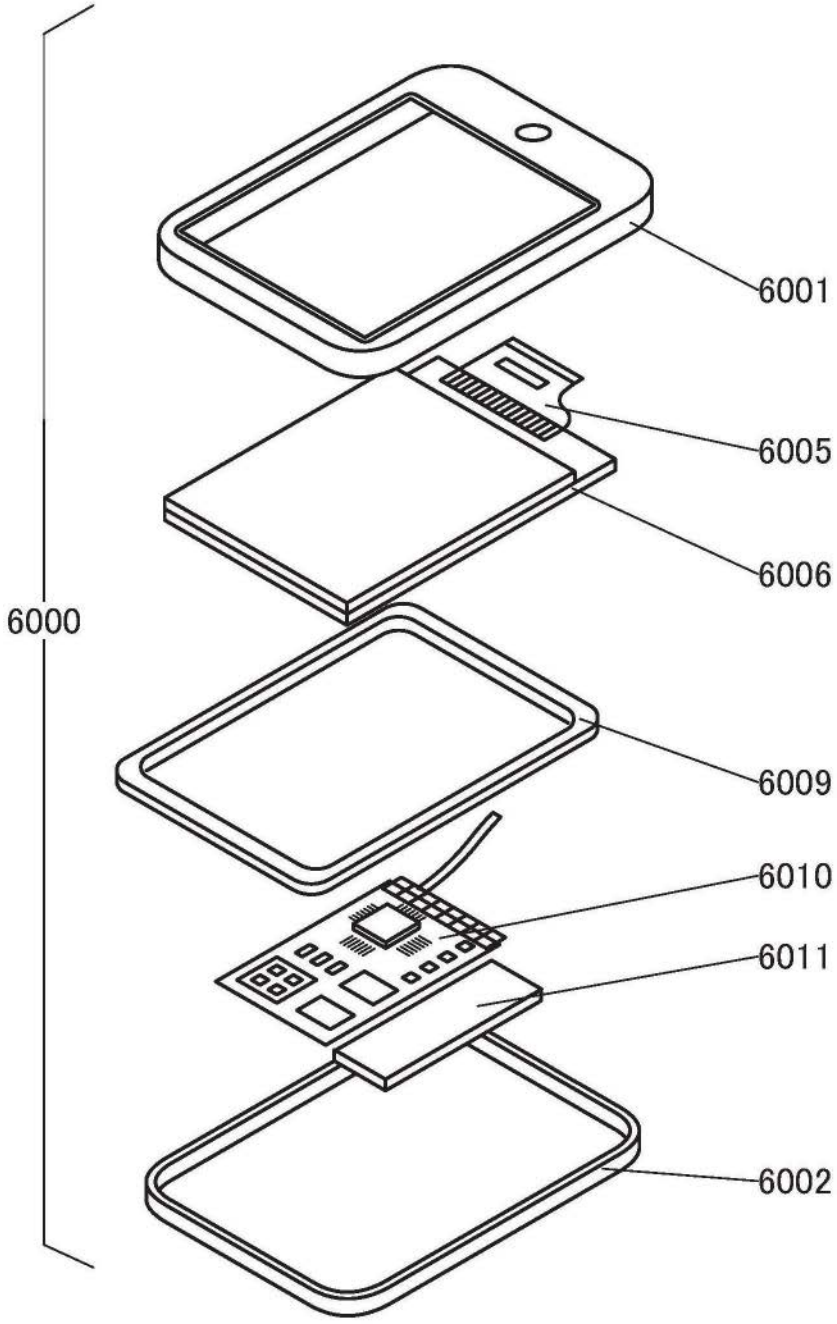


图20A

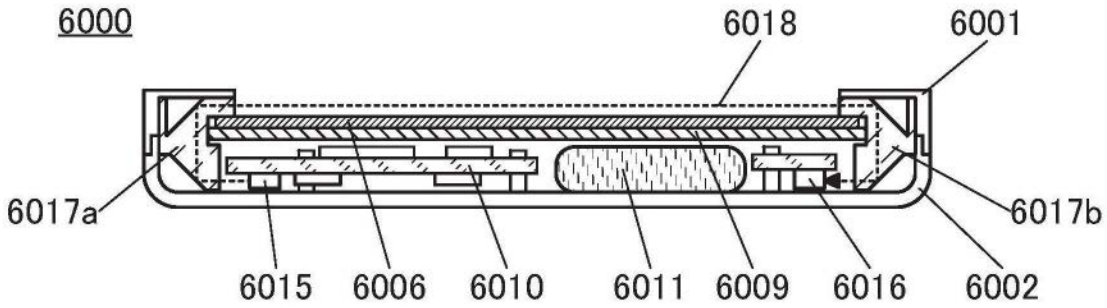


图20B

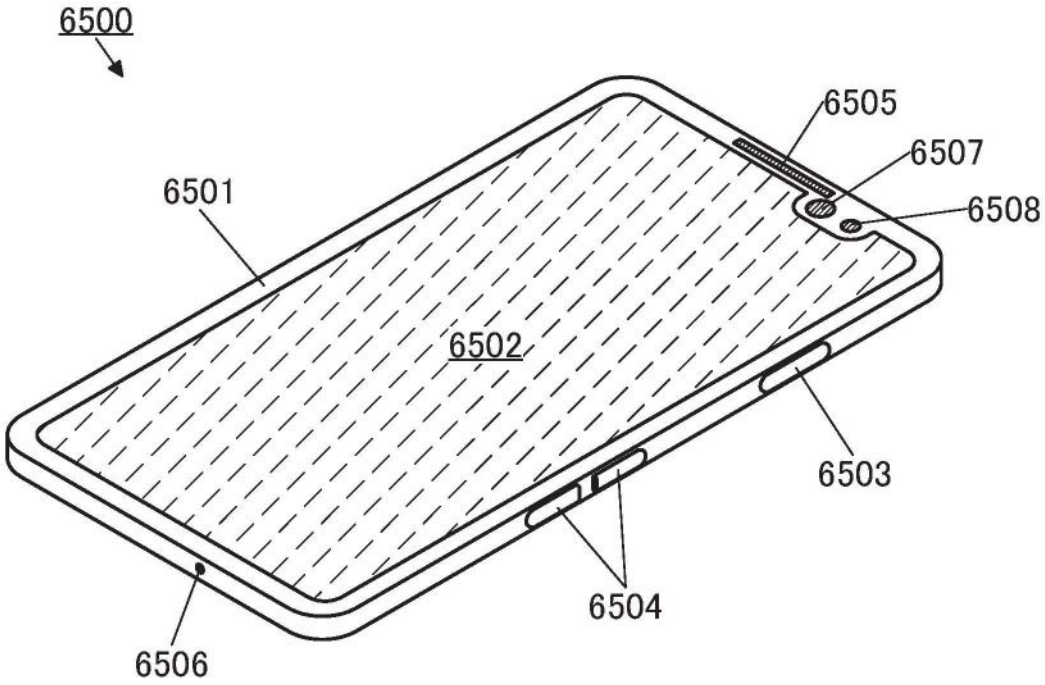


图21A

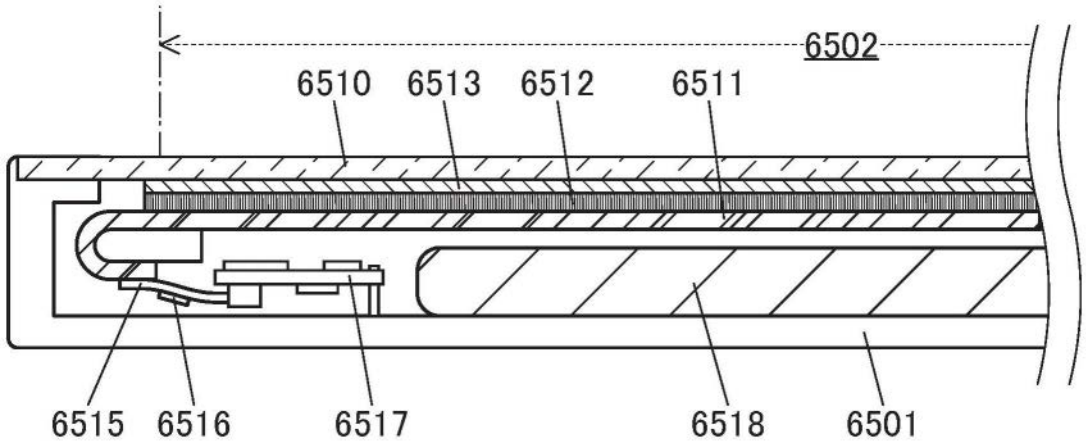


图21B

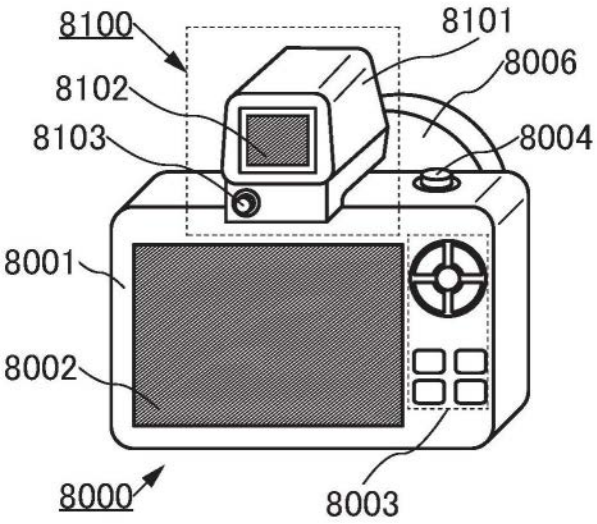

8100
8101
8006
8102
8103
8004
8001
8002
8000
8003

图22A

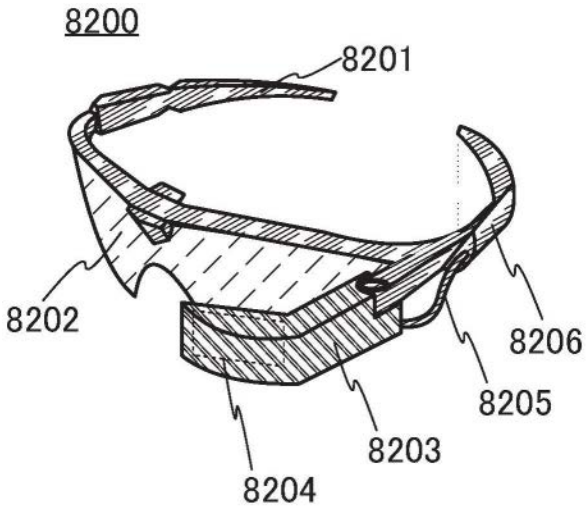

8200
8201
8202
8206
8205
8203
8204

图22B

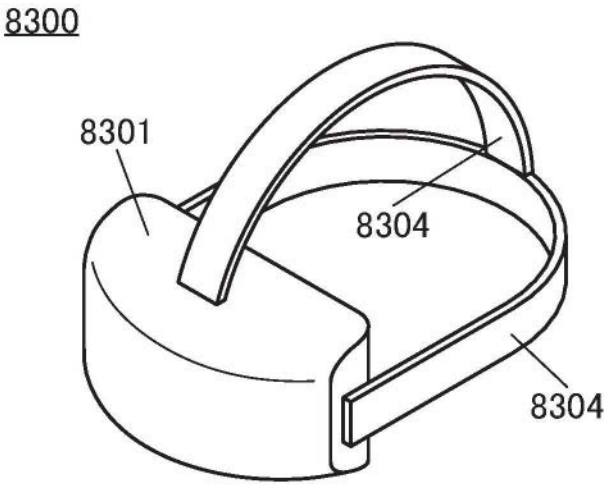


图22C

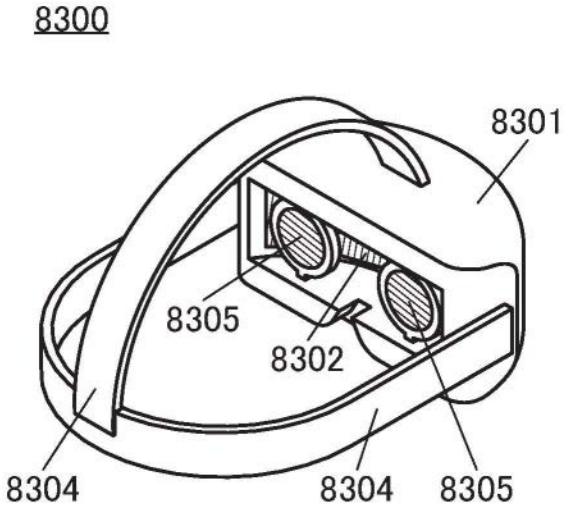


图22D

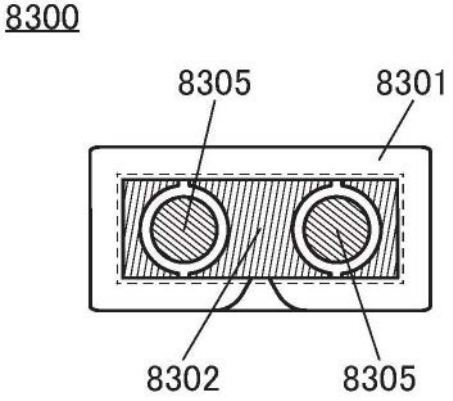


图22E

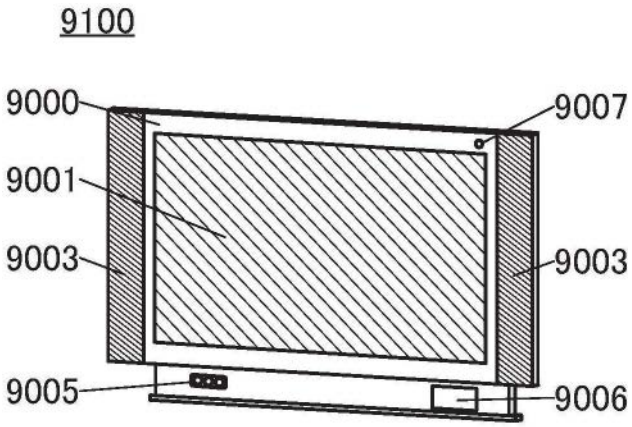


图23A

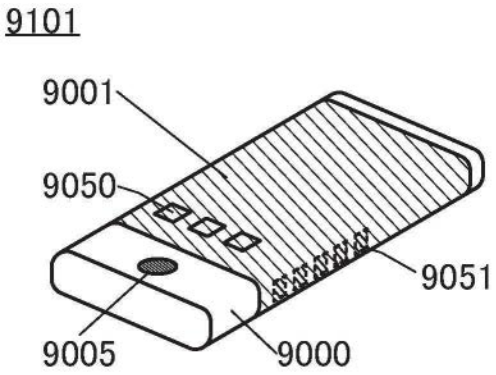


图23B

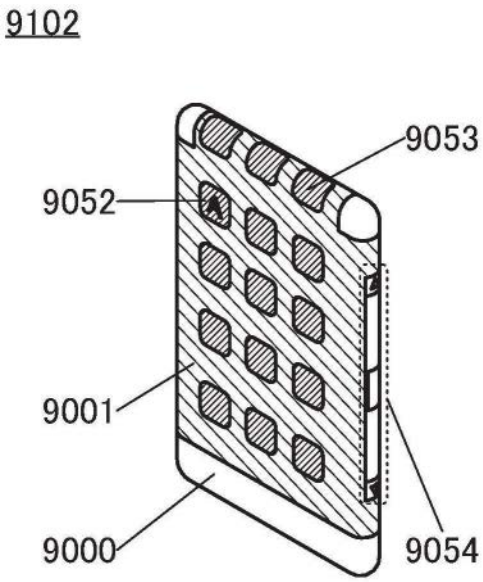


图23C

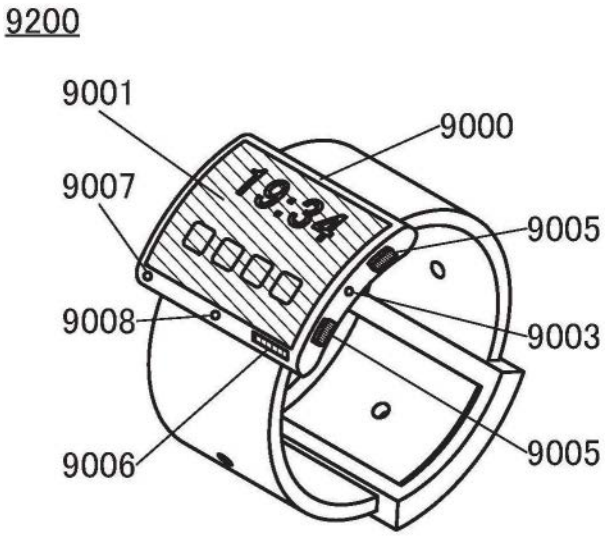


图23D

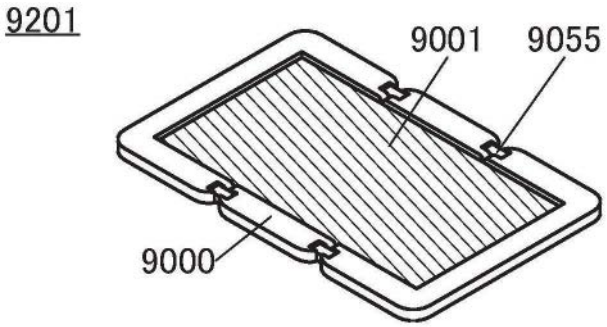


图23E

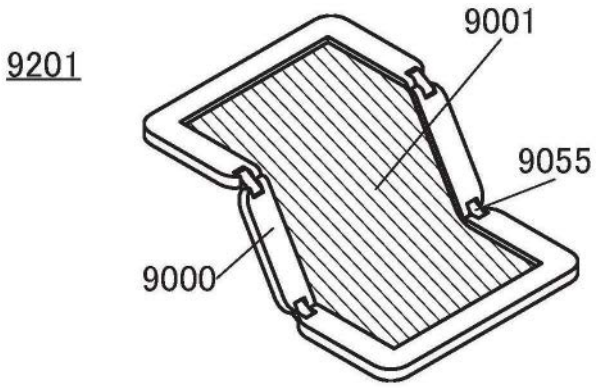


图23F

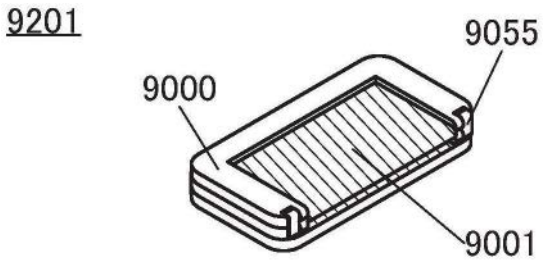


图23G

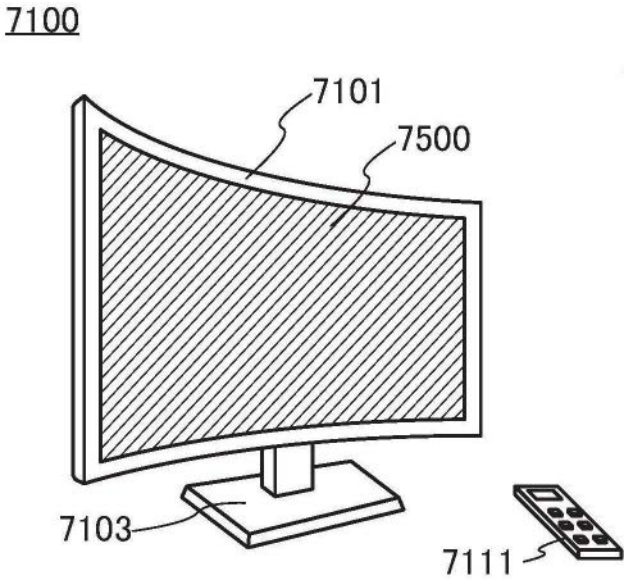


图24A

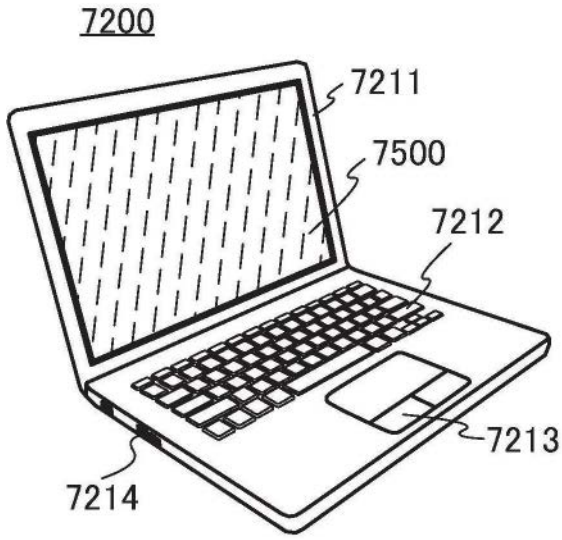


图24B

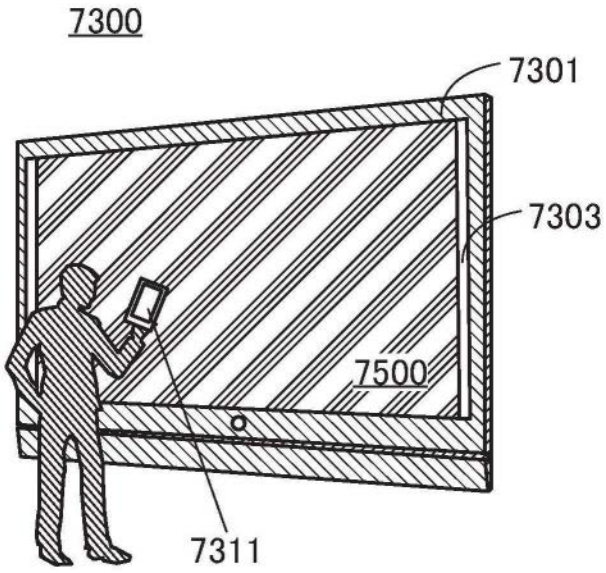


图24C

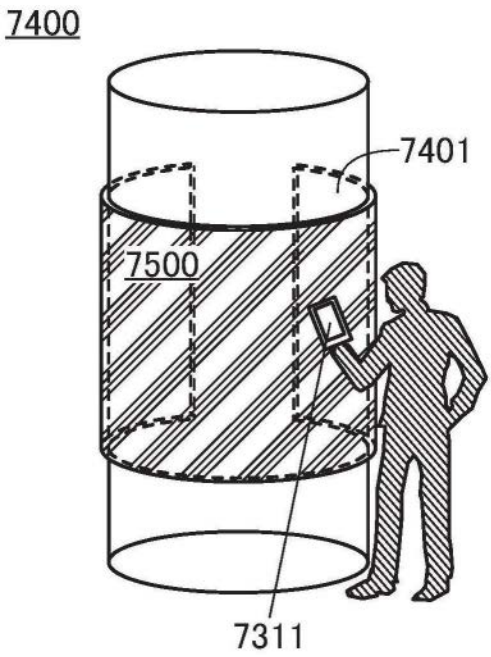


图24D

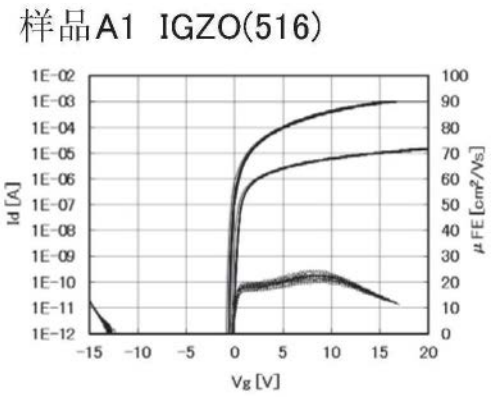


图25A

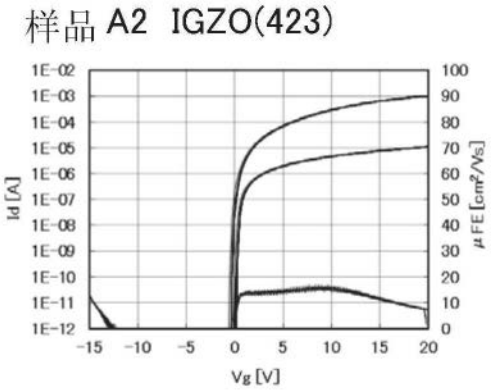


图25B

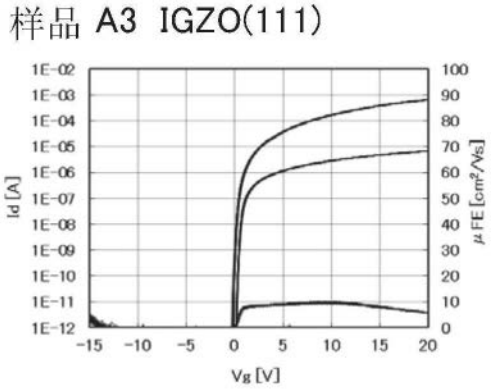


图25C

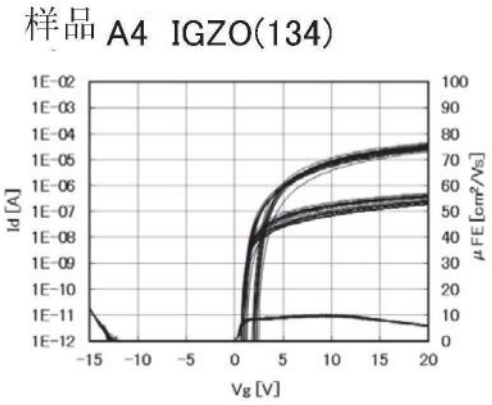


图25D

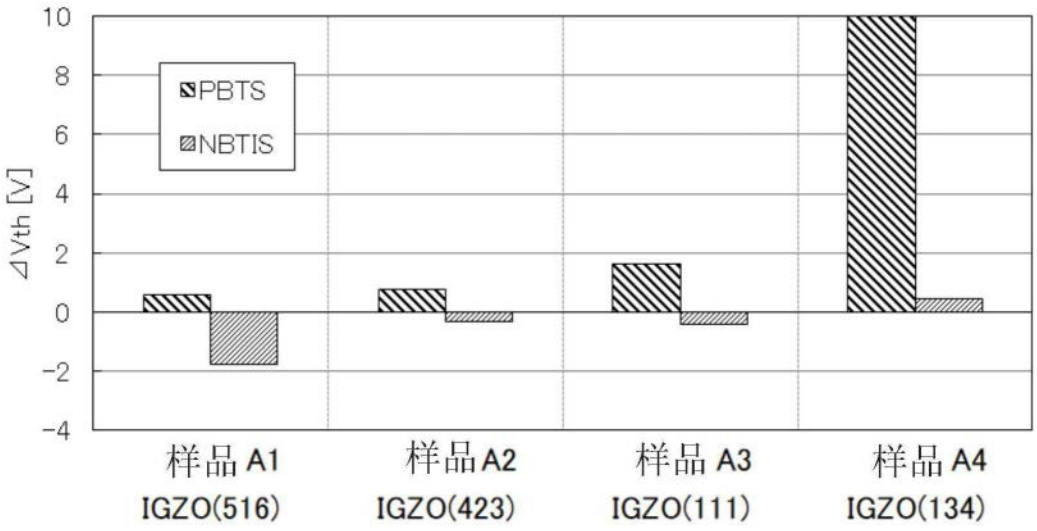


图25E

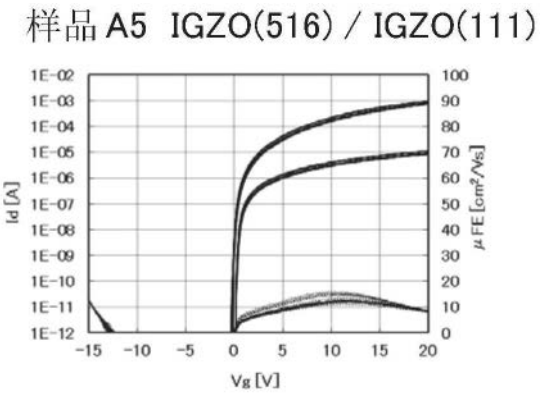


图26A

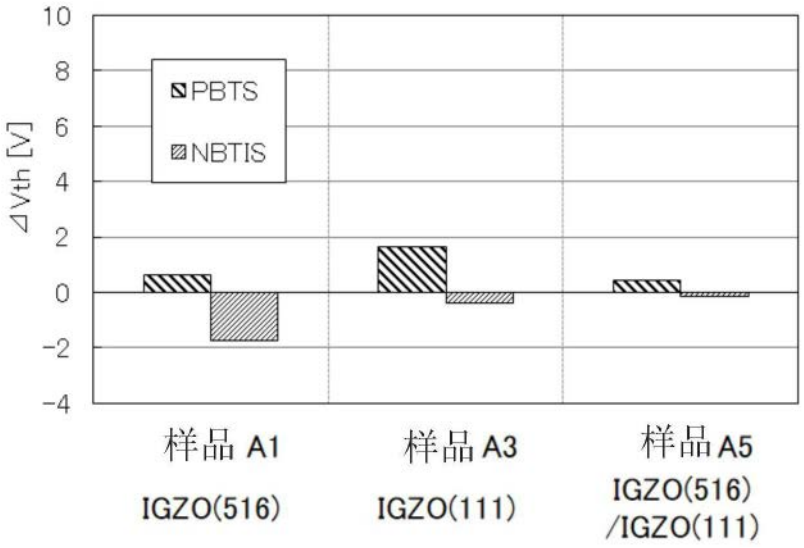

10
8
6
4
2
0
-2
-4
ΔVth [V]
PBTS
NBTIS
样品 A1
IGZO(516)
样品 A3
IGZO(111)
样品 A5
IGZO(516)
/IGZO(111)

图26B

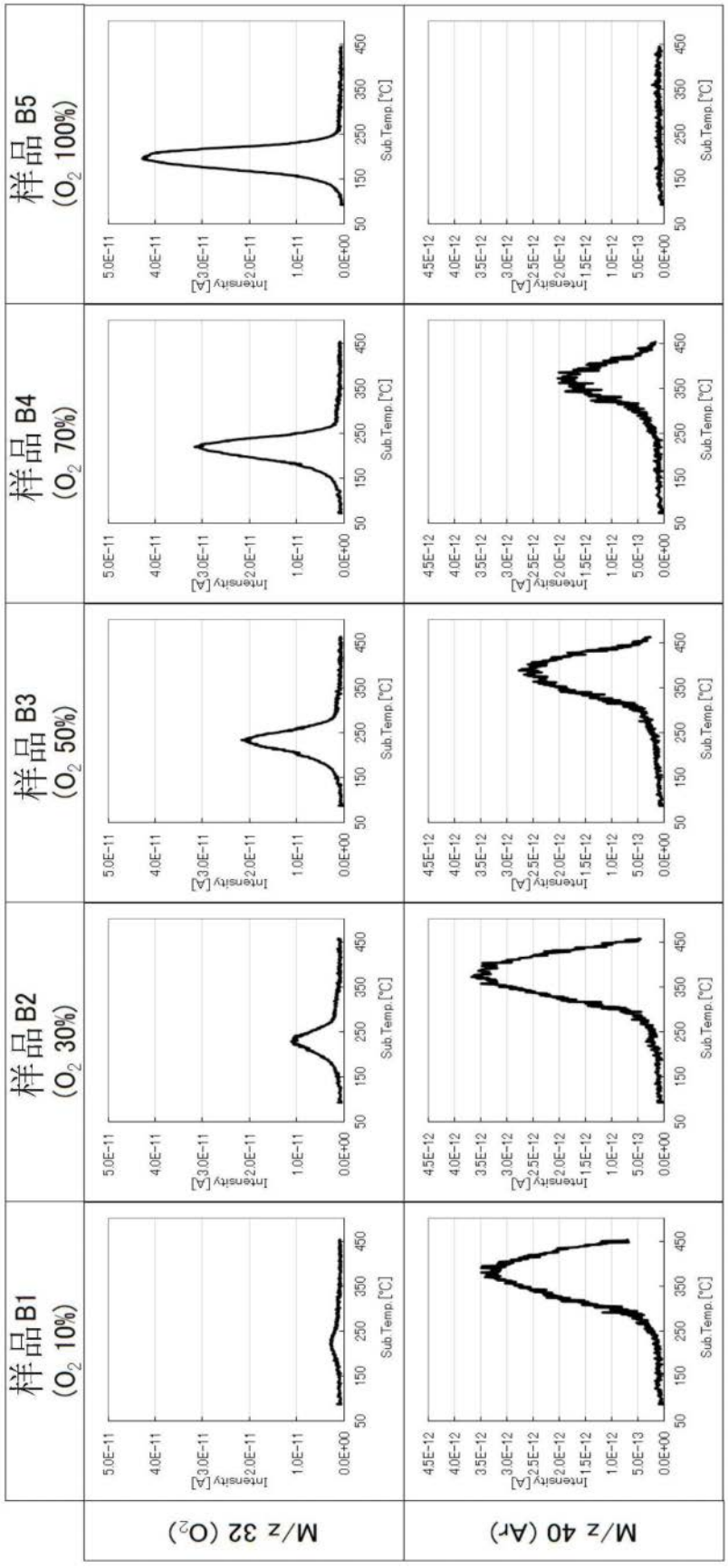

样品B1 (O_2 10%)
样品B2 (O_2 30%)
样品B3 (O_2 50%)
样品B4 (O_2 70%)
样品B5 (O_2 100%)
M/z 32 (O_2)
M/z 40 (Ar)
Intensity [A]
Sub.Temp. [℃]

图27

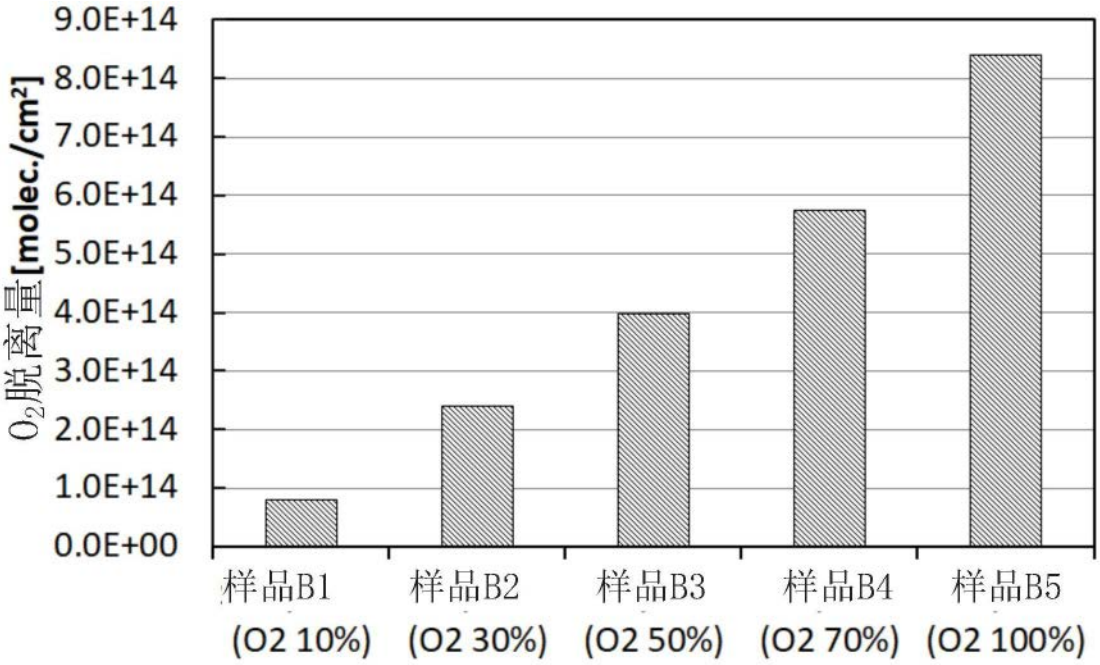

9.0E+14
8.0E+14
7.0E+14
6.0E+14
5.0E+14
4.0E+14
3.0E+14
2.0E+14
1.0E+14
0.0E+00
O2脱离量[molec./cm²]
样品B1 (O2 10%)
样品B2 (O2 30%)
样品B3 (O2 50%)
样品B4 (O2 70%)
样品B5 (O2 100%)

图28A

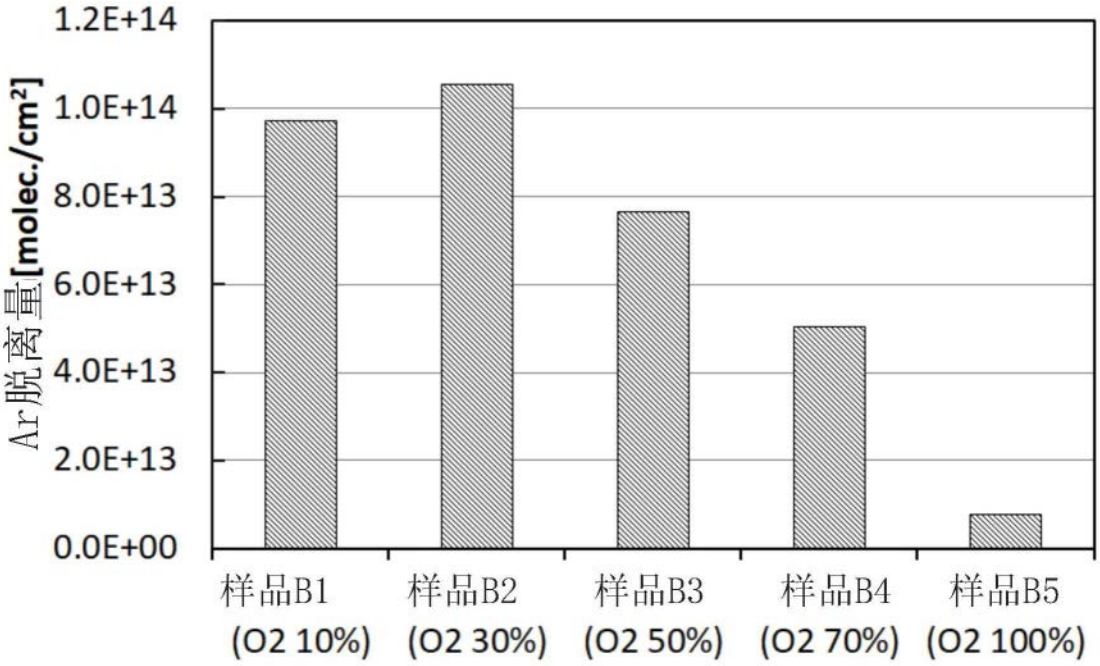

1.2E+14
1.0E+14
8.0E+13
6.0E+13
4.0E+13
2.0E+13
0.0E+00
Ar脱离量[molec./cm²]
样品B1 (O2 10%)
样品B2 (O2 30%)
样品B3 (O2 50%)
样品B4 (O2 70%)
样品B5 (O2 100%)

图28B

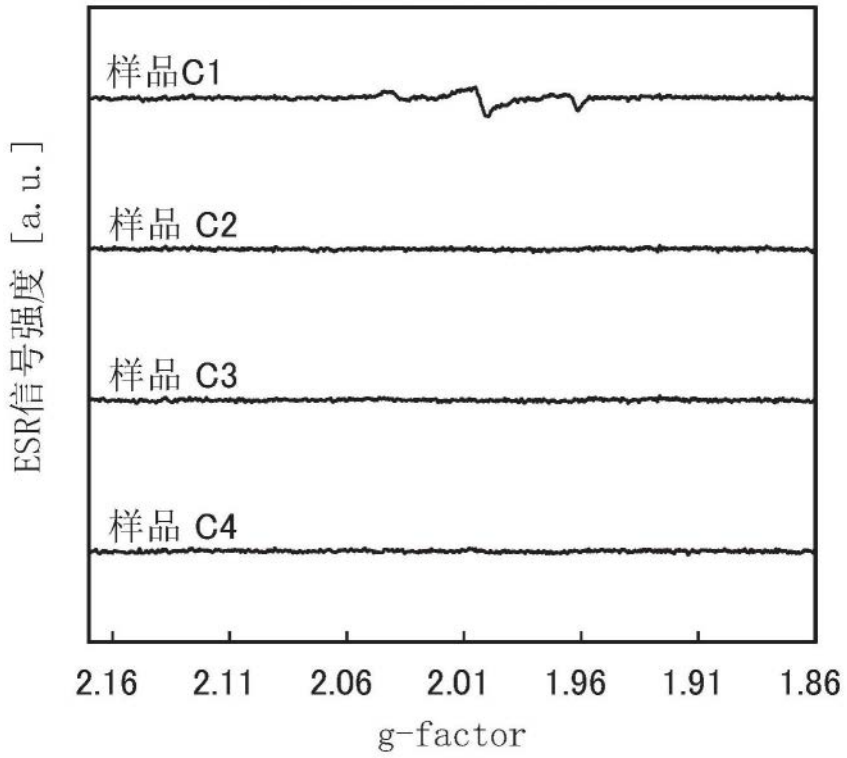

样品C1
样品 C2
样品 C3
样品 C4
ESR信号强度 [a.u.]
2.16
2.11
2.06
2.01
1.96
1.91
1.86
g-factor

图29A

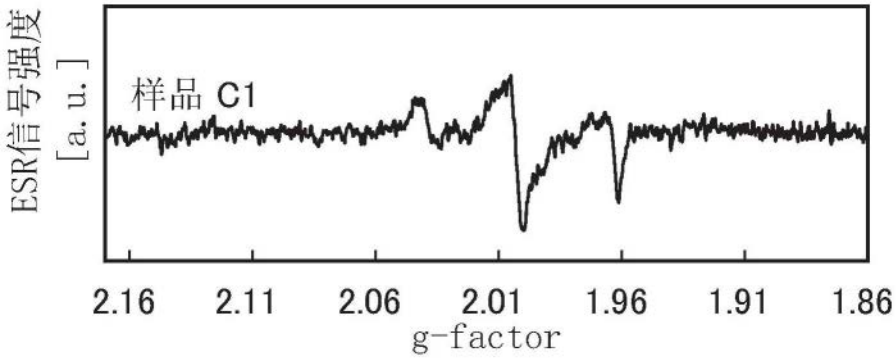

样品 C1
ESR信号强度
[a.u.]
2.16
2.11
2.06
2.01
1.96
1.91
1.86
g-factor

图29B

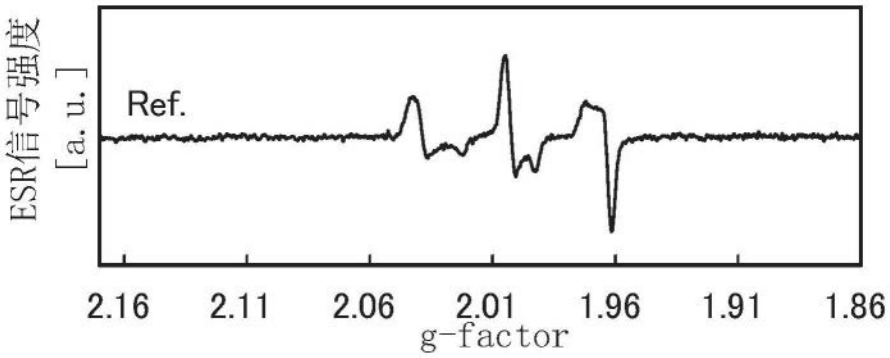


图29C

单栅

	样品D1	样品D2	样品D3	样品D4	样品D5
半导体层	IGZO(111)=30nm	IGZO(423)=5nm	IGZO(516)=5nm	InZnO(2:3)=5nm	ITSO=5nm
		IGZO(111)=25nm			
L/W= 1.5/50um					
L/W= 2/50um					
L/W= 3/50um					

图30A

单栅

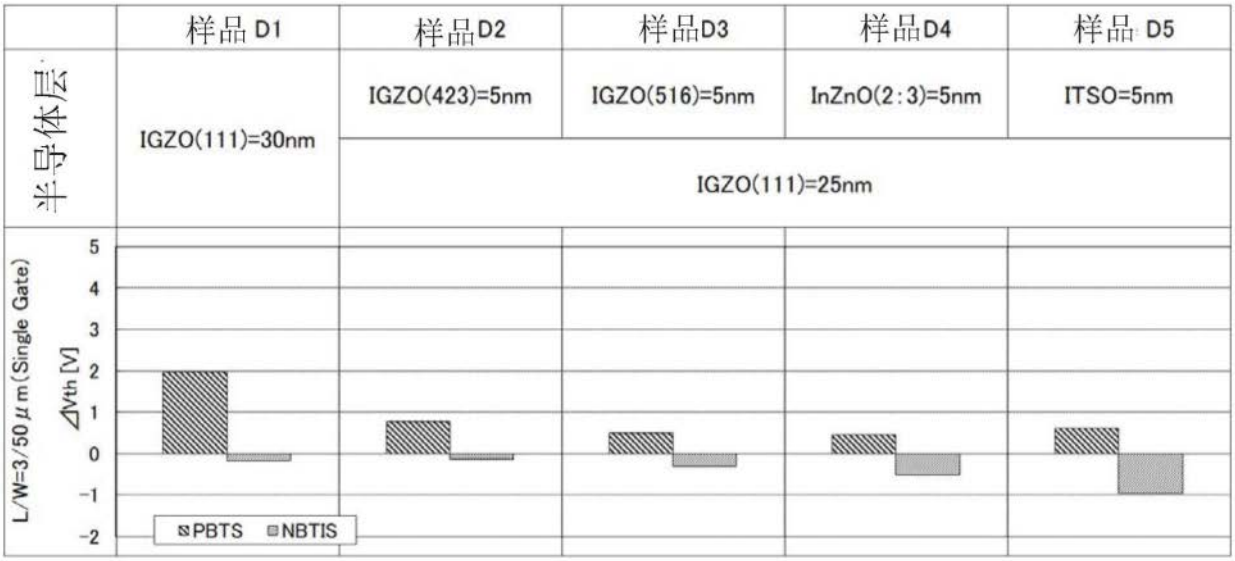


图30B

单栅

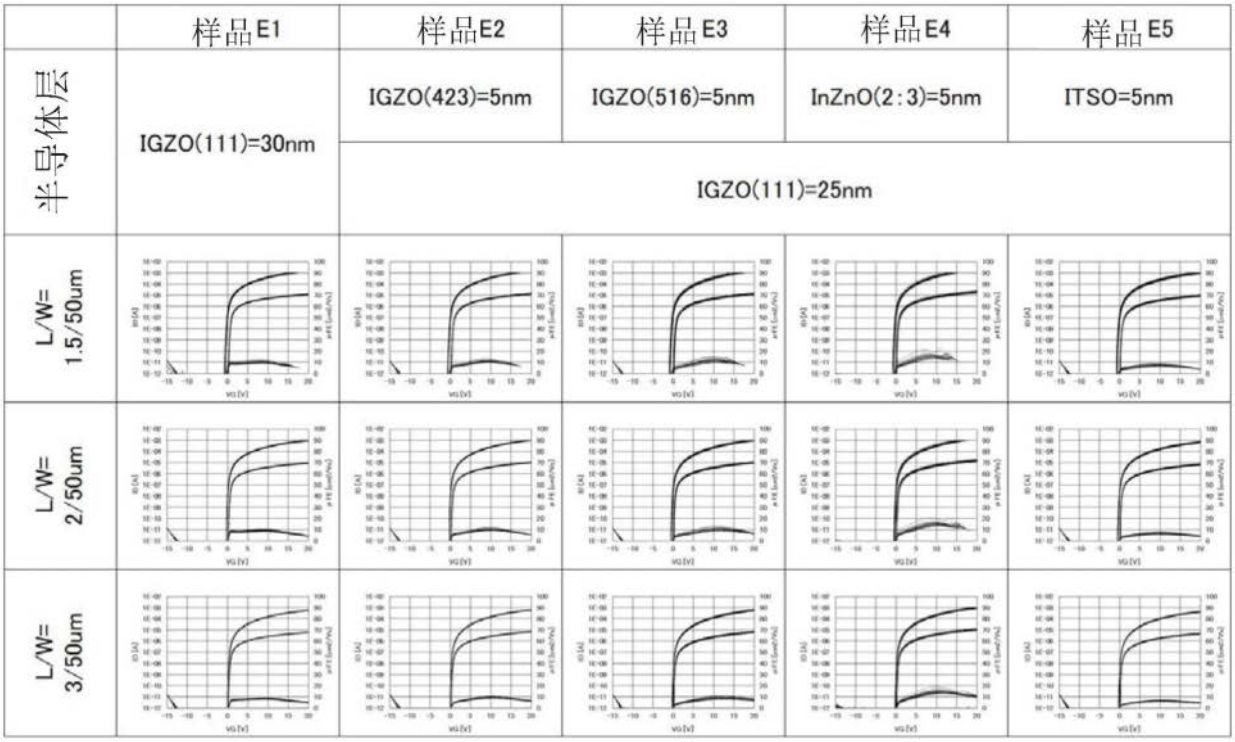


图31A

单栅

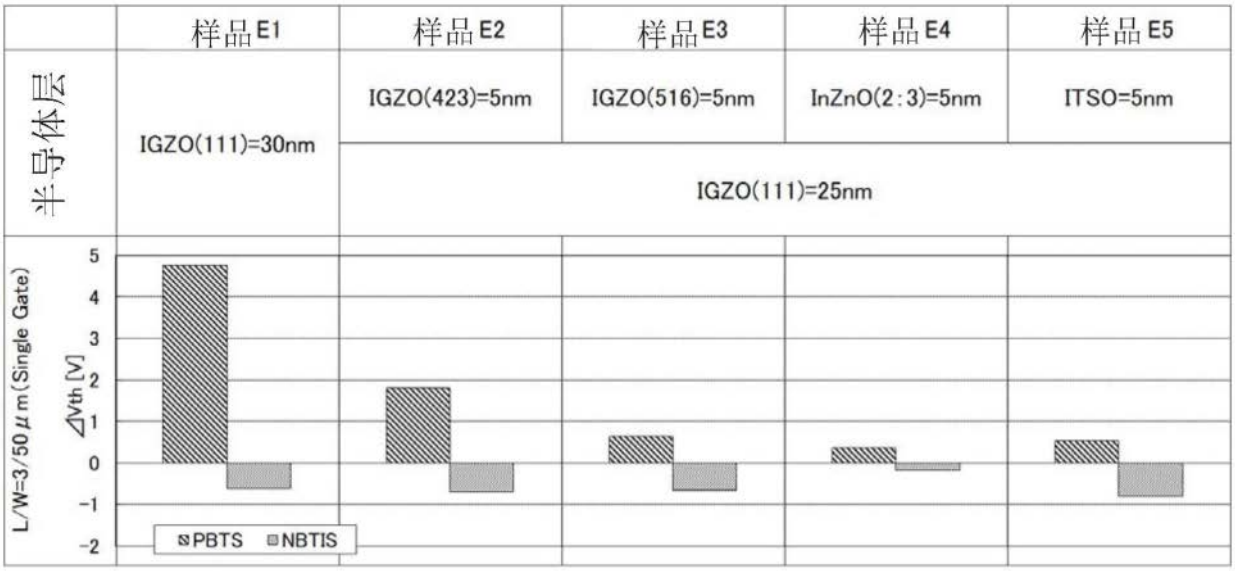


图31B

双栅

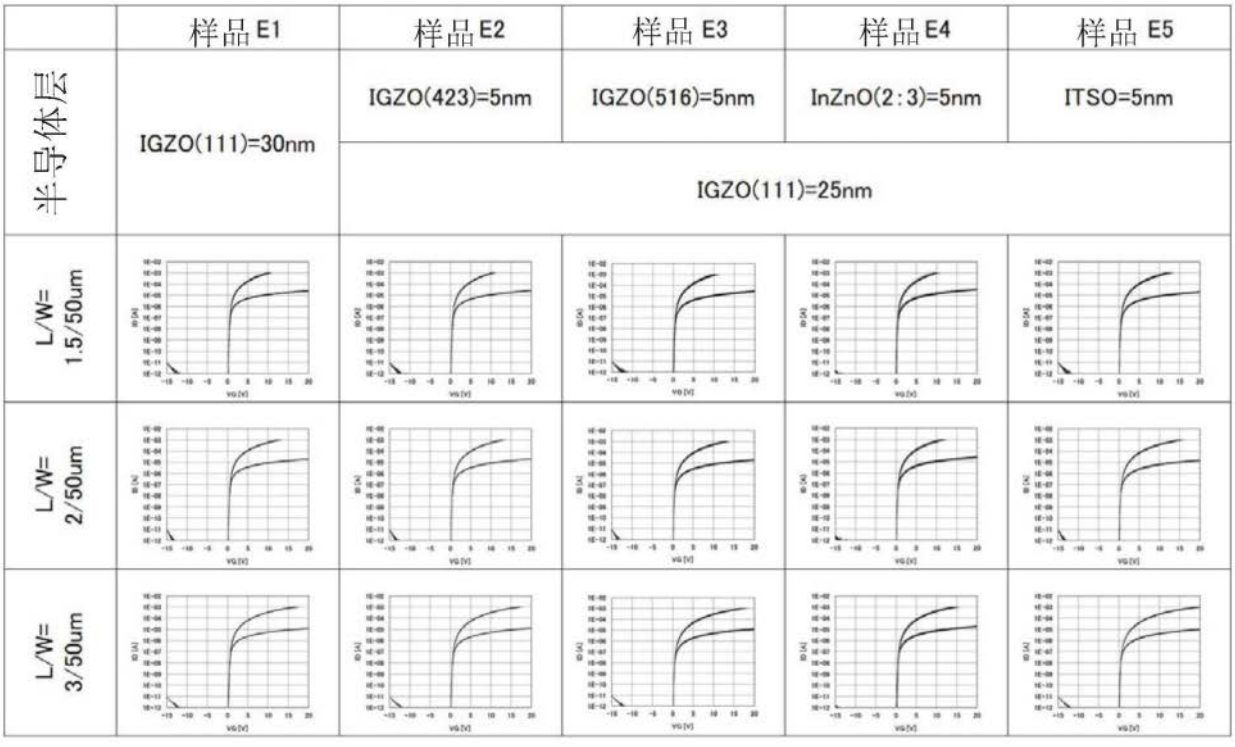


图32A

双栅

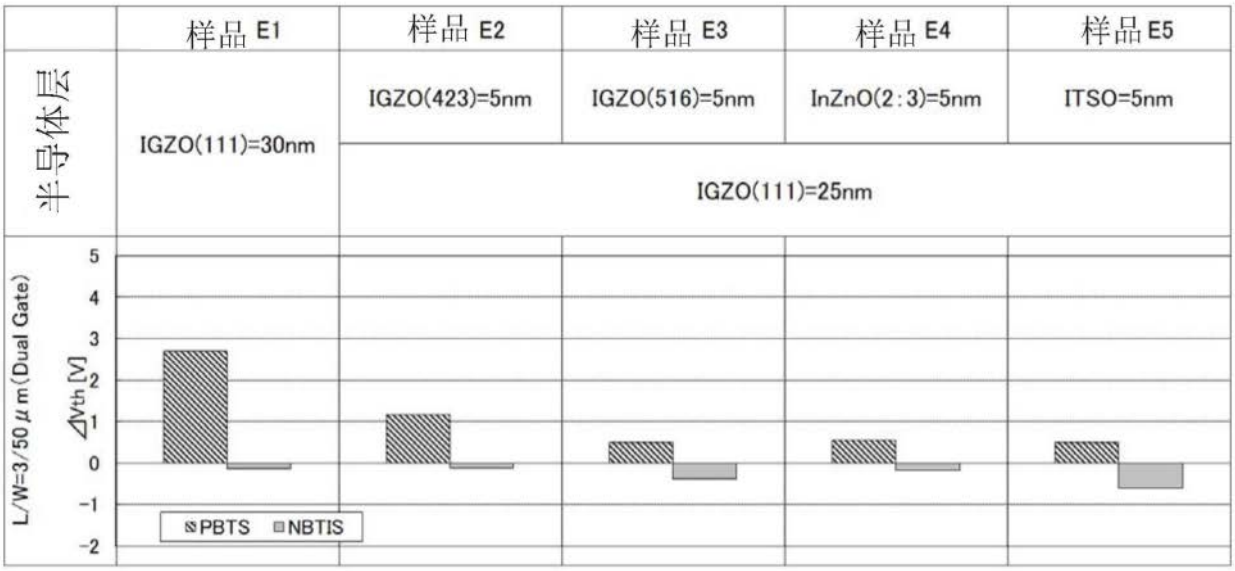

样品 E1
样品 E2
样品 E3
样品 E4
样品 E5
半导体层
IGZO(111)=30nm
IGZO(423)=5nm
IGZO(516)=5nm
InZnO(2:3)=5nm
ITSO=5nm
IGZO(111)=25nm
L/W=3/50 μm (Dual Gate)
ΔVth [V]
5
4
3
2
1
0
-1
-2
PBTS
NBTIS

图32B

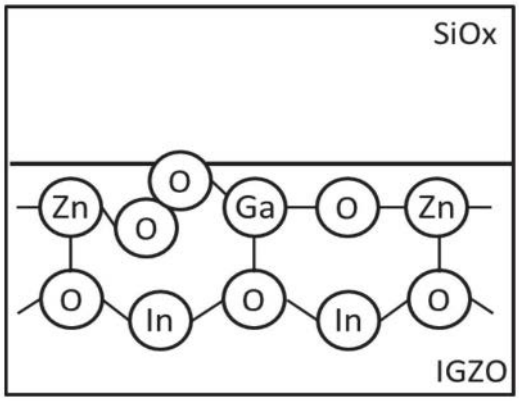

SiOx
Zn
O
Ga
O
Zn
O
O
In
O
In
O
IGZO

图33A

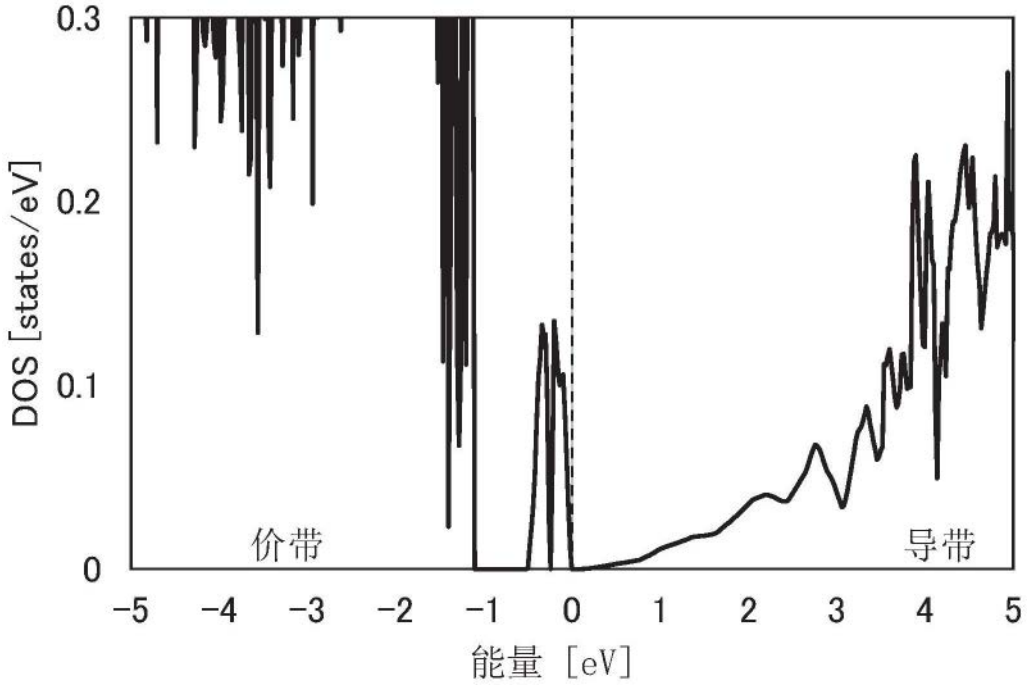

0.3
0.2
0.1
0
DOS [states/eV]
价带
导带
-5
-4
-3
-2
-1
0
1
2
3
4
5
能量 [eV]

图33B

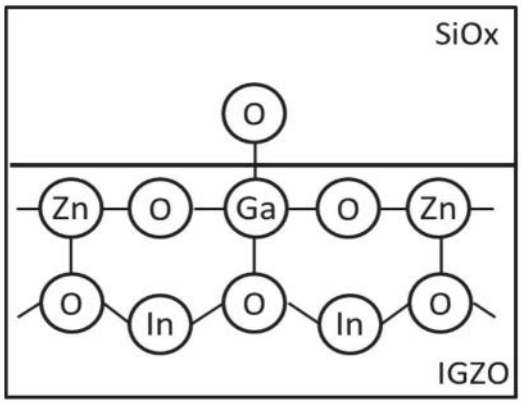

SiOx
O
Zn
O
Ga
O
Zn
O
In
O
In
O
IGZO

图34A

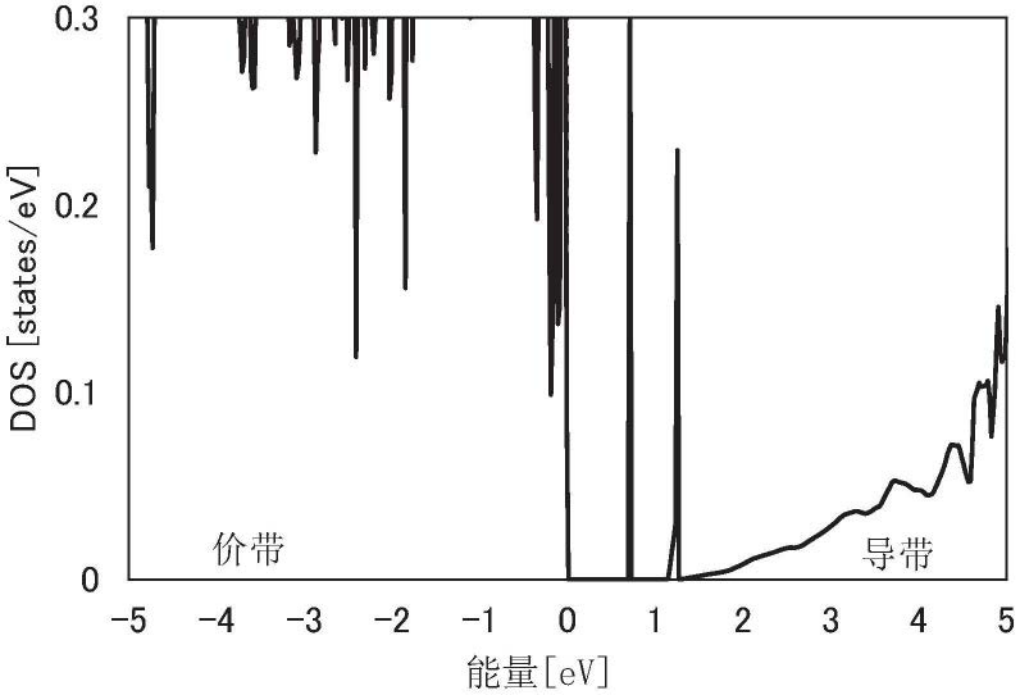

0.3
0.2
0.1
0
DOS [states/eV]
价带
导带
−5 −4 −3 −2 −1 0 1 2 3 4 5
能量[eV]

图34B

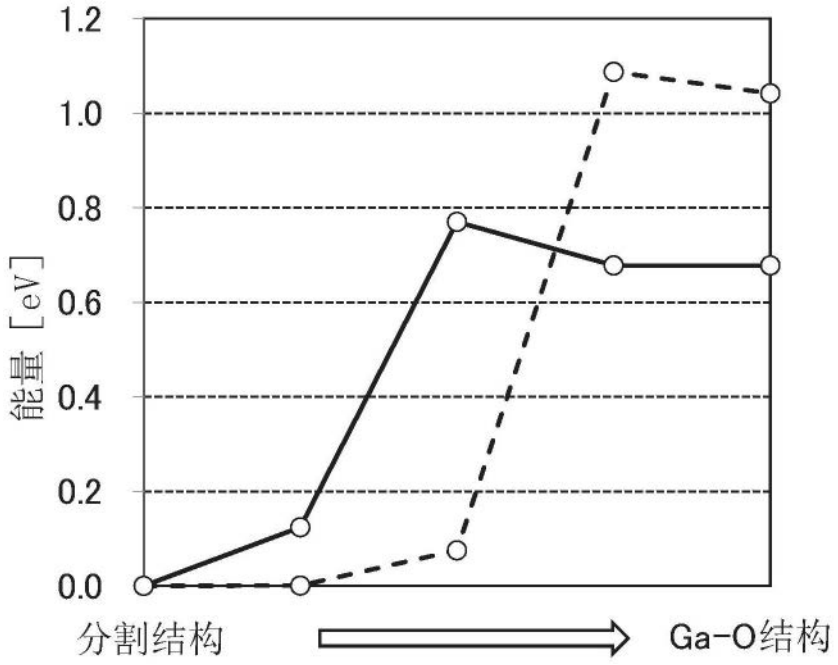

1.2
1.0
0.8
0.6
0.4
0.2
0.0
能量 [eV]
分割结构
Ga-O结构

图35A

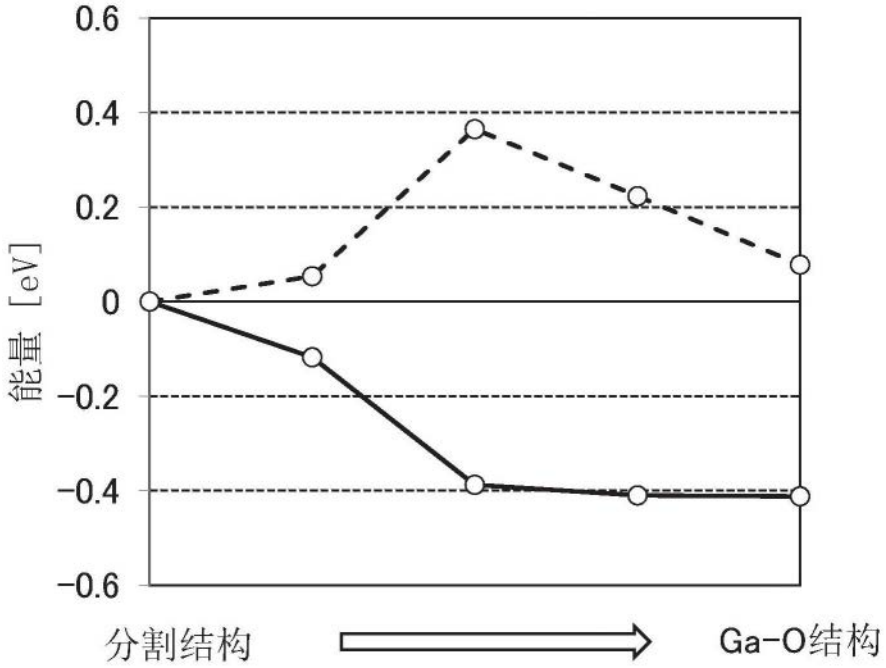


图35B