

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 1 月 13 日(13.01.2011)

PCT

(10) 国際公開番号
WO 2011/004534 A1

- (51) 国際特許分類:
G01N 21/956 (2006.01)
- (21) 国際出願番号: PCT/JP2010/003259
- (22) 国際出願日: 2010 年 5 月 14 日(14.05.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-162334 2009 年 7 月 9 日(09.07.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社 日立ハイテクノロジーズ(HITACHI HIGH-TECHNOLOGIES CORPORATION) [JP/JP]; 〒1058717 東京都港区西新橋一丁目 2 4 番 1 4 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 早川 功一(HAYAKAWA, Koichi) [JP/JP]; 〒3128504 茨城県ひたちなか市大字市毛 8 8 2 番地 株式会社 日立ハイテクノロジーズ 那珂事業所内 Ibaraki (JP). 平井 大博(HIRAI, Takehiro) [JP/JP]; 〒3128504 茨城県ひたちなか市大字市毛 8 8 2 番地 株式会社 日立ハイテクノロジーズ 那珂事業所内 Ibaraki (JP). 丹代 裕(TANDAI, Yutaka)

[JP/JP]; 〒3128504 茨城県ひたちなか市大字市毛 8 8 2 番地 株式会社 日立ハイテクノロジーズ 那珂事業所内 Ibaraki (JP). 石川 玉雄(ISHIKAWA, Tamao) [JP/JP]; 〒3128504 茨城県ひたちなか市大字市毛 8 8 2 番地 株式会社 日立ハイテクノロジーズ 那珂事業所内 Ibaraki (JP). 堺 恒 弘(SAKAI, Tsunehiro) [JP/JP]; 〒3128504 茨城県ひたちなか市大字市毛 8 8 2 番地 株式会社 日立ハイテクノロジーズ 那珂事業所内 Ibaraki (JP). 蓮見 和久(HASUMI, Kazuhisa) [JP/JP]; 〒1058717 東京都港区西新橋一丁目 2 4 番 1 4 号 株式会社 日立ハイテクノロジーズ内 Tokyo (JP). 根本 和典(NEMOTO, Kazunori) [JP/JP]; 〒1058717 東京都港区西新橋一丁目 2 4 番 1 4 号 株式会社 日立ハイテクノロジーズ内 Tokyo (JP). 一瀬 勝彦(ICHINOSE, Katsuhiko) [JP/JP]; 〒1058717 東京都港区西新橋一丁目 2 4 番 1 4 号 株式会社 日立ハイテクノロジーズ内 Tokyo (JP). 高木 裕治(TAKAGI, Yuji) [JP/JP]; 〒2440817 神奈川県横浜市戸塚区吉田町 2 9 2 番地 株式会社 日立製作所 生産技術研究所内 Kanagawa (JP).

- (74) 代理人: 井上学(INOUE, Manabu); 〒1008220 東京都千代田区丸の内一丁目 6 番 1 号 株式会社 日立製作所内 Tokyo (JP).

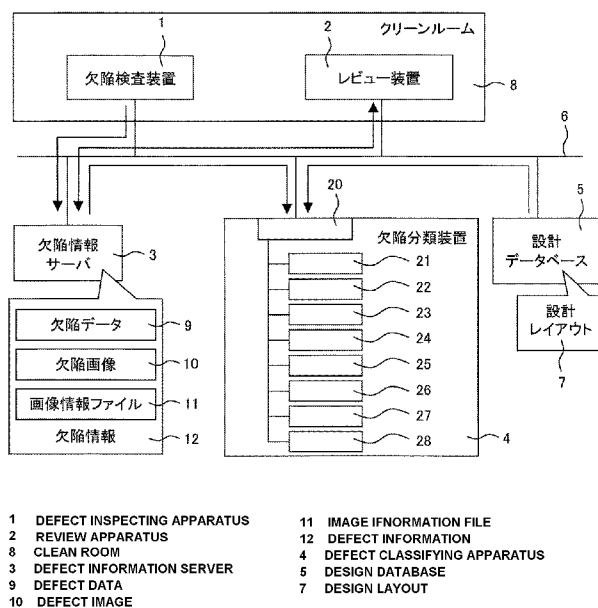
[続葉有]

(54) Title: SEMICONDUCTOR DEFECT CLASSIFYING METHOD, SEMICONDUCTOR DEFECT CLASSIFYING APPARATUS, AND SEMICONDUCTOR DEFECT CLASSIFYING PROGRAM

(54) 発明の名称: 半導体欠陥分類方法, 半導体欠陥分類装置, 半導体欠陥分類プログラム

[図1]

図 1



(57) Abstract: Disclosed is a semiconductor defect classifying method, wherein defects are efficiently and effectively classified by highly accurately determining the overlapping state of a design layout pattern and the defects, and systematic defects are easily identified. Semiconductor device defect images, which are obtained by means of defect inspection or defect review, and design layout data are automatically pattern-matched, and the defects are superimposed on the design layout pattern of at least one layer of a target layer, the upper layer of the target layer or the lower layer of the target layer. The overlapping states of the defects are determined by whether the defects are within the pattern, over the patterns or outside of the pattern, and the defects are automatically classified.

(57) 要約: 設計レイアウトのパターンと欠陥との重なり状態を高精度に判定することにより、効率的かつ効果的に欠陥を分類し、システムティック欠陥を簡便に特定する。半導体デバイスの欠陥検査またはレビューによる欠陥画像と、設計レイアウトデータを自動でパターンマッチングし、対象レイヤ、対象レイヤの上層、または、対象レイヤの下層の少なくともいずれか一層の設計レイアウトパターンに欠陥を重ねし、欠陥がパターン内にあるか、パターンに跨っているか、または、パターンの外にあるかによって、欠陥の重なり状態を判定して、欠

陥を自動で分類する。



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,

MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

半導体欠陥分類方法，半導体欠陥分類装置，半導体欠陥分類プログラム 技術分野

[0001] 本発明は、半導体デバイス製造過程のウェハまたはチップにおいて、システムティック欠陥を含む欠陥を分類する半導体欠陥分類方法，半導体欠陥分類装置，半導体欠陥分類装置のプログラム，半導体欠陥検査方法、および、半導体欠陥検査システムに関する。

背景技術

[0002] 従来、半導体前工程ウェハ製造における歩留まり低下の主原因は、半導体ウェハ上にランダムに発生する異物であり、この異物を低減することで歩留まりを維持できていた。しかし、近年、半導体デバイスのパターン最小線幅は45nmから32nmへと微細化が進んできており、設計レイアウトに依存した欠陥の比率が高まってきている。

[0003] このレイアウト依存性のある欠陥は、システムティック欠陥と呼ばれている。例えば、下地段差起因のパターン形状変動による抵抗異常や、特定領域のゲート酸化膜のエッチング不足によるコンタクトホール導通不良などである。

[0004] 半導体ウェハの欠陥を低減するため、その製造途中において、暗視野方式，明視野方式，電子ビーム方式などの欠陥検査装置で検査が行われている。これらの検査装置で検出した欠陥位置情報を基に、レビュー装置で欠陥の鮮明な画像を取得し、この画像に基づいて欠陥を自動で分類するADC（Automatic Defect Classification）が行われ、分類された欠陥カテゴリおよび頻度に応じて、欠陥対策が行われている。

[0005] しかし、従来のADCの分類では、レビュー装置で観察した欠陥の形状や輝度などによるカテゴリ分類にとどまっており、レイアウト起因のシステムティック欠陥の発生原因を究明することはできなかった。そこで、最近では

、設計レイアウトデータを用いて欠陥を分類する技術が必要となってきた。

[0006] 欠陥を設計レイアウトデータと照合する手法はすでに報告されている。下記、特許文献1では欠陥の原因を究明するため、欠陥画像とレイアウトデータとを重ね合わせ、欠陥位置や、その領域の欠陥密度情報などによりシステムティック欠陥判定を行う方法が開示されている。

先行技術文献

特許文献

[0007] 特許文献1：特開2009-10286号公報

発明の概要

発明が解決しようとする課題

[0008] 特許文献1では、設計レイアウトパターンの領域ごとに、欠陥分類定義を予め行い、検査装置から取得した欠陥データ、具体的には、欠陥座標に基づいて、設計レイアウトのどのパターンにその欠陥座標が位置するかを判定して、システムティック欠陥分類を行う方法が開示されている。

[0009] しかし、欠陥検査装置が出力する欠陥座標は、数マイクロメートルないし、十数マイクロメートルの誤差を有しており、近年の半導体デバイスのようにパターン幅が0.1マイクロメートルより微細な場合では、誤った判定となってしまう。

[0010] また、仮に欠陥座標が高精度化したとしても、欠陥は点ではなく、2次元もしくは3次元の寸法を有しているため、欠陥がパターンの内側に完全に収まっているのか、パターン境界を跨っている、あるいは、はみ出しているのか、パターンの外側に完全に収まっているのかといった、正確な重なり状態を識別することは困難である。このパターンの重なり状態の違いが、欠陥の原因究明に重要となる簡単な例としては、ランダムな位置に発生する異物はパターンの境界を跨る可能性が高く、レイアウト起因のシステムティック欠陥は特定のパターンの内側に収まる可能性が高いということが考えられる。

[0011] 本発明の目的は、設計レイアウトデータの対象パターンに欠陥画像を重畳

し、照合することで、欠陥との重なり状態（パターン内／一つあるいは複数のパターン跨り／パターン外）を判定して、原因究明に効果的な欠陥分類方法を提供することにある。

課題を解決するための手段

- [0012] 上記目的を達成するために、本発明は、欠陥分類装置において、前記欠陥の対象レイヤにおける前記欠陥検査装置または前記レビュー装置の欠陥画像と、前記半導体デバイスの設計レイアウトデータとのパターンマッチングを行い、前記対象レイヤ、前記対象レイヤの上層、または、前記対象レイヤの下層の少なくともいずれか一層のレイヤの設計レイアウトパターンに前記欠陥を重畳し、前記欠陥の重なり状態を判定して、欠陥分類することを特徴とする。
- [0013] また、本発明は、前記欠陥検査装置または前記レビュー装置の前記欠陥画像と、欠陥を含まない参照画像との差分から欠陥形状画像を生成し、前記設計レイアウトパターンに前記欠陥形状画像を重畳し、前記欠陥の重なり状態を判定して、欠陥分類することを特徴とする。
- [0014] また、本発明は、前記欠陥画像のパターン認識から欠陥形状画像を生成し、前記設計レイアウトパターンに前記欠陥形状画像を重畳し、前記欠陥の重なり状態を判定して、欠陥分類することを特徴とする。
- [0015] また、本発明は、前記欠陥検査装置または前記レビュー装置から欠陥座標を取得し、前記欠陥検査装置、前記レビュー装置、前記設計レイアウトパターンのいずれか一つから欠陥サイズを取得し、前記設計レイアウトパターンにおける前記欠陥座標の位置関係と前記欠陥サイズに基づいて、前記欠陥の重なり状態を判定して、欠陥分類することを特徴とする。
- [0016] また、本発明は、前記欠陥形状画像から輪郭線を抽出し、前記設計レイアウトパターンに前記輪郭線を重畳し、前記欠陥の重なり状態を判定して、欠陥分類することを特徴とする。
- [0017] また、前記欠陥の重なり状態を、パターン内にあるか、パターンに跨っているか、または、パターンの外にあるかによって判定して、欠陥分類するこ

とを特徴とする。

[0018] また、本発明は、前記欠陥の重なり状態を、前記欠陥形状画像の総面積と前記欠陥形状画像のパターン内の面積との比率に基づいて、パターン内にあるか、パターンに跨っているか、または、パターンの外にあるかによって判定して、欠陥分類することを特徴とする。

[0019] また、本発明は、前記欠陥の重なり状態を、前記輪郭線の長さとパターンからはみ出した長さとの比率に基づいて、パターン内にあるか、パターンに跨っているか、または、パターンの外にあるかによって判定して、欠陥分類することを特徴とする。

[0020] また、本発明は、前記設計レイアウトパターンを拡幅、もしくは、縮退させて、前記欠陥の重なり状態を判定して、欠陥分類することを特徴とする。

発明の効果

[0021] 本発明によれば、設計レイアウトのパターンと欠陥との重なり状態（パターン内／一つあるいは複数のパターン跨り／パターン外）を高精度に判定することにより、効率的かつ効果的に欠陥を分類し、さらには、近年の微細デバイスで問題となっているシステムティック欠陥を特定することが可能となる。ひいては、このシステムティック欠陥の分類により、半導体デバイスの開発、試作、および量産時の歩留まりを速やかに立ち上げることが可能となる。

図面の簡単な説明

[0022] [図1]本発明の全体構成を示す図。

[図2]画像情報ファイルの一例を示す図。

[図3]欠陥分類手順を示す図。

[図4]欠陥分類装置におけるユーザ画面を示す図。

[図5(A)]欠陥形状画像の取得方法を示す図。

[図5(B)]欠陥形状画像の取得方法を示す図。

[図5(C)]欠陥形状画像の取得方法を示す図。

[図6]設計レイアウトへの欠陥形状画像の重畳手順を示す図。

[図7] レイアウトパターンと欠陥の重なり状態の分類定義方法を示す図。

[図8] 分類精度を向上する方法を示す図。

発明を実施するための形態

[0023] 以下、本発明の実施形態について、図面を参照しながら説明する。

[0024] 本発明の全体構成について、図1を用いて説明する。半導体製造工程は通常、清浄な環境で保たれたクリーンルーム8内にある。クリーンルーム8内には、製品ウェハの欠陥の検査を行う欠陥検査装置1を設置する。欠陥検査装置1は、暗視野欠陥検査装置、明視野欠陥検査装置、電子ビーム欠陥検査装置などであり、被検査デバイスの表面に発生した欠陥を検出すると同時に、検出した欠陥のレビュー画像（欠陥画像10）を取得する機能も備えている場合がある。クリーンルーム8内には、欠陥検査装置1が検出した欠陥の座標情報を基に欠陥の観察を行うレビュー装置2を設置する。レビュー装置2は、主にSEM式欠陥レビュー装置が用いられる。また、これらの欠陥検査装置1とレビュー装置2のデータを保存する欠陥情報サーバ3を設置する。

[0025] 本実施形態では、欠陥分類装置4とその他の装置は通信ネットワーク6を介して接続する。通信ネットワーク6には、設計データベース5も接続し、設計データベース5には、欠陥検査の対象となる半導体デバイスの設計レイアウト7を保管する。設計レイアウト7は、GDS-IIやOASISといった業界標準のフォーマットが望ましいが、この限りではない。また、設計レイアウト7は、理想的なできばえ形状を模擬したものが適しているため、光近接効果補正（OPC：Optical Proximity Correction）パターンが付与されていないデータ、もしくは、可能であれば、実際のパターンできばえをシミュレーションによって予想したデータが望ましいが、この限りではない。

[0026] 次に、図1における各装置のデータ送信の流れについて説明する。欠陥検査装置1、もしくは、レビュー装置2で得られた、欠陥データ9（欠陥検査装置1で検出した欠陥座標やカテゴリなどの情報を含む）、レビューした欠

陥画像 10（欠陥検査装置 1 またはレビュー装置 2 で取得された各欠陥の画像を含む）と、画像情報ファイル 11（欠陥画像 10 の画像取得条件などの情報を含む）などを含む一連のデータを、欠陥情報 12 と称し、これらを欠陥情報サーバ 3 に送る。

[0027] 欠陥分類を行う準備として、欠陥情報サーバ 3 に保管されている欠陥情報 12 を欠陥分類装置 4 に送る。さらに、対象となるデバイスの設計レイアウト 7 を設計データベース 5 から欠陥分類装置 4 に送る。

[0028] 次に、図 1 における欠陥分類装置 4 のシステム構成を説明する。

[0029] 欠陥分類装置 4 は、ワークステーションやパーソナルコンピュータなどによって構成され、欠陥検査装置 1 およびレビュー装置 2 によって検出した欠陥からシステマティック欠陥进行分类する機能を備える。具体的には、他の装置とのデータ授受を行うネットワークインターフェース 20、設計レイアウト 7 や欠陥情報 12 などを記憶する主記憶装置 21、設計データサーバ 5 から取得した設計レイアウト 7 をシステム内に読み込めるように図形変換を行うレイアウト変換演算部 22、欠陥情報 12 のカテゴリ情報を基に対象とするシステマティック欠陥かどうかを選別するサンプリング部 23、欠陥画像 10 と設計レイアウト 7 とのマッチングを行うマッチング処理部 24、欠陥画像と欠陥を含まない参照画像との差分から、あるいは、欠陥画像のパターン認識から欠陥形状画像を生成する欠陥形状画像抽出部 25、欠陥画像 10 と設計レイアウト 7 との重畳処理部 26、欠陥とレイアウトパターンの重なり状態を判定して欠陥进行分类する欠陥分類部 27、設計レイアウト 7 のパターン密度などのレイアウト特性を算出するレイアウト特性演算部 28、レイアウトデータなどの表示やオペレータが指示内容を入力するキーボード、マウスなどの入力デバイス、ユーザインターフェース 29 が表示されるディスプレイなどを有している。

[0030] 上に説明したサンプリング部 23、マッチング処理部 24、欠陥形状画像抽出部 25、重畳処理部 26、欠陥分類部 27、レイアウト特性演算部 28 などの各機能部は、ハードウェア実装によってもソフトウェア実装によって

も実現できる。ハードウェア実装の場合は、上記の各機能部を実現する演算器を一つの基板上に集積することで実現される。ソフトウェア実装の場合は、高速な汎用プロセッサに上記の各機能部での処理に対応するプログラムあるいはコードを実行させることにより実現される。プログラムは主記憶装置 21 あるいは図示されない各種メモリに格納される。

[0031] ハードウェア実装とソフトウェア実装の中間的な実現形態として、FPGA (Field Programmable Gate Array) を用いて、欠陥分類装置 4 の処理機能を実現することもできる。FPGA による実装の場合は、FPGA 本体を構成する論理回路チップの他、上記の各機能部で必要な処理を実現するための回路を論理回路チップ内に構成するためのプログラム (コンフィギュレーションデータと呼ばれることもある) を格納する不揮発メモリが必要となる。なお、ここでいうプログラムとは、FPGA 上に実現する (上記の各機能部に対応する) 回路を記述するプログラムのことであって、ソフトウェア実装の際のプログラムとは異なる。

[0032] 上で説明したハードウェア実装、ソフトウェア実装あるいはFPGAによる実装は、複数の方式を混在させて実現することも可能である。例えば、一部の機能をハードウェア実装し、残りの機能をFPGAで実装するといった方式である。特に、高速処理が要求されるレイアウト変換演算部 22、マッチング処理部 24、レイアウト特性演算部 28 などの機能部についてはFPGAで構成し、ユーザごとに異なる欠陥分類基準が設定されたパラメータを参照するといった柔軟な処理が要求される欠陥分類部 27 などの機能部についてはソフトウェア実装すると、コスト対性能比に優れた欠陥分類装置 4 を実現することができる。

[0033] なお、図 1 に示したデータの授受については、ネットワーク経由をベースとしているが、ハードディスクドライブやメモリスティック経由でも可能である。

[0034] 図 2 は画像情報ファイル 11 の一例を示す。この情報は欠陥検査装置 1 およびレビュー装置 2 で取得した各欠陥の倍率情報、画像の解像度、画像中の

欠陥検出位置の情報などで構成する。設計レイアウト7と欠陥画像10の重畳を行う際、欠陥画像10の倍率は画像取得時に決まるため、画像情報ファイル11に含まれる各欠陥の倍率情報を使用することで、欠陥画像10を取得した倍率に設計レイアウト7の倍率を合わせ込むことが可能となる。

[0035] 図3は、欠陥分類手順を示した図である。

[0036] まず、設計レイアウト7の入力30と欠陥情報12の入力31を行い、図形変換およびフォーマット変換などの前処理を行う。

[0037] 次に、欠陥画像10と重畳する設計レイアウト7のレイヤ定義32を行う。一つの製造工程のレイヤ（以下、レイヤは、層とも言う）でも、設計レイアウト7では複数のレイヤ番号と複数のデータタイプに用いられている場合があるため、これらを一つのレイヤに合成32しておく。

[0038] 次に、欠陥情報12と設計レイアウト7の原点合わせ33を行う。設計レイアウト7はダイの中央を原点とし、欠陥情報12はダイの左下隅を原点というように、座標系が異なっている場合があり、設計レイアウト7を欠陥情報12とを同じ場所の同じパターン位置で原点登録する。

[0039] 次に、レビュー装置によるADC分類カテゴリに基づくサンプリング34を必要に応じて行う。例えば、異物やスクラッチなどのランダム欠陥などをフィルタリングして、ショート欠陥、オープン欠陥など、システムティック欠陥の可能性のあるカテゴリのみを抽出することも有効である。

[0040] 次に、欠陥ごとに欠陥画像10と設計レイアウト7のマッチング35を行う。前記の原点合わせ33の処理により座標系が一致するので、欠陥検出位置を基に設計レイアウト7の同じ位置に移動させる。欠陥の位置が設計データ上でずれている場合も多く、ここでは取得した画像の視野よりも広い範囲で探索を行い、パターンマッチングを行う。マッチング35に用いる設計レイアウト7は、チップ全体のデータでもよいし、欠陥検出位置を中心として、一定のサイズ、あるいは、欠陥画像10のサイズに準じて切り出したデータすなわち、限られた領域のレイアウトでもよい。例えば、座標のずれを見込んで、欠陥画像の1.5倍や2倍などとした領域のデータでもよい。また、

座標ずれの発生しうる値を予め調査し、その値をカバーできる分だけ欠陥画像 10 のサイズを拡張した領域の設計レイアウト 7 を切り出してもよい。また、欠陥画像と同等あるいは、それよりも小さい領域として、欠陥画像 10 の上で設計レイアウト 7 を移動させてマッチングすることも可能である。ここに例示した以外にもいくつかの組合せが考えられる。なお、サンプリング 34 とマッチング 35 は、順序を逆に実施することも可能である。

[0041] 次に、任意の欠陥の欠陥画像 10 と設計レイアウト 7 の任意のレイヤの重畳表示 36 を行う。ここで、任意のレイヤとは、検査対象レイヤ、その上層や下層に位置する他のレイヤを意味し、複数のレイヤを選択することが可能である。設計レイアウト 7 のすべての層、あるいは、欠陥要因となりそうなレイヤを選択し、重畳表示することで、欠陥とレイヤとの間の影響を目視で確認することができる。

[0042] 次に、欠陥画像 10 と設計レイアウト 7 を用いて欠陥とレイアウトパターンの重なり状態に基づく自動分類 37 を行う。例えば、検査対象レイヤが Poly S i レイヤであった場合、その下層にある N 型または P 型のアクティブ領域やフィールド領域、あるいは、通常の MOS の耐圧とは異なる領域（例えば、高耐圧領域）などのレイヤを用いて、欠陥を詳細に分類したり、セル、周辺回路、ダミーパターンなどのパターン情報に基づいて分類したりすることができる。

[0043] 最後に、欠陥近傍のパターン密度、面積率、最小スペース寸法、最小線幅などのレイアウト特性の算出 38 を行う。本実施例で最終的に分類される欠陥種ごとに、これらのレイアウト特性を算出して統計的な傾向を把握することは、システムティック欠陥の解析に非常に有効である。また、この統計的な傾向を、チップ全体のパターン密度、面積率、最小スペース寸法、最小線幅と比較することで、欠陥種ごとの統計的な特徴がより浮き彫りになる。例えば、チップ全体のパターン密度分布に対して、分類された欠陥種における欠陥近傍のパターン密度が高い傾向にあるような場合、この欠陥種がパターンの密集領域に発生しやすいことが明らかになる。このように、チップ全体

のレイアウト特性の算出も非常に有効である。また、コンタクト不良のように、下地レイアウトが、通常のMOS耐圧のP型拡散層、通常のMOS耐圧のN型拡散層、高耐圧MOSのP型拡散層、高耐圧MOSのN型拡散層で分類することにより、システムティック欠陥を顕在化させる場合、チップ全体における各々のコンタクトの存在確率と比較することも有効である。例えば、下地レイアウトが高耐圧MOSのP型拡散層に位置するコンタクト不良率が、チップ全体において高耐圧MOSのP型拡散層に位置するコンタクトの割合に対して大きい場合、高耐圧MOSのP型拡散層のコンタクト不良が大きい、すなわち、システムティックな不良要因が存在することが明らかになる。このように、チップ全体のレイアウト解析により、各々のコンタクトの存在確率を求めておくことは非常に重要である。

[0044] 以上の算出結果により、システムティック欠陥かどうかの判定を行うこともできる。

[0045] なお、上記のサンプリング34、マッチング35、重畳表示36、自動分類37、およびレイアウト特性の算出38は、使用目的に応じて、順序を変えることも可能であり、図1に示す限りではない。

[0046] 図4は欠陥分類装置4におけるユーザ画面40を示す。画面左側は、前述した図3の欠陥画像10と重畳する設計レイアウト7のレイヤ定義32を実施する画面41である。ここでは、対象としたレイヤ番号およびデータタイプの定義の確認や変更が可能である。タブの切り替えなどにより、欠陥のリストを表示させることも可能であり、前述した欠陥サンプリングをこのウィンドウで実施することも可能である。

[0047] 画面中央には3画面を同時に表示させている。ここでは右側にレビュー時に取得した欠陥画像10と左側にはこの欠陥を検出した同位置の設計レイアウト7、中央にはこれらの2つの画像を重畳画像42を表示している。このように3画面表示することで、一目でレイアウトデータとレビュー画像のマッチング状況を確認することができる。ここでは、欠陥画像10と設計レイアウト7のどちらかの領域をベースとして、はみ出したパターンは表示させ

ないようにすることも有効である。この３画面表示により、複数の照合レイヤを同時に表示でき、対象とするレイヤと画像とを照らし合わせながらレイヤ間の影響を確認することができる。

[0048] もし自動マッチング時に失敗したときには、手動でレイアウト画像を移動させて重ね合わせ、再調整することもできる。この場合、欠陥画像 7 を基本位置とし、設計レイアウト 10 を、移動用ボタン（上下左右ボタン） 43 をクリックし、位置をずらしながら重畳する。

[0049] ウェハマップ 44 には欠陥検査装置 1 が検出した欠陥座標を基にウェハマップを表示する。また、ダイマップ 45 では、ダイ内のどの部分に欠陥が存在するのかを確認することができ、欠陥が発生した場所と半導体デバイス内の制御回路部、演算回路部、RAM 部などの回路ブロックとの位置関係も確認できる。画面中央の３画面表示で表示している欠陥は、ウェハマップ 44 やダイマップ 45 でハイライト表示させることも可能である。さらに、ウェハマップ 44、もしくは、ダイマップ 45 で見たい欠陥をクリックすると、指定した欠陥を画面中央の３画面に表示させることもできる。グラフ表示 46 では、ADC 分類カテゴリの結果や、欠陥分類装置 4 で分類した結果についてグラフ化できる。

[0050] 次に、欠陥とレイアウトパターンとの重なり状態に基づく自動欠陥分類の事前準備の手順を示す。

[0051] 図 5（A）は、欠陥形状画像 52 の取得方法を示す図であり、これを用いて、欠陥前処理画像 50 と欠陥を含まない参照画像 51 の差分から欠陥形状画像 52 のみを取得する方法について示す。

[0052] この欠陥前処理画像 50 は、前述した欠陥画像 10 と同じでもよいし、欠陥画像 10 と比較して低倍率の画像でもよい。ただし、欠陥前処理画像 50 と参照画像 51 とのパターンマッチングを実施する際には、欠陥前処理画像 50 と参照画像 51 の倍率はできるだけ同じにしておくか、どちらかの画像をデジタルズームさせて倍率を合わせておく。マッチング実施後、両者の画像の差分をとり、指定したしきい値を超える階調差が生じている画素を欠陥

領域として、あるいは、さらに、その画素群が一定の画素数を越えた画素群を欠陥領域として、欠陥形状画像 5 2 を生成する。このとき、欠陥形状画像 5 2 を 2 値化画像としてもよいし、少ない階調の画像に変換しておいてもよい。

[0053] 図 5 (B) は、欠陥形状画像 5 2 の取得方法を示す第 2 の方法を示す図である。欠陥前処理画像 5 1 0 は欠陥画像（欠陥のレビュー画像） 1 0 に比べて低い倍率で撮像された画像である。参照画像 5 1 1 は、欠陥前処理画像 5 1 0 とパターンマッチングを実施できる程度に倍率が同じものである。マッチング実施後、両者の画像の差分をとり、指定したしきい値を超える階調差が生じている画素を欠陥領域として、あるいは、さらに、その画素群が一定の画素数を越えた画素群を欠陥領域として、欠陥形状画像 5 1 2 を生成する。欠陥画像 1 0 は欠陥前処理画像 5 1 0 の領域 5 1 3 で示した部分を拡大して撮像した画像である。従って、領域 5 1 3 に相当する欠陥形状画像 5 1 2 上の領域 5 1 4 で、画像処理にて欠陥画像 1 0 と同等に拡大して生成した欠陥形状画像 5 1 5 を、設計レイアウト 7 へ重畳する欠陥形状画像 5 2 とすることができる。

[0054] 図 5 (C) は、欠陥形状画像 5 2 の取得方法を示す第 3 の方法を示す図である。欠陥前処理画像 5 2 0 は欠陥画像（欠陥のレビュー画像） 1 0 に比べて低い倍率で撮像された画像である。

[0055] レビュー対象物が、システム L S I に組み込まれた S R A M 領域、 D R A M 領域、フラッシュメモリ領域、あるいは、半導体製品としての S R A M、 D R A M、フラッシュメモリなどにおいて、レビューした欠陥の発生領域が繰返しパターン領域であった場合、パターンの繰返し性を利用して欠陥形状画像 5 2 1 を得ることができる。欠陥画像 1 0 は欠陥前処理画像 5 2 0 の領域 5 2 2 で示した部分を拡大して撮像した画像である。従って、領域 5 2 2 に相当する欠陥形状画像 5 2 1 上の領域 5 2 3 で、画像処理にて欠陥画像 1 0 と同等に拡大した欠陥形状画像 5 2 4 を、設計レイアウト 7 へ重畳する欠陥形状画像 5 2 とすることができる。

- [0056] 欠陥の発生領域が完全な繰返しパターン領域でない場合、欠陥前処理画像 520 から欠陥形状画像 521 を生成する方法として、欠陥画像 520 を局所領域ごとに分割し、領域ごとに既に記憶してある画像の局所領域とマッチングを行い、マッチングが取れた局所領域間の差分を求めて欠陥領域を抽出するなどの方法により、欠陥形状画像を生成することができる。
- [0057] また、任意の画像から異常部分を自動的に検出するためのアルゴリズムを用いることにより欠陥画像 520 から欠陥形状画像 521 を生成することも可能である。
- [0058] 図 6 は、設計レイアウト 7 への欠陥形状画像 52 の重畳手順を示す図である。前述した欠陥画像 10 と設計レイアウト 7 とのマッチング位置関係と、欠陥画像 10 と欠陥前処理画像 50 との位置関係に基づいて、設計レイアウト 7 の上に欠陥形状画像 52 を重畳する。このとき、設計レイアウト 7 と欠陥形状画像 52 の倍率は合わせておく。これにより、欠陥形状重畳画像 53 が生成できる。
- [0059] 図示はしないが、精度を要求せず、簡便に重畳する場合について述べる。この場合、欠陥座標と欠陥サイズが判れば、例えば欠陥形状を円形と仮定し、仮想的に欠陥形状を描画して設計レイアウト 7 に重畳することも可能である。この欠陥サイズは、前記した欠陥検査装置 1、もしくは、前記したレビュー装置 2 から取得することが可能である。また、コンタクトやビア工程の穴あけ後や埋め込み後では、導通不良となった場合、コンタクトやビアの部分が異常なコントラストとなって現れることがある。このような工程では、欠陥座標と穴径が判れば、これに基づいて画像を生成し、重畳することも可能である。この場合、欠陥サイズは、前記した欠陥検査装置 1、前記したレビュー装置 2、前記した設計レイアウト 7 のいずれか一つから取得すればよい。
- [0060] また、図示はしないが、欠陥画像 10 のパターン認識から、欠陥形状画像 52 を生成することも可能である。予めパターンの層数を設定しておき、これに基づいて、欠陥画像 10 に存在するパターンを層ごとに識別させ、画像

の不規則性あるいは不連続性からパターンの膨張箇所、収縮箇所、孤立箇所を抽出し、これを欠陥とみなす一般的な手法である。この抽出から欠陥形状画像 5 2 を生成することも有効である。

[0061] また、図示はしないが、システム L S I に組み込まれた S R A M 領域、D R A M 領域、フラッシュメモリ領域、あるいは、半導体製品としての S R A M、D R A M、フラッシュメモリなどにおいて、レビューした欠陥の発生領域が繰返しパターン領域であった場合、欠陥が影響する領域以外の正常な画像領域から、パターンの繰返し性を分析して、欠陥が影響する領域の正常画像を推定して、参照画像 5 1 を仮想的に生成する手法を用いることも有効である。

[0062] また、半導体のパターンが周期性を持っていない領域における欠陥画像 1 0 から欠陥形状画像 5 2 を生成する方法として、欠陥画像 1 0 を局所領域ごとに分割し、領域ごとに既に記憶してある画像の局所領域とマッチングを行い、マッチングが取れた局所領域間の差分を求めて欠陥領域を抽出する方法あるいは任意の画像から異常部分を自動的に検出するためのアルゴリズムを適用することにより欠陥画像 1 0 から欠陥形状画像 5 2 を生成することも可能である。

[0063] 以上で、設計レイアウト 7 のパターンと欠陥との重なり状態分類の事前準備が完了する。

[0064] 次に、設計レイアウトと欠陥の重なり状態の分類方法について説明する。

[0065] 図 7 は、レイアウトパターン 6 0 と欠陥 6 1 の重なり状態の分類定義方法を示す図であり、設計レイアウト 7 と欠陥形状画像 5 2 を重畳することにより生成したものである。以下、3つの状態によりパターン内、パターン跨り、パターン外を決定する。

[0066] 図 7 (a) のパターン内は、レイアウトパターン 6 0 の内側に、はみ出さないうで欠陥 6 1 が存在するカテゴリを意味する。

[0067] 図 7 (b) のパターン跨りは、レイアウトパターン 6 0 をはみ出して、跨るように欠陥 6 1 が存在するカテゴリを意味する。

- [0068] 図7(c)のパターン外は、レイアウトパターン60に重ならないで欠陥61が存在するカテゴリを意味する。
- [0069] 以上の判定は、例えば、レイアウトパターン60を画素情報に変換し、欠陥61の一つ一つの欠陥画素62をレイアウトパターン60の一つ一つの画素と照合することで実現できる。また、他にも、欠陥61の最外周にあたる欠陥輪郭線63を抽出し、この欠陥輪郭線63とレイアウトパターン40とを照合することでも実現できる。
- [0070] また、図7(a)に示すようなパターン内に分類された欠陥を、パターンのエッジ境界に接しているかどうかで、さらに詳細に分類する場合は、レイアウトパターン60のエッジ境界の画素を識別しておき、その部分に欠陥61の欠陥画素62、もしくは、欠陥61の最外周にあたる欠陥輪郭線63が重なっているかどうかで分類することも可能である。
- [0071] 同様に、図7(c)に示すようなパターン外に分類された欠陥を、パターンのエッジ境界に接しているかどうかで、さらに詳細に分類する場合は、レイアウトパターン60のエッジ境界の画素を識別しておき、その部分に欠陥61の欠陥画素62、もしくは、欠陥61の最外周にあたる欠陥輪郭線63が接しているかどうかで分類することも可能である。
- [0072] また、図7の例では、欠陥61をレビューした工程と同じレイヤの設計レイアウト7で重なり状態を判定しているが、その他のレイヤのレイアウトパターンとの重なり状態を基準として分類することも可能である。さらに、複数の層における分類結果の組合せによってシステムティック欠陥を抽出することも有効である。
- [0073] さらに、欠陥分類のカテゴリとして、ブリッジ欠陥のように複数のレイアウトパターンとの重なり状態を、一つのレイアウトパターンとの重なり状態と弁別することも有効である。
- [0074] 以上の分類は、欠陥画像10から欠陥形状画像52を精度よく生成し、設計レイアウト7に欠陥形状画像52を精度よく重畳可能であることを前提としている。しかし、実際には、欠陥61が実際の欠陥より大きめ、あるいは

、小さめに生成される場合や、欠陥形状画像 52 と設計レイアウト 7 の重畳の際に位置ずれが生じる場合がある。以下に、これらの問題の対処方法について述べる。

[0075] 図 8 は、分類精度を向上する方法を示す図である。

[0076] 図 8 (a) は、レイアウトパターン 60 と形状誤差を有する欠陥 61' を示し、実際の欠陥 61 の形状を点線で示す。この場合、形状誤差を有する欠陥 61' がレイアウトパターン 60 をはみ出していることから、パターン跨りに誤って分類されてしまうが、実際には、パターン内に分類されるべきである。

[0077] 図 8 (b) は、レイアウトパターン 60 を拡幅して、この形状誤差を吸収する方法を示しており、レイアウトパターン 60 を Δ 分だけ幅を拡げた図である。この方法によると、形状誤差を有する欠陥 61' もパターン内に分類することが可能となる。このレイアウトパターン拡幅方式は、レイアウトパターンから一定距離だけ離れた箇所に発生するシステムティック欠陥を弁別する場合にも適用可能である。この場合、同様に、レイアウトパターンを一定距離だけ拡幅し、そのときに跨りとなったり、内側となったりした分類結果を集計することで、このシステムティック欠陥を検出可能である。

[0078] 図 8 (c) は、形状誤差を有する欠陥 61' の面積比率の算出によって分類精度を向上する方法を示す。形状誤差を有する欠陥 61' がレイアウトパターン 60 と重なり合った面積を A とし、はみ出した面積を B とする。欠陥の総面積 (A + B) に対する重なりあった面積 A の割合が指定したしきい値以上となった場合、パターン内と判定することで、分類精度を向上させることが可能となる。

[0079] さらに、図示はしないが、欠陥輪郭線 63 (図 7 に記載) を用いる場合は、レイアウトパターン 60 からのはみ出した部分の輪郭線の長さが、指定したしきい値以下となった場合に、パターン内と判定したり、輪郭線のすべての長さに対するはみ出した部分の輪郭線の長さの比率をしきい値判断しても良い。

[0080] なお、以上の例では、パターン内がパターン跨りに誤って判定される場合について述べたが、パターン外がパターン跨りに誤って判定される場合についても類似した考え方で対処可能である。この場合、図示はしないが、レイアウトパターン60を縮退させるか、総面積(A+B)に対する重なり合った面積をAの割合が指定した別のしきい値以下となった場合、パターン外と判定することが可能となる。また、これらの精度向上手法を組み合わせることも可能である。

[0081] 以上述べたように、本発明によれば、設計レイアウトのパターンと欠陥との重なり状態(パターン内/パターン跨り/パターン外)を高精度に判定することにより、効率的かつ効果的に欠陥を分類し、さらには、近年の微細デバイスで問題となっているシステムティック欠陥を特定することが可能となる。ひいては、このシステムティック欠陥の分類により、半導体デバイスの開発、試作、および量産時の歩留まりを速やかに立ち上げることが可能となる。

符号の説明

- [0082]
- 1 欠陥検査装置
 - 2 レビュー装置
 - 3 欠陥情報サーバ
 - 4 欠陥分類装置
 - 5 設計データベース
 - 6 通信ネットワーク
 - 7 設計レイアウト
 - 8 クリーンルーム
 - 9 欠陥データ
 - 10 欠陥画像
 - 11 画像情報ファイル
 - 12 欠陥情報
 - 20 ネットワークインターフェイス

- 2 1 主記憶装置
- 2 2 レイアウト変換演算部
- 2 3 サンプリング部
- 2 4 マッチング処理部
- 2 5 欠陥形状画像抽出部
- 2 6 重畳処理部
- 2 7 欠陥分類部
- 2 8 レイアウト特性演算部
- 2 9 ユーザーインターフェース

請求の範囲

- [請求項1] 半導体デバイスの欠陥を検出する欠陥検査装置と観察を行うレビュー装置によって前記欠陥を分類する欠陥分類装置の欠陥分類方法であって、
- 前記欠陥分類装置において、
- 前記欠陥の検査レイヤにおける前記欠陥検査装置または前記レビュー装置の欠陥画像と、
- 前記半導体デバイスの設計レイアウトデータとのパターンマッチングを行い、
- 前記検査レイヤ、前記検査レイヤの上層、または、前記検査レイヤの下層の少なくともいずれか一層の設計レイアウトパターンに前記欠陥を重畳し、
- 前記欠陥と前記任意のレイヤのレイアウトパターンの重なり状態を判定して、自動分類することを特徴とする半導体欠陥分類方法。
- [請求項2] 請求項1に記載の半導体欠陥分類方法であって、
- 前記欠陥画像と、前記欠陥を含まない参照画像との差分から欠陥形状画像を生成し、
- 前記設計レイアウトパターンに前記欠陥形状画像を重畳し、
- 前記欠陥と前記任意のレイヤのレイアウトパターンの重なり状態を判定して、自動分類することを特徴とする半導体欠陥分類方法。
- [請求項3] 請求項1に記載の半導体欠陥分類方法であって、
- 前記欠陥画像のパターン認識により欠陥形状画像を生成し、
- 前記設計レイアウトパターンに前記欠陥形状画像を重畳し、
- 前記欠陥と前記任意のレイヤのレイアウトパターンの重なり状態を判定して、自動分類することを特徴とする半導体欠陥分類方法。
- [請求項4] 請求項1に記載の半導体欠陥分類方法であって、
- 前記欠陥検査装置または前記レビュー装置から欠陥座標を取得し、
- 前記欠陥検査装置、前記レビュー装置、前記設計レイアウトパター

ンのいずれか一つから欠陥サイズを取得し、

前記設計レイアウトパターンにおける前記欠陥座標の位置関係と前記欠陥サイズに基づいて、前記欠陥と前記任意のレイヤのレイアウトパターンの重なり状態を判定して、自動分類することを特徴とする半導体欠陥分類方法。

[請求項5] 請求項 1 および 3 に記載の半導体欠陥分類方法であって、
前記欠陥形状画像から輪郭線を抽出し、
前記設計レイアウトパターンに前記輪郭線を重畳し、
前記欠陥と前記任意のレイヤのレイアウトパターンの重なり状態を判定して、自動分類することを特徴とする半導体欠陥分類方法。

[請求項6] 請求項 1 から 5 に記載の半導体欠陥分類方法であって、
前記欠陥の重なり状態を、パターン内にあるか、パターンに跨っているか、または、パターンの外にあるかによって、前記欠陥と前記任意のレイヤのレイアウトパターンの重なり状態を判定して、自動分類することを特徴とする半導体欠陥分類方法。

[請求項7] 請求項 1 から 4 に記載の半導体欠陥分類方法であって、
前記欠陥の重なり状態を、前記欠陥形状画像の総面積と前記欠陥形状画像のパターン内の面積との比率に基づいて、パターン内にあるか、パターンに跨っているか、または、パターンの外にあるかによって、前記欠陥と前記任意のレイヤのレイアウトパターンの重なり状態を判定して、自動分類することを特徴とする半導体欠陥分類方法。

[請求項8] 請求項 5 に記載の半導体欠陥分類方法であって、
前記欠陥の重なり状態を、前記輪郭線の長さパターンからはみ出した長さとの比率に基づいて、パターン内にあるか、パターンに跨っているか、または、パターンの外にあるかによって、前記欠陥と前記任意のレイヤのレイアウトパターンの重なり状態を判定して、自動分類することを特徴とする半導体欠陥分類方法。

[請求項9] 請求項 1 から 8 に記載の半導体欠陥分類方法であって、

前記設計レイアウトパターンを拡幅、もしくは、縮退させて、
前記欠陥と前記任意のレイヤのレイアウトパターンの重なり状態を
判定して、自動分類することを特徴とする半導体欠陥分類方法。

[請求項10]

請求項 1 から 9 に記載の半導体欠陥分類方法であって、
前記欠陥の分類欠陥結果、あるいは、前記欠陥の近傍におけるパター
ン密度、面積率、最小スペース寸法、最小線幅のいずれか一つにつ
いて、チップ全体の傾向と比較することにより、統計的にシステマテ
ィック欠陥を抽出することを特徴とする半導体欠陥分類方法。

[請求項11]

半導体デバイスの欠陥を検出する欠陥検査装置と観察を行うレビュー
装置によって前記欠陥を分類する欠陥分類装置であって、
前記欠陥分類装置が、
設計レイアウトの入力を受ける手段と、
前記欠陥検査装置もしくはレビュー装置から出力される欠陥情報の
入力を受ける手段と、
前記欠陥情報に含まれる欠陥画像と重畳する前記設計レイアウトパ
ターンのレイヤ指定を受ける手段と、
前記欠陥情報と前記設計レイアウトパターンの原点合わせ設定を受
ける手段と、
前記欠陥画像と前記設計レイアウトパターンのパターンマッチング
を行う手段と、
前記欠陥と前記任意のレイヤのレイアウトパターンの重なり状態に
基づいて自動分類を行う手段と、を有することを特徴とする半導体欠
陥分類装置。

[請求項12]

請求項 1 1 に記載の半導体欠陥分類装置であって、
前記欠陥分類装置が、
前記欠陥画像と、欠陥を含まない参照画像との差分から欠陥形状画
像を生成する手段と、
前記設計レイアウトパターンに前記欠陥形状画像を重畳して、前記

欠陥と前記任意のレイヤのレイアウトパターンの重なり状態を判定して、自動分類する手段と、

を有することを特徴とする半導体欠陥分類装置。

[請求項13]

請求項 1 1 に記載の半導体欠陥分類装置であって、

前記欠陥分類装置が、

前記欠陥画像のパターン認識から欠陥形状画像を生成する手段と、

前記設計レイアウトパターンに前記欠陥形状画像を重畳して、前記欠陥と前記任意のレイヤのレイアウトパターンの重なり状態を判定して、自動分類する手段と、を有することを特徴とする半導体欠陥分類装置。

[請求項14]

請求項 1 1 に記載の半導体欠陥分類装置であって、

前記欠陥分類装置が、

前記欠陥検査装置または前記レビュー装置から欠陥座標を取得する手段と、

前記欠陥検査装置、前記レビュー装置、前記設計レイアウトパターンのいずれか一つから欠陥サイズを取得する手段と、

前記設計レイアウトパターンにおける前記欠陥座標の位置関係と前記欠陥サイズに基づいて、前記欠陥と前記任意のレイヤのレイアウトパターンの重なり状態を判定して、自動分類する手段と、を有することを特徴とする半導体欠陥分類装置。

[請求項15]

請求項 1 1 および 1 3 に記載の半導体欠陥分類装置であって、

前記欠陥分類装置が、

前記欠陥形状画像から輪郭線を抽出する手段と、

前記設計レイアウトパターンに前記輪郭線を重畳して、前記欠陥と前記任意のレイヤのレイアウトパターンの重なり状態を判定して、自動分類する手段と、を有することを特徴とする半導体欠陥分類装置。

[請求項16]

請求項 1 1 から 1 5 に記載の半導体欠陥分類装置であって、

前記欠陥分類装置が、

前記欠陥の重なり状態を、パターン内にあるか、パターンに跨っているか、または、パターンの外にあるかによって、前記欠陥と前記任意のレイヤのレイアウトパターンの重なり状態を判定して、自動分類する手段と、を実行させる手段を有することを特徴とする半導体欠陥分類装置。

[請求項17] 請求項 1 1 から 1 4 に記載の半導体欠陥分類装置であって、
前記欠陥分類装置が、

前記欠陥の重なり状態を、前記欠陥形状画像の総面積と前記欠陥形状画像のパターン内の面積との比率に基づいて、パターン内にあるか、パターンに跨っているか、または、パターンの外にあるかによって、前記欠陥と前記任意のレイヤのレイアウトパターンの重なり状態を判定して、自動分類する手段と、を有することを特徴とする半導体欠陥分類装置。

[請求項18] 請求項 1 5 に記載の半導体欠陥分類装置であって、
前記欠陥分類装置が、

前記欠陥の重なり状態を、前記輪郭線の長さとパターンからはみ出した長さとの比率に基づいて、パターン内にあるか、パターンに跨っているか、または、パターンの外にあるかによって、前記欠陥と前記任意のレイヤのレイアウトパターンの重なり状態を判定して、自動分類する手段と、を有することを特徴とする半導体欠陥分類装置。

[請求項19] 請求項 1 1 から 1 8 に記載の半導体欠陥分類装置であって、
前記欠陥分類装置が、

前記設計レイアウトパターンを拡幅、もしくは、縮退させて、

前記欠陥と前記任意のレイヤのレイアウトパターンの重なり状態を判定して、欠陥分類する手段と、を有することを特徴とする半導体欠陥分類装置。

[請求項20] 請求項 1 1 から 1 9 に記載の半導体欠陥分類装置であって、
前記欠陥分類装置が、

前記欠陥の分類欠陥結果、あるいは、前記欠陥の近傍におけるパターン密度、面積率、最小スペース寸法、最小線幅のいずれか一つについて、チップ全体の傾向と比較する手段と、を有することを特徴とする半導体欠陥分類装置。

[請求項21]

半導体デバイスの欠陥を検出する欠陥検査装置と観察を行うレビュー装置によって前記欠陥を分類する欠陥分類プログラムであって、
前記欠陥分類プログラムが、
設計レイアウトの入力を受けるステップと、
前記欠陥検査装置もしくはレビュー装置から出力される欠陥情報の入力を受けるステップと、
前記欠陥情報に含まれる欠陥画像と重畳する前記設計レイアウトパターンのレイヤ指定を受けるステップと、
前記欠陥情報と前記設計レイアウトパターンの原点合わせ設定を受けるステップと、
前記欠陥画像と前記設計レイアウトパターンのパターンマッチングを行うステップと、
前記欠陥と前記任意のレイヤのレイアウトパターンの重なり状態に基づいて自動分類を行うステップと、を実行させることを特徴とする半導体欠陥分類プログラム。

[請求項22]

請求項21に記載の半導体欠陥分類プログラムであって、
前記欠陥分類プログラムが、
前記欠陥画像と、欠陥を含まない参照画像との差分から欠陥形状画像を生成するステップと、
前記設計レイアウトパターンに前記欠陥形状画像を重畳して、前記欠陥と前記任意のレイヤのレイアウトパターンの重なり状態を判定して、自動分類するステップと、を実行させることを特徴とする半導体欠陥分類プログラム。

[請求項23]

請求項21に記載の半導体欠陥分類プログラムであって、

前記欠陥分類プログラムが、
前記欠陥画像のパターン認識から欠陥形状画像を生成するステップと、

前記設計レイアウトパターンに前記欠陥形状画像を重畳して、前記欠陥と前記任意のレイヤのレイアウトパターンの重なり状態を判定して、自動分類するステップと、を実行させることを特徴とする半導体欠陥分類プログラム。

[請求項24] 請求項21に記載の半導体欠陥分類プログラムであって、
前記欠陥分類プログラムが、
前記欠陥検査装置または前記レビュー装置から欠陥座標を取得するステップと、

前記欠陥検査装置、前記レビュー装置、前記設計レイアウトパターンのいずれか一つから欠陥サイズを取得するステップと、

前記設計レイアウトパターンにおける前記欠陥座標の位置関係と前記欠陥サイズに基づいて、前記欠陥と前記任意のレイヤのレイアウトパターンの重なり状態を判定して、自動分類するステップと、を実行させることを特徴とする半導体欠陥分類プログラム。

[請求項25] 請求項21および23に記載の半導体欠陥分類プログラムであって、

前記欠陥分類プログラムが、
前記欠陥形状画像から輪郭線を抽出するステップと、
前記設計レイアウトパターンに前記輪郭線を重畳して、前記欠陥と前記任意のレイヤのレイアウトパターンの重なり状態を判定して、自動分類するステップと、
を実行させることを特徴とする半導体欠陥分類プログラム。

[請求項26] 請求項21から25に記載の半導体欠陥分類プログラムであって、
前記欠陥分類プログラムが、
前記欠陥の重なり状態を、パターン内にあるか、パターンに跨って

いるか、または、パターンの外にあるかによって、前記欠陥と前記任意のレイヤのレイアウトパターンの重なり状態を判定して、自動分類するステップと、を実行させるステップを実行させることを特徴とする半導体欠陥分類プログラム。

[請求項27] 請求項21から24に記載の半導体欠陥分類プログラムであって、
前記欠陥分類プログラムが、
前記欠陥の重なり状態を、前記欠陥形状画像の総面積と前記欠陥形状画像のパターン内の面積との比率に基づいて、パターン内にあるか、パターンに跨っているか、または、パターンの外にあるかによって、前記欠陥と前記任意のレイヤのレイアウトパターンの重なり状態を判定して、自動分類するステップと、を実行させることを特徴とする半導体欠陥分類プログラム。

[請求項28] 請求項25に記載の半導体欠陥分類プログラムであって、
前記欠陥分類プログラムが、
前記欠陥の重なり状態を、前記輪郭線の長さとパターンからはみ出した長さとの比率に基づいて、パターン内にあるか、パターンに跨っているか、または、パターンの外にあるかによって、前記欠陥と前記任意のレイヤのレイアウトパターンの重なり状態を判定して、自動分類するステップと、を実行させることを特徴とする半導体欠陥分類プログラム。

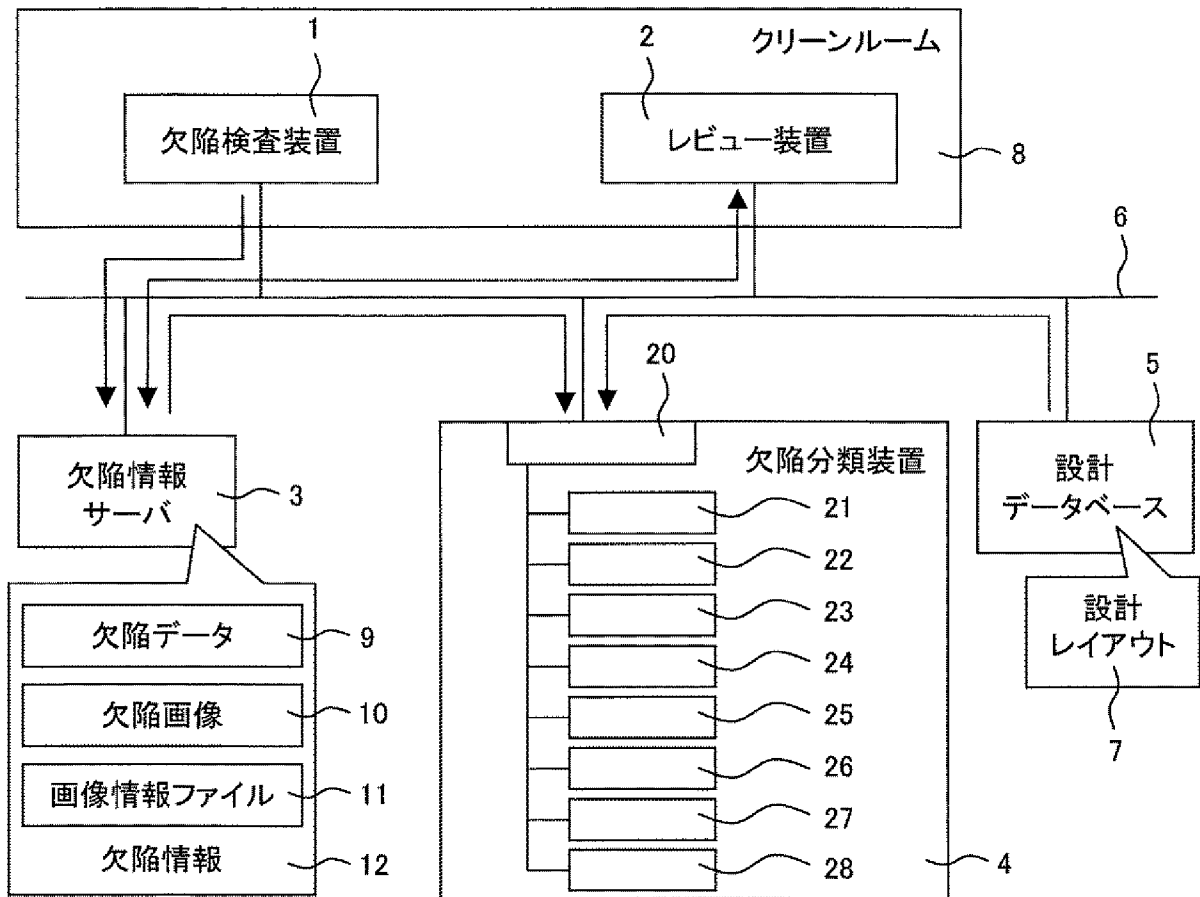
[請求項29] 請求項21から28に記載の半導体欠陥分類プログラムであって、
前記欠陥分類プログラムが、
前記設計レイアウトパターンを拡張、もしくは、縮退させることにより、前記欠陥と前記任意のレイヤのレイアウトパターンの重なり状態を判定して、欠陥分類するステップと、
を実行させることを特徴とする半導体欠陥分類プログラム。

[請求項30] 請求項21から29に記載の半導体欠陥分類プログラムであって、
前記欠陥分類プログラムが、

前記欠陥の分類欠陥結果、あるいは、前記欠陥の近傍におけるパターン密度、面積率、最小スペース寸法、最小線幅のいずれか一つについて、チップ全体の傾向と比較するステップと、を実行させることを特徴とする半導体欠陥分類プログラム。

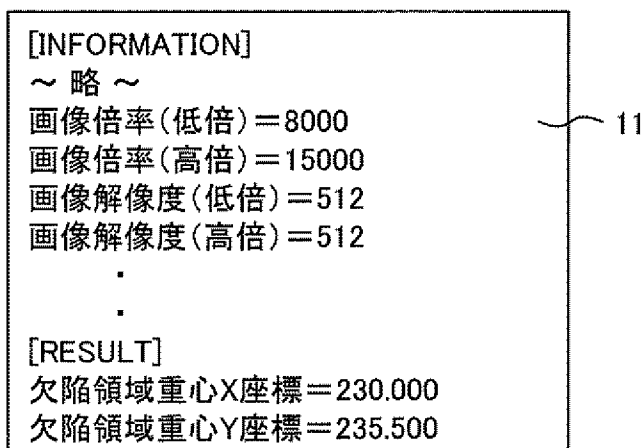
[図1]

図 1



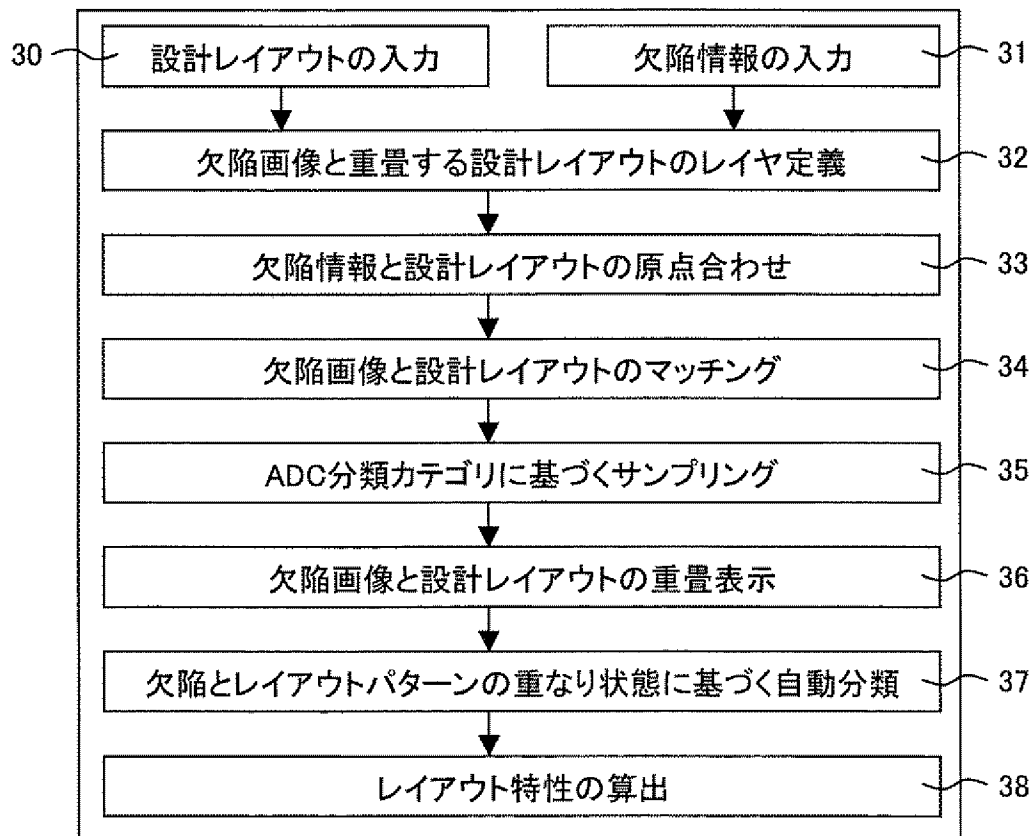
[図2]

図 2



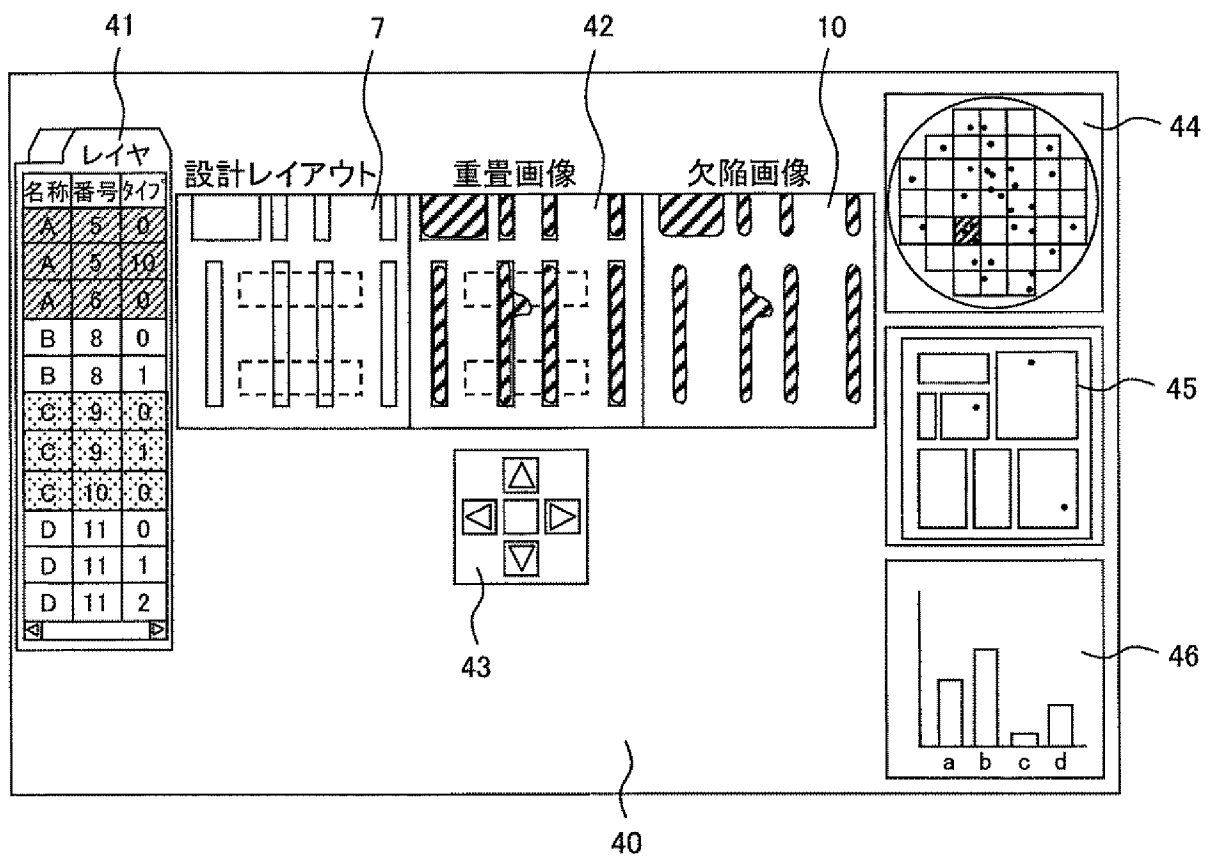
[図3]

図 3



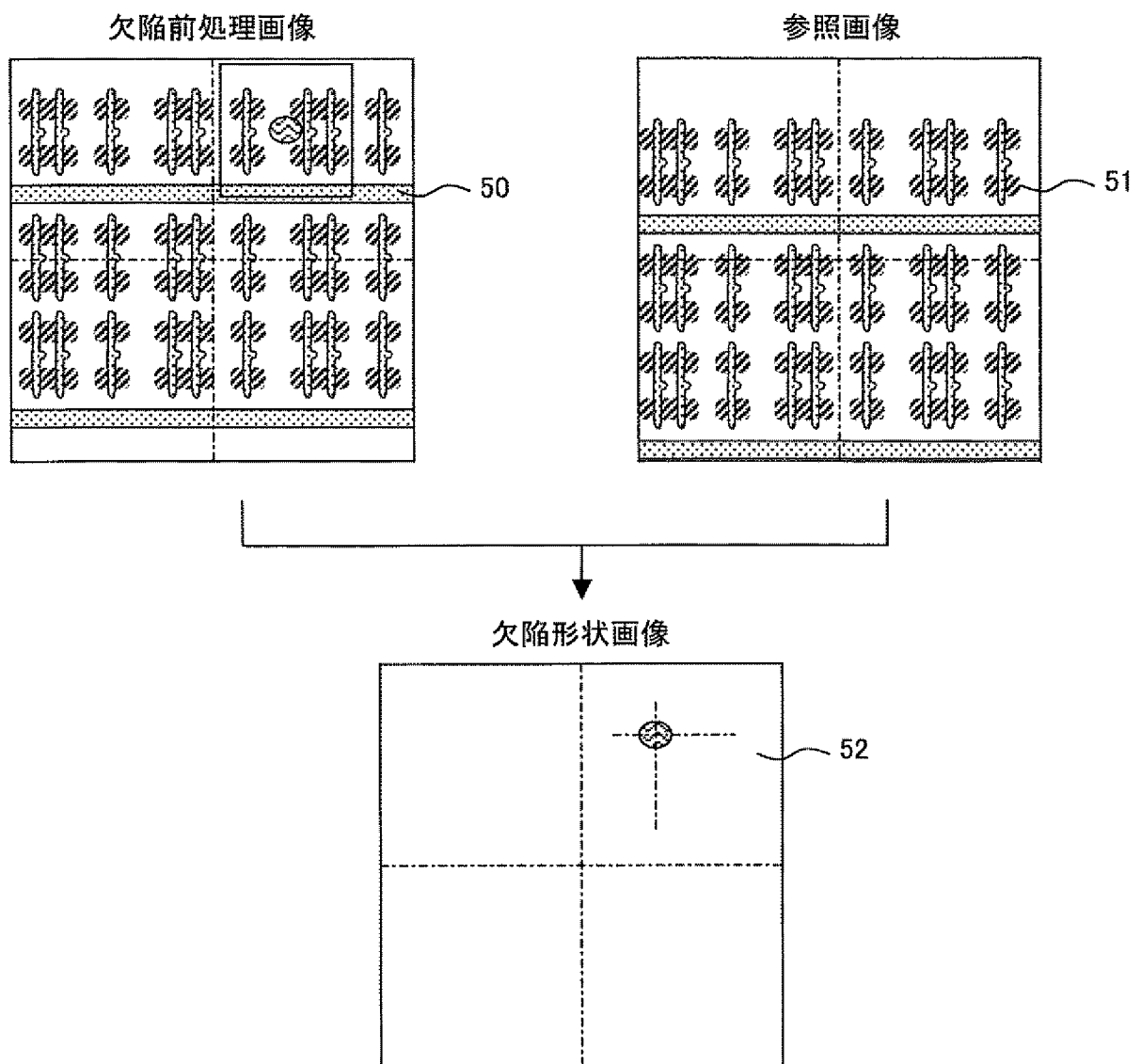
[図4]

図 4



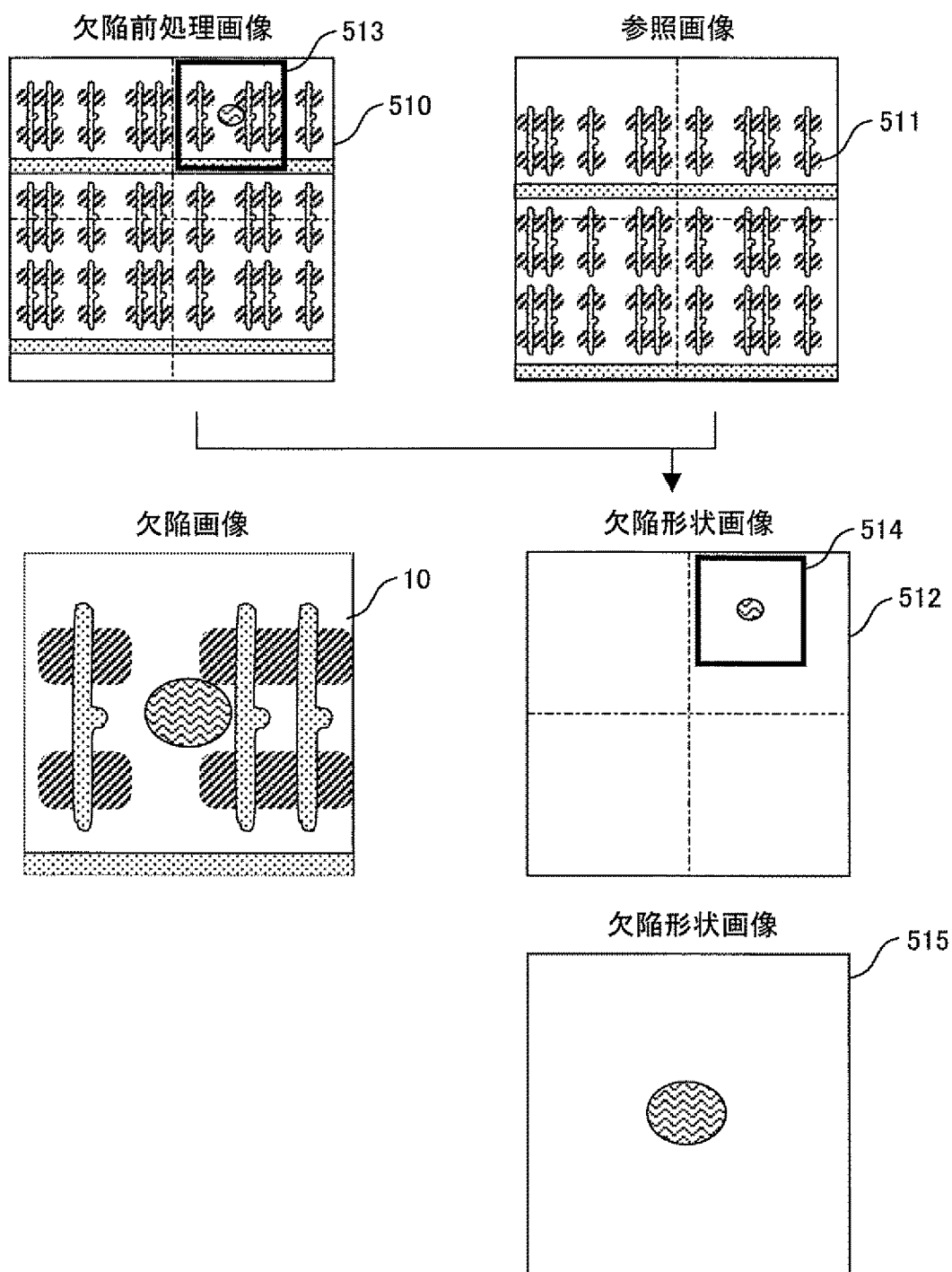
[図5(A)]

図 5(A)



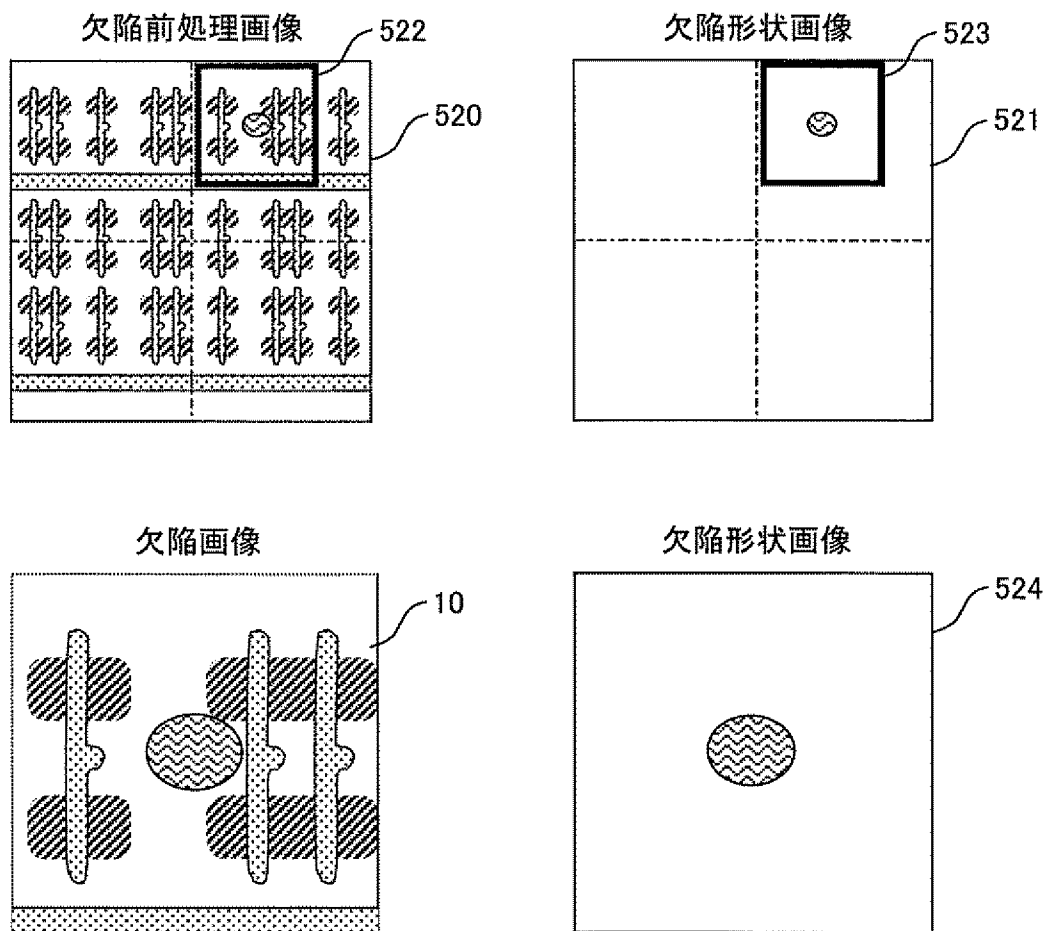
[図5(B)]

図 5(B)



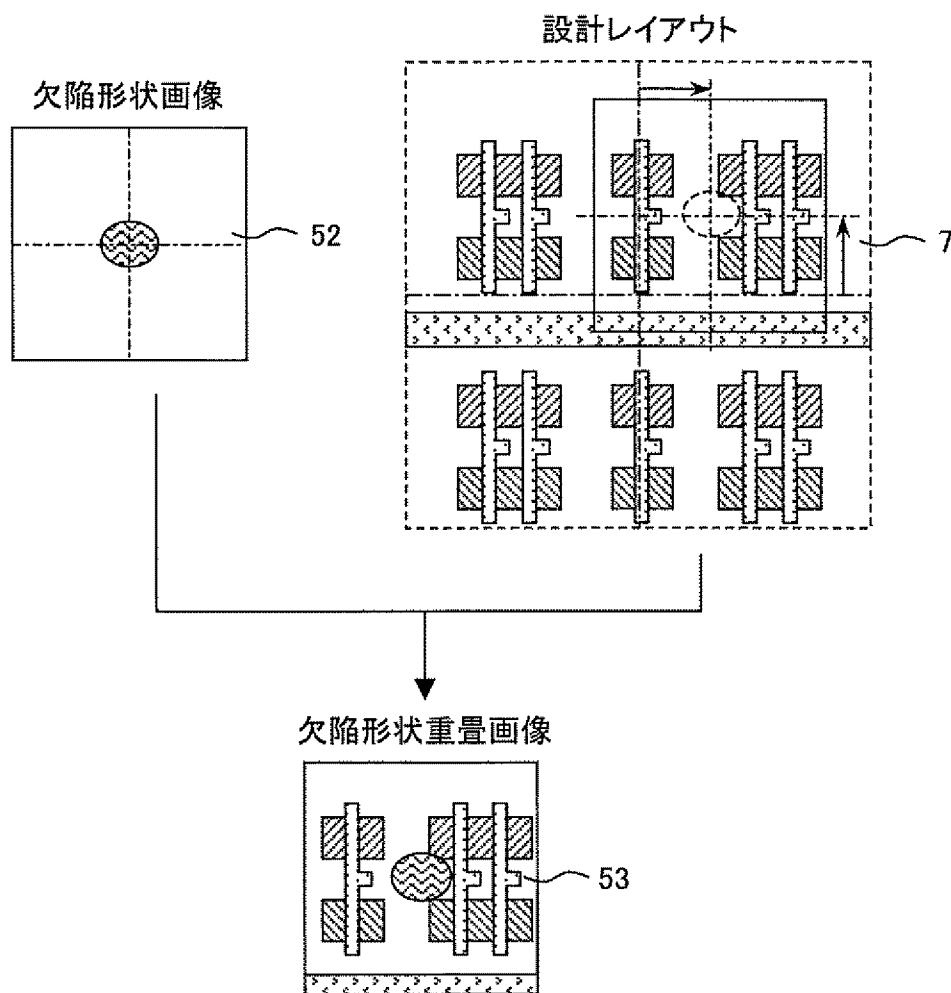
[図5(C)]

図 5(C)



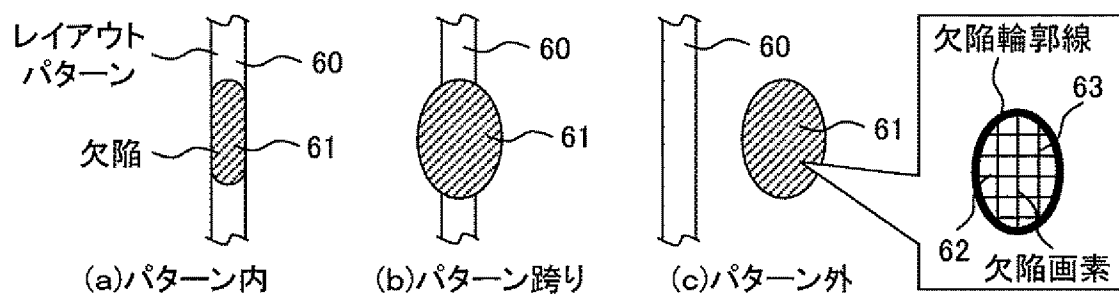
[図6]

図 6



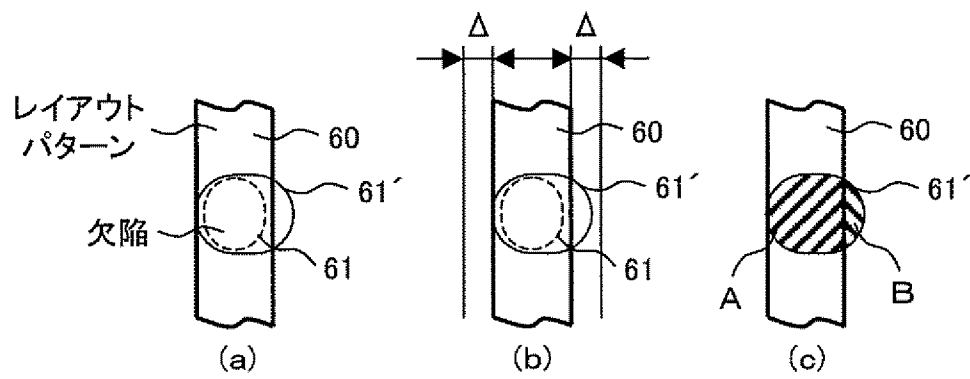
[図7]

図 7



[図8]

図 8



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/003259

A. CLASSIFICATION OF SUBJECT MATTER

G01N21/956(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01N21/956

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-10286 A (Hitachi High-technologies Corp.), 15 January 2009 (15.01.2009), entire text; all drawings (Family: none)	1-30
Y	JP 2003-86645 A (Hitachi, Ltd.), 20 March 2003 (20.03.2003), paragraphs [0038] to [0054]; fig. 5, 7 (Family: none)	1-30
A	JP 2009-516832 A (KLA-Tencor Technologies Corp.), 23 April 2009 (23.04.2009), paragraphs [0644] to [0646]; fig. 25 & WO 2004/114692 A1	1-30



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
14 June, 2010 (14.06.10)

Date of mailing of the international search report
22 June, 2010 (22.06.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G01N21/956 (2006. 01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G01N21/956

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-10286 A (株式会社日立ハイテクノロジーズ) 2009. 01. 15, 全文全図 (ファミリーなし)	1-30
Y	JP 2003-86645 A (株式会社日立製作所) 2003. 03. 20, 【0038】 ~ 【0054】 【図 5】 【図 7】 (ファミリーなし)	1-30
A	JP 2009-516832 A (ケーエルエー テンカー テクノロジィース コ ーポレーション) 2009. 04. 23, 【0644】 ~ 【0646】 【図 25】 & WO 2004/114692 A1	1-30

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

1 4 . 0 6 . 2 0 1 0

国際調査報告の発送日

2 2 . 0 6 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

森口 正治

2 W

9 4 0 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 9 2