



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

217 514

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 27 02 81
(21) PV 1415-81

(51) Int. Cl.³ G 06 F 5/06

(40) Zveřejněno 26 03 82

(45) Vydáno 01 11 85

(75)

Autor vynálezu . LOUTOCKÝ DUŠAN ing., KUBÍN PAVEL ing., JEHNATA KAREL ing., PRAHA

(54) Zapojení pro vyhodnocení stavu vyrovnávací paměti

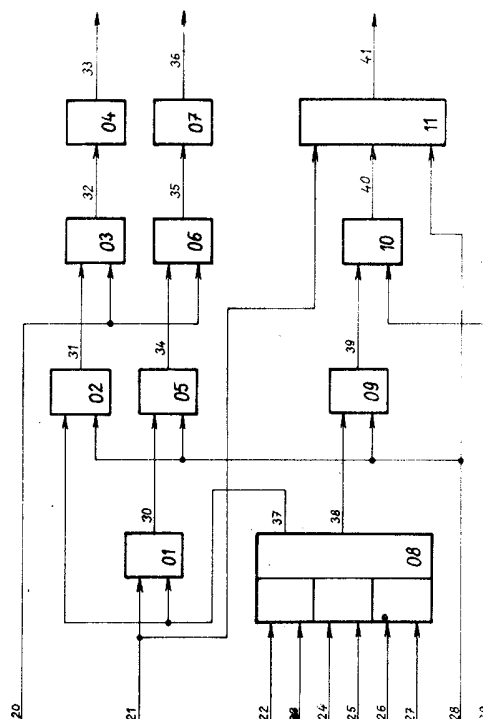
Zapojení pro vyhodnocení stavu vyrovnávací paměti.

Oborem použití jsou elektronické číslicové počítače, přídavná zařízení elektronických počítačů, vyrovnávací paměti.

Technickým problémem jsou obvody provádějící vyhodnocení stavu vyrovnávací paměti s nezávislým vkládáním a čtením.

Vynález spočívá ve vzájemném zapojení obvodů pro vyhodnocení stavu vyrovnávací paměti, které umožňují u vyrovnávací paměti s nezávislým zápisem a čtením určit stupeň obsazení vyrovnávací paměti.

Součástí přihlášky vynálezu je jeden výkres, na němž je schematicky znázorněna sestava a zapojení obvodů pro vyhodnocení stavu vyrovnávací paměti.



Vynález se týká zapojení pro vyhodnocení stavu vyrovnávací paměti s nezávislým vkládáním a vybíráním dat.

Při řešení zařízení provádějících přenos dat mezi obvody pracujícími s různou rychlostí zpracování dat je třeba jako jednu ze základních částí těchto zařízení vyřešit vyrovnávací paměť. Při řešení této vyrovnávací paměti jako paměti s přímým přístupem povolující nezávislé vkládání a vybírání informace je nutno vytvořit obvody synchronizující vkládání a vybírání informace a vyhodnocující mezní stavy vyrovnávací paměti.

Dosud známá řešení obvodů pro vyhodnocení stavu vyrovnávací paměti vycházejí buď z předpokladu, že nedochází k současnému vkládání i vybírání informace do respektive z vyrovnávací paměti, tudíž, že přechodové jevy obvodů adresace paměti jsou v okamžiku vyhodnocení stavu vyrovnávací paměti ukončeny, nebo využívají toho, že frekvence přenosu dat je natolik nízká, že při současném vložení a vybrání informace do a z vyrovnávací paměti je střet požadavků vyřízen ještě před příchodem nového požadavku na paměť.

Uvedené nedostatky odstraňuje zapojení pro vyhodnocení stavu vyrovnávací paměti podle vynálezu, jehož podstata spočívá v tom, že první, vstupní vodič je připojen na druhý vstup druhého součinnového obvodu a na druhý vstup třetího součinnového obvodu, druhý, vstupní vodič je připojen na první vstup prvního součinnového obvodu a na první vstup součtového obvodu, třetí, vstupní vodič je připojen na první vstup první skupiny vstupů multiplexoru, čtvrtý, vstupní vodič je připojen na druhý vstup první skupiny vstupů multiplexoru, pátý, vstupní vodič je připojen na první vstup druhé skupiny vstupů multiplexoru, šestý, vstupní vodič je připojen na druhý vstup druhé skupiny vstupů multiplexoru, sedmý, vstupní vodič je připojen na první řídicí vstup multiplexoru, osmý, vstupní vodič je připojen na druhý řídicí vstup multiplexoru, devátý, vstupní vodič je připojen na druhý, hodinový vstup prvního paměťového obvodu, na druhý, hodinový vstup druhého paměťového obvodu, na druhý vstup čtvrtého součinnového obvodu a na třetí vstup součtového obvodu, desátý, vstupní vodič je připojen na druhý, hodinový vstup třetího paměťového obvodu, první výstup prvního součinnového obvodu je spojen jedenáctým vodičem s prvním, datovým vstupem druhého paměťového obvodu, první výstup prvního paměťového obvodu je spojen dvanáctým vodičem s prvním vstupem druhého součinnového obvodu, první výstup druhého součinnového obvodu je spojen třináctým vodičem s prvním vstupem prvního klopného obvodu, čtrnáctý, výstupní vodič je připojen na první výstup prvního klopného obvodu, první výstup druhého paměťového obvodu je spojen patnáctým vodičem s prvním vstupem třetího součinnového obvodu, první výstup třetího součinnového obvodu je spojen šestnáctým vodičem s prvním vstupem druhého klopného obvodu, sedmnáctý, výstupní vodič, je připojen na první výstup druhého klopného obvodu, první výstup multiplexoru je spojen osmnáctým vodičem s prvním, datovým vstupem prvního paměťového obvodu a s druhým vstupem prvního součinnového obvodu, druhý výstup multiplexoru je spojen devatenáctým vodičem s prvním vstupem čtvrtého součinnového obvodu, první výstup čtvrtého součinnového obvodu je spojen dvacátým vodičem s prvním, datovým vstupem třetího paměťového obvodu, první výstup třetího paměťového obvodu je spojen dvacátým prvním vodičem s druhým vstu-

pem součtového obvodu, dvacátý druhý, výstupní vodič je připojen na první výstup součtového obvodu.

Hlavní výhody vynálezu spočívají v tom, že signály řídící vkládání i vybírání dat do nebo z vyrovnávací paměti jsou zpracovány samostatně a vyhodnoceny až v okamžiku, kdy je přechodový jev změny adresy paměti ustálen, důsledkem tohoto řešení je nenáročnost zapojení jak na množství, tak i na funkční rychlost použitých prvků. Toto zapojení dovolu je řešit vyrovnávací paměti pracující při vysokých rychlostech přenosu dat. Na připojeném výkresu je schematicky znázorněno blokové schema zapojení pro vyhodnocení stavu vyrovnávací paměti.

Tyto obvody sestávají z prvního součtinového obvodu 01, prvního paměťového obvodu 02, druhého součtinového obvodu 03, prvního klopného obvodu 04, druhého paměťového obvodu 05, třetího součtinového obvodu 06, druhého klopného obvodu 07, multiplexoru 08, čtvrtého součtinového obvodu 09, třetího paměťového obvodu 10 a součtového obvodu 11. Tyto obvody jsou navzájem propojeny tak, že první, vstupní vodič 20 je připojen na druhý vstup druhého součtinového obvodu 03 a na druhý vstup třetího součtinového obvodu 06 a dále druhý vstupní vodič 21 je připojen na první vstup prvního součtinového obvodu 01 a na první vstup součtového obvodu 11 a dále třetí, vstupní vodič 22 je připojen na první vstup skupiny vstupů multiplexoru 08 a dále čtvrtý, vstupní vodič 23 je připojen na druhý vstup první skupiny vstupů multiplexoru 08 a dále pátý, vstupní vodič 24 je připojen na první vstup druhé skupiny vstupů multiplexoru 08 a dále šestý, vstupní vodič 25 je připojen na druhý vstup druhé skupiny vstupů multiplexoru 08 a dále sedmý, vstupní vodič 26 je připojen na první řídící vstup multiplexoru 08 a dále osmý, vstupní vodič 27 je připojen na druhý řídící vstup multiplexoru 08 a dále devátý, vstupní vodič 28 je připojen na druhý, hodinový vstup prvního paměťového obvodu 02 a na druhý, hodinový vstup druhého paměťového obvodu 05 a na druhý vstup čtvrtého součtinového obvodu 09 a na třetí vstup součtového obvodu 11 a dále desátý, vstupní vodič 29 je připojen na druhý, hodinový vstup třetího paměťového obvodu 10 a dále první výstup prvního součtinového obvodu 01 je spojen jedenáctým vodičem 30 s prvním, datovým vstupem druhého paměťového obvodu 05 a dále první výstup prvního paměťového obvodu 02 je spojen dvanáctým vodičem 31 s prvním vstupem druhého součtinového obvodu 03 a dále první výstup druhého součtinového obvodu 03 je spojen třináctým vodičem 32 s prvním vstupem prvního klopného obvodu 04 a dále čtrnáctý, výstupní vodič 33 je připojen na první výstup prvního klopného obvodu 04 a dále první výstup druhého paměťového obvodu 05 je spojen patnáctým vodičem 34 s prvním vstupem třetího součtinového obvodu 06 a dále první výstup třetího součtinového obvodu 06 je spojen šestnáctým vodičem 35 s prvním vstupem druhého klopného obvodu 07 a dále sedmnáctý, výstupní vodič 36 je připojen na první výstup druhého klopného obvodu 07 a dále první výstup multiplexoru 08 je spojen osmnáctým vodičem 37 s prvním, datovým vstupem prvního paměťového obvodu 02 a s druhým vstupem prvního součtinového obvodu 01 a dále druhý výstup multiplexoru 08 je spojen devatenáctým vodičem 38 s prvním vstupem čtvrtého součtinového obvodu 09 a dále první výstup čtvrtého součtinové-

ho obvodu 09 je spojen dvacátým vodičem 39 s prvním, datovým vstupem třetího paměťového obvodu 10 a dále první výstup třetího paměťového obvodu 10 je spojen dvacátým prvním vodičem 40 s druhým vstupem součtového obvodu 11 a dále dvacátý druhý, výstupní vodič 41 je připojen na první výstup součtového obvodu 11.

Zapojení pro vyhodnocení stavu vyrovnávací paměti pracuje takto: "Stav vyrovnávací paměti, odvozený ze vzájemného porovnání adresních čítačů je podle směru přenosu dat zpracován multiplexorem 08. Výstupní signál tohoto multiplexoru ve významu "přetečení" nebo "nedodání" informace je osmnáctým vodičem 37 přiveden jednak na druhý vstup prvního součtinového obvodu 01, v němž je hradlován signálem druhého, vstupního vodiče 21 blokování přenosu dat jednak na první, datový vstup prvního paměťového obvodu 02. První 02 a druhý 05 paměťový obvod si pamatují hodnotu vstupních signálů přiváděnou po dobu trvání signálu na devátém vstupním vodiči 28. Výstupy z těchto paměťových obvodů jsou vzorkovány signálem přivedeným po prvním, vstupním vodiči 20 a zapamatovány v prvním 04 a druhém 07 klopném obvodu s významem "přetečení/nedodání" a "blokování výstupu vyrovnávací paměti".

Z druhého výstupu multiplexoru 08 je devatenáctým vodičem 38 veden signál s významem "vyrovnávací paměť je schopna přijmout nebo dodat informaci" na první vstup čtvrtého součtinového obvodu 09. Tento obvod 09 způsobí, že význam tohoto signálu je uvažován v závislosti na hodnotě signálu přivedeného devátým vstupním vodičem 28. Výstup tohoto čtvrtého součtinového obvodu 09 je přiveden dvacátým vodičem 39 na první, datový vstup třetího paměťového obvodu 10, tento obvod 10 si pamatuje hodnotu tohoto signálu přiváděnou po dobu trvání signálu na desátém, vstupním vodiči 29. Výstupní signál z tohoto třetího paměťového obvodu 10 je sečten na součtovém obvodu 11 s druhým, vstupním signálem 21 a s devátým vstupním signálem 28, výsledný součtový signál vedený dvacátým druhým, výstupním vodičem 41 je použit pro blokování žádosti o přenos dat mezi hlavní pamětí a vyrovnávací pamětí.

PŘEDMĚT VYNÁLEZU

Zapojení pro vyhodnocení stavu vyrovnávací paměti vyznačené tím, že první, vstupní vodič (20) je připojen na druhý vstup druhého součinnového obvodu (03) a na druhý vstup třetího součinnového obvodu (06), druhý, vstupní vodič (21) je připojen na první vstup prvního součinnového obvodu (01) a na první vstup součtového obvodu (11), třetí, vstupní vodič (22) je připojen na první vstup první skupiny vstupů multiplexoru (08), čtvrtý, vstupní vodič (23) je připojen na druhý vstup první skupiny vstupů multiplexoru (08), pátý, vstupní vodič (24) je připojen na první vstup druhé skupiny vstupů multiplexoru (08), šestý, vstupní vodič (25) je připojen na druhý vstup druhé skupiny vstupů multiplexoru (08), sedmý, vstupní vodič (26) je připojen na první řídicí vstup multiplexoru (08), osmý, vstupní vodič (27) je připojen na druhý řídicí vstup multiplexoru (08), devátý, vstupní vodič (28) je připojen na druhý, hodinový vstup prvního paměťového obvodu (02), na druhý, hodinový vstup druhého paměťového obvodu (05), na druhý vstup čtvrtého součinnového obvodu (09) a na třetí vstup součtového obvodu (11), desátý, vstupní vodič (29) je připojen na druhý, hodinový vstup třetího paměťového obvodu (10), první výstup prvního součinnového obvodu (01) je spojen jedenáctým vodičem (30) s prvním, datovým vstupem druhého paměťového obvodu (05), první výstup prvního paměťového obvodu (02) je spojen dvanáctým vodičem (31) s prvním vstupem druhého součinnového obvodu (03), první výstup druhého součinnového obvodu (03) je spojen třináctým vodičem (32) s prvním vstupem prvního klopného obvodu (04), čtrnáctý, výstupní vodič (33) je připojen na první výstup prvního klopného obvodu (04), první výstup druhého paměťového obvodu (05) je spojen patnáctým vodičem (34) a prvním vstupem třetího součinnového obvodu (06), první výstup třetího součinnového obvodu (06) je spojen šestnáctým vodičem (35) s prvním vstupem druhého klopného obvodu (07), sedmnáctý, výstupní vodič (36) je připojen na první výstup druhého klopného obvodu (07), první výstup multiplexoru (08) je spojen osmnáctým vodičem (37) s prvním, datovým vstupem prvního paměťového obvodu (02) a s druhým vstupem prvního součinnového obvodu (01), druhý výstup multiplexoru (08) je spojen devatenáctým vodičem (38) s prvním vstupem čtvrtého součinnového obvodu (09), první výstup čtvrtého součinnového obvodu (09) je spojen dvacátým vodičem (39) s prvním, datovým vstupem třetího paměťového obvodu (10), první výstup třetího paměťového obvodu (10) je spojen dvacátým prvním vodičem (40) s druhým vstupem součtového obvodu (11), dvacátý druhý, výstupní vodič (41) je připojen na první výstup součtového obvodu (11).

20

