



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0003169  
(43) 공개일자 2012년01월10일

(51) Int. Cl.

H01L 21/336 (2006.01) H01L 29/78 (2006.01)

(21) 출원번호 10-2010-0063873

(22) 출원일자 2010년07월02일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동, 삼성 전자공업단지)

(72) 발명자

김홍석

경기도 용인시 수지구 신봉2로 26, 120동 1404호 (신봉동, 신봉마을엘지자이1차아파트)

김진균

경기도 용인시 기흥구 구성로 90, 214동 901호 (언남동, 장미마을 삼성 래미안 2차아파트)

(뒷면에 계속)

(74) 대리인

리엔목특허법인

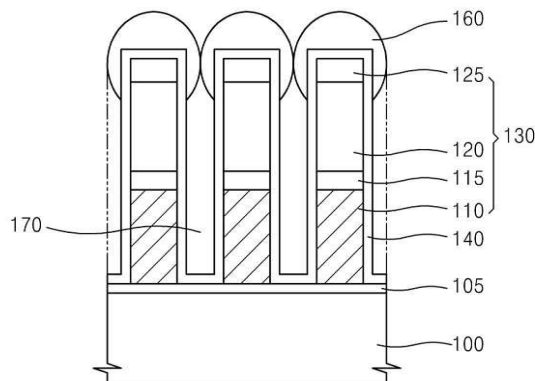
전체 청구항 수 : 총 10 항

(54) 고선택비 식각액 및 이를 이용한 반도체 소자의 제조 방법

(57) 요약

워드 라인 간의 간섭 효과가 개선된 반도체 소자의 제조 방법이 제공된다. 이를 위해 본 발명은, 기판 상에 복수 개의 게이트 패턴을 형성하는 단계, 상기 게이트 패턴 사이를 매립하는 제 1 절연층을 형성하는 단계, 제 1 절연층을 소정 깊이만큼 식각하는 단계, 및 상기 게이트 패턴들 및 상기 제 1 절연층 상에 제 2 절연층을 형성하는 단계를 포함하고, 상기 게이트 패턴 사이에 저유전율 물질이 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법을 개시한다.

대표도 - 도4



(72) 발명자

**임헌형**

경기도 화성시 동탄중앙로 51, 628동 1003호 (반송동, 동탄나루마을 한화꿈에그린 아파트)

**황기현**

경기도 성남시 분당구 정자로 143, 202동 604호 (정자동, 한솔마을)

**안재영**

경기도 성남시 분당구 불정로 361, 507동 403호 (서현동, 효자촌)

**양준규**

서울특별시 서초구 효령로72길 14, 10동 1102호 (서초동, 현대상가동)

---

## 특허청구의 범위

### 청구항 1

기판 상에 복수개의 게이트 패턴을 형성하는 단계;

상기 게이트 패턴 사이를 매립하는 제 1 절연층을 형성하는 단계;

상기 제 1 절연층을 습식 식각하여 상기 게이트 패턴 상부에 상기 제 1 절연층의 잔류물(residue)을 형성하고, 동시에 상기 복수개의 게이트 패턴 사이에 상기 잔류물에 의해 정의되는 에어갭을 형성하는 단계를 포함하는 반도체 소자의 제조 방법.

### 청구항 2

제 1 항에 있어서,

상기 제 1 절연층을 습식 식각하기 위해, 인산( $H_3PO_4$ ) 및 실리콘 포스페이트( $Si_3(PO_4)_4$ )를 포함하는 고선택비 식각액(etchant)을 사용하는 것을 특징으로 하는 반도체 소자의 제조 방법.

### 청구항 3

제 1 항에 있어서,

상기 게이트 패턴을 형성하는 단계와 상기 제 1 절연층을 형성하는 단계 사이에,

상기 기판 및 상기 게이트 패턴 상에 제 2 절연층을 형성하는 단계를 더 포함하고,

상기 제 2 절연층은 상기 제 1 절연층과 식각선택비를 가지는 것을 특징으로 하는 반도체 소자의 제조 방법.

### 청구항 4

제 1 항에 있어서,

상기 잔류물을 가열함으로써 제 3 절연층을 형성하는 단계를 더 포함하는 반도체 소자의 제조 방법.

### 청구항 5

제 4 항에 있어서,

상기 제 3 절연층은 상기 제 1 절연층과 다른 식각선택비를 가지는 것을 특징으로 하는 반도체 소자의 제조 방법.

### 청구항 6

제 4 항에 있어서,

상기 제 3 절연층은 상기 게이트 패턴 각각의 상부에 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

### 청구항 7

제 6 항에 있어서,

상기 게이트 패턴 각각의 상부에 형성된 상기 제 3 절연층은 서로 접촉하는 것을 특징으로 하는 반도체 소자의 제조 방법.

### 청구항 8

제 6 항에 있어서,

상기 게이트 패턴 각각의 상부에 형성된 상기 제 3 절연층은 서로가 소정 거리만큼 이격되고, 따라서 제 3 절연층 사이에 슬릿(slit)이 형성된 것을 특징으로 하는 반도체 소자의 제조 방법.

**청구항 9**

기판 상에 복수개의 게이트 패턴을 형성하는 단계;

상기 기판 및 상기 게이트 패턴 상에 제 1 산화층을 형성하는 단계

상기 게이트 패턴 사이를 매립하는 질화층을 형성하는 단계;

인산( $H_3PO_4$ ) 및 실리콘 포스페이트( $Si_3(PO_4)_4$ )를 포함하는 고선택비 식각액(etchant)으로 상기 질화층을 식각하여 상기 게이트 패턴 상부에 상기 질화층의 잔류물(residue)을 형성하는 단계; 및

상기 잔류물을 가열함으로써 제 2 산화층을 형성하는 단계를 포함하고,

상기 게이트 패턴 사이에 에어갭이 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

**청구항 10**

게이트 패턴 사이에 에어갭을 형성하기 위해, 상기 게이트 패턴 사이에 매립된 질화층을 식각하는 식각액으로서, 인산( $H_3PO_4$ ) 및 실리콘 포스페이트( $Si_3(PO_4)_4$ )를 포함하는 고선택비 식각액.

**명세서**

**기술분야**

[0001] 본 발명은 고선택비 식각액 및 반도체 소자의 제조 방법에 관한 것으로, 더욱 상세하게는 고선택비 식각액을 이용한 반도체 소자의 제조 방법에 관한 것이다.

**배경기술**

[0002] 최근 반도체 소자가 고집적화됨에 따라 소자 분리층의 폭이 줄어들고, 인접한 워드 라인 사이 및 인접한 플로팅 게이트 사이의 간격이 가까워지고 있다. 따라서 워드 라인 사이 및 플로팅 게이트 사이의 간섭 커패시터(interference capacitor)에 의한 간섭 효과가 발생되어 셀 문턱전압( $V_{th}$ ) 시프트(shift)가 심화되고, 이로 인해 반도체 소자의 신뢰성이 저하되는 문제가 발생한다.

**발명의 내용**

**해결하려는 과제**

[0003] 본 발명이 해결하고자 하는 과제는, 워드 라인 간의 간섭효과가 개선될 수 있도록, 고선택비 식각액을 이용한 반도체 소자의 제조 방법을 제공하는 것이다.

**과제의 해결 수단**

[0004] 본 발명의 일 태양에 의한 반도체 소자의 제조 방법이 제공된다. 상기 반도체 소자의 제조 방법은, 기판 상에 복수개의 게이트 패턴을 형성하는 단계, 상기 게이트 패턴 사이를 매립하는 제 1 절연층을 형성하는 단계, 고선택비 식각액(etchant)으로 상기 제 1 절연층을 식각하여 상기 게이트 패턴 상부에 상기 제 1 절연층의 잔류물(residue)을 형성하는 단계를 포함하고, 상기 게이트 패턴 사이에 에어갭이 형성될 수 있다.

[0005] 상기 반도체 소자의 제조 방법의 일 실시예에 따르면, 상기 고선택비 식각액은 인산( $H_3PO_4$ ) 및 실리콘 포스페이트( $Si_3(PO_4)_4$ )를 포함할 수 있다. 또한 상기 고선택비 식각액의 실리콘 중량비는 상기 고선택비 식각액의 총량에 기준하여 10 내지 1000 ppm일 수 있다.

[0006] 상기 반도체 소자의 제조 방법의 다른 실시예에 따르면, 상기 에어갭은 상기 기판과 상기 잔류물 사이에 형성될 수 있다.

[0007] 상기 반도체 소자의 제조 방법의 다른 실시예에 따르면, 상기 반도체 소자의 제조 방법은, 상기 게이트 패턴을 형성하는 단계와 상기 제 1 절연층을 형성하는 단계 사이에 상기 기판 및 상기 게이트 패턴 상에 제 2 절연층을 형성하는 단계를 더 포함하고, 상기 제 2 절연층은 상기 제 1 절연층과 식각선택비를 가질 수 있다.

[0008] 상기 반도체 소자의 제조 방법의 다른 실시예에 따르면, 상기 반도체 소자의 제조 방법은 상기 잔류물을 가열함

으로써 제 3 절연층을 형성하는 단계를 더 포함할 수 있다. 이 경우 상기 제 3 절연층은 상기 제 1 절연층과 다른 식각선택비를 가질 수 있다. 또한, 상기 제 3 절연층은 상기 게이트 패턴 각각의 상부에 형성될 수 있다. 나아가 상기 게이트 패턴 각각의 상부에 형성된 상기 제 3 절연층은 서로 접촉할 수 있다.

- [0009] 상기 반도체 소자의 제조 방법의 다른 실시예에 따르면, 상기 게이트 패턴 각각의 상부에 형성된 상기 제 3 절연층은 서로가 소정 거리만큼 이격되고, 따라서 제 3 절연층 사이에 슬릿(slit)이 형성될 수 있다. 이 경우 상기 반도체 소자의 제조 방법은 상기 슬릿을 덮는 제 4 절연층을 형성하는 단계를 더 포함할 수 있다.
- [0010] 본 발명의 다른 태양에 의한 반도체 소자의 제조 방법이 제공된다. 상기 반도체 소자의 제조 방법은, 기판 상에 복수개의 게이트 패턴을 형성하는 단계, 상기 기판 및 상기 게이트 패턴 상에 제 1 산화층을 형성하는 단계, 상기 게이트 패턴 사이를 매립하는 질화층을 형성하는 단계, 인산( $H_3PO_4$ ) 및 실리콘 포스페이트( $Si_3(PO_4)_4$ )를 포함하는 고선택비 식각액(etchant)으로 상기 질화층을 식각하여 상기 게이트 패턴 상부에 상기 질화층의 잔류물(residue)을 형성하는 단계, 및 상기 잔류물을 가열함으로써 제 2 산화층을 형성하는 단계를 포함하고, 상기 게이트 패턴 사이에 에어갭이 형성될 수 있다.
- [0011] 상기 반도체 소자의 제조 방법의 일 실시예에 따르면, 상기 고선택비 식각액의 실리콘 중량비는 상기 고선택비 식각액의 총량을 기준으로 10 내지 1000 ppm일 수 있다. 또한, 상기 질화층을 식각하는 단계는, 25 내지 200 °C의 온도 범위 내에서, 5 내지 30분간 상기 질화층을 습식 식각하는 단계를 포함할 수 있다.
- [0012] 상기 반도체 소자의 제조 방법의 다른 실시예에 따르면, 상기 제 2 산화층은 상기 게이트 패턴 각각의 상부에 형성될 수 있다. 또한 상기 게이트 패턴 각각의 상부에 형성된 상기 제 2 산화층은 서로 접촉할 수 있다.
- [0013] 상기 반도체 소자의 제조 방법의 일 실시예에 따르면, 상기 게이트 패턴 각각의 상부에 형성된 상기 제 2 산화층은 서로가 소정 거리만큼 이격되고, 따라서 제 2 산화층 사이에 슬릿(slit)이 형성될 수 있다. 이 경우 상기 반도체 소자의 제조 방법은 상기 슬릿을 덮는 제 3 산화층을 형성하는 단계를 더 포함할 수 있다.
- [0014] 본 발명의 일 태양에 의한 고선택비 식각액이 제공된다. 상기 고선택비 식각액은 게이트 패턴 사이에 에어갭을 형성하기 위해, 상기 게이트 패턴 사이에 매립된 질화층을 식각하는 식각액이다. 상기 고선택비 식각액은 인산( $H_3PO_4$ ) 및 실리콘 포스페이트( $Si_3(PO_4)_4$ )를 포함할 수 있다.
- [0015] 상기 고선택비 식각액의 일 실시예에 따르면, 상기 고선택비 식각액의 실리콘 중량비는 상기 고선택비 식각액의 총량을 기준으로 10 내지 1000 ppm일 수 있다.

**발명의 효과**

- [0016] 본 발명의 실시예들에 따른 반도체 소자의 제조 방법은 워드 라인 간의 간섭효과를 개선시킴으로써 반도체 소자의 신뢰성을 향상시킬 수 있다.

**도면의 간단한 설명**

- [0017] 도 1 내지 도 5는 본 발명의 기술적 사상에 의한 일부 실시예들에 따른 반도체 소자의 제조 방법을 공정 순서에 따라 나타낸 단면도들이다.
- 도 6 및 도 7은 본 발명의 기술적 사상에 의한 다른 실시예들에 따른 반도체 소자의 제조 방법을 공정 순서에 따라 나타낸 단면도들이다.
- 도 8은 본 발명의 기술적 사상에 의한 일부 실시예들에 따른 반도체 소자(300)를 개략적으로 나타낸 평면도이다.
- 도 9는 도 8의 A-A'에 따른 단면도이다.
- 도 10은 도 8의 B-B'에 따른 단면도이다.
- 도 11 내지 도 21a 및 도 21b는 본 발명의 기술적 사상에 의한 일부 실시예들에 따른 반도체 소자의 제조 방법을 공정 순서에 따라 나타낸 단면도들이다.
- 도 22 내지 도 29는 본 발명의 기술적 사상에 의한 일부 실시예들에 따른 반도체 소자의 제조 방법을 공정 순서에 따라 나타낸 단면도들이다.
- 도 30은 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 소자의 제조 방법에 의해 제조된 반도체 소자를

포함하는 카드를 보여주는 개략도이다.

도 31은 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 소자의 제조 방법에 의해 제조된 반도체 소자를 포함하는 시스템을 보여주는 개략도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0018] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- [0019] 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이며, 아래의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래의 실시예들로 한정되는 것은 아니다. 오히려, 이들 실시예는 본 개시를 더욱 충실하고 완전하게 하며 당업자에게 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다.
- [0020] 본 명세서에서 사용된 용어는 특정 실시예를 설명하기 위하여 사용되며, 본 발명을 제한하기 위한 것이 아니다. 본 명세서에서 사용된 바와 같이 단수 형태는 문맥상 다른 경우를 분명히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다. 또한, 본 명세서에서 사용되는 경우 “포함한다(comprise)” 및/또는 “포함하는(comprising)”은 언급한 형상들, 숫자, 단계, 동작, 부재, 요소 및/또는 이들 그룹의 존재를 특정하는 것이며, 하나 이상의 다른 형상, 숫자, 동작, 부재, 요소 및/또는 그룹들의 존재 또는 부가를 배제하는 것이 아니다. 본 명세서에서 사용된 바와 같이, 용어 “및/또는”은 해당 열거된 항목 중 어느 하나 및 하나 이상의 모든 조합을 포함한다.
- [0021] 본 명세서에서 제1, 제2 등의 용어가 다양한 부재, 영역 및/또는 부위들을 설명하기 위하여 사용되지만, 이들 부재, 부품, 영역, 층들 및/또는 부위들은 이들 용어에 의해 한정되어서는 안됨은 자명하다. 이들 용어는 특정 순서나 상하, 또는 우열의 의미하지 않으며, 하나의 부재, 영역 또는 부위를 다른 부재, 영역 또는 부위와 구별하기 위하여만 사용된다. 따라서, 이하 상술할 제1 부재, 영역 또는 부위는 본 발명의 가르침으로부터 벗어나지 않고서도 제2 부재, 영역 또는 부위를 지칭할 수 있다.
- [0022] 이하, 본 발명의 실시예들은 본 발명의 이상적인 실시예들을 개략적으로 도시하는 도면들을 참조하여 설명한다. 도면들에 있어서, 예를 들면, 제조 기술 및/또는 공차에 따라, 도시된 형상의 변형들이 예상될 수 있다. 따라서, 본 발명의 실시예는 본 명세서에 도시된 영역의 특정 형상에 제한된 것으로 해석되어서는 아니 되며, 예를 들면 제조상 초래되는 형상의 변화를 포함하여야 한다.
- [0023] 도 1 내지 도 5는 본 발명의 기술적 사상에 의한 일부 실시예들에 따른 반도체 소자의 제조 방법을 공정 순서에 따라 나타낸 단면도들이다.
- [0024] 도 1을 참조하면, 기판(100) 상에 터널링 절연층(105)을 형성한다. 기판(100)은 반도체 기판(100)일 수 있으며, 예를 들어 실리콘, 실리콘-온-절연체(silicon-on-insulator), 실리콘-온-사파이어(silicon-on-sapphire), 게르마늄, 실리콘-게르마늄, 및 갈륨-비소(gallium-arsenide) 중 어느 하나를 포함할 수 있다. 터널링 절연층(105)은 실리콘 산화물(SiO<sub>2</sub>), 실리콘 질화물(Si<sub>3</sub>N<sub>4</sub>), 실리콘 산질화물(SiON), hafnium 산화물(HfO<sub>2</sub>), hafnium 실리콘 산화물(HfSi<sub>x</sub>O<sub>y</sub>), 알루미늄 산화물(Al<sub>2</sub>O<sub>3</sub>), 및 지르코늄 산화물(ZrO<sub>2</sub>) 중에 선택된 어느 하나 또는 이들의 조합으로 이루어진 복수의 층들이 적층된 것일 수 있다.
- [0025] 이후, 터널링 절연층(105) 상에 복수개의 게이트 패턴들(130)을 형성한다. 게이트 패턴들(130) 각각은 제 1 도전층 패턴(110), 블로킹 절연층(115), 제 2 도전층 패턴(120), 및 캡핑 절연층(125)을 포함할 수 있다.
- [0026] 제 1 도전층 패턴(110)은 불순물이 도핑된 폴리실리콘을 포함할 수 있다. 보다 구체적으로, 터널링 절연층(105) 상에 화학기상증착(Chemical Vapor Deposition, CVD), 예를 들어 SiH<sub>4</sub> 또는 Si<sub>2</sub>H<sub>6</sub>와 PH<sub>3</sub> 가스를 이용한 LPCVD(Low Pressure Chemical Vapor Deposition)에 의하여 폴리실리콘을 증착하고, 불순물 도핑 공정을 수행함으로써 제 1 도전층 패턴(110)이 형성될 수 있다.
- [0027] 블로킹 절연층(115)은 제 1 도전층 패턴(110)의 표면 상에 하부 유전층(미도시), 고유전율 층(미도시), 및 상부 유전층(미도시)를 차례로 형성한 구조일 수 있다.
- [0028] 예를 들어, 상기 하부 유전층 및 상기 상부 유전층은 실리콘 산화층을 포함할 수 있다. 상기 하부 유전층 및 상기 상부 유전층이 실리콘 산화층일 경우, 동일한 물질 및 내부 구조를 가질 수 있고, SiO<sub>2</sub>, 탄소 도핑된 SiO<sub>2</sub>, 불소 도핑된 SiO<sub>2</sub>, 또는 다공성 SiO<sub>2</sub> 중 어느 하나 또는 그 이상을 포함하는 단일층일 수 있다. 또한, 상기 실리

콘 산화층들은, 예를 들어, 우수한 내압과 TDDB(Time Dependent Dielectric Breakdown) 특성이 우수한 SiH<sub>2</sub>Cl<sub>2</sub>와 H<sub>2</sub>O 가스를 소스(source) 가스로 이용한 고온 산화에 의하여 형성한 고온산화층(High Temperature Oxide, HTO)일 수 있다. 그러나, 이는 예시적이며, 본 발명은 반드시 이에 한정되는 것은 아니다.

[0029] 상기 고유전율 층은 실리콘 질화층 또는 실리콘 질화층에 비해 높은 유전율을 가질 수 있다. 상기 금속 산화층은 알루미늄 산화물(Al<sub>2</sub>O<sub>3</sub>), 탄탈륨 산화물(Ta<sub>2</sub>O<sub>3</sub>), 티타늄 산화물(TiO<sub>2</sub>), 이트륨 산화물(Y<sub>2</sub>O<sub>3</sub>), 지르코늄 산화물(ZrO<sub>2</sub>), 지르코늄 실리콘 산화물(ZrSi<sub>x</sub>O<sub>y</sub>), hafnium 산화물(HfO<sub>2</sub>), hafnium 실리콘 산화물(HfSi<sub>x</sub>O<sub>y</sub>), 란탄 산화물(La<sub>2</sub>O<sub>3</sub>), 란탄 알루미늄 산화물(LaAlO), 란탄 hafnium 산화물(LaHfO), hafnium 알루미늄 산화물(HfAlO), 및 프라세오디뮴 산화물(Pr<sub>2</sub>O<sub>3</sub>) 중에 선택되는 어느 하나 또는 이들의 조합으로 이루어진 복수의 층들이 적층된 것일 수 있다.

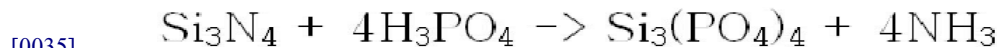
[0030] 제 2 도전층 패턴(120)은 불순물이 도핑된 폴리실리콘, 금속, 금속 질화물, 금속 실리사이드(silicide), 및 이들의 조합을 포함할 수 있다. 보다 구체적으로, 제 2 도전층 패턴(120)은 폴리실리콘층, 알루미늄(Al), 금(Au), 베릴륨(Be), 비스무트(Bi), 코발트(Co), hafnium(Hf), 인듐(In), 망간(Mn), 몰리브덴(Mo), 니켈(Ni), 납(Pb), 팔라듐(Pd), 백금(Pt), 로듐(Rh), 레늄(Re), 루테튬(Ru), 탄탈(Ta), 텔루르(Te), 티타늄(Ti), 텅스텐(W), 아연(Zn), 및 지르코늄(Zr)과 같은 금속층, 이들의 질화물, 및 이들의 실리사이드 중에 선택된 어느 하나 또는 이들의 조합으로 이루어진 복수의 층들이 적층된 것일 수 있다. 그러나, 상술한 제 2 도전층 패턴(120)의 층상 구조, 및 재료는 예시적이며, 본 발명은 반드시 이에 한정되는 것은 아니다.

[0031] 도 2를 참조하면, 기판(100) 및 게이트 패턴들(130) 상에 제 1 절연층(140)을 형성한다. 제 1 절연층(140)은 캡핑 절연층(125)과 식각선택비를 가지는 물질일 수 있다. 예를 들어, 캡핑 절연층(125)은 실리콘 질화물일 수 있고, 제 1 절연층(140)은 캡핑 절연층(125)과 식각선택비를 가지는 실리콘 산화물일 수 있다.

[0032] 도 3을 참조하면, 게이트 패턴들(130) 사이에 제 2 절연층(150)을 형성한다. 제 2 절연층(150)은 제 1 절연층(140)과 식각선택비를 가지는 물질일 수 있다. 예를 들어, 제 1 절연층(140)은 실리콘 산화물일 수 있고, 제 2 절연층(150)은 제 1 절연층(140)과 식각선택비를 가지는 실리콘 질화물일 수 있다.

[0033] 도 4를 참조하면, 제 2 절연층(150)을 식각한다. 더욱 구체적으로, 예를 들어 제 2 절연층(150)이 실리콘 질화물일 경우, 인산(H<sub>3</sub>PO<sub>4</sub>) 및 실리콘 포스페이트(Si<sub>3</sub>(PO<sub>4</sub>)<sub>4</sub>)를 포함하는 고선택비 식각액(etchant)로 제 2 절연층(150)을 식각한다. 이 경우 게이트 패턴들(130) 상부에 제 2 절연층(150)의 잔류물(residue, 160)이 형성된다. 잔류물(160)은 실리콘 산화물(SiO<sub>x</sub>)을 포함할 수 있다. 제 2 절연층(150)이 식각됨에 따라 잔류물(160)이 형성되고, 따라서 기판(100)과 잔류물(160) 사이에 에어갭(170)이 형성될 수 있다. 에어갭(170)은 게이트 패턴들(130) 사이에 형성됨으로써 워드 라인 간의 간섭효과를 개선하는 역할을 수행한다.

[0034] [화학식 1]



[0036] 여기서 고선택비 식각액(etchant)이라 함은 게이트 패턴(130) 사이에 에어갭(170)을 형성하기 위해 게이트 패턴(130) 사이에 매립된 실리콘 질화층을 식각하는 식각액이다. 상기 고선택비 식각액은 위의 화학식 1과 같이 인산 용액에 실리콘 질화물을 식각시켜 Si 리치(rich) 상태를 만들어 습식 식각 선택비를 조절하여 형성된다. 따라서 상기 고선택비 식각액은 Si 리치 상태의 실리콘 포스페이트(Si<sub>3</sub>(PO<sub>4</sub>)<sub>4</sub>) 및 인산(H<sub>3</sub>PO<sub>4</sub>)을 포함할 수 있다. 고선택비 식각액 중 Si의 중량비는, 상기 고선택비 식각액의 총량을 기준으로 10 내지 1000 ppm 즉, 0.01g/kg 내지 1g/kg일 수 있다.

[0037] [화학식 2]



[0039] 상기 고선택비 식각액으로 실리콘 질화물을 식각할 경우, 위의 화학식 2와 같이 실리콘 산화물(SiO<sub>x</sub>)을 포함하는 잔류물(160)이 발생한다. 잔류물(160)은 실리콘 질화물의 제 2 절연층(150)이 상부로부터 식각됨에 따라 게이트 패턴들(130)의 상부에 형성될 수 있다. 이러한 식각 공정은, 약 25 내지 200 °C의 온도 범위 내에서, 5 내지 30분간 수행될 수 있다. 바람직하게는 160 °C의 온도에서 약 100ppm의 Si 중량비를 가지는 고선택비 식각액

으로 10분간 제 2 절연층(150)의 식각 공정이 수행될 수 있다. 제 2 절연층(150)의 두께 및 기관(100)의 개수에 따라 상기 온도 범위 및 시간은 조절될 수 있다.

- [0040] 제 1 절연층(140)은 상기 고선택비 식각액으로부터 게이트 패턴(130)을 보호하는 역할을 수행할 수 있다. 더욱 구체적으로, 제 1 절연층(140)은 제 2 절연층(150)과 식각선택비를 가지는 물질일 수 있고, 따라서 제 1 절연층(140)은 상기 고선택비 식각액에 의해 게이트 패턴(130)이 식각되는 것을 방지하는 식각 마스크의 역할을 수행할 수 있다.
- [0041] 이후 잔류물(160)을 가열하여 비정질(amorphous) 실리콘 산화물(SiO<sub>x</sub>) 상태의 잔류물을 이산화 실리콘(silicon dioxide, SiO<sub>2</sub>) 상태의 제 3 절연층(160)으로 변화시킨다. 이 경우 제 3 절연층(160)은 서로 접촉할 수 있고, 따라서 게이트 패턴들(130)의 상부에 에어갭(170)을 덮는 제 3 절연층(160)이 형성될 수 있다.
- [0042] 도 5를 참조하면, 제 3 절연층(160) 상에 제 4 절연층(180)을 형성하고, 제 4 절연층(180)에 대한 평탄화 공정을 수행한다. 상기 평탄화는 화학 기계적 연마(chemical mechanical polishing, CMP) 공정, 에치 백(etch back) 공정 또는 화학 기계적 연마와 에치 백을 조합한 공정을 통해 수행될 수 있다.
- [0043] 도 6 및 도 7은 본 발명의 기술적 사상에 의한 다른 실시예들에 따른 반도체 소자의 제조 방법을 공정 순서에 따라 나타낸 단면도들이다. 이 실시예에 따른 반도체 소자의 제조 방법은, 전술한 도 1 내지 도 5의 반도체 소자의 제조 방법을 일부 변형한 것이다. 이하 두 실시예들에서 중복되는 설명은 생략하기로 한다.
- [0044] 도 6 및 도 7을 참조하면, 잔류물(160)을 가열하여 이산화 실리콘(silicon dioxide, SiO<sub>2</sub>) 상태의 제 3 절연층(160)으로 변화시키는 경우, 제 3 절연층(160)은 서로가 소정 거리만큼 이격될 수 있다. 따라서 제 3 절연층(160) 사이에 슬릿(slit, S)이 형성될 수 있다. 이후 제 3 절연층(160) 상에 제 4 절연층(180)을 형성하고, 제 4 절연층(180)에 대한 평탄화 공정을 수행한다. 상기 평탄화는 화학 기계적 연마(chemical mechanical polishing, CMP) 공정, 에치 백(etch back) 공정 또는 화학 기계적 연마와 에치 백을 조합한 공정을 통해 수행될 수 있다.
- [0045] 도 8은 본 발명의 기술적 사상에 의한 일부 실시예들에 따른 반도체 소자(300)를 개략적으로 나타낸 평면도이다. 도 9는 도 8의 A-A'에 따른 단면도이고, 도 10은 도 8의 B-B'에 따른 단면도이다.
- [0046] 도 8내지 도 10을 참조하면, 반도체 소자(300)는 기관(100), 채널 층들(310), 지지용 절연층들(320), 게이트 도전층들(330), 게이트 절연층들(340), 제 1 에어갭들(170), 제 2 에어갭들(350), 분리용 절연층들(400), 제 1 절연층(360), 제 2 절연층(370), 제 3 절연층(160) 및 비트라인 도전층(380)을 포함할 수 있다.
- [0047] 도 8을 참조하면, 채널 층들(310)은 지그재그로 배치될 수 있다. 또한 지그재그로 배치된 채널 층들(310)은 지지용 절연층(320)을 둘러쌀 수 있다. 더욱 구체적으로, 채널 층들(310) 및 지지용 절연층들(320)은 분리용 절연층들(400) 사이에 배치될 수 있고, 분리용 절연층들(400) 사이의 채널 층들(310)은 지그재그로 배치될 수 있다. 지지용 절연층(320)은 지그재그로 배치된 채널 층(310)과 분리용 절연층(400) 사이의 빈 공간에 배치될 수 있다. 즉 지지용 절연층들(320) 각각은 분리용 절연층(400)과 채널 층들(310)에 의해 둘러싸일 수 있고, 따라서 분리용 절연층들(400) 사이의 지지용 절연층들(320)은 역-지그재그로 배치될 수 있다.
- [0048] 도 9 및 도 10을 참조하면, 기관(100)은 반도체 물질, 예컨대 IV족 반도체, III-V족 화합물 반도체, 또는 II-VI족 산화물 반도체를 포함할 수 있다. 예를 들어, IV족 반도체는 실리콘, 게르마늄 또는 실리콘-게르마늄을 포함할 수 있다. 기관(100)은 벌크 웨이퍼, 에피택셜층, 실리콘-온-절연체(silicon-on-insulator, SOI) 층, 및/또는 반도체-온-절연체(semiconductor-on-insulator, SEOI) 층 등을 포함할 수 있다.
- [0049] 채널 층(310)은 기관(100)으로부터 수직인 방향으로 돌출 연장될 수 있다. 예를 들어, 채널 층들(310)은 다결정 구조로 형성하거나 또는 단결정 구조의 에피택셜층으로 형성될 수 있다. 또한, 채널 층들(310)은 실리콘 물질, 또는 실리콘-게르마늄 물질을 포함할 수 있다. 비록 도면의 경우 채널 층(310)이 필라형(pillar-type) 채널 층으로 도시되어 있으나, 본 발명은 이에 한정되는 것은 아니다. 즉, 채널 층(310)은 마카로니형(macaroni-type) 채널 층일 수 있고, 이 경우 반도체 소자(300)는 상기 마카로니형 채널 층(310) 내부를 채우는 절연층(미도시)을 더 포함할 수 있다.
- [0050] 게이트 도전층들(330)은 채널 층(310)의 측면에 적층될 수 있다. 더욱 구체적으로, 제 1 절연층(360)과 게이트 도전층들(330)은 채널 층(310)의 측면에 교대로 적층되며, 채널을 둘러싸는 구조일 수 있다. 게이트 도전층들(330)은 폴리실리콘(polysilicon), 알루미늄(Al), 루테튬(Ru), 탄탈 질화물(TaN), 티타늄 질화물(TiN), 텅스텐(W), 텅스텐 질화물(WN), hafnium 질화물(HfN) 및 텅스텐 실리사이드(WSi)로 이루어지는 군에서 선택되는 어느

하나 또는 이들의 조합을 포함할 수 있다.

- [0051] 제 1 절연층(360)은 채널 층(310)과 이격되며, 게이트 도전층(130)의 상하에 위치할 수 있다. 더욱 구체적으로, 제 1 절연층(360)은 게이트 도전층들(330) 사이 및 게이트 도전층들(330) 상에 위치할 수 있다. 또한, 제 1 절연층들(160) 중 최상위의 제 1 절연층(360)의 두께는 나머지 제 1 절연층의 두께보다 더 클 수 있다. 또한, 제 1 절연층(360)은 내부에 제 1 에어갭(170)을 포함할 수 있다. 더욱 구체적으로, 제 1 절연층(360) 내 제 1 에어갭(170)은 게이트 절연층(340)과 제 3 절연층(160) 사이에 형성될 수 있다. 제 1 에어갭(170)에 의해 게이트 도전층들(330) 간의 간섭효과가 개선될 수 있다.
- [0052] 제 2 절연층(370)은 채널 층(310)의 상부와 직접 접촉할 수 있다. 더욱 구체적으로, 제 2 절연층(370)은 제 1 절연층(170)과 채널 층(310) 사이에 직접 개재될 수 있다. 예를 들어, 제 2 절연층(370)은 제 1 절연층들(160) 중 최상위의 제 1 절연층(360)과 채널 층(310) 사이에 위치할 수 있다. 또한 제 2 절연층(370)은 게이트 절연층과 비트라인 도전층(380) 사이에 위치할 수 있다. 제 1 절연층(360)과 제 2 절연층(370)은 실질적으로 동일한 식각선택비를 가질 수 있다. 제 1 절연층(360)의 두께는 제 2 절연층(370)의 두께보다 더 클 수 있다. 더욱 구체적으로, 기판(100)과 수직하는 방향에서, 제 2 절연층(370)의 두께는 제 1 절연층(360)의 두께보다 더 작을 수 있다. 또한 도 1과 같이 평면도로 제 2 절연층(370)을 바라보는 경우, 제 2 절연층(370)은 채널 층(310)을 둘러싸는 링(ring) 구조일 수 있다.
- [0053] 게이트 절연층들(340)은 게이트 도전층들(330)과 채널 층(310) 사이에 위치할 수 있다. 더욱 구체적으로, 게이트 절연층들(340) 각각은 게이트 도전층(130)을 둘러싸는 형태로 형성될 수 있다. 따라서 게이트 절연층들(340) 각각은 게이트 도전층(130)과 제 1 절연층(360) 사이 및 게이트 도전층들(330)과 채널 층(310) 사이에 위치할 수 있다. 또한, 게이트 절연층(340)은 채널 층(310)의 측면을 둘러싸도록 형성될 수 있다.
- [0054] 게이트 절연층(340)은 채널 층(310)의 측면에서 적층되는 복수개의 게이트 절연층들(342, 344, 346)을 포함할 수 있다. 예를 들어, 게이트 절연층(340)은 채널 층(310)으로부터 터널링 절연층(342), 전하 저장층(344), 블록킹 절연층(346)이 차례로 적층된 구조일 수 있다. 터널링 절연층(342), 전하 저장층(344), 및 블록킹 절연층(346)은 스토리지 매체를 구성한다.
- [0055] 터널링 절연층(342), 전하 저장층(344), 및 블록킹 절연층(346)은 각각 실리콘 산화층( $\text{SiO}_2$ ), 실리콘 산질화층( $\text{SiON}$ ), 실리콘 질화층( $\text{Si}_3\text{N}_4$ ), 알루미늄 산화층( $\text{Al}_2\text{O}_3$ ), 알루미늄 질화층( $\text{AlN}$ ), hafnium 산화층( $\text{HfO}_2$ ), hafnium 실리콘 산화층( $\text{HfSiO}$ ), hafnium 실리콘 산질화층( $\text{HfSiON}$ ), hafnium 산질화층( $\text{HfON}$ ), hafnium 알루미늄 산화층( $\text{HfAlO}$ ), 지르코늄 산화층( $\text{ZrO}_2$ ), 탄탈륨 산화층( $\text{Ta}_2\text{O}_3$ ), hafnium 탄탈륨 산화층( $\text{HfTa}_x\text{O}_y$ ), 란탄 산화층( $\text{LaO}$ ), 란탄 알루미늄 산화층 ( $\text{LaAlO}$ ), 란탄 hafnium 산화층( $\text{LaHfO}$ ) 및 hafnium 알루미늄 산화층( $\text{HfAlO}$ )으로 이루어지는 군에서 선택되는 어느 하나, 또는 이들의 조합을 포함할 수 있다. 예를 들어, 상기 터널링 절연층(342)은 실리콘 산화층을 포함하고, 상기 전하 저장층(344)은 실리콘 질화층을 포함하며, 상기 블록킹 절연층(346)은 금속 산화층을 포함할 수 있다.
- [0056] 기판(100)과 수직하는 방향에서, 제 2 에어갭들(350)은 복수개의 게이트 도전층들(330) 사이 또는 게이트 도전층들(330) 중 최상위의 게이트 도전층(130)과 제 2 절연층(370) 사이에 위치할 수 있다. 반도체 소자(300)의 제조 공정 당시 스텝 커버리지(step coverage)가 좋지 않은 게이트 절연층(340)을 증착시킴으로써 이러한 제 2 에어갭들(350)이 형성될 수 있다. 기판(100)과 평행한 방향에서, 제 2 에어갭들(350)은 제 1 절연층들(160)과 채널 층(310) 사이에 위치할 수 있다. 또한, 제 2 에어갭들(350)과 채널 층(310) 및/또는 제 2 에어갭들(350)과 제 1 절연층(360) 사이에 게이트 절연층(340)이 형성될 수 있다.
- [0057] 분리용 절연층(400)은 채널 층들(310) 사이에 위치하며, 기판(100)과 수직하는 방향으로 돌출 연장될 수 있다. 분리용 절연층(400)은 제 1 절연층(360)과 연결될 수 있다. 비트라인 도전층(380)은 채널 층(310) 상에 형성될 수 있고, 기판(100)과 평행한 방향으로 연장될 수 있다. 비트라인 도전층(380)은 제 1 절연층(360), 제 2 절연층(370), 및 분리용 절연층(400)과 접촉할 수 있다.
- [0058] 지지용 절연층(320)은 채널 층(310)과 분리용 절연층(400) 사이에 위치하며, 기판(100)과 수직하는 방향으로 돌출 연장될 수 있다. 지지용 절연층(320)은 제 1 절연층(360)과 연결될 수 있다. 더욱 구체적으로, 지지용 절연층(320)과 분리용 절연층(400) 사이에는 제 1 절연층(360)만이 개재될 수 있다. 비트라인 도전층(380)은 제 1 절연층(360), 제 2 절연층(370), 분리용 절연층(400), 및 지지용 절연층(320)과 접촉할 수 있다. 지지용 절연층(320)과 제 1 절연층(360)은 실질적으로 동일한 식각선택비를 가질 수 있다.

- [0059] 도 11 내지 도 21a 및 도 21b는 본 발명의 기술적 사상에 의한 일부 실시예들에 따른 반도체 소자(300)의 제조 방법을 공정 순서에 따라 나타낸 단면도들이다. 이 실시예들에 따른 반도체 소자(300)의 제조 방법은, 도 10에 나타난 반도체 소자(300)를 형성하기 위한 제조 공정을 나타낸 것이다. 따라서 도 10의 설명과 중복되는 설명은 생략하기로 한다.
- [0060] 도 11을 참조하면, 기판(100) 상에 복수개의 제 1 희생 절연층들(325) 및 복수개의 제 1 절연층들(360)을 교대로 적층한다. 제 1 희생 절연층들(325)은 제 1 절연층들(360)과 다른 식각선택비를 가지는 물질로 형성될 수 있다.
- [0061] 선택적으로, 에어갭을 형성하기 위한 제 2 희생 절연층들(365)이 제 1 절연층들(360) 내에 형성될 수 있다. 이 경우, 제 1 희생 절연층(325), 제 1 절연층(360), 제 2 희생 절연층(365), 제 1 절연층(360)이 반복적으로 적층될 수 있다. 제 2 희생 절연층(365)의 두께는 제 1 희생 절연층(325)의 두께보다 작을 수 있다. 또한, 제 2 희생 절연층(365)은 제 1 절연층(360)과 다른 식각선택비를 가지는 물질로 형성될 수 있다. 예를 들어, 제 1 및 제 2 희생 절연층들(325, 365)은 실리콘 질화층일 수 있고, 제 1 절연층(360)은 실리콘 산화층일 수 있다. 이후 제 1 희생 절연층들(325), 제 2 희생 절연층들(365), 및 제 1 절연층들(360)을 식각하여 복수개의 채널 홀들(305)을 형성한다.
- [0062] 도 12를 참조하면, 채널 홀들(305) 각각의 측벽에 제 3 희생 절연층(327)을 형성한다. 제 3 희생 절연층(327)은 제 1 희생 절연층(325)과 동일한 식각선택비를 가지는 물질로 형성될 수 있다. 예를 들어, 제 3 희생 절연층(327)은 실리콘 질화층일 수 있다.
- [0063] 도 13을 참조하면, 제 3 희생 절연층(327)과 접촉하는 채널 층(310)을 형성한다. 이 경우 단일막 구조인 제 3 희생 절연층(327) 내에서 채널 층(310)이 형성된다. 따라서 이중막 구조로부터 채널 층(310)이 형성되는 기존 공정의 경우 발생할 수 있는 채널 층(310)의 주름 현상을 방지할 수 있다. 도면의 경우 채널 층(310)이 필라형 채널 층으로 도시되어 있지만 채널 층(310)이 마카로니형 채널 층일 수도 있음은 상술한 바와 같고, 이 경우 제 3 희생 절연층(327)과 접촉하는 채널 층(310)을 형성하고, 이후 상기 채널 층(310) 내부를 채우는 필라 절연층을 형성하는 공정이 추가될 수 있다.
- [0064] 도 14를 참조하면, 상기 제 3 희생 절연층(327)의 상부 일부를 제 1 깊이만큼 식각하여, 최상위의 제 1 절연층(360)의 측벽 및 채널 층(310)의 측벽을 노출시킨다. 기판(100)과 수직한 방향에서, 상기 제 1 깊이는 최상위의 제 1 절연층(360)의 깊이보다 작을 수 있다.
- [0065] 도 15를 참조하면, 제 3 희생 절연층(327) 상에 제 2 절연층(370)을 형성한다. 더욱 구체적으로, 제 2 절연층(370)과 상기 최상위의 제 1 절연층(360)의 측벽 및 채널 층(310)의 측벽과 접촉하도록 제 2 절연층(370)을 형성한다. 제 2 절연층(370)은 제 1 내지 제 3 희생 절연층(325, 365, 327)을 식각하는 풀백 공정(pull back process)에서 채널이 쓰러지거나 리프팅(lifting) 되는 현상을 방지하는 역할을 수행한다.
- [0066] 도 16을 참조하면, 제 1 내지 제 3 희생 절연층(325, 365, 327)을 식각하는 풀백 공정을 수행하기 위해, 상기 제 2 절연층(370), 상기 제 1 및 제 2 희생 절연층들(325, 365), 및 상기 제 1 절연층들(360)을 식각하여 복수개의 워드라인 홀들(405)을 형성한다. 이 경우 워드라인 홀들(405) 각각은 채널 층들(310) 사이에 위치한다.
- [0067] 도 17을 참조하면, 제 1 희생 절연층(325), 제 2 희생 절연층(365), 및 제 3 희생 절연층(327)을 식각하여 제 1 절연층(360) 및 채널 층(310)을 노출시킨다. 예를 들어, 제 1 내지 제 3 희생 절연층(325, 365, 327)은 실리콘 질화층일 수 있고, 제 1 절연층(360) 및 제 2 절연층(370)은 실리콘 산화막일 수 있다. 이 경우 인산( $H_3PO_4$ ) 습식 식각 공정을 통해 실리콘 질화막으로 이루어진 제 1 내지 제 3 희생 절연층(325, 365, 327)을 제거하여 제 1 절연층(360), 제 2 절연층(370), 및 채널 층(310)을 노출시킬 수 있다. 특히 인산( $H_3PO_4$ ) 및 실리콘 포스페이트( $Si_3(PO_4)_4$ )를 포함하는 고선택비 식각액(etchant)을 사용하여 제 1 내지 제 3 희생 절연층(325, 365, 327)이 제거될 수 있다. 상기 고선택비 식각액에 대한 설명은 도 4에서 설명한 바와 같으므로, 중복되는 설명은 생략하기로 한다.
- [0068] 상기 고선택비 식각액에 의해 제 2 희생 절연층(365)이 식각될 경우, 제 1 절연층(360)의 단부에 제 2 희생 절연층(365)의 잔류물이 형성될 수 있다. 더욱 구체적으로, 워드라인 홀들(405)을 통해 상기 고선택비 식각액이 유입되고, 제 1 내지 제 3 희생 절연층(325, 265, 327)이 식각된다. 이 경우 상기 고선택비 식각액에 의해 식각된 제 2 희생 절연층(365)의 잔류물이 제 1 절연층(360)의 단부에 잔존할 수 있다. 이후 상기 잔류물을 가열하여 제3 절연층(160)이 형성될 수 있고, 제3 절연층(160)은 제 2 희생 절연층(365)과 대응되는 공간을 덮을 수

있다. 그러나 제 1 회생 절연층(325)의 두께는 제 2 회생 절연층(365)의 두께보다 더 크므로, 제 1 회생 절연층(325)이 상기 고선택비 식각액에 의해 식각되더라도 잔류물이 제 1 회생 절연층(325)과 대응되는 공간에 잔존하지는 않는다.

[0069] 도 18a 및 도 18b를 참조하면, 제 1 내지 제 3 회생 절연층(325, 365, 327)을 식각하여 노출된 제 1 절연층(360) 및 채널 층(310) 상에 게이트 절연층(340)을 형성한다. 게이트 절연층(340)이 터널링 절연층(342), 전하 저장층(344), 및 블록킹 절연층(346)을 포함할 수 있음은 상술한 바와 같다. 도 19a와 같이, 스텝 커버리지가 좋지 않은 게이트 절연층(340)을 증착하는 경우 복수개의 게이트 도전층들(330) 사이 또는 게이트 도전층들(330) 중 최상위의 게이트 도전층(330)과 제 2 절연층(370) 사이에 제 2 에어갭들(350)이 형성될 수 있다. 반면에, 도 19b와 같이, 스텝 커버리지가 좋은 게이트 절연층(340)을 증착하는 경우, 상기 제 2 에어갭들(350)이 형성되지 않을 수도 있다. 이 경우 게이트 도전층(330) 사이에는 게이트 절연층(340)만이 개재된다. 게이트 절연층(340)이 증착됨으로써 잔류물(160)과 게이트 절연층(340) 사이에 제 1 에어갭(170)이 형성될 수 있다.

[0070] 도 19를 참조하면, 게이트 절연층(340) 상에 게이트 도전층(330)을 형성한다. 제 1 절연층(360) 사이에 형성된 게이트 도전층들(330)은 각각 워드 라인의 기능을 수행한다. 이후 도 20을 참조하면, 스트립 공정을 수행하여 게이트 도전층들(330) 상호간의 전기적 연결을 제거하고, 워드라인 홀(405)을 채우는 분리용 절연층(400)을 형성한다.

[0071] 도 21a 및 도 21b를 참조하면, 화학 기계 연마(chemical mechanical polishing, CMP) 공정을 수행하여 분리용 절연층(400)의 상부 일부를 제거하고, 채널 층(310)을 노출시킨다. 이후 제 1 절연층(360), 제 2 절연층(370), 채널 층(310) 및 분리용 절연층(400) 상에 비트라인 도전층(380)을 형성한다. 도 22a의 경우 제 2 에어갭들(350)이 형성된 반도체 소자(300)를 나타낸 것이고, 도 22b의 경우 제 2 에어갭들(350)이 형성되지 않고 게이트 도전층(330) 사이에 게이트 절연층만이 개재되는 경우의 반도체 소자(300)를 나타낸 것이다.

[0072] 도 22 내지 도 29는 본 발명의 기술적 사상에 의한 일부 실시예들에 따른 반도체 소자(300)의 제조 방법을 공정 순서에 따라 나타낸 단면도들이다. 이 실시예들에 따른 반도체 소자(300)의 제조 방법은, 도 10에 나타난 반도체 소자(300)를 형성하기 위한 제조 공정을 나타낸 것이다. 또한, 이 실시예들에 따른 반도체 소자(300)의 제조 방법은, 도 11 내지 도 21a 및 도 21b에 따른 반도체 소자(300)의 제조 공정을 포함할 수 있다. 이하 중복되는 설명은 생략하기로 한다.

[0073] 도 22를 참조하면, 도 11 내지 도 13에서 설명한 바와 같이, 기판(100) 상에 복수개의 제 1 회생 절연층들(325), 복수개의 제 2 회생 절연층들(365), 및 복수개의 제 1 절연층들(360)을 교대로 적층하고, 복수개의 채널 홀들(305)을 형성하며, 채널 홀(305)을 채우는 제 3 회생 절연층들(327) 및 채널 층(310)을 형성한다.

[0074] 도 23을 참조하면, 제 1 및 제 2 회생 절연층들(325, 365)과 제 1 절연층들(360)을 식각하여 더미 홀을 형성하고, 상기 더미 홀을 채우는 지지용 절연층(320)을 형성한다. 지지용 절연층(320)은 제 1 내지 제 3 회생 절연층(325, 365, 327)과 다른 식각선택비를 가지는 물질일 수 있다.

[0075] 도 24를 참조하면, 도 14 및 도 15에서 설명한 바와 같이, 제 1 절연층들(360) 중 최상위의 제 1 절연층(360)의 측벽 및 채널 층(310)의 측벽이 노출되도록 제 3 회생 절연층들(327)의 상부 일부를 식각하고, 최상위의 제 1 절연층(360)의 측벽 및 채널 층(310)의 측벽과 접촉하는 제 2 절연층(370)을 형성한다.

[0076] 도 25를 참조하면, 도 16에서 설명한 바와 같이, 제 1 및 제 3 회생 절연층(325, 327)을 식각하는 풀백 공정을 수행하기 위해, 상기 제 2 절연층(370), 상기 제 1 회생 절연층들(325), 및 상기 제 1 절연층들(360)을 식각하여 워드라인 홀(405)을 형성한다. 이 경우 워드라인 홀(405)은 채널 층(310)과 지지용 절연층(320) 사이에 위치한다.

[0077] 도 26을 참조하면, 도 17에서 설명한 바와 같이, 제 1 내지 제 3 회생 절연층(325, 365, 327)을 식각하는 풀백 공정(pull back process)을 수행한다. 지지용 절연층(320)은 제 1 및 제 2 회생 절연층(325, 365)이 식각된 후 제 1 절연층(360)이 가라앉는 현상을 방지하는 역할을 수행할 수 있다. 또한 상술한 바와 같이, 제 2 회생 절연층(365)이 식각됨으로써 제 1 절연층(360)의 단부에 제 2 회생 절연층(365)의 잔류물이 형성될 수 있고, 상기 잔류물을 가열함으로써 제 3 절연층(160)이 형성될 수 있다.

[0078] 도 27을 참조하면, 도 18a에서 설명한 바와 같이, 노출된 제 1 절연층(360) 및 채널 층(310) 상에 게이트 절연층(340)을 형성한다. 이 경우 스텝 커버리지(step coverage)가 좋지 않은 게이트 절연층(340)을 증착시킴으로써, 복수개의 게이트 도전층들(330) 사이 또는 게이트 도전층들(330) 중 최상위의 게이트 도전층(330)과 제 2 절연층(370) 사이에 제 2 에어갭들(350)이 형성될 수 있음은 상술한 바와 같다. 또한 비록 도면에

도시하지는 않았지만, 스텝 커버리지가 좋은 게이트 절연층(340)을 증착시킴으로써, 도 18b와 같이 제 2 에어갭이 형성되지 않는 구조가 형성될 수도 있다.

[0079] 도 28 및 도 29를 참조하면, 도 19 내지 도 21a에서 설명한 바와 같이, 게이트 절연층(340) 상에 게이트 도전층(330)을 형성하고, 워드라인 홀(405)을 채우는 분리용 절연층(400)을 형성한다. 또한 분리용 절연층(400) 및 제 2 절연층(370)의 상부 일부를 제거하여 채널 층(310)을 노출시킨 뒤, 제 1 절연층(360), 제 2 절연층(370), 채널 층(310), 지지용 절연층(320), 및 분리용 절연층(400) 상에 비트라인 도전층(380)을 형성한다. 비록 도면에 도시하지는 않았지만, 스텝 커버리지가 좋은 게이트 절연층(340)을 증착시킴으로써, 도 21b와 같이 제 2 에어갭(350)이 형성되지 않는 구조가 형성될 수도 있다.

[0080] 도 30은 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 소자의 제조 방법에 의해 제조된 반도체 소자를 포함하는 카드(1000)를 보여주는 개략도이다.

[0081] 도 30을 참조하면, 컨트롤러(1010)와 메모리(1020)는 전기적인 신호를 교환하도록 배치될 수 있다. 예를 들어, 컨트롤러(1010)에서 명령을 내리면, 메모리(1020)는 데이터를 전송할 수 있다. 메모리(1020)는 본 발명의 실시예들 중 어느 하나에 따른 반도체 소자의 제조 방법에 의해 제조된 반도체 소자를 포함할 수 있다. 상기 반도체 소자들은 당해 기술 분야에서 잘 알려진 바와 같이 해당 로직 게이트 설계에 대응하여 "NAND" 및 "NOR" 아키텍처 메모리 어레이(미도시)로 배치될 수 있다. 복수의 행과 열로 배치된 메모리 어레이는 하나 이상의 메모리 어레이 블록(미도시)을 구성할 수 있다. 메모리(1020)은 이러한 메모리 어레이(미도시) 또는 메모리 어레이 블록(미도시)을 포함할 수 있다. 또한, 카드(1000)는 상술한 메모리 어레이 블록(미도시)을 구동하기 위하여 통상의 행디코더(미도시), 열디코더(미도시), I/O 버퍼들(미도시), 및/또는 제어 레지스터(미도시)가 더 포함할 수 있다. 이러한 카드(1000)는 다양한 종류의 카드, 예를 들어 메모리 스틱 카드(memory stick card), 스마트 미디어 카드(smart media card; SM), 씨큐어 디지털 카드(secure digital; SD), 미니 씨큐어 디지털 카드(mini secure digital card; mini SD), 또는 멀티 미디어 카드(multi media card; MMC)와 같은 메모리 장치에 이용될 수 있다.

[0082] 도 31은 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 소자의 제조 방법에 의해 제조된 반도체 소자를 포함하는 시스템(1100)을 보여주는 개략도이다.

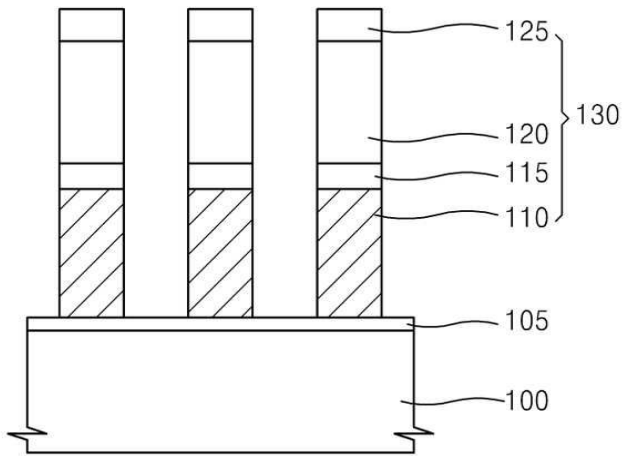
[0083] 도 31을 참조하면, 시스템(1100)은 컨트롤러(1110), 입/출력 장치(1120), 메모리(1130) 및 인터페이스(1140)를 포함할 수 있다. 시스템(1100)은 모바일 시스템 또는 정보를 전송하거나 전송받는 시스템일 수 있다. 상기 모바일 시스템은 PDA, 휴대용 컴퓨터(portable computer), 웹 태블릿(web tablet), 무선 폰(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player) 또는 메모리 카드(memory card)일 수 있다. 컨트롤러(1110)는 프로그램을 실행하고, 시스템(1100)을 제어하는 역할을 할 수 있다. 컨트롤러(1110)는, 예를 들어 마이크로프로세서(microprocessor), 디지털 신호 처리기(digital signal processor), 마이크로컨트롤러(microcontroller) 또는 이와 유사한 장치일 수 있다. 입/출력 장치(1120)는 시스템(1100)의 데이터를 입력 또는 출력하는데 이용될 수 있다. 시스템(1100)은 입/출력 장치(1130)를 이용하여 외부 장치, 예컨대 개인용 컴퓨터 또는 네트워크에 연결되어, 외부 장치와 서로 데이터를 교환할 수 있다. 입/출력 장치(1120)는, 예를 들어 키패드(keypad), 키보드(keyboard) 또는 표시장치(display)일 수 있다. 메모리(1130)는 컨트롤러(1110)의 동작을 위한 코드 및/또는 데이터를 저장하거나, 및/또는 컨트롤러(1110)에서 처리된 데이터를 저장할 수 있다. 메모리(1130)는 본 발명의 실시예들 중 어느 하나에 따른 반도체 소자의 제조 방법에 의해 제조된 반도체 소자를 포함할 수 있다. 인터페이스(1140)는 상기 시스템(1100)과 외부의 다른 장치 사이의 데이터 전송통로일 수 있다. 컨트롤러(1110), 입/출력 장치(1120), 메모리(1130) 및 인터페이스(1140)는 버스(1150)를 통하여 서로 통신할 수 있다. 예를 들어, 이러한 시스템(1100)은 모바일 폰(mobile phone), MP3 플레이어, 네비게이션(navigation), 휴대용 멀티미디어 재생기(portable multimedia player, PMP), 고상 디스크(solid state disk; SSD) 또는 가전 제품(household appliances)에 이용될 수 있다.

[0084] 본 발명을 명확하게 이해시키기 위해 첨부된 도면의 각 부위의 형상은 예시적인 것으로 이해하여야 한다. 도시된 형상 외의 다양한 형상으로 변형될 수 있음에 주의하여야 할 것이다. 도면들에 기재된 동일한 번호는 동일한 요소를 지칭한다.

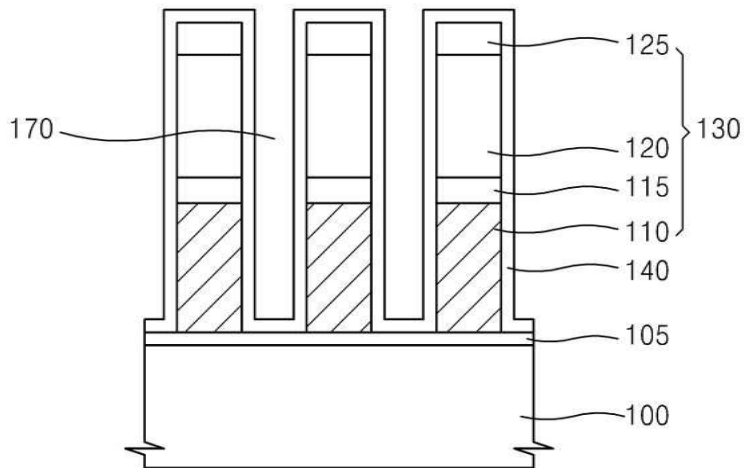
[0085] 이상에서 설명한 본 발명이 전술한 실시예 및 첨부된 도면에 한정되지 않으며, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

도면

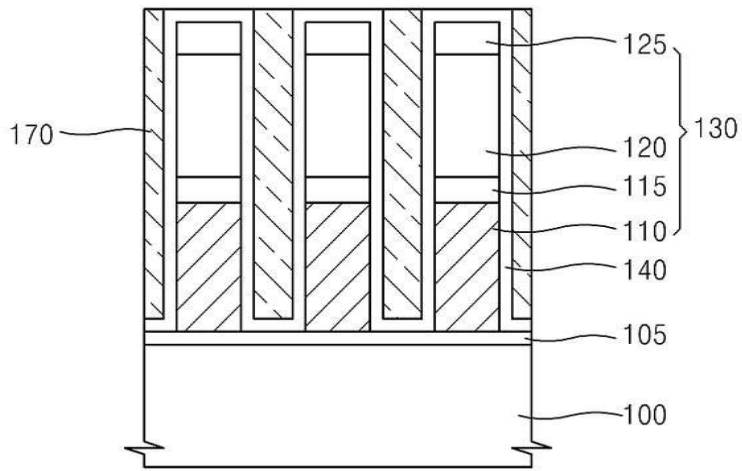
도면1



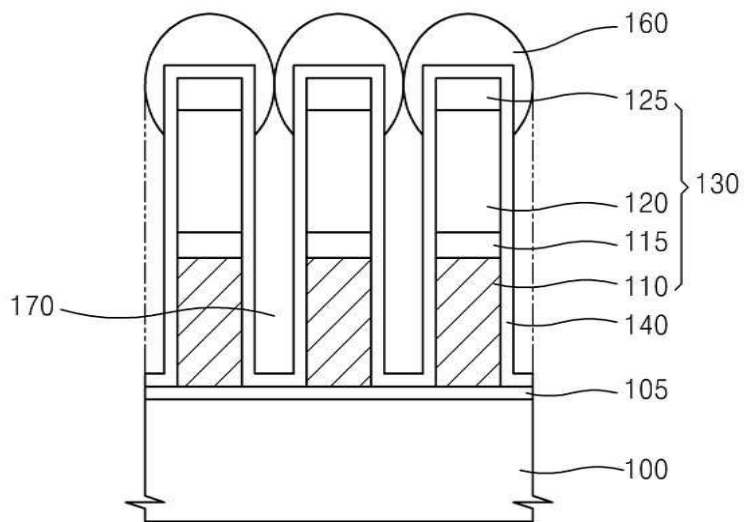
도면2



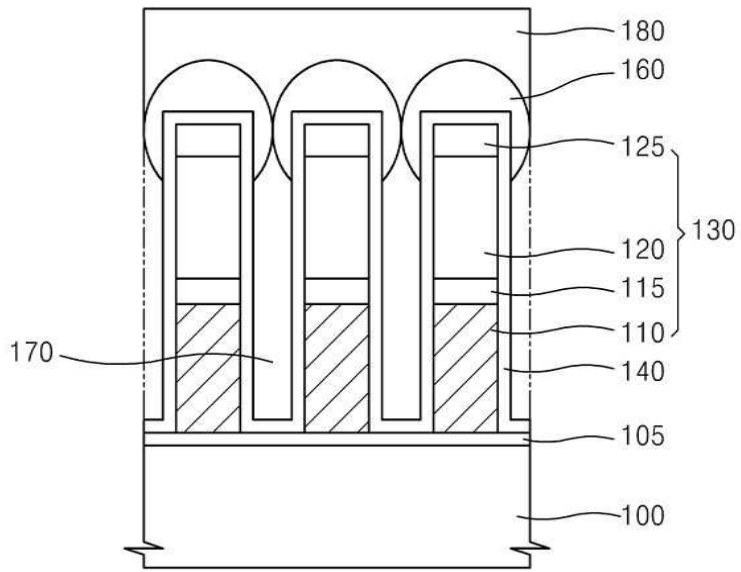
도면3



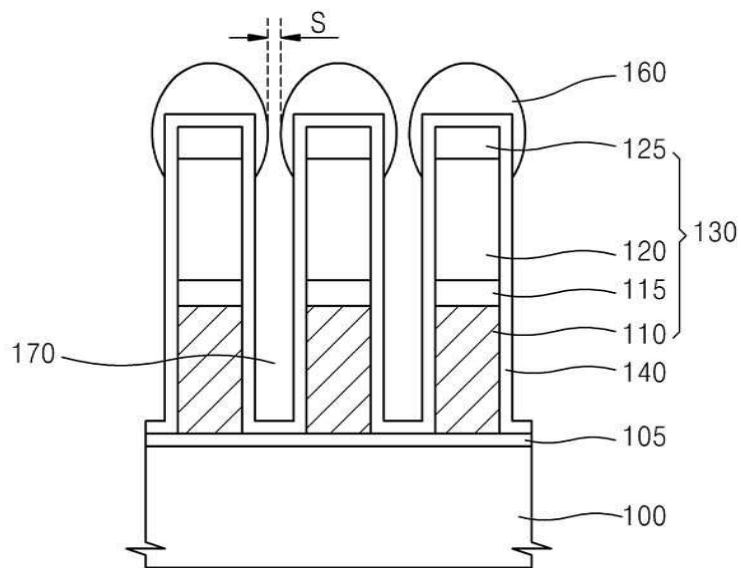
도면4



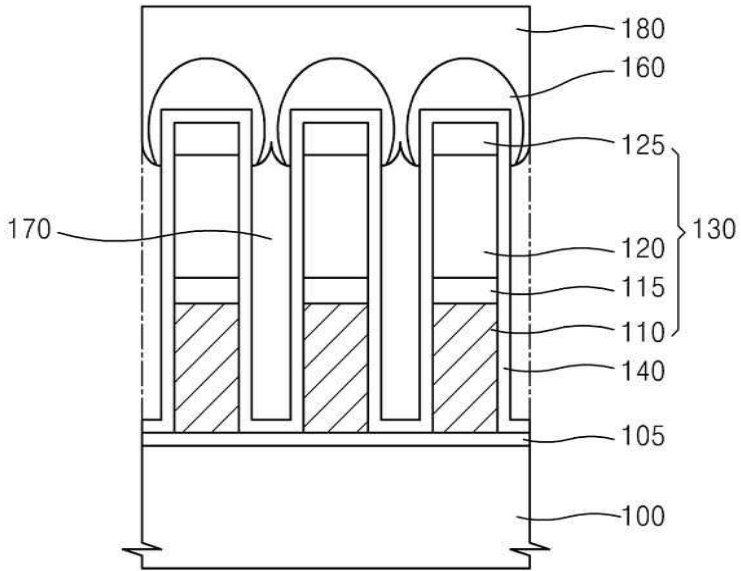
도면5



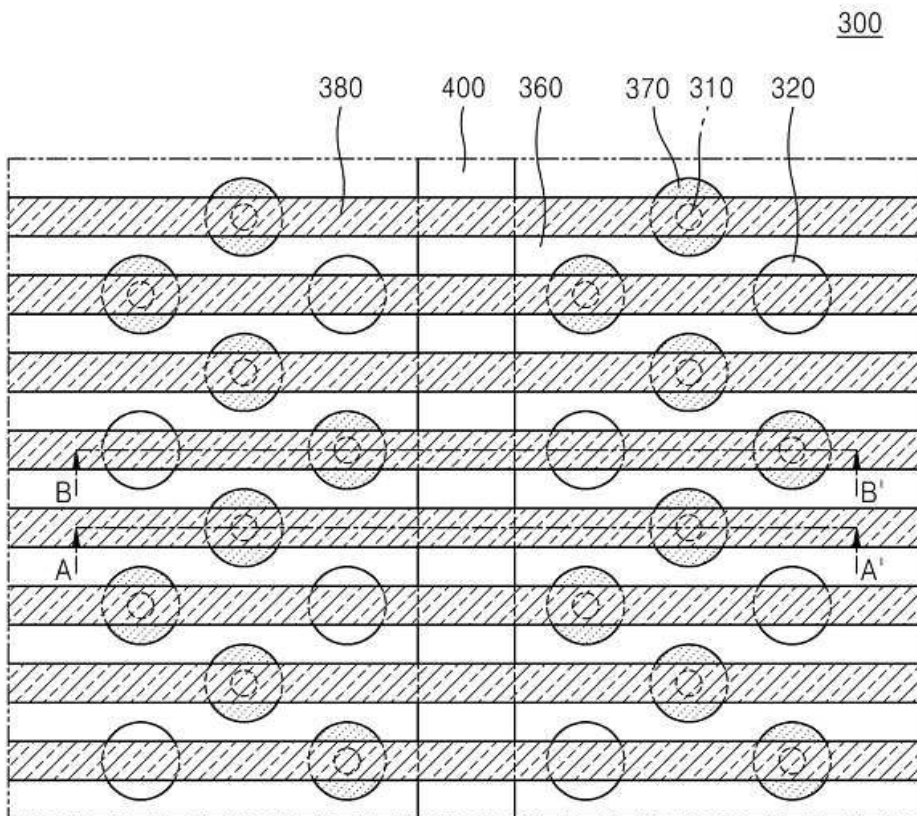
도면6



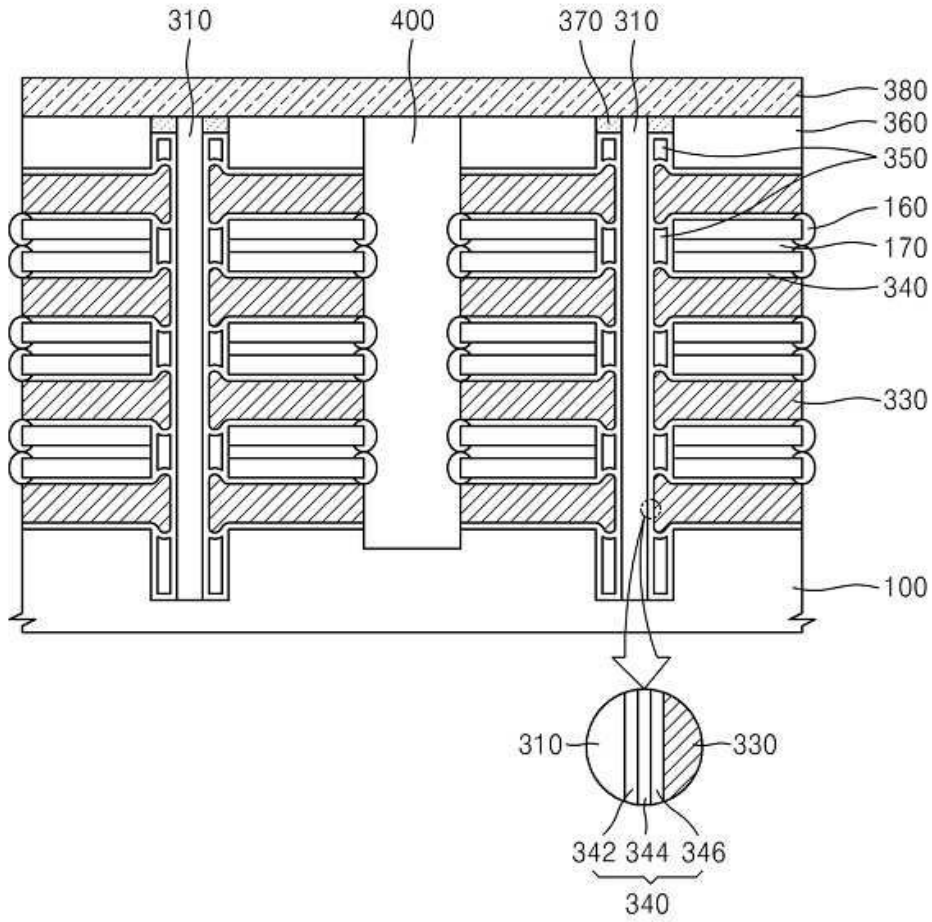
도면7



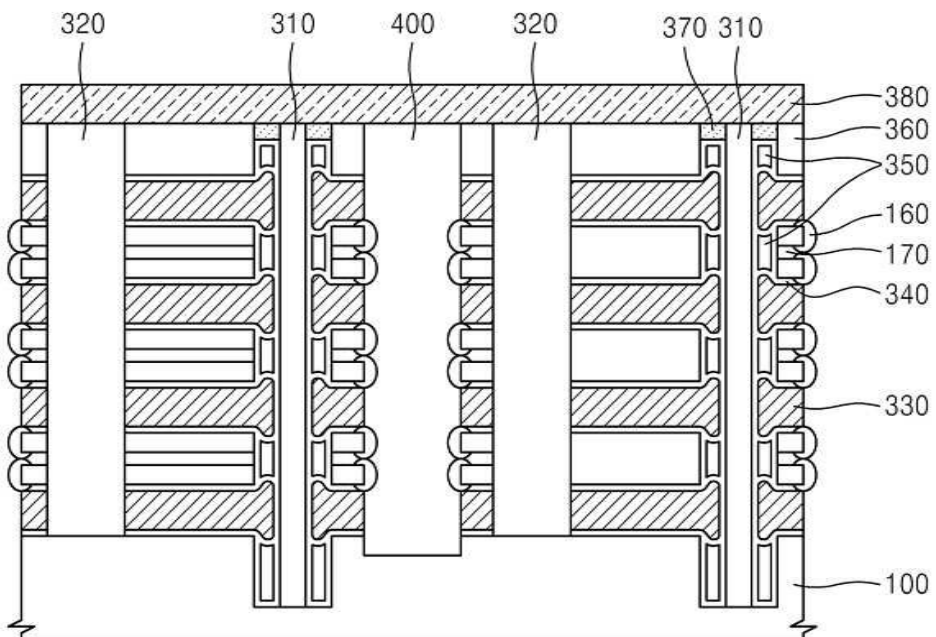
도면8



도면9

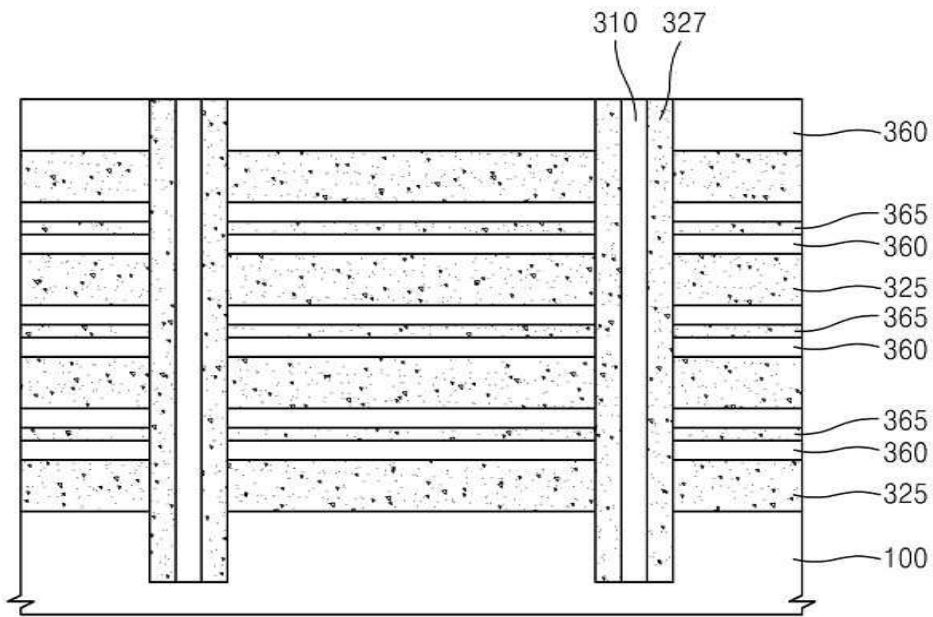


도면10

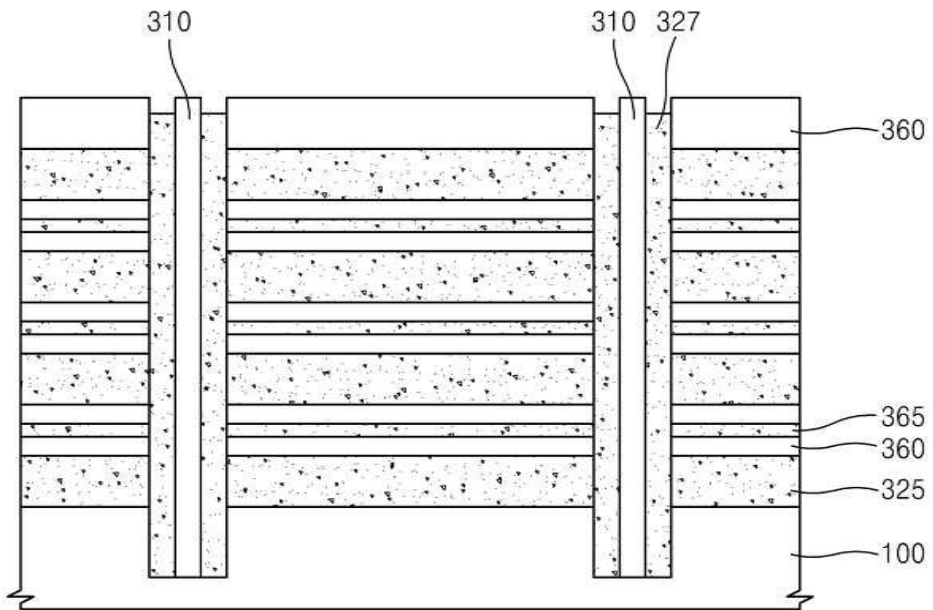




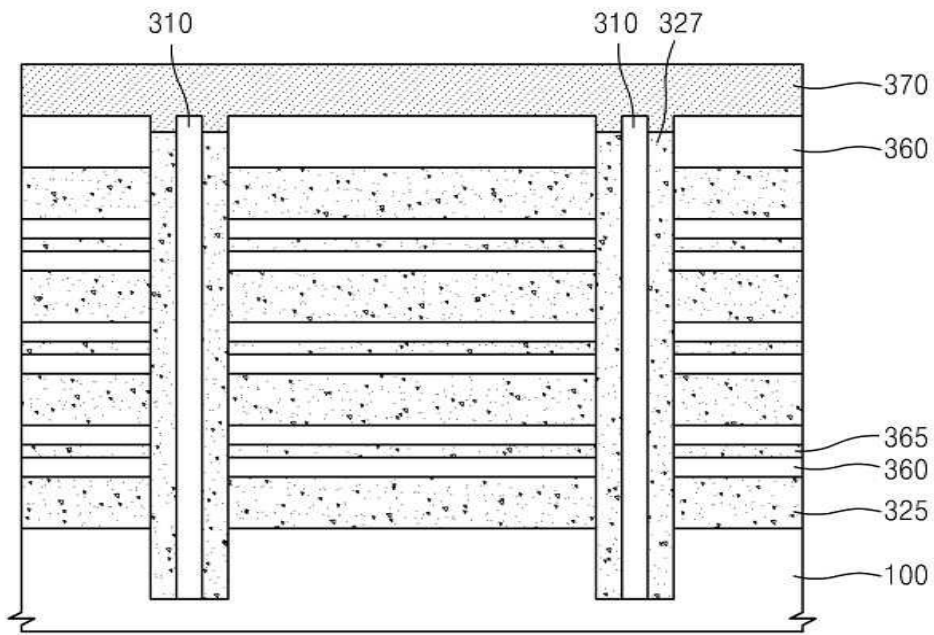
도면13



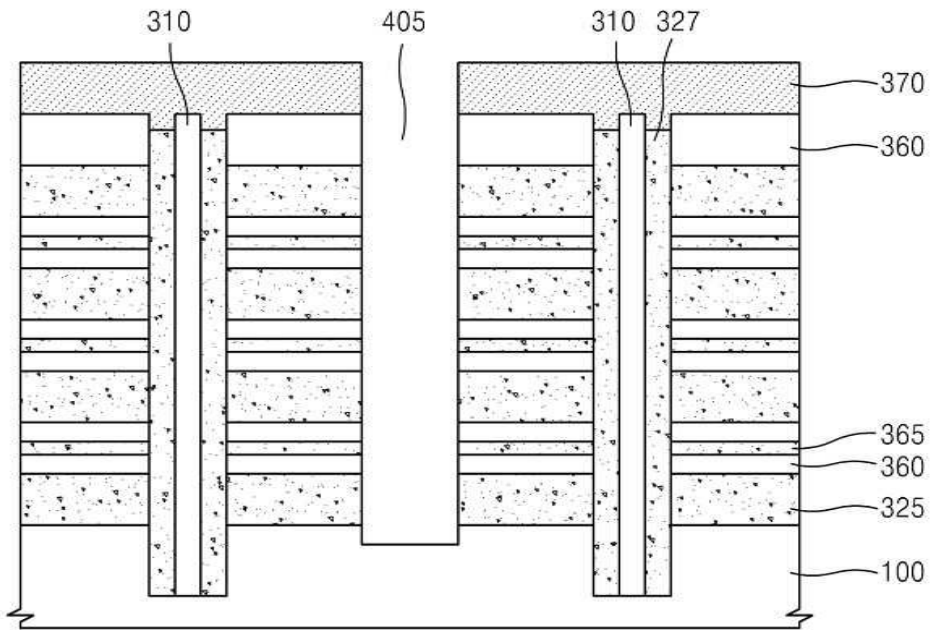
도면14



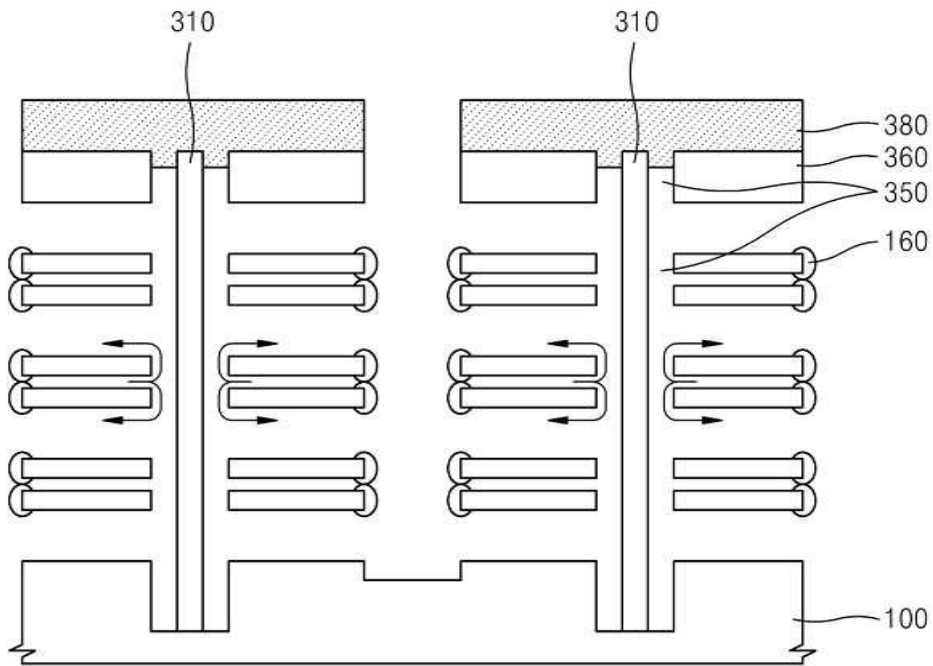
도면15



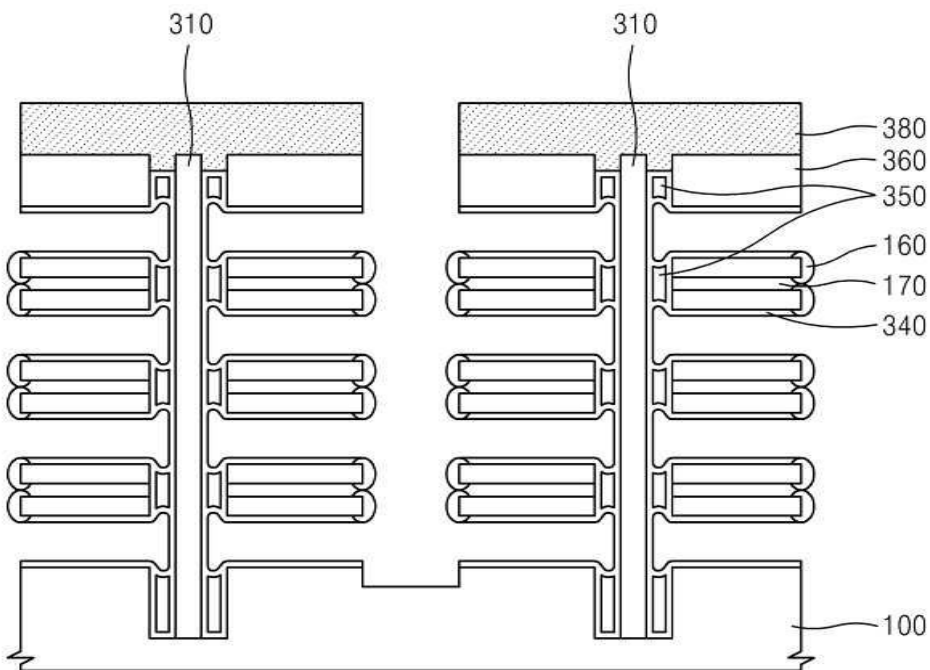
도면16



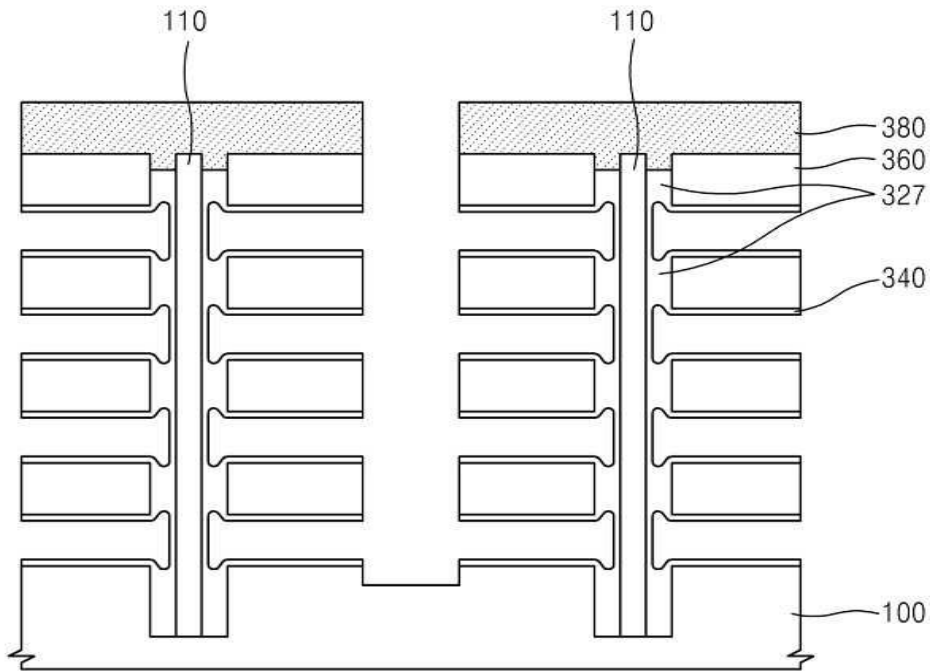
도면17



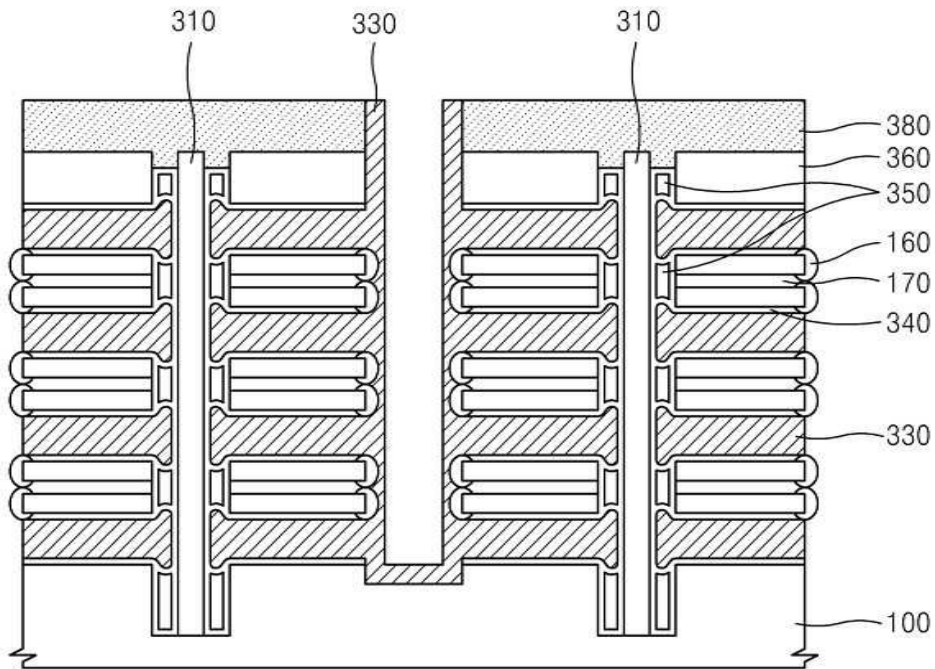
도면18a



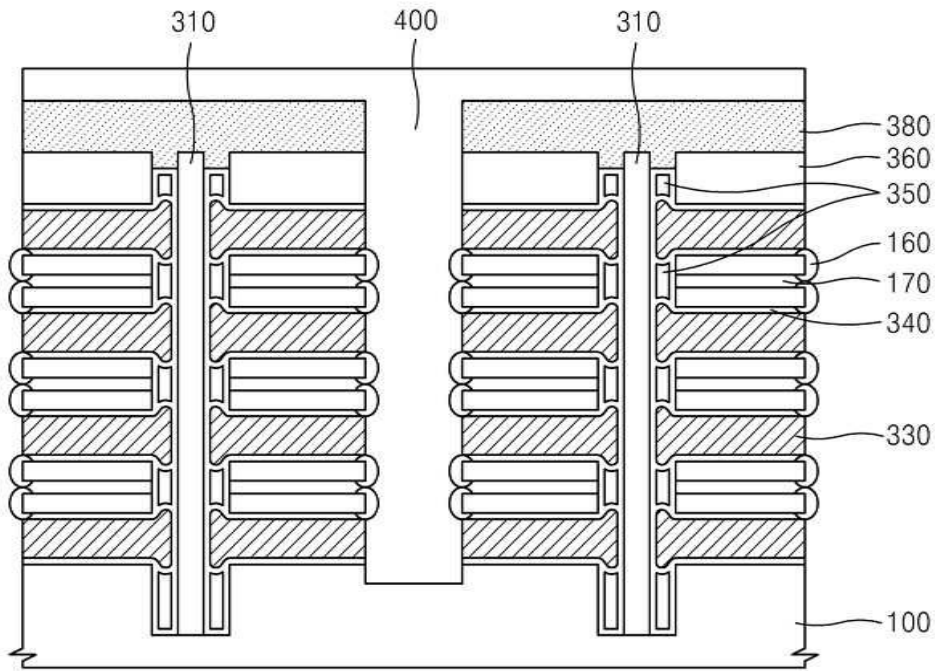
도면18b



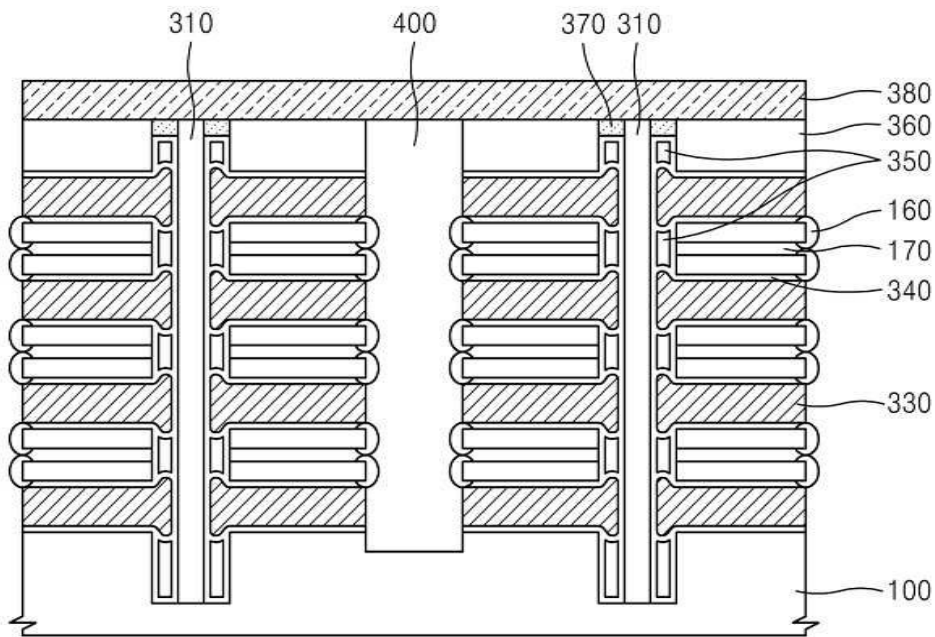
도면19



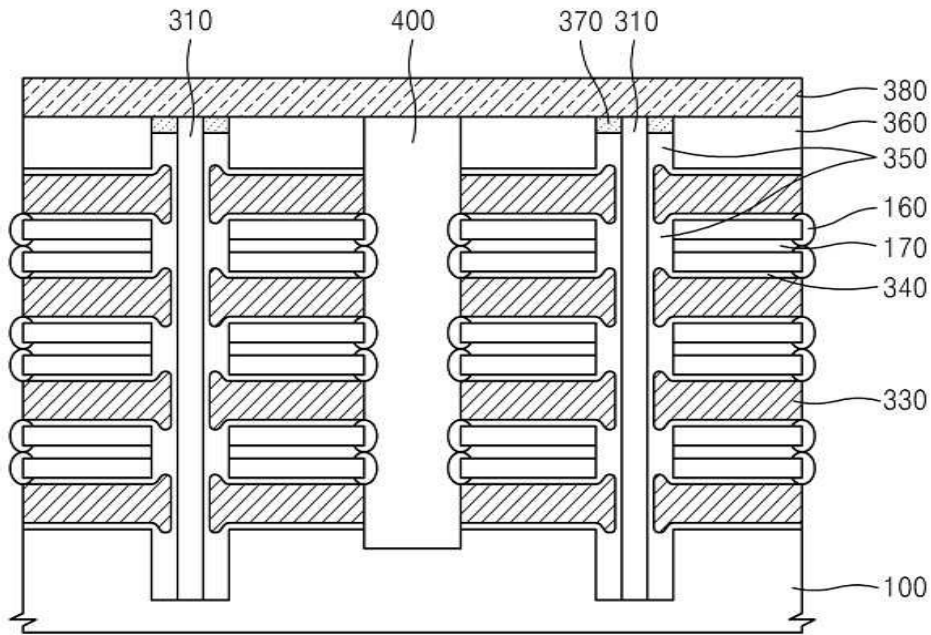
도면20



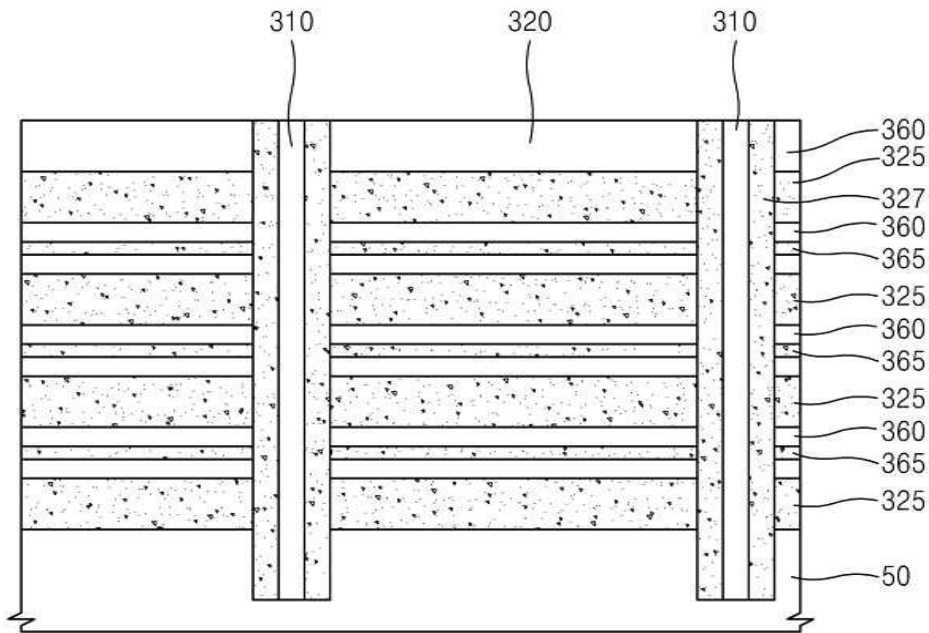
도면21a



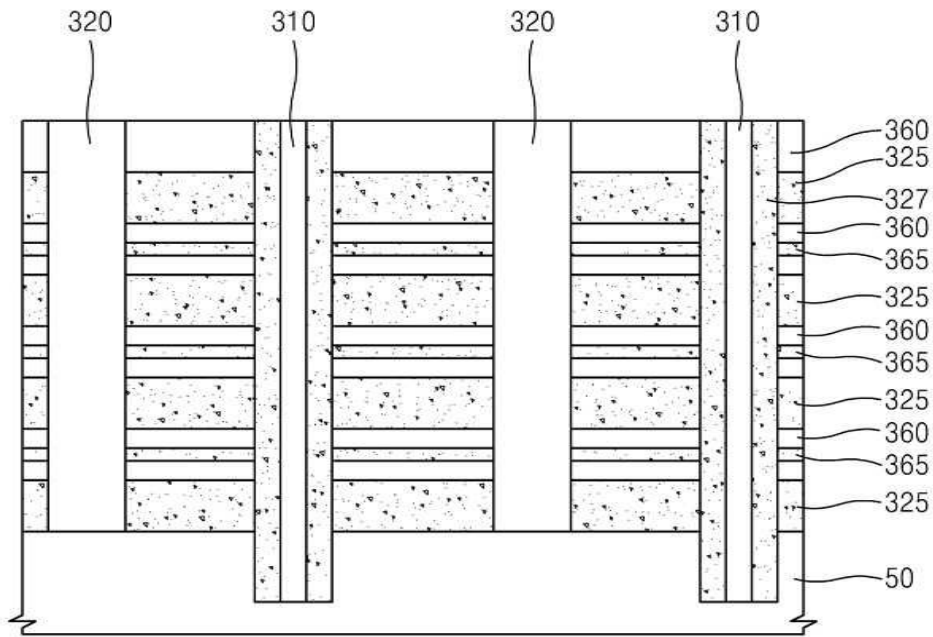
도면21b



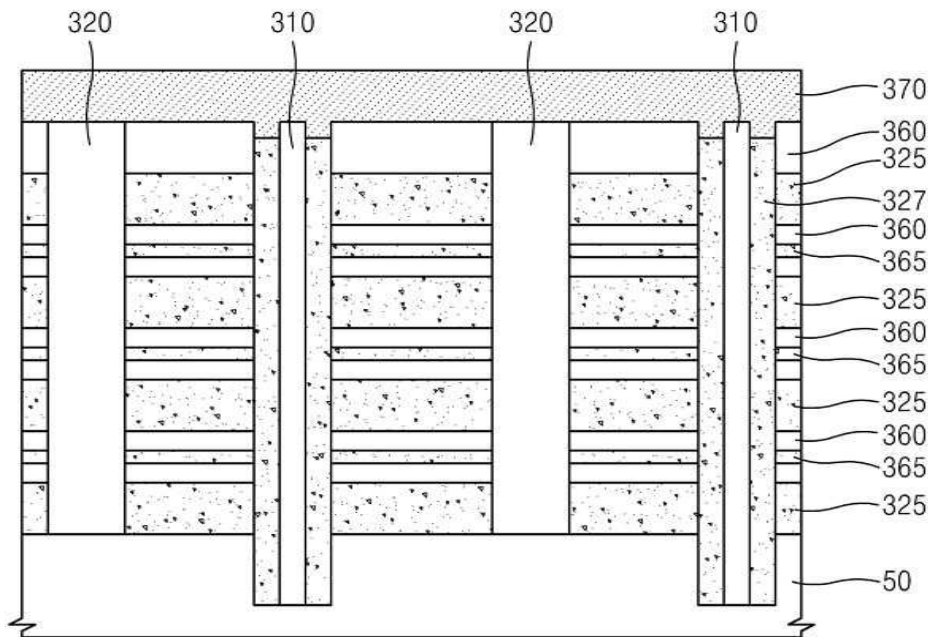
도면22



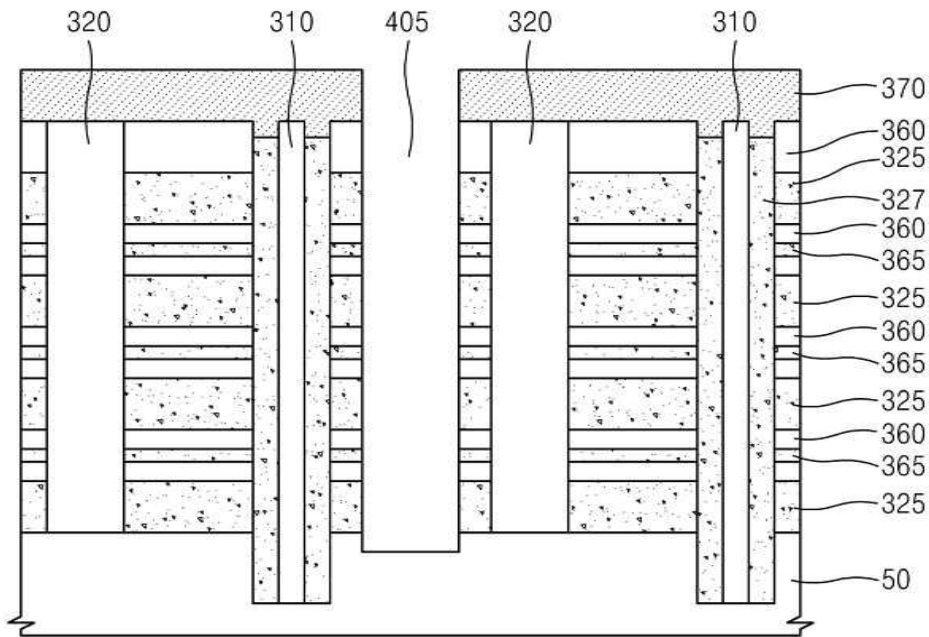
도면23



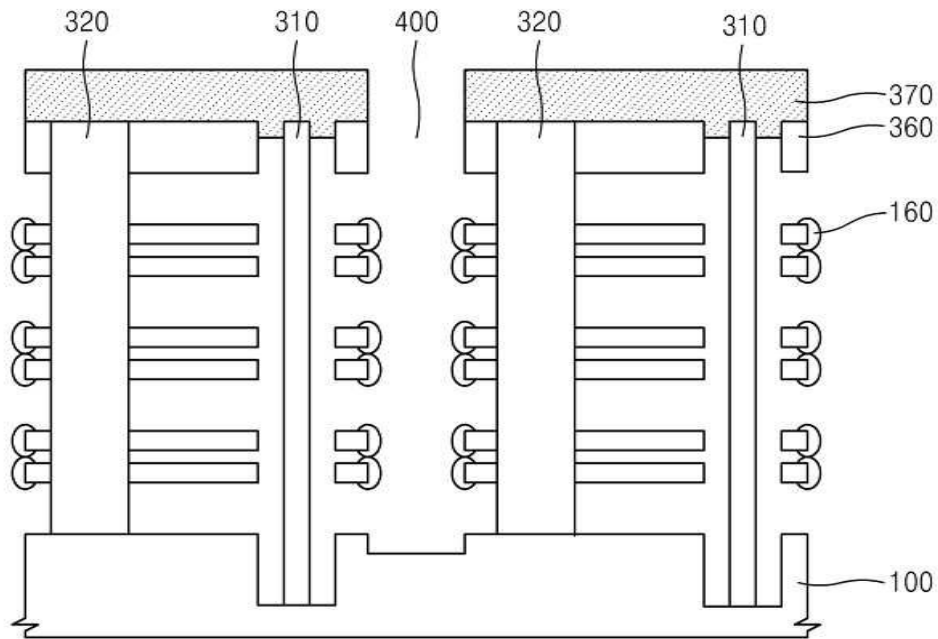
도면24



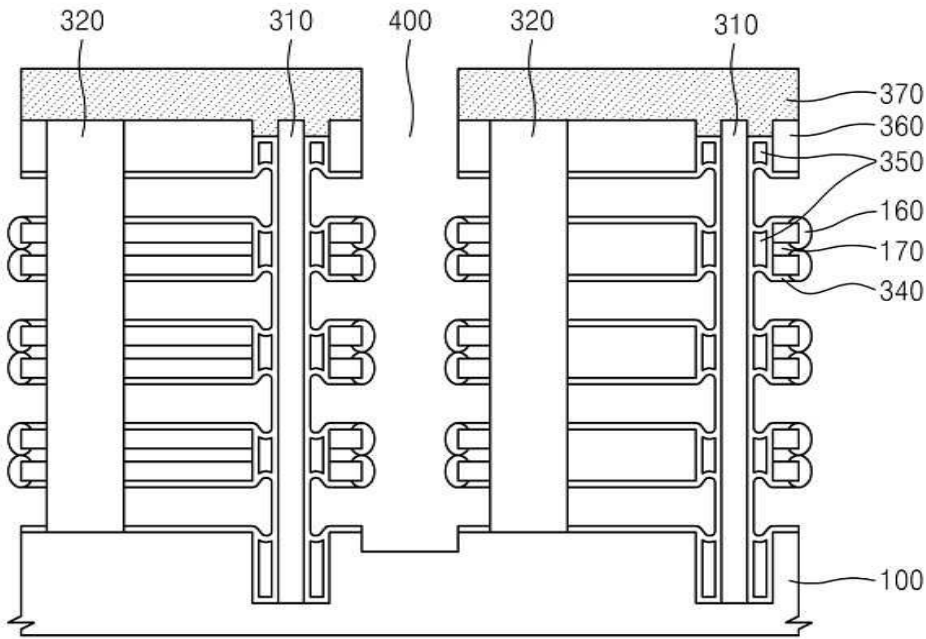
도면25



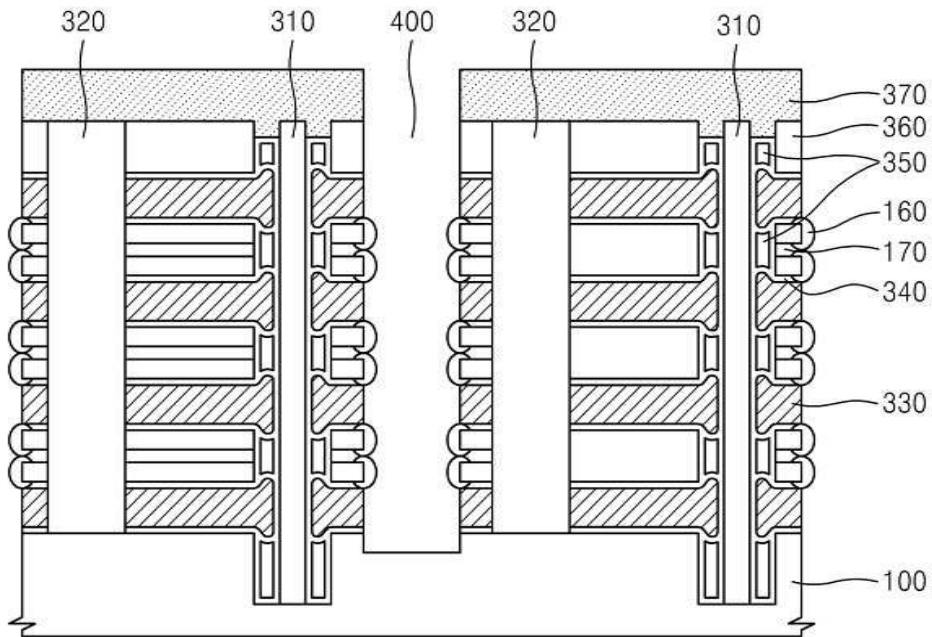
도면26



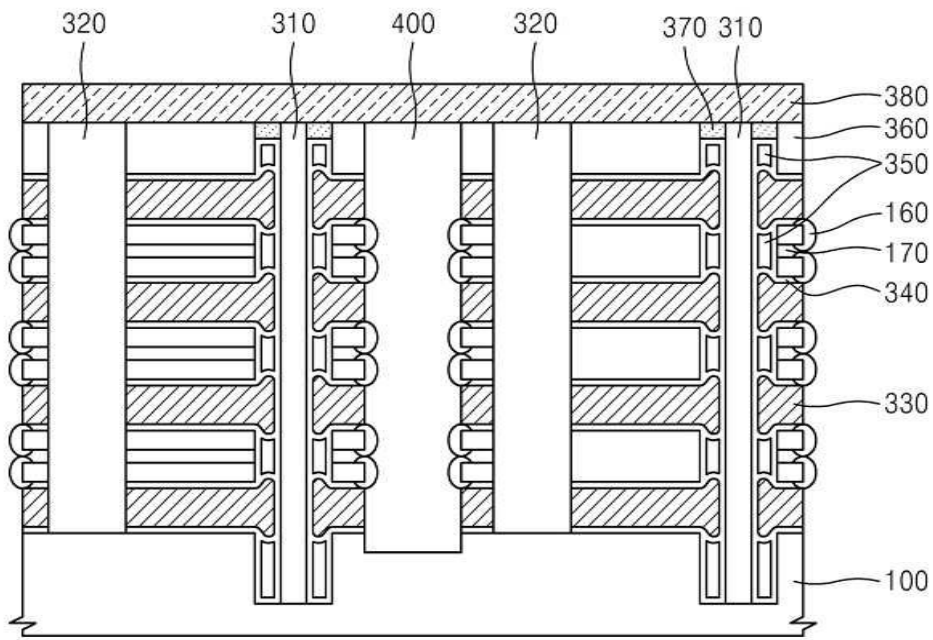
도면27



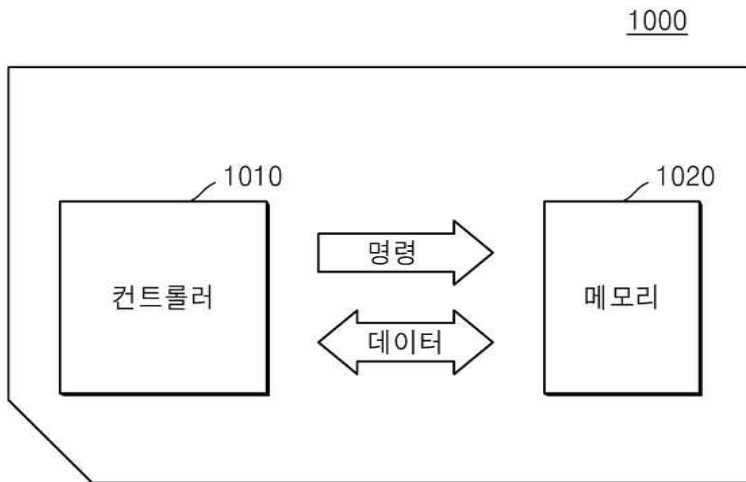
도면28



도면29



도면30



도면31

1100

