



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0064868
(43) 공개일자 2020년06월08일

- | | |
|---|---|
| <p>(51) 국제특허분류(Int. Cl.)
H01L 31/036 (2006.01) H01L 21/02 (2006.01)
H01L 31/047 (2014.01)</p> <p>(52) CPC특허분류
H01L 31/036 (2013.01)
H01L 21/02123 (2013.01)</p> <p>(21) 출원번호 10-2019-0049829</p> <p>(22) 출원일자 2019년04월29일
심사청구일자 2019년04월29일</p> <p>(30) 우선권주장
1020180150847 2018년11월29일 대한민국(KR)</p> | <p>(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50</p> <p>(72) 발명자
서관용
울산광역시 울주군 언양읍 유니스트길 50</p> <p>이강민
울산광역시 울주군 언양읍 유니스트길 50</p> <p>(74) 대리인
리엔목특허법인</p> |
|---|---|

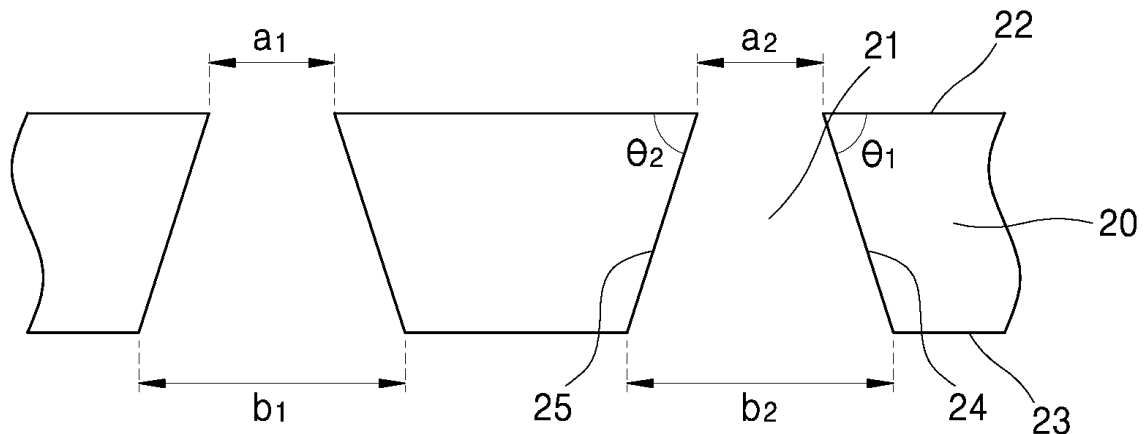
전체 청구항 수 : 총 21 항

(54) 발명의 명칭 무색 투명 반도체 기판 및 이의 제조방법

(57) 요약

제1면 및 상기 제1면의 반대측의 제2면을 포함하는 반도체 기판; 상기 반도체 기판을 관통하는 관통홀을 포함하고, 상기 관통홀은 상기 제1면 및 제2면에 대하여 경사진 경사부를 포함하는 투명 반도체 기판 및 이의 제조방법이 제공된다.

대표도 - 도2



(52) CPC특허분류

H01L 21/0242 (2013.01)

H01L 31/047 (2015.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 20183010013900

부처명 산업통상자원부

연구관리전문기관 한국에너지기술평가원

연구사업명 신재생에너지핵심기술개발사업

연구과제명 다양한 색구현이 가능한 반투명 결정질 실리콘 태양전지 요소기술 개발

기 여 율 1/1

주관기관 울산과학기술원

연구기간 2018.06.01 ~ 2021.05.31

명세서

청구범위

청구항 1

제1면 및 상기 제1면의 반대측의 제2면을 포함하는 반도체 기판;

상기 반도체 기판을 관통하는 관통홀을 포함하고,

상기 관통홀은 상기 제1면 및 제2면에 대하여 경사진 경사부를 포함하는, 투명 반도체 기판.

청구항 2

제1항에 있어서,

상기 관통홀의 직경은 제1면에서부터 제2면까지 증가하는, 투명 반도체 기판.

청구항 3

제1항에 있어서,

상기 관통홀의 길이방향의 단면은 사다리꼴 형상인, 투명 반도체 기판.

청구항 4

제1항에 있어서,

상기 경사부가 상기 제1면에 대하여 예각을 이루도록 구성된, 투명 반도체 기판.

청구항 5

제1항에 있어서,

상기 제1면에서 상기 관통홀의 직경은 1 um 이상인, 투명 반도체 기판.

청구항 6

제1항에 있어서,

상기 제1면에서 상기 관통홀의 직경은 하기 수학식 1로 계산되는 헤이즈 값이 1% 미만이 되도록 정의되는, 투명 반도체 기판:

<수학식 1>

$$H(\%) = \frac{T_d}{T_t} \times 100$$

여기서, T_d 는 확산 투과율이고, T_t 는 총 투과율이다.

청구항 7

제1항에 있어서,

상기 제1면에서 상기 관통홀들의 간격(S_1)은 하기 수학식 2로 계산되는, 투명 반도체 기판:

<수학식 2>

$$S_1 < 2\pi L \times \frac{1}{360} \times \frac{1}{60}$$

여기서, L은 기판과 관측자의 거리이다.

청구항 8

제1항에 있어서,

상기 투명 반도체 기판은 광-반사층을 더 포함하는, 투명 반도체 기판.

청구항 9

제1항에 있어서,

상기 투명 반도체 기판은 상기 제1면, 상기 경사부, 및 상기 제2면 상에 배치된 광-반사층을 더 포함하는, 투명 반도체 기판.

청구항 10

제1항에 있어서,

상기 투명 반도체 기판은 광-반사방지층을 더 포함하는, 투명 반도체 기판.

청구항 11

제1항에 있어서,

상기 투명 반도체 기판은 상기 제1면, 상기 경사부, 및 상기 제2면 상에 배치된, 광-반사방지층을 더 포함하는, 투명 반도체 기판.

청구항 12

제1항에 있어서,

상기 반도체 기판은 결정질 실리콘(c-Si), 게르마늄(Ge), 갈륨비소(GaAs), 갈륨비소인(GaAsP), 비정질 실리콘(a-Si), 또는 이들의 조합을 포함하는, 투명 반도체 기판.

청구항 13

제1항에 있어서,

상기 투명 반도체 기판은 제1면, 제2면 및 경사부 상에 배치된 부동화층(passivation layer)을 더 포함한, 투명 반도체 기판.

청구항 14

제1항에 있어서,

상기 투명 반도체 기판은 상기 반도체 기판의 제1면, 제2면 및 경사부와 직접 접촉하도록 배치된 부동화층을 더 포함하는, 투명 반도체 기판

청구항 15

제13항에 있어서,

상기 부동화층은 금속, 전이금속, 및 준금속 중에서 선택된 1종 이상의 원소의 산화물, 탄화물 또는 질화물을 포함하는, 투명 반도체 기판.

청구항 16

제1면 및 상기 제1면에 반대측에 위치한 제2면을 포함하는 반도체 기판을 준비하는 단계; 및

상기 반도체 기판에 복수의 관통홀을 형성하는 단계;

를 포함하고,

상기 관통홀은 상기 제1면 및 제2면에 대하여 경사진 경사부를 포함하는, 투명 반도체 기판의 제조방법.

청구항 17

제16항에 있어서,

상기 제1면에서 관통홀의 전체 면적은 상기 반도체 기판 면적의 5% 내지 95%로 형성되고, 상기 제2면에서 관통홀의 전체 면적은 상기 반도체 기판 면적의 6% 내지 96%로 형성되고,

상기 제1면에서 관통홀의 전체 면적은 제2면에서 관통홀의 전체 면적 보다 작은, 투명 반도체 기판의 제조방법.

청구항 18

제16항에 있어서,

상기 경사부는 제1면에 대하여 예각을 형성하도록 형성되는, 투명 반도체 기판의 제조방법.

청구항 19

제16항에 있어서,

상기 관통홀을 형성하는 단계 이후에, 부동화층을 형성하는 단계를 더 포함하는, 투명 반도체 기판의 제조방법.

청구항 20

제19항에 있어서,

상기 부동화층을 형성하는 단계 이후에, 광-반사방지층 또는 광-반사층을 형성하는 단계를 더 포함하는, 투명 반도체 기판의 제조방법.

청구항 21

제1항 내지 제15항 중 어느 한 항에 따른 투명 반도체 기판을 포함하는 전자장치.

발명의 설명

기술 분야

[0001] 무색 투명 반도체 기판 및 이의 제조방법에 관한 것이다.

배경 기술

[0002] 반도체 산업의 발전과 전자기기의 고집적화 및 고성능화의 요구에 따라 다양한 반도체 재료(예를 들어, 결정질 실리콘, 게르마늄, 갈륨비소(GaAs), 갈륨비소인(GaAsP))를 포함하는 반도체 기판이 사용되고 있다. 하지만, 이러한 반도체 재료들로 이루어진 반도체 기판(예를 들어, 웨이퍼)은 가시광선 영역을 투과시키지 못하므로, 본질적으로 불투명하였다. 그 결과, 투명한 전자 기기를 제작하기에는 기판의 불투명성으로 인하여 한계점이 존재하였다.

[0003] 예를 들어, 결정질 실리콘은 원재료의 풍부함과 높은 안정성으로 인해 태양전지 및 다양한 전자소자 재료로서 사용되어 왔다. 최근에는, 투명 전자 장치(e.g. 투명 반도체, 투명 디스플레이)와 같은 차세대 장치 개발에 관한 관심이 높아지고 있는 추세이다. 하지만, 기존 결정질 실리콘 기반의 반도체 소자는 결정질 실리콘의 불투명성에 의하여 투명 전자 장치를 구성하는 데에 한계점이 존재한다.

[0004] 이를 해결하기 위하여, 비정질 실리콘 또는 CdTe 등을 이용한 기판을 사용한 박막 태양전지, 유기물 기반의 기판을 이용한 염료감응형 태양전지 등이 투명 태양전지의 연구 결과물로 제시되어 왔으나, 여전히 일부 가시광선은 흡수되어 기판이 색을 나타내는 한계점이 여전히 존재하였다.

[0005] 따라서, 무색 투명한 전자 장치의 개발을 위해서는, 무색 투명한 반도체 기판의 개발이 요구된다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 일 구현예는 가시광 영역의 모든 광을 투과하여 무색 투명성을 보이고, 시야각이 향상된 무색 투명

반도체 기판을 제공한다.

과제의 해결 수단

- [0007] 일 측면에 따르면, 제1면 및 상기 제1면의 반대측의 제2면을 포함하는 반도체 기판; 상기 반도체 기판을 관통하는 관통홀을 포함하고, 상기 관통홀은 상기 제1면 및 제2면에 대하여 경사진 경사부를 포함하는, 투명 반도체 기판이 제공된다.
- [0008] 일 구현예에 따르면, 상기 관통홀의 직경은 제1면에서부터 제2면까지 증가한다.
- [0009] 일 구현예에 따르면, 상기 관통홀의 길이방향의 단면은 사다리꼴 형상이다.
- [0010] 일 구현예에 따르면, 상기 경사부가 상기 제1면에 대하여 예각을 이루도록 구성된다.
- [0011] 일 구현예에 따르면, 상기 제1면에서 상기 관통홀의 직경은 1 μm 이상이다
- [0012] 일 구현예에 따르면, 상기 제1면에서 상기 관통홀의 직경은 하기 수학적 1로 계산되는 헤이즈 값이 1% 미만인 되도록 정의된다:
- [0013] <수학적 1>
- $$H(\%) = \frac{T_d}{T_t} \times 100$$
- [0014]
- [0015] 여기서, T_d 는 확산 투과율이고, T_t 는 총 투과율이다.
- [0016] 일 구현예에 따르면, 상기 제1면에서 상기 관통홀들의 간격(S_1)은 하기 수학적 2로 계산된다:
- [0017] <수학적 2>
- $$S_1 < 2\pi L \times \frac{1}{360} \times \frac{1}{60}$$
- [0018]
- [0019] 여기서, L은 기판과 관측자의 거리이다.
- [0020] 일 구현예에 따르면, 상기 투명 반도체 기판은 광-반사층을 더 포함한다.
- [0021] 일 구현예에 따르면, 상기 투명 반도체 기판은 상기 제1면, 상기 경사부, 및 상기 제2면 상에 배치된 광-반사층을 더 포함한다.
- [0022] 일 구현예에 따르면, 상기 투명 반도체 기판은 광-반사방지층을 더 포함한다.
- [0023] 일 구현예에 따르면, 상기 투명 반도체 기판은 상기 제1면, 상기 경사부, 및 상기 제2면 상에 배치된 광-반사방지층을 더 포함한다.
- [0024] 일 구현예에 따르면, 상기 반도체 기판은 결정질 실리콘(c-Si), 게르마늄(Ge), 갈륨비소(GaAs), 갈륨비소인(GaAsP), 비정질 실리콘(a-Si), 또는 이들의 조합을 포함한다.
- [0025] 일 구현예에 따르면, 상기 투명 반도체 기판은 제1면, 제2면 및 경사부 상에 배치된 부동화층(passivation layer)을 더 포함한다.
- [0026] 일 구현예에 따르면, 상기 투명 반도체 기판은 상기 제1면, 제2면 및 경사부와 직접 접하도록 배치된 부동화층을 더 포함한다.
- [0027] 일 구현예에 따르면, 상기 부동화층은 금속, 전이금속, 및 준금속 중에서 선택된 1종 이상의 원소의 산화물, 탄화물 또는 질화물을 포함한다.
- [0028] 일 구현예에 따르면, 제1면 및 상기 제1면에 반대측에 위치한 제2면을 포함하는 반도체 기판을 준비하는 단계; 및 상기 반도체 기판에 복수의 관통홀을 형성하는 단계;를 포함하고, 상기 관통홀은 상기 제1면 및 제2면에 대하여 경사진 경사부를 포함하는, 투명 반도체 기판의 제조방법이 제공된다.
- [0029] 일 측면에 따르면, 상기 제1면에서 관통홀의 전체 면적은 상기 반도체 기판 면적의 5% 내지 95%로 형성되고, 상

기 제2면에서 관통홀의 전체 면적은 상기 반도체 기관 면적의 6% 내지 96%로 형성되고, 상기 제1면에서 관통홀의 전체 면적은 제2면에서 관통홀의 전체 면적 보다 작다.

[0030] 일 구현예에 따르면, 상기 경사부는 제1면에 대하여 예각을 형성하도록 형성된다.

[0031] 일 구현예에 따르면, 상기 관통홀을 형성하는 단계 이후에, 부동화층을 형성하는 단계를 더 포함한다.

[0032] 일 구현예에 따르면, 상기 부동화층을 형성하는 단계 이후에, 광-반사방지층 또는 광-반사층을 형성하는 단계를 더 포함한다.

발명의 효과

[0033] 일 측면에 따른 투명 반도체 기관은 제1면 및 상기 제1면의 반대측의 제2면을 포함하는 반도체 기관; 상기 반도체 기관을 관통하는 관통홀을 포함하고, 상기 관통홀은 상기 제1면 및 제2면에 대하여 경사진 경사부를 포함하는 것에 의하여, 시야각이 넓어져서, 다양한 관찰각도에서도 일정한 투명성을 유지할 수 있다.

도면의 간단한 설명

[0034] 도 1은 본 발명의 일 구현예에 따른 무색 투명 반도체 기관의 사시도이다.

도 2는 도 1의 무색 투명 반도체 기관을 I-I' 선을 따라 절단한 단면도이다.

도 3은 무색 투명 반도체 기관의 표면의 관통홀들의 배치를 보여주는 사시도이다.

도 4는 무색 투명 반도체 기관 표면의 관통홀 사이의 간격과 관찰자와 기관 사이의 거리에 관한 상관관계를 나타내는 도면이다.

도 5(a) 및 (b)는 원통형 관통홀을 갖는 기관의 시야각을 보여주는 도면이다.

도 6(a) 및 (b)는 내측면에 경사부를 갖는 관통홀을 갖는 기관의 시야각을 보여주는 도면이다.

도 7은 다른 구현예에 따른 무색 투명 반도체 기관의 사시도이다.

도 8은 일 구현예에 따른 반도체 기관의 식각 시간에 따른 투과율의 변화를 보여주는 그래프이다.

도 9는 다른 구현예에 따른 무색 투명 반도체 기관의 사시도이다.

도 10은 다른 구현예에 따른 무색 투명 반도체 기관의 사시도이다.

도 11은 일 구현예에 따른 무색 투명 반도체 기관을 채용하여 제작한 태양전지를 개략적으로 도시한 평면도이다.

도 12은 도 11의 I-I' 단면을 개략적으로 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0035] 이하에서 설명되는 본 창의적 사상(present inventive concept)은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고, 상세한 설명에 상세하게 설명한다. 그러나, 이는 본 창의적 사상을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 창의적 사상의 기술 범위에 포함되는 모든 변환, 균등물 또는 대체물을 포함하는 것으로 이해되어야 한다.

[0036] 이하에서 사용되는 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 창의적 사상을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 이하에서, "포함한다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부품, 성분, 재료 또는 이들을 조합한 것이 존재함을 나타내려는 것이지, 하나 또는 그 이상의 다른 특징들이나, 숫자, 단계, 동작, 구성 요소, 부품, 성분, 재료 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 이하에서 사용되는 "/"는 상황에 따라 "및"으로 해석될 수도 있고 "또는"으로 해석될 수도 있다.

[0037] 도면에서 여러 구성요소, 층 및 영역을 명확하게 표현하기 위하여 직경, 길이, 두께를 확대하거나 축소하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 명세서 전체에서 층, 막, 영역, 판 등의 부분이 다른 부분 "상에" 또는 "위에" 있다고 할 때, 이는 다른 부분의 바로 위에 있는 경우

뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 명세서 전체에서 제1, 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 구성 요소들은 용어들에 의하여 한정되어서는 안 된다. 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만 사용된다. 도면에서 구성요소의 일부가 생략될 수 있으나, 이는 발명의 특징에 대한 이해를 돕기 위한 것으로서 생략된 구성요소를 배제하려는 의도가 아니다.

- [0038] 명세서 전체에서 층, 막, 영역, 판 등의 부분이 다른 부분과 "직접 접촉되는" 것이라고 할 때, 이는 일 부분이 다른 부분 사이에 다른 중간층이 없이 물리적으로 접촉되어 있는 것을 의미한다.
- [0039] "무색"은 색이 없는 것을 의미한다. 예를 들어, CIE 1931 색도도에서 (x, y) 좌표로서 (0.2905, 0.2999), (0.3028, 0.3163), (0.3127, 0.3290), (0.3134, 0.3313), 또는 (0.3324, 0.3474)에 해당하는 색일 수 있다.
- [0040] 도 1은 본 발명의 일 구현예에 따른 무색 투명 반도체 기판을 도시한 평면도이고, 도 2는 도 1의 I-I'를 따라 절단한 단면을 개략적으로 도시한 단면도이다.
- [0041] 먼저, 도 1은 참조하면, 본 발명의 일 구현예에 따른 무색 투명 반도체 기관(10)은 제1면(12) 및 제2면(13)을 포함하고, 상기 제1면 및 제2면 사이의 두께를 가지며, 상기 실리콘 기관(10)은 제1면(12), 제2면(13) 및 상기 제1면과 제2면 사이의 두께를 관통하는 복수의 관통홀(11)들을 포함한다.
- [0042] 상기 관통홀(11)들은 임의의 패턴을 형성할 수 있으나, 이에 한정되는 것은 아니다. 예를 들어, 상기 관통홀(11)들은 서로 동일한 간격을 유지하면서 기관에서 형성될 수 있다.
- [0043] 제1면(12)에서의 관통홀의 전체 면적은 반도체 기관의 전체 면적의 5% 내지 95%로 형성될 수 있고, 제2면(13)에서의 관통홀의 전체 면적은 반도체 기관의 전체 면적의 6% 내지 96%로 형성될 수 있다. 제1면에서의 관통홀의 전체면적은 제2면에서의 관통홀의 면적에 비하여 더 작다.
- [0044] 상기 관통홀(11)에 대하여 도 2를 참조하여 더 구체적으로 살펴보면, 상기 관통홀(11)은 제1면(22)에서 기관의 두께를 통과하여 제2면(23)으로 연장하는 측벽을 가지며, 상기 측벽은 제1 경사부(24) 및 제2 경사부(25)를 포함할 수 있다.
- [0045] 상기 제1 경사부(24) 및 제2 경사부(25)는 서로에 대하여 거리가 멀어지는 방향으로 연장하도록 구성될 수 있으나, 이에 한정되지 않고, 서로 평행한 방향으로 연장하도록 구성될 수도 있다.
- [0046] 상기 제1 경사부(24)는 제1면(22)에 대하여 예각(θ_1)을 형성하도록 구성될 수 있고, 상기 제2 경사부(25)는 제1면(22)에 대하여 예각(θ_2)을 형성하도록 구성될 수 있다. 이때, 상기 예각(θ_1) 및 예각(θ_2)는 서로 동일하거나 상이할 수 있다. 더 구체적으로 후술하겠으나, 상기 예각(θ_1) 및 예각(θ_2)의 크기에 따라 시야각이 향상될 수 있다.
- [0047] 관통홀(21)의 단면은 피라미드 형상을 가질 수 있으나, 이에 한정되는 것은 아니며, 예각(θ_1) 및 예각(θ_2)의 크기에 따라 평행사변형 형상도 가질 수 있다. 또한, 복수의 관통홀은 서로 동일하거나 상이한 단면 형상을 가질 수 있다. 복수의 관통홀이 동일한 단면 형상을 갖는 경우 일정한 시야각이 확보될 수 있다. 복수의 관통홀이 상이한 단면 형상을 갖는 경우 관찰 각도에 따라 상이한 시야각을 가질 수 있어서, 관찰각에 따라 투명도를 조절하기에 용이하다.
- [0048] 관통홀(21)은 제1면 및 제2면에서의 직경(a_1) 및 직경(b_1)은 서로 상이하다. 예를 들어, 직경(a_1)은 직경(b_1)보다 작을 수 있다. 또한, 상기 반도체 기관은 복수의 관통홀(21)을 포함할 수 있으며, 상기 관통홀의 직경(a_1) 및 (a_2)는 서로 상이할 수 있고 직경(b_1) 및 (b_2)는 서로 상이할 수 있으나, 관찰 각도에 따라 동등한 수준의 시야각을 확보하기 위한 관점에서, 직경(a_1) 및 (a_2)는 서로 동일하고 직경(b_1) 및 (b_2)는 서로 동일한 것이 바람직하다.
- [0049] 관통홀(21)은 반도체 기관을 식각하는 방법, 또는 반도체 증착 및 성장 방법(예를 들어, 폴리실리콘 성장 방법)에 의하여 제작될 수 있다.
- [0050] 상기 반도체 기관을 식각하는 방법은 건식 식각 또는 습식 식각 방법을 포함할 수 있다.
- [0051] 일 구현예에 따르면, 상기 관통홀(11)은 상기 반도체 기관(10)의 제1면(12)에 포토리소그래피 공정을 이용하여 식각할 부분을 패터닝한다. 이후, 금속 마스크 증착 공정을 통해 패터닝되지 않은 나머지 제1면(12) 상에 금속

마스크층을 형성하고, 포토레지스트를 제거한다. 이후에, SF_6 및 C_4F_8 가스를 기판과 접촉시킴으로써 반도체 기판(10) 상에 복수의 관통홀(11)이 제작된다. 이때, SF_6 및 C_4F_8 가스의 유량을 조절하는 것에 의하여, 관통홀 내 측면의 경사도가 조절된다.

[0052] 다른 구현예에 따르면, 상기 관통홀(11)은 반도체 기판(10)의 제1면(12)에 포토리소그래피 공정을 이용하여 식각되지 않을 부분을 패터닝한다. 이후에, 염기성 식각 용액 또는 산성 식각 용액에 반도체 기판을 침지시키는 것에 의하여 복수의 관통홀이 제작된다.

[0053] 이때, 상기 염기성 식각 용액을 이용하여 관통홀을 제작하는 경우에는 포토리소그래피 공정 이후에, 기판을 염기성 식각 용액(예를 들어, KOH)에 침지시킴으로써, 복수의 관통홀이 제작된다. 상기 산성 식각 용액(예를 들어, 불산/과산화수소 또는 질산/불산 혼합 용액)을 이용하여 관통홀을 제작하는 경우에는, 포토리소그래피 공정 이후에, 선택적으로 제1면(12) 중 식각될 부분에 금속 촉매층을 형성한 후, 산성 식각 용액에 기판을 침지시킴으로써, 복수의 관통홀이 제작된다.

[0054] 이때, 반도체 기판의 결정 구조 및 식각 용액의 농도에 따라 관통홀 내측면의 경사도가 조절된다. 또한, 식각 용액 내에 기판의 침지시간을 조절하는 것에 의하여 관통홀의 직경이 조절된다.

[0055] 예를 들어, 제1면에서 $103\mu\text{m}$ 의 직경을 갖는 관통홀을 포함한 반도체 기판을 산성 식각 용액(예를 들어, RSE-100)에 침지시킨 후 30초 후에 제1면에서의 관통홀의 직경이 $113\mu\text{m}$ 로 약 10% 넓어졌다. 관통홀의 직경이 넓어짐에 따라, 관통홀들 간의 간격은 상대적으로 줄어들고, 그 결과 광 투과도가 향상될 수 있다. 이러한 결과를 뒷받침 하기 위하여, 식각 시간에 따른 관통홀의 직경 변화 및 광 투과율의 변화를 측정하였고, 그 결과를 도 8에서 그래프로 보여준다. 도 8을 참고하면, 식각 시간이 증가함에 따라 관통홀의 직경은 넓어지고, 그 결과 광투과율이 증가함을 알 수 있다.

[0056] 상기 반도체 증착 및 성장 방법은, 예를 들어 기재 상에 SiO_2 비드(beads)를 배치하고, 반응성 이온 식각(Reactive ion etch; RIE)에 의해 SiO_2 비드의 크기를 조절하여 SiO_2 비드 사이의 간격을 조절한 후, 기재 상에 반도체 물질을 증착하는 것에 의하여 SiO_2 비드 사이에 반도체를 증착하고, SiO_2 비드 및 기판을 제거하여, 관통홀을 구비한 반도체 기판이 제작될 수 있다.

[0057] 도 3은 반도체 기판의 제1면을 상기 제1면에 대하여 수직방향에서 내려다본 상면도이다. 도 3을 참고하면, 반도체 기판(30)은 복수의 관통홀(31)을 포함하고, 상기 관통홀(31)들은 일정한 간격(d_2)으로 서로 이격되어 배치된다. 상기 관통홀(31)들은 도 3에서 보는 바와 같이 원형 구멍일 수 있으나, 이에 한정되지 않고 다각형 구멍(미도시)일 수 있다. 복수의 관통홀(31)들 각각의 크기는, 적어도 가시광 영역의 모든 광을 통과시키고, 포토리소그래피 공정으로 제작 가능하도록 $1\mu\text{m}$ 이상 20 cm 이하로 형성될 수 있다. 여기서, 관통홀(31)의 직경(d_1)은 원의 지름, 또는 다각형의 경우 두 개의 꼭지점을 잇는 선분 중 가장 큰 값을 의미한다. 상기 관통홀(31)의 직경을 $1\mu\text{m}$ 이상으로 구성함으로써, 가시광을 모두 통과시킬 수 있다.

[0058] 다른 구현예에 따르면, 상기 관통홀(31)의 직경(d_1)은 $100\mu\text{m}$ 이상일 수 있으며, 상기 관통홀(31)의 직경(d_1)이 $100\mu\text{m}$ 이상인 경우, 가시광이 광산란 및 광확산 없이 기판을 모두 통과할 수 있으므로, 기판(30)의 투명성이 향상된다. 상기 관통홀(31)의 직경(d_1)이 $100\mu\text{m}$ 인 경우에 하기 수학적 1로 계산된 헤이즈 값은 0.95%로서, 공지된 유리의 헤이즈 값 0.85%와 매우 근접한 값을 가짐을 확인하였다. 따라서, 관통홀(31)의 직경(d_1)이 $100\mu\text{m}$ 이상인 경우에 유리와 같이 투명한 기판이 얻어짐을 알 수 있다.

[0059] <수학적 1>

$$H(\%) = \frac{T_d}{T_t} \times 100$$

[0060]

[0061] 여기서, T_d 는 확산 투과율이고, T_t 는 총 투과율이다.

[0062] 또한, 도시하지 않았으나, 제2면에서의 관통홀의 직경이 제1면에서의 관통홀의 직경에 비하여 더 큼으로써, 가시광의 산란 없이 광이 관통홀을 통과할 수 있다. 그 결과, 반도체 기판은 특정 색이 발현되지 않아 무색 투명한 성질을 가질 수 있다.

[0063] 도 4를 참고하면, 반도체 기판(40)이 시각적으로 무색 투명하게 인식되기 위하여, 반도체 기판에 배치된 관통홀

(41)이 시각적으로 인식되지 않아야 한다. 구체적으로, 관통홀(41)간의 거리(S_1)가 하기 수학적 2을 만족하도록 관통홀의 간격을 조절한다면, 관통홀은 시각적으로 인식되지 않는다.

[0064] <수학적 2>

$$S_1 < 2\pi L \times \frac{1}{360} \times \frac{1}{60}$$

[0065] 여기서, L은 관찰자와 기관 사이의 거리이고, S_1 은 관통홀들 간의 간격이다.

[0066] 반도체 기관의 사용 용도에 따라, 관찰자와 기관 사이의 거리를 고려하여 관통홀들의 간격을 제어함으로써, 반도체 기관의 두께에 의존하지 않고, 무색 투명한 반도체 기관을 얻을 수 있다.

[0067] 예를 들어, 관통홀의 간격(S_1)은 200 μ m 이하로 형성될 수 있으나, 이에 한정되지 않는다.

[0068] 도 5 및 6은 기존의 원통형 관통홀을 갖는 반도체 기관(50) 및 본 발명의 일 구현예에 따른 관통홀을 갖는 반도체 기관(60)의 시야각의 차이를 보여주는 도면이다.

[0069] 도 5(a)를 참고하면, 기존의 원통형 관통홀을 갖는 반도체 기관(50)의 관통홀(51)의 두께부는 제1면 및 제2면에 수직하므로, 시야각이 제한된다. 즉, 도 5(a)에서 보는 바와 같이, 기존의 원통형 관통홀을 갖는 반도체 기관(50)에서의 시야각(β_1)은 제한적이다. 또한, 이러한 시야각을 넓히기 위해서는 시야에서 관통홀(51)의 두께부가 인식되지 않도록 하는 것이 중요하므로, 반도체 기관(50)의 두께를 감소시켜야 한다.

[0070] 이와 대조적으로, 도 6(a)를 참고하면, 본 발명의 일 구현예에 따른 반도체 기관(60)은 관통홀(61)의 두께부가 경사를 갖고 있으므로, 시야각(β_2)는 도 5(a)에서의 시야각(β_1)에 비해 더 크다. 그 결과, 시야각을 높이기 위하여 반도체 기관의 두께를 조절할 필요성이 없고, 두께부의 경사도의 조절을 통하여 충분한 시야각의 확보가 가능하다.

[0071] 뿐만 아니라, 도 5(b) 및 6(b)에서 보는 바와 같이, 반도체 기관을 비스듬히 기울이는 경우, 원통형 관통홀을 구비한 기관의 경우 관통홀 내벽(즉, 두께부)이 인식되어 투명도의 변화가 감지될 수 있으나, 경사부를 구비한 관통홀을 구비한 기관의 경우 경사 각도 이하의 각도까지 기울이는 경우에도 관통홀 내벽에 시야가 닿지 않으므로, 균일한 투명도를 유지할 수 있다.

[0072] 도 7은 다른 구현예에 따른 무색 투명 반도체 기관의 사시도이다.

[0073] 도 7을 참고하면, 다른 구현예에 따른 무색 투명 반도체 기관(70)은 제1면(72) 및 제2면(73)을 포함하고, 상기 제1면 및 제2면 사이의 두께(74)를 가지며, 상기 실리콘 기관(70)은 제1면(72), 제2면(73) 및 상기 제1면과 제2면 사이의 두께를 관통하는 복수의 관통홀(71)들을 포함하고, 상기 제1면, 제2면, 및 상기 제1면과 제2면 사이의 두께(74)를 관통하는 복수의 관통홀(71)의 내측면을 덮는 코팅층(75)을 더 포함한다, 상기 코팅층은 광-반사 방지층 또는 광-반사층을 포함한다.

[0074] 상기 광-반사방지층은 입사되는 광 중 실리콘 기관 표면에 의해 반사되는 광의 반사율을 감소시킬 수 있다.

[0075] 상기 광-반사방지층은 예를 들면, 실리콘 질화막, 수소를 포함한 실리콘 질화막, 실리콘 산화막, 실리콘 산화 질화막, MgF_2 , ZnS , TiO_2 및 CeO_2 로 이루어진 군에서 선택된 어느 하나의 단일막 또는 2개 이상의 막이 조합된 다층막 구조를 가질 수 있다. 코팅층(75), 예를 들어 광-반사방지층은 제1면(72), 복수의 관통홀(71)의 내측면, 및 제2면(73)을 덮도록 형성되어, 제1면 및 제2면으로부터의 광 반사를 감소시킬 뿐만 아니라, 관통홀(71)을 통과하는 광의 반사도 감소시킨다.

[0076] 상기 광-반사방지층은 표면에 피라미드, 정사각형, 삼각형 등 다양한 요철 형태의 표면 구조체를 포함할 수 있다. 표면 구조체는 건식/습식 식각 등과 같은 다양한 방법에 의해 광-반사방지층의 표면 거칠기를 증가시키는 방법 등에 의해 형성할 수 있다. 이러한 광-반사방지층의 도입으로부터 반도체 기관의 투명성이 향상된다.

[0077] 상기 광-반사층은 반도체 기관상에 입사되는 광의 반사율을 높일 수 있다.

[0078] 상기 광-반사층은 표면 반사도가 높은 금속 코팅 또는 금속 박편을 포함할 수 있다. 예를 들어, 상기 금속은 Al, Ag, Au 등의 광을 반사시킬 수 있는 금속을 모두 포함한다. 다르게는, 광-반사층은 반도체 기관의 표면을

연마(polishing)하는 것에 의하여 형성될 수 있다.

- [0080] 상기 광-반사방지층 및 상기 광-반사층은, 스퍼터링(sputtering), 전자빔 증착법(e-beam evaporation), 화학적 기상 증착법(CVD; chemical vapor deposition), 물리적 기상 증착법(PVD; physical vapor deposition), 금속 유기 화학적 기상 증착법(MOCVD; metal-organic chemical vapor deposition), 분자빔 에피택시(MBE; molecular beam epitaxy), 및 원자층 증착법(Atomic Layer Deposition) 등의 방법으로 형성할 수 있으나, 이에 한정되지 않는다.
- [0081] 도 9는 다른 구현예에 따른 무색 투명 반도체 기관의 사시도이다.
- [0082] 도 9를 참고하면, 무색 투명 반도체 기관(90)은 제1면(92) 및 제2면(93)을 포함하고, 상기 제1면 및 제2면 사이의 두께(94)를 가지며, 상기 실리콘 기관(90)은 제1면(92), 제2면(93) 및 상기 제1면과 제2면 사이의 두께를 관통하는 복수의 관통홀(91)들을 포함하고, 상기 제1면, 제2면, 및 상기 제1면과 제2면 사이의 두께(94)를 관통하는 복수의 관통홀(91)의 내측면을 덮는 코팅층(95')을 더 포함한다.
- [0083] 상기 코팅층(95')은 부동화층을 포함할 수 있다. 상기 부동화층은 기관 표면에 존재하는 결함을 부동화하고 입사되는 태양광의 반사율을 감소시킬 수 있다. 상기 기관 표면에 존재하는 결함이 부동화되면, 표면의 안정화가 가능하여 암시적 개방전압(Implied Voc)이 증가한다. 예를 들어, 동일한 반도체 기관 표면에 대하여 부동화층을 적용하지 않은 경우 암시적 개방전압이 517 mV 였으나, 부동화층을 적용한 경우 암시적 개방전압이 536 mV로 증가하였다.
- [0084] 뿐만 아니라, 이러한 기관을 태양전지에 적용하는 경우, 태양광 반사율이 감소되어 P-N 접합까지 도달되는 광량이 증대되어 태양전지의 단락전류가 증가하고, 그 결과 태양전지의 광전변환효율이 향상될 수 있다.
- [0085] 상기 부동화층은 스퍼터링(sputtering), 전자빔 증착법(e-beam evaporation), 화학적 기상 증착법(CVD; chemical vapor deposition), 물리적 기상 증착법(PVD; physical vapor deposition), 금속 유기 화학적 기상 증착법(MOCVD; metal-organic chemical vapor deposition), 분자빔 에피택시(MBE; molecular beam epitaxy), 및 원자층 증착법(Atomic Layer Deposition) 등의 방법으로 형성할 수 있으나, 이에 한정되지 않는다.
- [0086] 도 10은 다른 구현예에 따른 무색 투명 반도체 기관의 사시도이다.
- [0087] 도 10을 참고하면, 무색 투명 반도체 기관(100)은 제1면(102) 및 제2면(103)을 포함하고, 상기 제1면 및 제2면 사이의 두께(104)를 가지며, 상기 실리콘 기관(100)은 제1면(102), 제2면(103) 및 상기 제1면과 제2면 사이의 두께를 관통하는 복수의 관통홀(101)들을 포함하고, 상기 제1면, 제2면, 및 상기 제1면과 제2면 사이의 두께(104)를 관통하는 복수의 관통홀(101)의 내측면을 덮는 제1코팅층(105) 및 제2코팅층(106)을 더 포함한다. 이때, 상기 제1코팅층 및 제2코팅층은 서로 겹차도록 배치되고, 제1코팅층은 제1면, 제2면 및 상기 관통홀의 내측면과 직접적으로 접촉하도록 배치될 수 있다. 상기 제2코팅층은 상기 제1코팅층 상에 배치될 수 있다.
- [0088] 상기 제1코팅층(105)은 부동화층이고, 상기 제2코팅층(106)은 광-반사방지층 또는 광-반사층일 수 있다. 상기 부동화층, 상기 광-반사방지층, 및 상기 광-반사층에 관한 내용은 전술한 내용을 참고한다.
- [0089] 일 구현예에 따르면, 전술한 투명 반도체 기관은 반도체 기관을 사용하는 다양한 전자장치, 예를 들어, 메모리 반도체, 비메모리 반도체, 전자회로를 포함하는 장치, 태양전지, 유기발광소자, 발광장치(LED), 조명장치 등에 사용될 수 있다.
- [0090] 도 11은 일 구현예에 따른 무색 투명 반도체 기관을 이용하여 제작한 태양전지의 사시도이다.
- [0091] 본 발명의 일 실시예에 따른 태양전지(1100)는, 무색 투명 반도체 기관(110), 반도체 기관(110)의 제1 면(S1) 상에 위치하는 제1 층(120), 제1 면(S1)과 반대면인 반도체 기관(110)의 제2 면(S2) 상에 위치하는 제2 층(130), 제1 층(120) 상에 위치하고 제1 층(120)과 접속된 제1 전극부(140), 및 제2 층(130) 상에 위치하고 제2 층(130)과 접속된 제2 전극부(150)를 포함할 수 있다. 또한, 태양전지(100)는 제1 층(120) 상에 위치하는 반사 방지막(160)과 보호막(170)을 더 포함할 수 있다.
- [0092] 상기 무색 투명 반도체 기관(110)에 관한 설명 중 중복되는 내용은 생략하고, 하기에서는 전술하지 않은 내용을 추가로 기술한다.
- [0093] 일 구현예에서, 상기 무색 투명 반도체 기관은 N형 또는 P형 결정질 실리콘 반도체 기관일 수 있다. 예를 들어, 결정질 실리콘 반도체 기관에는 N형 불순물로서 5족 원소인 P, As, Sb 등이 도핑될 수 있다. 예를 들어, 결정질 실리콘 반도체 기관은 P형 불순물로서 3족 원소인 B, Ga, In 등이 도핑 되어 P형으로 구현될 수 있다.

- [0094] 한편, 도면에 도시하지는 않았으나, 반도체 기관의 수광면은 피라미드, 정사각형, 삼각형 등 다양한 형태의 요철구조(미도시)를 포함할 수 있다. 요철구조(미도시)는 반도체 기관으로 입사하는 광의 반사율을 감소시켜, 태양전지(1100)의 광전변환효율이 향상될 수 있다.
- [0095] 제1 층(120)은 반도체 기관(110)과 P-N접합을 형성할 수 있다. 예를 들어, 제1 층(120)은 반도체 기관(110)에 제2 도전형을 가지는 불순물이 도핑되어 형성된 에미터층일 수 있다. 따라서, 반도체 기관(110)의 제1 면(S1)은 명확하게 구분되는 영역이 아니며, P-N접합이 이루어지는 영역으로 이해될 수 있다.
- [0096] 예를 들어, 반도체 기관(110)이 N형 불순물로 도핑된 경우, 제1 층(120)은 P형 불순물로 도핑될 수 있으며, 반대로 반도체 기관(110)이 P형 불순물로 도핑된 경우, 제1 층(120)은 N형 불순물로 도핑될 수 있다. 이와 같이 에미터층인 제1 층(120)과 결정질 실리콘 반도체 기관(110)이 서로 반대의 도전형을 가지면, 반도체 기관(110)과 제1 층(120)의 계면에 P-N접합(junction)이 형성되고, P-N접합에 광이 조사되면 광전효과에 의해 광기전력이 발생할 수 있다.
- [0097] 제2 층(130)은 예를 들어, 반도체 기관(110)에 제1 도전형을 가지는 불순물이 도핑되어 형성된 후면전계층(BSF)일 수 있다. 따라서, 반도체 기관(110)의 제2 면(S2)은 명확하게 구분되는 영역이 아니며, 반도체 기관(110)에서 후면전계층(BSF)을 구현하는 영역으로 이해될 수 있다.
- [0098] 후면전계층(BSF)인 제2 층(130)은 캐리어가 반도체 기관(110)의 배면으로 이동하여 재결합되는 것을 방지할 수 있으며, 이에 의해 태양전지(1100)의 개방전압(Voc)이 상승하여 태양전지(1100)의 효율이 향상될 수 있다.
- [0099] 제1 전극부(140)와 제2 전극부(150)는 광의 조사에 의해 생성된 캐리어를 수집하며, 태양전지(1100)와 전기적으로 연결된 외부의 전자장치로 캐리어가 이동하는 이동 경로가 된다.
- [0100] 제1 전극부(140)는 태양전지(1100)의 수광면에 위치할 수 있는데, 이때 제1 전극부(140)는 마이크로 그리드 패턴을 가질 수 있다. 일 예로, 마이크로 그리드 패턴의 선폭은 $5\mu\text{m}$ 내지 1mm 일 수 있으며, 이에 의해 제1 전극부(140)의 개구율은 90%이상으로 형성될 수 있다. 따라서, 제1 전극부(140)에 의해 입사되는 광이 가려지는 현상을 최소화할 수 있다. 반면에, 제2 전극부(150)는 결정질 실리콘 반도체 기관(110)의 제2 면(S2)과 동일한 형상을 가지고, 태양전지(1100)의 저면 전체에 형성될 수 있다.
- [0101] 한편, 반도체 기관(110)은 제1 면(S1)에서부터 제2 면(S2)까지 반도체 기관(110)을 관통하는 복수의 관통홀(H)들을 포함할 수 있다. 상기 복수의 관통홀(H)들은 적어도 제1 층(120), 제2 층(130), 및 제2 전극부(150)를 관통하도록 연장될 수 있다. 이때, 마이크로 그리드 패턴을 가지는 제1 전극부(140)는 복수의 관통홀(H)들 사이에 위치할 수 있다. 따라서, 태양전지(1100)로 입사되는 광 중 일부는 복수의 관통홀(H)들을 통과하여 태양전지(1100)는 투광성을 가질 수 있다.
- [0102] 상기 관통홀(H)에 관한 설명은 전술한 무색 투명 반도체 기관에서의 설명을 참고한다.
- [0103] 또한, 본 발명의 일 구현예에 따른 태양전지(1100)는 Filling Fraction를 조절함으로써, 태양전지(1100)의 투명도 즉, 밝기를 조절할 수 있다. Filling Fraction은 반도체 기관(110) 면적에서 복수의 관통홀(H)들의 전체 면적을 뺀 값을 결정질 실리콘 반도체 기관(110) 면적으로 나눈 값을 의미한다. 본 발명의 일 구현예에 따른 태양전지(1100)는 Filling Fraction이 증가함에 따라 투과율이 감소하는데, 이때 태양전지(1100)는 특정 색이 발현되지 않는 투명한 성질을 가지므로, Filling Fraction이 증가함에 따라 태양전지(1100)는 점차 어두운 성질을 가질 수 있다. 따라서, 본 발명의 일 구현예에 따른 태양전지(1100)는 태양전지(1100)가 적용되는 다양한 환경에 맞추어 투과도 즉, 투명도를 조절할 수 있다. 예를 들어, 본 발명의 일 구현예에 따른 태양전지(1100)가 자동차의 선루프에 적용되는 경우와, 건물의 창호에 적용되는 경우 태양전지(1100)의 투명도는 서로 다르게 설정될 수 있다.
- [0104] 하기 표 1은 복수의 관통홀(H)들의 전체 면적에 따른 태양전지(1100)의 광전변환효율을 나타내는데, 여기서 복수의 관통홀(H)들의 전체 면적은 Filling Fraction으로 표시할 수 있다.

표 1

Filling Fraction	40%	50%	60%	70%	80%	95%	100%
Voc(mV)	538	538	548	578	588	590	596
Jsc(mA/cm ²)	15.8	19.1	23.8	26.5	29.4	35.0	36.4
Fill Factor(%)	59.0	57.9	60.7	66.2	66.0	68.0	75.2
Efficiency(%)	5.0	6.0	7.9	10.1	11.4	14.0	16.3

[0106] 상기 표 1에서 알 수 있는 바와 같이, Filling Fraction이 증가할수록 태양전지(1100)의 효율은 향상된다. 한편, 상술한 바와 같이 Filling Fraction이 증가하면, 태양전지(1100)의 투과율이 감소하는바, 태양전지(1100)의 투명도를 증가시키기 위해서 Filling Fraction을 감소시킬 수 있다. 그러나, Filling Fraction이 40% 보다 작아지면, 태양전지(1100)의 효율이 5% 미만인 되므로 바람직하지 않다. 반면에, Filling Fraction이 95% 이상이면, 태양전지(1100)가 투광성을 유지하기 어려워진다. 따라서, 복수의 관통홀(H)들의 전체 면적은 반도체 기판(110) 면적의 5% 보다 크고 내지 60% 이하로 형성될 수 있으며, 태양전지(1100)의 효율 및 투과도를 고려하여 바람직하게는 20% 이상 50% 이하로 형성될 수 있다.

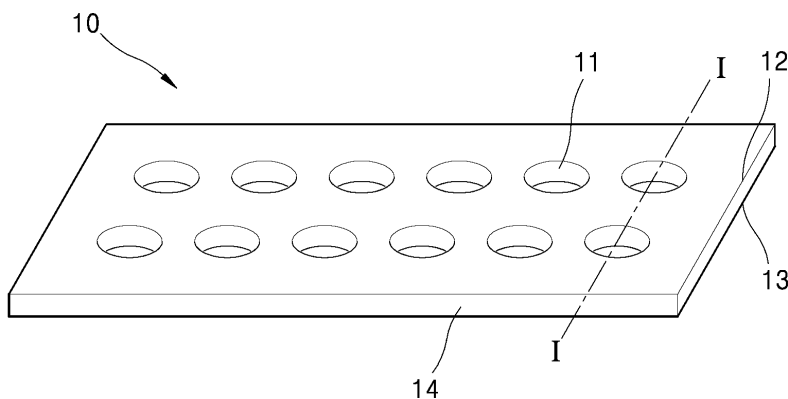
[0107] 이상에서는 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

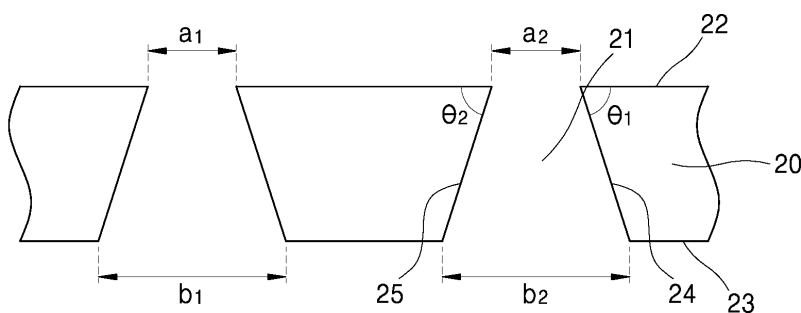
[0108] 10, 20, 30, 40, 50, 60, 70: 반도체 기판
11, 21, 31, 41, 51, 61, 71: 관통홀
12, 22, 72: 제1면
13, 23, 73: 제2면
14, 74: 두께부
24, 25: 경사부

도면

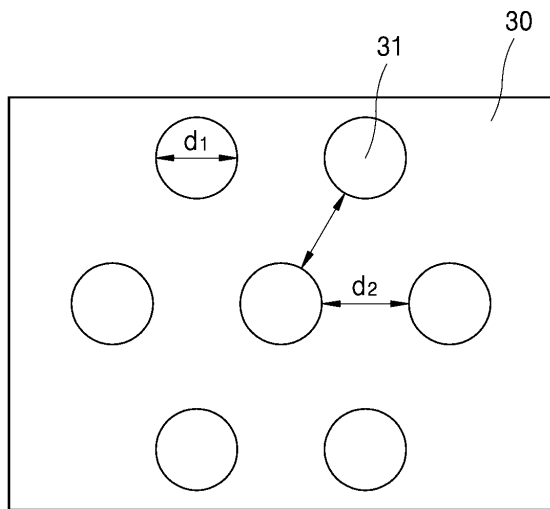
도면1



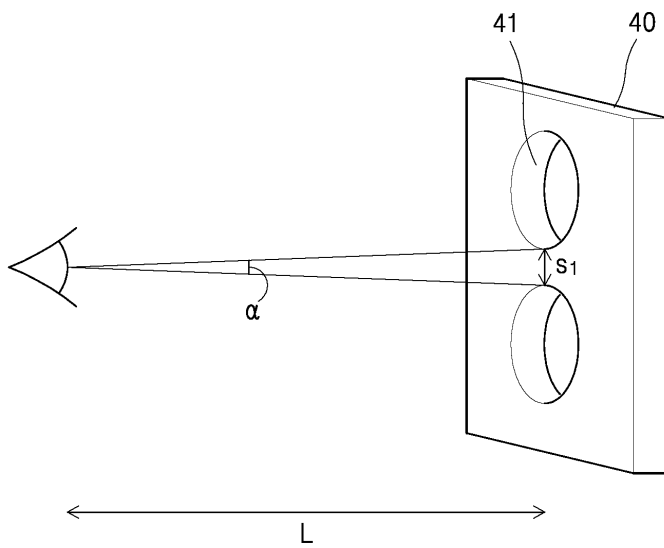
도면2



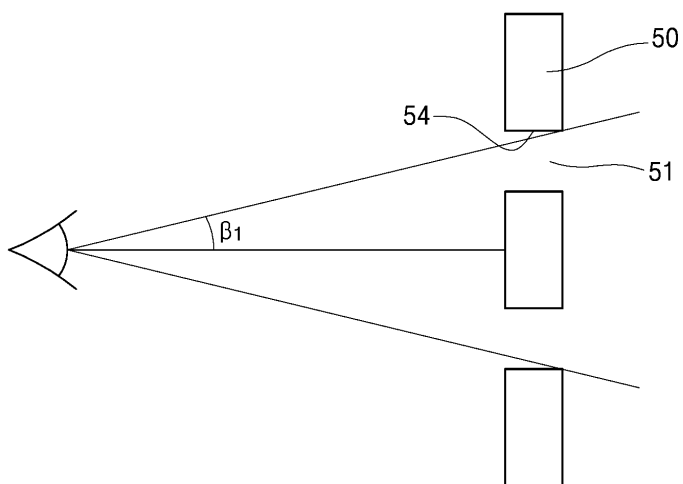
도면3



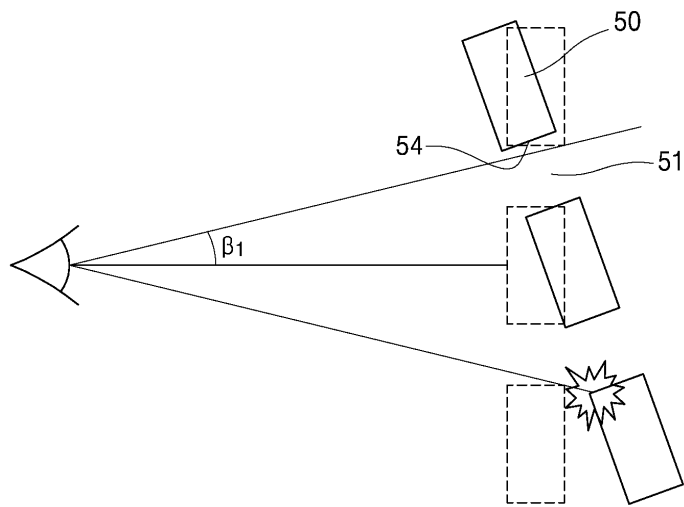
도면4



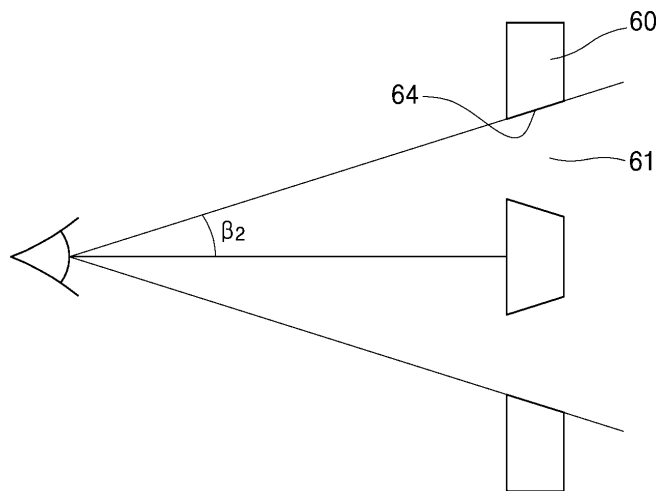
도면5a



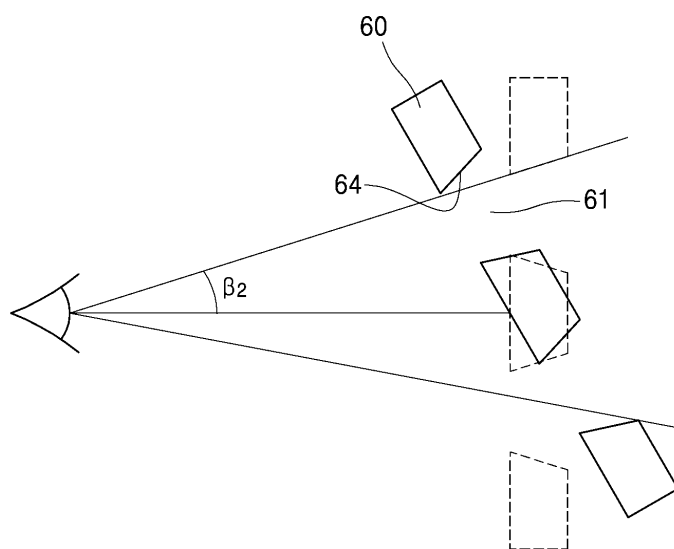
도면5b



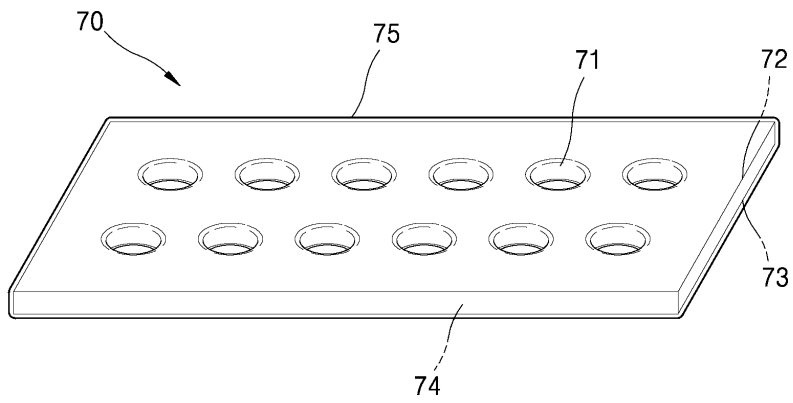
도면6a



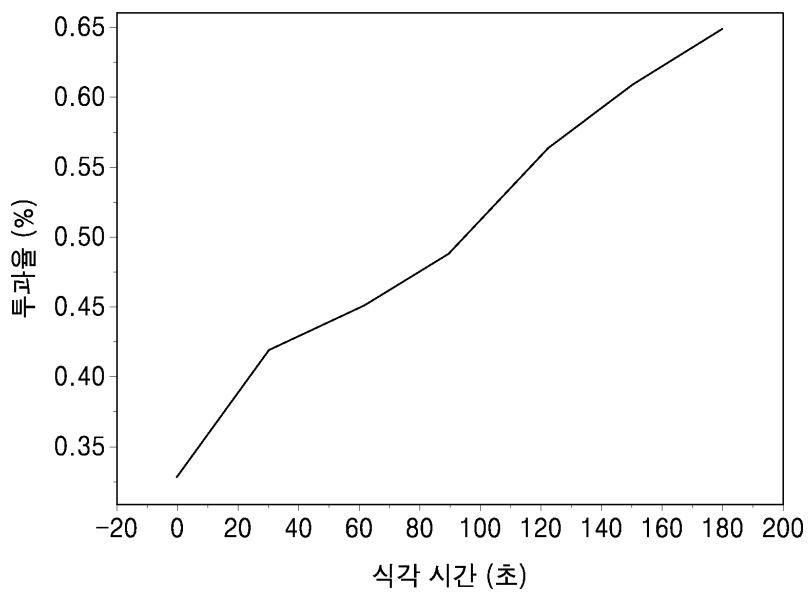
도면6b



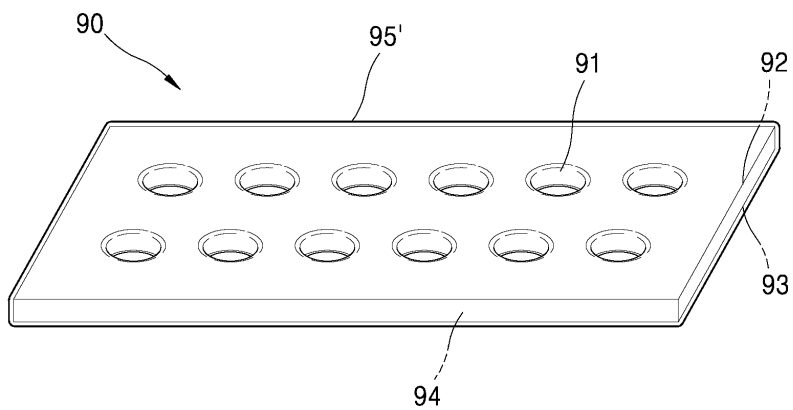
도면7



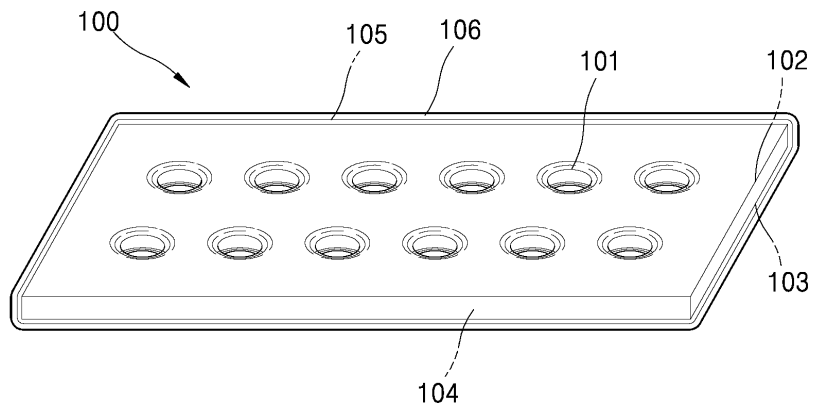
도면8



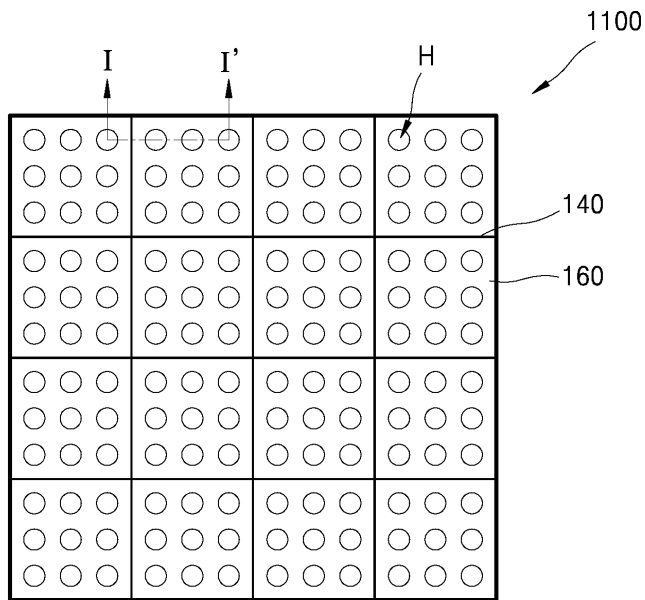
도면9



도면10



도면11



도면12

