



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號： 200929924

(43)公開日： 中華民國98(2009)年 7 月 1 日

(21)申請案號：097149626

(22)申請日： 中華民國97(2008)年12月19日

(51)Int. Cl. : H04B7/26 (2006.01)

(30)優先權主張： 2007/12/20 美國 61/008,345
2008/08/19 美國 12/194,512

(71)申請人： 聯發科技股份有限公司 MEDIATEK INC.
新竹市新竹科學工業園區篤行一路1號

(72)發明人： 梅斯特肯 如斯 MESTECHKIN, RUSS；馬修 迪帕克 MATHEW, DEEPAK；王宗靜
WANG, JUSTIN；南帝帕庫 山杰 NANDIPAKU, SANJAY

(72)代理人： 洪澄文；顏錦順

申請實體審查：有 申請專利範圍項數： 34 項 圖式數： 14 共 67 頁

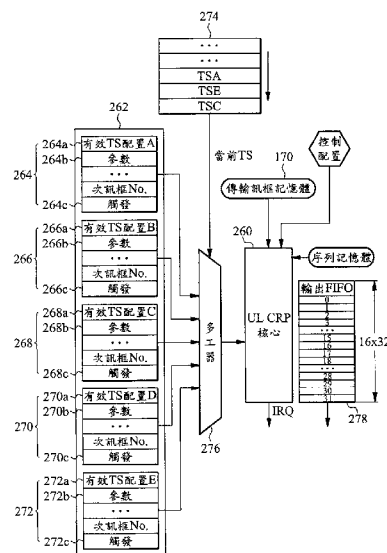
(54)名稱

時分-同步碼分多址存取之裝置及方法

APPARATUS AND METHODS FOR TIME DIVISION-SYNCHRONOUS CODE DIVISION MULTIPLE ACCESS UPLINK
PROCESSING

(57)摘要

一種時分-同步碼分多址存取裝置，具有上鏈晶片速率處理架構，其中，提供至少兩暫存器群組，每一暫存器群組用來儲存一時間槽配置參數組。儲存器用來儲存一序列之複數時間槽配置組識別碼，其中，每一時間槽配置組識別碼用來識別複數暫存器群組之一者，且每一時間槽配置組識別碼對應一時間槽。晶片速率處理單元用在複數時間槽期間內處理一資料流，其中，在每一時間槽中，晶片速率處理單元根據儲存在暫存器群組內且與對應時間槽之時間槽配置組識別碼相關的時間槽配置參數組來配置。



170：傳輸訊框記憶體

260：UL CRP核心

262：配置暫存器

264：TS配置組A

264a：有效TS配置A

欄位

264b：參數欄位

264c：觸發欄位

266：TS配置組B

266a：有效TS配置B

欄位

266b：參數欄位

266c：觸發欄位

268：TS配置組C

268a：有效TS配置C

欄位

268b：參數欄位

268c：觸發欄位

270：TS配置組D

270a：有效TS配置D
欄位

270b：參數欄位

270c：觸發欄位

272：TS配置組E

272a：有效TS配置E
欄位

272b：參數欄位

272c：觸發欄位

274：觸發FIFO

276：多工器

278：內部記憶體



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號： 200929924

(43)公開日： 中華民國98(2009)年 7 月 1 日

(21)申請案號：097149626

(22)申請日： 中華民國97(2008)年12月19日

(51)Int. Cl. : H04B7/26 (2006.01)

(30)優先權主張： 2007/12/20 美國 61/008,345
2008/08/19 美國 12/194,512

(71)申請人： 聯發科技股份有限公司 MEDIATEK INC.
新竹市新竹科學工業園區篤行一路1號

(72)發明人： 梅斯特肯 如斯 MESTECHKIN, RUSS；馬修 迪帕克 MATHEW, DEEPAK；王宗靜
WANG, JUSTIN；南帝帕庫 山杰 NANDIPAKU, SANJAY

(72)代理人： 洪澄文；顏錦順

申請實體審查：有 申請專利範圍項數： 34 項 圖式數： 14 共 67 頁

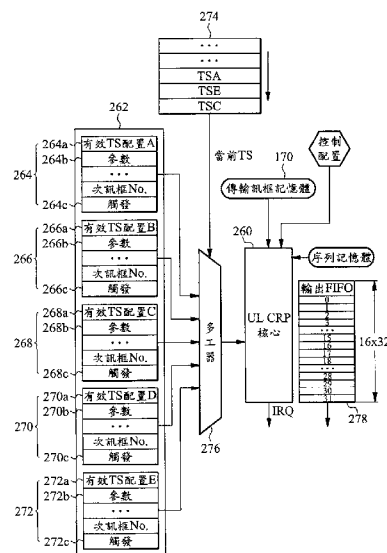
(54)名稱

時分-同步碼分多址存取之裝置及方法

APPARATUS AND METHODS FOR TIME DIVISION-SYNCHRONOUS CODE DIVISION MULTIPLE ACCESS UPLINK
PROCESSING

(57)摘要

一種時分-同步碼分多址存取裝置，具有上鏈晶片速率處理架構，其中，提供至少兩暫存器群組，每一暫存器群組用來儲存一時間槽配置參數組。儲存器用來儲存一序列之複數時間槽配置組識別碼，其中，每一時間槽配置組識別碼用來識別複數暫存器群組之一者，且每一時間槽配置組識別碼對應一時間槽。晶片速率處理單元用在複數時間槽期間內處理一資料流，其中，在每一時間槽中，晶片速率處理單元根據儲存在暫存器群組內且與對應時間槽之時間槽配置組識別碼相關的時間槽配置參數組來配置。



170：傳輸訊框記憶體

260：UL CRP核心

262：配置暫存器

264：TS配置組A

264a：有效TS配置A

欄位

264b：參數欄位

264c：觸發欄位

266：TS配置組B

266a：有效TS配置B

欄位

266b：參數欄位

266c：觸發欄位

268：TS配置組C

268a：有效TS配置C

欄位

268b：參數欄位

六、發明說明：

【發明所屬之技術領域】

本發明係有關於一種時分-同步碼分多址存取（Time Division-Synchronous Code Division Multiple Access，TD-SCDMA）之裝置及方法。

【先前技術】

時分-同步碼分多址存取（Time Division-Synchronous Code Division Multiple Access，TD-SCDMA）是新發展出的第三代無線標準，預料有相當可能性可在中國佈建。TD-SCDMA 也是第三代合作夥伴計劃（3rd Generation Partnership Project，3GPP）無線標準的一部分。3GPP 是由多個通訊機構所建立的全球性共同合作，而這些通訊機構的任務是協助全球可實施的 3G 電信系統規格之建立及履行，因此使得 TD-SCDMA 成為重要的 3G 應用標準。

TD-SCDMA 以展頻技術以及時分多址存取（Time Division Multiple Access，TDMA）與碼分多址存取（Code Division Multiple Access，CDMA）之結合樣態為基礎。TD-SCDMA 與其他 3G 標準（例如寬頻碼分多址存取，Wideband Code Division Multiple Access，W-CDMA）之差異在於使用分時多工（Time Division Duplex，TDD）來代替分頻多工（Frequency Division Duplex，FDD）。在其他事項中，TDD 分隔向外與返回信號，以在半雙工傳輸鏈上仿效全雙工傳輸。在上鏈資料速度與下鏈資料速度不對稱的情況下，TDD 比 FDD 具有有力的優勢。上鏈是有關於在

由移動裝置到基地台方向上的資料傳輸，而下鏈是有關於由基地台到移動裝置方向上的資料傳輸。

在一些傳輸中，在速度及頻寬要求上，上鏈與下鏈部分有相當大的差異。例如，當一移動裝置自網路下載資訊時，下鏈處理比上鏈處理需要明顯較多的通道頻寬。同樣地，當移動裝置上傳資訊到網路時，上鏈處理需要明顯較多的通道頻寬。比起 FDD 架構，TDD 藉由動態地調整下鏈與上鏈處理所使用的時間槽數量，系統可更容易地提供具有相異資料速率需求之傳輸流量給下鏈與上鏈。例如，當上鏈資料量增加，則更多的頻寬可動態地分配給上鏈處理。

如上所述，TD-SCDMA 使用 TDMA 與 CDMA 概念。TD-SCDMA 標準之同步樣態係指藉由連續時序調整，使得上鏈信號在基地台接收器上被同步化。

【發明內容】

為了解決上鏈/下鏈資源分配的問題，本發明提供時分-同步碼分多址存取之裝置及方法。

一種時分-同步碼分多址存取裝置，包括：至少兩暫存器群組，每一該暫存器群組用來儲存一時間槽配置參數組；一儲存器，用來儲存一序列之複數時間槽配置組識別碼，其中，每一該時間槽配置組識別碼用來識別該等暫存器群組之一者，且每一該時間槽配置組識別碼對應一時間槽；以及一晶片速率處理單元，用來在複數時間槽期間內處理一資料流，其中，在每一該時間槽中，該晶片速率處理單元根據儲存在該暫存器群組內且與對應該時間槽之該

時間槽配置組識別碼相關的該時間槽配置參數組來配置。

一種時分-同步碼分多址存取裝置，包括：一第一儲存器，用以儲存至少兩時間槽配置參數組；一第二儲存器用以儲存一序列之複數識別碼，每一該識別碼對應該等時間槽配置參數組之一者；一特殊目的資料處理器，用以處理一資料流，其中，該特殊目的資料處理器根據與該序列之該等識別碼相關之該等時間槽配置參數組，在不同的時間期間內做不同的配置；以及一一般目的資料處理器，用以將該等時間槽配置參數組寫入至該第一儲存器且將該序列之該等識別碼寫入至該第二儲存器，以控制由該特殊目的資料處理器所執行的該資料流之處理。

一種時分-同步碼分多址存取方法，包括：將至少兩時間槽配置參數組寫入至至少兩暫存器群組，每一時間槽配置參數具有關於在一時間槽期間內資料如何被一晶片速率處理單元處理的資訊；將一序列之複數識別碼寫入一儲存器，其中，每一該識別碼與該等暫存器群組之一者相關；以及在複數時間槽中之每一者內，根據該序列之該等識別碼來選擇儲存在一暫存器群組內之一時間槽配置參數組；根據已選擇之該時間槽配置參數組來配置該晶片速率處理單元；以及使用該晶片速率處理單元來處理資料。

一種時分-同步碼分多址存取方法，包括：使用一特殊目的處理器來處理一資料流；以及當該特殊目的處理器在一時間內處理該資料流時，使用一一般目的處理器來控制該特殊目的處理器之配置，其中，該特殊目的處理器在該時間內處理該資料流係藉由；將兩或多個配置參數組寫入

一第一儲存器；將一序列之複數識別碼寫入至一第二儲存器，其中，每一該識別者與一配置參數組相關；以及根據在複數相異時間期間內不同之該等配置參數組來促使該特殊目的處理器做不同的配置，以及使用該序列之該等識別碼來決定相異之該等配置參數組所使用的一排序，以配置該特殊目的處理器。

一種時分-同步碼分多址存取裝置，包括：用以將至少兩時間槽配置參數組寫入至少兩暫存器群組以及將一序列之複數識別碼寫入一儲存器之裝置，其中，每一該時間槽配置參數具有關於在一時間槽期間內資料如何被一晶片速率處理單元處理的資訊，且每一該識別碼與該等暫存器群組之一者相關；以及在複數時間槽中之每一者內，用以根據該序列之該等識別碼來選擇儲存在一暫存器群組內之一時間槽配置參數組、用以根據已選擇之該時間槽配置參數組來配置該晶片速率處理單元、以及使用該晶片速率處理單元來處理資料之裝置。

本發明提供的時分-同步碼分多址存取裝置和方法能藉由動態地調整下鏈與上鏈處理所使用的時間槽數量，可更容易地提供具有相異資料速率需求之傳輸流量給下鏈與上鏈，從而解決上鏈/下鏈資源分配的問題。

【實施方式】

此說明書敘述多種用於上鏈處理之方法及裝置，其實施 TD-SCDMA 且包括多種設計特徵，可幫助 TD-SCDMA 標準之有效率的、易適應的、以及有經濟效益的實施。例

如，之後將更詳細的說明，傳輸時間間隔（Transmission Time Interval, TTI）記憶體可以一種方式實施來促進簡單的位元填入，以達到速率匹配目的。介於位元速率處理與晶片速率處理之間的介面可以一種方式實施來使能位元速率處理器、晶片速率處理器、以及軟體應用，以共享訊框記憶體而不需使用仲裁器來對訊框記憶體進行仲裁處理。時間槽架構欄位以及觸發器先進先出記憶體可用來提供適應性，以確定晶片速率處理器與對應的演算法如何配置給相異時間槽之傳輸資料之晶片速率處理。

以下列出在此說明書中所使用的縮寫及其定義：

BE：後端（Back-End）

BRP：位元速率處理（Bit Rate Processing）

CCTrCH：編碼複合傳輸通道（Coded Composite Transport Channel）

CRC：循環冗余碼檢測（Cyclic Redundancy Check）

CRP：晶片速率處理（Chip Rate Processing）

DBB：數位基頻（Digital Base-Band）

DCH：專屬通道（Dedicated Channel）

ECP：外部協同處理器介面埠（External Co-processor I/F Port）

FE：前端（Front-End）

JD：聯合檢測（Joint Detection）

JDA：聯合檢測加速器（Joint Detection Accelerator）

PhCH：實體通道（Physical Channel）

RF：無線訊框（Radio Frame），也簡單稱為相對於次

訊框之訊框

RM：速率匹配（Rate Matching）

RU：接收單元（Receive Unit）

SS：同步偏移（Synchronization Shift）

TFCI：傳輸格式組合指示器（Transport Format Combination Indicator）

TPC：傳輸功率控制（Transmit Power Control）

TrCH：傳輸通道（Transport Channel）

TrBK：傳輸區塊（Transport Block）

TTI：傳輸時間間隔（Time Transmission Interval）

TS：時間槽（Time-Slot）

UE：使用者設備（User Equipment）

架構概述

第 1 圖係表示可用來實施多種無線標準（包括 TD-SCDMA）之晶片架構示意圖。數位基頻處理器（digital base band processor, DBB）120 負責一定數目的電信任務，包括在無線通訊期間傳送資訊至基地台或自基地台接收資訊。數位基頻處理器 120 包括數位信號器處理（Digital Signal Processor, DSP）核心 122，其可執行軟體編碼以實施不同的操作。DSP 核心 122 可存取快取記憶體 124、靜態隨機存取記憶體（Static Random Access Memory SRAM）126、以及系統隨機存取記憶體（Random-Access Memory, RAM）128。

加速器 110 可包括一個或多個協同處理器，用來經由

ECP 協助數位基頻處理器 120 處理通訊任務。例如，加速器 110 可包括上鏈（Uplink，UL）協同處理器 100，UL 協同處理器 100 根據 TD-SCDMA 標準來執行上鏈處理。加速器 110 可包括其他協同處理器，例如 DLBRP 協同處理器和 JD 協同處理器，用來執行其他任務（例如根據 TD-SCDMA 標準來執行下鏈處理）。DSP 核心 122 作為 UL 協同處理器 100 之主控器在進行操作，將接收自基地台之資料提供給 UL 協同處理器 100（下鏈），且將接收自 UL 協同處理器 100 之資料傳送給基地台（上鏈）。在 DSP 核心 122 上執行的軟體負責 UL 協同處理器 100 之控制及配置。軟體應用提供輸入資料及配置參數，且加速器 110 以晶片速率來產生複合資料序列。

接下來是 TD-SCDMA 信號格式之概要敘述。TD-SCDMA 使用時域雙工結合多個存取技術，以支持同步與非同步訊務。給予上鏈或下鏈訊務之時間槽的可變配置使 TD-SCDMA 得以符合非同步訊務需求且支持使用者的多變化。在 TD-SCDMA 系統中，多個存取技術利用獨特編碼及時間標誌來區分出在一既定服務區中的使用者。TD-SCDMA 標準定義具有 3 層之訊框架構：無線訊框、次訊框、以及時間槽。無線訊框為 10 毫秒（millisecond，ms）。次訊框為 5 毫秒，並被分為七個時間槽。一個時間槽具有 4 個部分：中置碼（Midamble）、在中置碼每一側之資料欄位、以及保護區。一接收器使用中置碼來執行通道估測。

第 2 圖係表示 TD-SCDMA 資料架構之一實施例之示意圖。資料以無線訊框 130、132...等序列來傳送，每一訊

框具有 10 毫秒的持續時間。每一無線訊框劃分成兩個次訊框 134 及 136，且每一次訊框具有 5ms 的持續時間。每一次訊框由 7 個時間槽 TS0 138、TS1 150...等等所組成，且每一時間槽具有 0.675ms。每一時間槽包括 4 個部分：具有 144 個晶片持續時間之中置碼 152、在中置碼 152 之前及之後具有 352 個晶片持續時間的兩個資料欄位 154 及 156、以及最後的具有 16 個晶片持續時間的保護區 158。中置碼 152 載有已知資料且由接收器所使用，以執行通道估測。

● 根據在上鏈與下鏈之每一者上的訊務，在每一次訊框（例如 134 或 136）中之 7 個時間槽（TS0、TS1...等等）被劃分在上鏈與下鏈訊務之間。

在一些應用中，UL 協同處理器 100 可支持 TD-SCDMA Release 4 384 kbps UE 等級的需求及性能。UL 協同處理器 100 可支持 890 kbps 的最高資料速率且在每一次訊框支持上至 5 個時間槽。此時每一時間槽可具有上至 2 個實體通道，且每一實體通道之展頻係數可以是 16、8、4、2、或 1。

● UL 協同處理器 100 也可支持 HS-SICH 之 CRP，其是高速共享資訊通道，用來發送高速度資料之回授資訊。

除了隨機存取通道（Random Access Channel，RACH）及 HS-SICH 之外，TD-SCDMA 規格的實體通道具有大於或等於 10ms 之 TTI 持續期間。隨機存取通道之 TTI 持續期間可以是 5ms、10ms、或 20ms。UL 協同處理器 100 支持關於 RACH 及 HS-SICH 的 CRP。關於 HS-SICH 之 BRP 可以軟體來實施。

UL 協同處理器 100 支持關於 CCTrCH 的 BRP 旁路模

式。此允許軟體應用繞過硬體 BRP 且直接傳送資料至 CRP 之輸入。關於 RACH 及 HS-SICH 的 CRP 可由硬體來支持。

第 3 圖係表示 TD-SCDMA 上鏈傳輸路徑 160 之高階架構實施例。UL 傳輸路徑 160 劃分成 3 個主要運算元件。

- UL BRP 前端處理（傳輸通道處理）162：此包括 CRC 附件及通道編碼。UL BRP 前端處理 162 之輸出信號儲存在 TTI 記憶體 168。

- UL BRP 後端處理 164：此包括剩餘 BRP 區塊，例如 TrCH 交錯、速率匹配、位元擾亂（Bit-scrambling）、第二交錯器（Interleaver）、實體通道對應（mapping）。UL BRP 後端處理 164 之輸出信號儲存在傳輸訊框記憶體 170。BRP 後端之處理以一訊框速率來安排。

UL RBP 前端處理 162 及 UL BRP 後端處理 164 共同對應為 UL BRP 處理 172。

- UL CRP 166：用來在複數時間槽期間內處理一資料流，包括調變、展頻、擾亂、組合以及實體通道功率加重及叢發格式化（burst formatting）。傳送至 UL CRP 166 之輸入信號由 UL BRP 後端處理器 164 儲存在傳輸訊框記憶體 170，或者當處於 BRP 旁路模式時由 DSP 軟體直接寫入至傳輸訊框記憶體 170。此 CRP 處理之輸出信號，在傳送至一輸入/輸出埠之前，先傳送至加速器 110（第 1 圖）之內部記憶體或先進先出緩衝器。

在此敘述中需注意，根據上下文，在圖示中的功能方塊可表示一個處理步驟或實施處理步驟之硬體模組。例如，第 3 圖之方塊 162 可表示 UL BRP 前端處理 162 或者

用來完成 UL BRP 前端處理的一個 UL BRP 前端處理器 162 (硬體)。方塊 172 可表示 UL 位元速率處理 172 或者用來完成位元速率處理之資料處理器 UL 位元速率處理器 172。同樣地，方塊 166 可表示 UL 晶片速率處理 166 或者用來完成 UL 晶片速率處理之 UL 晶片速率處理器 166。

在一些應用中，資料處理器 UL BRP 處理 172 藉由寫入至一 BRP 觸發暫存器而被激活。DSP 軟體可保證，在寫入至觸發暫存器之前，BRP 輸入信號及參數已到達硬體。

● CRP 處理 166 藉由寫入至時間槽觸發暫存器而被激活。軟體可保證在寫入至時間槽觸發暫存器之前，BRP 處理 172 已完成（在旁路模式的情況下，所有資料已到達訊框記憶體 170）且時間槽配置參數已到達硬體。

高效率無線訊框等化實施

下文敘述一種 TD-SCDMA 系統的高效率無線訊框等化實施。在 BRP 前端處理 162（例如通道編碼）與 BRP 後端處理 164（例如交錯處理）之間，具有無線訊框等化(Radio Frame Equalization, RFE)處理。RFE 處理包括塞填一傳輸通道之輸入位元序列，以確保輸出信號可分割成具有一已選定數量 (F_i) 之相同尺寸資料段落。此塞填可依照 TD-SCDMA 之 3GPP 規格來執行。

在一些應用中，BRP 前端處理 162 可包括用於通道編碼且包括通道編碼之資料的初始處理，而 BRP 後端處理 164 可包括資料交錯以及資料後續處理。BRP 前端處理 162 根據與 TTI 相等之訊框速率來處理資料，而 BRP 後端處理

164 則根據 10ms 之訊框速率來處理資料。無線訊框等化處理能幫助匹配前端處理 162 與後端處理 164 之訊框速率。

例如，通道編碼器 174 (BRP 前端處理器 162 之一部分且顯示於第 4 圖)根據 TTI 傳送資料至 TTI 記憶體 168。當 $TTI=10\text{ms}$ 時，通道編碼器 174 每隔 10ms，傳送傳輸通道編碼區塊至 TTI 記憶體 168。當 $TTI=20\text{ms}$ 時，通道編碼器 174 每隔 20ms，傳送傳輸通道編碼區塊至 TTI 記憶體 168，以此類推。當具有多個有效的傳輸通道時，對於與傳輸通道相關聯之每一傳輸時間間隔，通道編碼器 174 傳送傳輸通道編碼區塊至 TTI 記憶體 168。在此敘述中，“傳輸通道編碼區塊”係表示由通道編碼器 174 所輸出且每隔預設時間期間（在此例子中為 10ms）寫入至 TTI 記憶體 168 之資料方塊，且與“傳輸區塊”不同，“傳輸區塊”是關於在由 7 層開放式通訊系統互聯參考模型 (Open System Interconnection Reference Model) 所規範之媒體存取控制 (Media Access Control, MAC) 次層與實體層 (Physical Layer, Layer 1) 之間的資料傳輸的基本單元。

例如，假設具有兩個有效的傳輸通道：傳輸通道 1 與傳輸通道 2，且假設傳輸通道 1 使用 $TTI=40\text{ms}$ ，而傳輸通道 2 使用 $TTI=20\text{ms}$ 。一開始，在時間 $T=0$ 時，通道編碼器 174 傳送關於傳輸通道 1 之第一傳輸通道編碼區塊以及關於傳輸通道 2 之第一傳輸通道編碼區塊至 TTI 記憶體 168。在時間 $T=20\text{ms}$ 時，通道編碼器 174 傳送關於傳輸通道 2 之第二傳輸通道編碼區塊至 TTI 記憶體 168。在時間 $T=40\text{ms}$ 時，通道編碼器 174 傳送關於傳輸通道 1 之第二傳

輸通道編碼區塊以及關於傳輸通道 2 之第三傳輸通道編碼區塊至 TTI 記憶體 168，等等。在資料儲存在 TTI 記憶體 168 後，資料以 10ms 之訊框速率自 TTI 記憶體 168 中讀出。

相同尺寸資料段落的數量是依據傳輸時間間隔 (TTI)，可以是 10ms、20ms、40ms、或 80ms。在每一傳輸通道編碼區塊中，對於 10ms、20ms、40ms、及 80ms 之 TTI，相同尺寸資料段落的數量分別是 1、2、4、及 8。在一些實施中，每一傳輸通道編碼區塊之資料段落數量是根據 TTI 計算，且資料段落數量決定了基於一給定的傳輸通道編碼區塊，有多少位元需要被填入，如下列更詳細的討論。在一些實施中，TTI 係由較高階之軟體所決定，此軟體可能不是有效的，直到在 UL BRP 中的進一步下游 (downstream)。因此，以期望數量之填入位元可加入至一給定的傳輸通道編碼區塊而不需知道 TTI 值的方式，能幫助實施 TTI 記憶體架構。

第 4 圖係說明部分 BRP 後端處理 164 之實施例。在 RFE 處理期間，來自 BRP 前端處理 162 之資料根據 TTI 需求而儲存在 TTI 記憶體 168。即是，每一傳輸通道編碼區塊邏輯性地劃分為適當數量之資料段落，且被塞填之最後資料段落等於其他資料段落之尺寸。儲存在 TTI 記憶體 168 之資料段落被第一交錯器 180 所讀取，其中，第一交錯器 180 用來擾亂將被傳送之資料段落的次序，以防止在傳輸期間連續資料片段遺失。第一交錯器 180 提供資料至速率匹配單元 182，速率匹配單元 182 係用來調整資料速率，以藉由複製或移除位元來與傳輸資料速率匹配。第 4 圖之

BRP 路徑之詳細下游階段敘述於美國臨時申請案 61/008,345。在第 4 圖之例子中，TTI 值 192 對於 TTI 記憶體 168 而言是無效的直到速率匹配階段 182 為止，其中，速率匹配階段 182 可接收來自較高階軟體之 TTI 值 192。速率匹配單元 182 的輸出信號輸入至位元擾亂 184，中間訊框記憶體 186 接收位元擾亂后的信號，再輸入至第二交錯器 188，實體通道分配 190 對第二交錯器 188 的輸出信號進行處理，將處理后的信號輸入至傳輸訊框記憶體 170。

● 根據 3GPP TS25.222 技術規格（第 3 代合作夥伴計劃、技術規格組織無線存取網路、多工處理及通道編碼），無線訊框尺寸等化是塞填輸入位元序列，以保證輸出信號可以分割成相同尺寸的 F_i 個資料段落。資料段落之數量（ F_i ）是依據傳輸時間間隔。例如，假使 $TTI=10ms$ ， $F_i=1$ ；假使 $TTI=20ms$ ， $F_i=2$ ；假使 $TTI=40ms$ ， $F_i=4$ ；假使 $TTI=80ms$ ， $F_i=8$ 。

● 關於無線訊框尺寸等化之輸入位元序列以 C_{i1} 、 C_{i2} 、 C_{i3} 、...、 C_{iE_i} 來表示，其中， i 是 TrCH 數量， E_i 是輸入位元數量。輸出位元序列則以 t_{i1} 、 t_{i2} 、 t_{i3} 、...、 t_{iT_i} 來表示，其中， T_i 是輸出位元數量。輸出序列可由下述獲得：

若 $k=1...E_i$ ，則 $t_{ik}=C_{ik}$ ；以及

若 $k=E_i+1...T_i$ 並假使 $E_i < T_i$ ，則 $t_{ik}=\{0, 1\}$

其中， $T_i=F_i*N_i$ ；以及

N_i 是在尺寸等化後每一段落之位元數量。

第 5A、5B、5C、及 5D 圖係表示部分之 TTI 記憶體 168，其中， F_i 分別等於 1、2、4、及 8。例如，第 5A 圖係

說明單一段落 ($F_i=1$) 之傳輸通道 0 至傳輸通道 2。第 5B 圖係說明 2 個段落 ($F_i=2$) 之傳輸通道 0 至傳輸通道 2。第 5C 圖係說明 4 個段落 ($F_i=4$) 之傳輸通道 0 至傳輸通道 2。第 5D 圖係說明 8 個段落 ($F_i=8$) 之傳輸通道 0 至傳輸通道 2。雖然只顯示前三個傳輸通道編碼區塊，但是 TTI 記憶體 168 可包括更多區塊且可以是任何尺寸。傳輸通道編碼區塊尺寸可根據資料、CRC 位元、以及執行於資料上的編碼演算來變化。因此，除了能被 TTI 值除盡的複數傳輸通道編碼區塊，1 到 7 位元中任何一者可能被需要填入在每一傳輸通道編碼區塊之末端。用來填入的位元數量因此將依據傳送通道編碼區塊尺寸以及 TTI 值。

如上所討論，在 TTI 記憶體 168 之後，TTI 值無法得知。因此，為了計算在 TTI 記憶體 168 之後的資料段落數量，上游 (upstream) 階段 (例如在 TTI 記憶體 168 之後) 應具有關於在 TTI 記憶體 168 中編碼位元之總尺寸以及 TTI 值之資訊，以計算填入位元之數量。此步驟增加了設計的複雜性。二者擇一，在 TTI 記憶體 168 之前，可執行無線訊框等化。但是為了實行此方式，編碼區塊之總尺寸與 TTI 值可能需要用來計算填入位元。需要額外的邏輯來計算資料段落數量以及在 TTI 記憶體 168 上實施由編碼器所提供之資料的相關塞填。

申請人認為，TTI 記憶體 168 之架構可被利用來提供簡單的解決辦法給輸入資料序列之塞填。特別的是，申請人認為，由於 TTI 記憶體 168 為位元組排列，此適當的塞填可獨立於 TTI 值而被計算。TD-SCDMA 標準指定塞填可

以 0 或 1 來執行。然而，藉由在記憶體使用隨機非初始的 0/1，產生了一個問題（例如把填入的位元視為“不必關心”）。由於資料透過許多階段，包括第一及第二交錯器，在下游階段（例如在傳輸訊框記憶體 170）識別填入的位元變為困難。這需要值得考慮的硬體驗證以從交錯的位元流中識別填入的隨機 0/1 位元。因此，申請人認為以全部為 0 或全部為 1 之塞填能幫助下游處理。此減少了硬體驗證的複雜性。儘管申請人選擇 0 來塞填，1 可同樣地被使用。

返回利用記憶體組織來幫助相對簡單的塞填概念。申請人領會由於 TTI 記憶體 168 為位元組排列，藉由識別資料末端以及塞填下一位元組，傳輸通道編碼區塊可被適當地塞填，而不需知道 TTI 值。由於下一傳輸通道編碼區塊將處於下一位元組之起頭，對下一位元組邊界之塞填將恰當地塞填一傳輸通道編碼區塊，而不需考慮使用的 TTI。編碼器以一位元流提供位元至 TTI 記憶體 168。因此，為了恰當地塞填傳輸通道編碼區塊，此邏輯包括計算有多少位元已被傳送至 TTI 記憶體 168 的機制。一旦一傳輸通道編碼區塊已被儲存在 TTI 記憶體 168，此邏輯將在傳輸通道編碼區塊之末端後加入 0 至下一位元組邊界。此理解提供了正確的塞填，而不需相對貴的回授邏輯及硬體以根據一被接收的 TTI 來計算被填入之位元數量，其中，此被接收的 TTI 只在下游階段有效。

第 6 圖是 TTI 記憶體架構之實施例之示意圖，其使能關於無線訊框尺寸等化之額外位元填入，而不需使用關於

TTI 值之資訊。TTI 記憶體 168 包括記憶體列 200a、200b、200c...200i，並共同以 200 來表示。每一記憶體列 200 具有 8 個位元。當通道編碼器 174 將編碼資料寫入 TTI 記憶體 168 時，通道編碼器 174 將填入位元加入至最後記憶體列之末端。在第 6 圖中，符號 “E” 表示資料位元，而符號 “0” 表示填入位元。

例如，假使傳輸通道#0 之傳輸通道編碼區塊具有 33 位元，通道編碼器 174 將 32 個資料位元寫入至 4 個記憶體列 200a 至 200d、將 1 個資料位元寫入至記憶體列 200e、且將 7 個填入位元（例如 “0” 位元）寫入至記憶體列 200e。假使傳輸通道#1 之傳輸通道編碼區塊具有 11 位元，通道編碼器 174 將 8 個資料位元寫入至 1 個記憶體列 200f、將 3 個資料位元寫入至記憶體列 200g、且將 5 個填入位元寫入至記憶體列 200g。假使傳輸通道#2 之傳輸通道編碼區塊具有 8 位元，通道編碼器 174 將 8 個資料位元寫入至 1 個記憶體列 200h，而不需寫入額外的填入位元。假使傳輸通道#3 之傳輸通道編碼區塊具有 6 位元，通道編碼器 174 將 6 個資料位元寫入至 1 個記憶體列 200i 且將 2 個填入位元寫入至記憶體列 200i。

在每一傳輸通道編碼區塊中的位元數量可以介於少數個位元至數千個位元之間。在相異的傳輸通道編碼區塊中的位元數量可以不同，且對於相同傳輸通道而言，在傳輸通道編碼區塊中的位元數量可在不同時間期間上變化。

藉由配置 TTI 記憶體 168 來取得複數記憶體列（每一具有 8 位元）、藉由經常在一記憶體列之末端加入填入位

元、以及藉由在下一位元組邊界之開端上開始下一傳輸通道編碼區塊，當加入填入位元時，則不需要使用關於 TTI 值之資訊。對於每一傳輸通道而言，資料位元加上填入位元之總數量將總是可被段落數量 F_i 除盡，因此，滿足 TD-SCDMA 標準之無線訊框尺寸等化需求。

當傳輸通道編碼區塊資料自 TTI 記憶體 168 被讀出時，DSP 軟體將指明在每一傳輸通道之位元數量、與此傳輸通道相關之 TTI 值。例如，在第 6 圖之例子中，假使 $TTI=40ms$ 是使用給傳輸通道#0，段落數量 F_i 等於 4。在 40ms 期間，第一交錯器 180 需讀取資料位元以及一定數目的填入位元，使得位元的總數能被 4 除盡。由於具有 33 個資料位元，在 40ms 期間，第一交錯器 180 可讀取 33 個資料位元及 3 個填入位元，即可讀取總數為 36 個位元（ $36=9*4$ ）。第一交錯器 180 在第一個 10ms 期間讀取 9 個資料位元、在第二個 10ms 期間讀取 9 個資料位元、在第 3 個 10ms 期間讀取 9 個資料位元、且在第 4 個 10ms 期間讀取 6 個資料位元及 3 個填入位元。

如另一例子，假使 $TTI=80ms$ 是使用給傳輸通道#0，段落數量 F_i 等於 8。在 80ms 的期間，第一交錯器 180 需讀取資料位元以及一定數目的填入位元，使得位元的總數能被 8 除盡。由於具有 33 個資料位元，在 80ms 的期間，第一交錯器 180 可讀取 33 個資料位元及 7 個填入位元，即可讀取總數為 40 個位元（ $40=5*8$ ）。第一交錯器 180 在第一個至第六個 10ms 期間讀取 5 個資料位元、在第七個 10ms 期間讀取 3 個資料位元及 2 個填入位元、且在第八個 10ms

期間讀取 5 個填入位元。

BRP-CRP 介面及訊框記憶體架構

下面敘述 BRP-CRP 介面及訊框記憶體架構。在一些實施中，上鏈路徑 160 之功能劃分於在 DSP 核心 122 上執行的軟體與上鏈協同處理器 100 之間。UL 協同處理器 100 可執行計算量大的任務。

參閱第 7 圖，第 7 圖表示具有實體通道範例表之表單，表格 1 概述了 UL 協同處理器 100 所支持的實體通道以及對於不同實體通道任務如何在硬體與軟體之間劃分（參閱行 206）的表單。例如，對於一專屬實體通道（Dedicated Physical Channel, DPCH）200 而言，資料符元 202 之 BRP 及 CRP 可由硬體來執行，而控制符元 204 之 BRP 由軟體來執行且控制符元 204 之 CRP 由硬體來執行。對於一實體隨機存取通道（P-RACH）208 而言，隨機存取識別碼 210 之 BRP 與 CRP 可由軟體來執行，而隨機存取通道資料 212 之 BRP 及 CRP 由硬體來執行。

如上所述，可實施介於位元速率處理與晶片速率處理之間的介面，使得 BRP 後端處理器 164、晶片速率處理器 166、以及軟體可共享傳輸訊框記憶體 170，而不需使用仲裁器來仲裁對傳輸訊框記憶體 170 之存取。

如第 3 圖所示，上鏈位元速率處理器（UL BRP）172 提供資料，其進一步由上鏈晶片速率處理器（UL CRP）166 來處理。UL BRP 172 將資料寫入至傳輸訊框記憶體 170，且上鏈晶片速率處理器 166 自傳輸訊框記憶體 170 讀出資

料。因此，UL BRP 172 之硬體與 UL CRP 166 之硬體都需要對傳輸訊框記憶體 170 做存取。此外，來自 DSP 核心 122 之軟體需要獨對傳輸訊框記憶體 170 讀出及寫入。因此，三個個體（稱為主控器）需要對傳輸訊框記憶體 170 存取，導致可能的匯流排爭奪。習知的操控匯流排爭奪的解決方法是實施匯流排仲裁器，其執行既定的匯流排仲裁機制。例如，第 8 圖係表示關於記憶體存取之習知解決實施例，既係表示習知用來解決可能發生匯流排爭奪之記憶體存取的方式。

在第 8 圖之例子中，傳輸訊框記憶體 220 被三個主控器來存取：UL BRP 硬體 222、UL CRP 硬體 224、DSP 軟體 226。為了在三個不同主控器（每一者企圖同時存取傳輸訊框記憶體 220）之間仲裁，仲裁器 228 實施仲裁機制來決定哪一爭奪的主控器被分配到匯流排以存取傳輸訊框記憶體 220。實施仲裁器 228 對晶片設計可能會增加複雜性與成本。實施仲裁機制需要複雜的演算規則，來保證沒有主控器急需匯流排存取，而保證高優先處理獲得優先權。

第 9 及 10 圖表示介於 UL BRP 與 UL CRP 之間的介面，參閱第 9 圖，其表示一記憶體介面，其消除以匯流排仲裁器來操控多個控制器存取傳輸訊框記憶體的需求。傳輸訊框記憶體 170 使用雙埠記憶體來實施，其允許兩個主控器的同時存取，因此，減少了可能發生的多個爭奪中之一者。此雙埠傳輸訊框記憶體 170 可由 UL BRP 硬體 172、UL CRP 硬體 166、以及 DSP 軟體 232 來存取。

申請人認為，三個主控器的性質可用來消除剩下的爭

奪，因此，雙埠記憶體可由三個主控器來存取而沒有匯流排仲裁的需求。UL BRP 硬體 172 對傳輸訊框記憶體 170 寫入，但不自傳輸訊框記憶體 170 讀出。UL CRP 硬體 166 自傳輸訊框記憶體 170 讀出，但不對傳輸訊框記憶體 170 寫入。DSP 軟體 232 對傳輸訊框記憶體 170 寫入也自傳輸訊框記憶體 170 讀出。藉由將 UL BRP 硬體 172 連接至雙埠記憶體 170 之第一輸出/輸入埠 234 且將 UL CRP 硬體 166 連接至雙埠記憶體 170 之第二輸出/輸入埠 236，介於此兩主控器之間的爭奪則被消除。藉由在輸出/輸入埠 234 及 236 之間分享 DSP 軟體 232，DSP 軟體 232 與 UL BRP 硬體 172 共享寫入權利，而與 UL CRP 硬體 166 共享讀出權利。

申請人領會，DSP 軟體 232 知曉硬體主控器 172 及 166 何時對傳輸訊框記憶體 170 讀出與寫入，但硬體主控器 172 及 166 並不知曉 DSP 232 軟體或另一硬體主控器何時對傳輸訊框記憶體 170 進行存取。因此，藉由當軟體主控器偵測到對應硬體主控器正存取匯流排時將軟體主控器程式化以順從硬體主控器，且藉由輸出/輸入埠 234 及 236 之間劃分兩硬體主控器，此三個主控器可存取傳輸訊框記憶體 170，而不需任何匯流排仲裁需求。

在一些實施中，一簡單電路可加入以執行硬體讀出或寫入獲得第一優先權的策略（例如硬體可總假設其具有匯流排存取）。假使檢測到 UL BRP 硬體 172 需要對傳輸訊框記憶體 170 進行寫入存取，DSP 軟體 232 將預先排除對傳輸訊框記憶體 170 進行寫入。同樣地，假使檢測到 UL CRP 硬體 172 需要對傳輸訊框記憶體 170 進行讀出存取，

DSP 軟體 232 將預先排除對傳輸訊框記憶體 170 進行讀出。

第 10 圖說明其用來執行硬體優先權策略之電路示意圖。UL BRP 硬體 172 經由多工器 242 透過第一輸出/輸入埠 234 來對傳輸訊框記憶體 170 進行存取，而 UL CRP 硬體 166 經由多工器 244 透過第二輸出/輸入埠 236 來對傳輸訊框記憶體 170 進行存取。DSP 軟體 232 經由多工器 242 透過第一輸出/輸入埠 234 來對傳輸訊框記憶體 170 進行寫入存取，且經由多工器 244 透過第二輸出/輸入埠 236 來對傳輸訊框記憶體 170 進行讀出存取。

當 DSP 軟體 232 得知硬體正讀取或寫入且內在地避免本身同時讀出或寫入的時候，包含多工器 242 及 244 對於執行此策略是有益處的，其可簡化驗證。例如，假使 DSP 軟體 232 正確地執行，額外邏輯則是多餘且不必要的。然而，假使 DSP 軟體 232 錯誤地操作，此邏輯提供自動防止故障危害機制 (failsafe mechanism) 以執行此策略。因此，第 10 圖之邏輯可用來證明 DSP 軟體 232 正在正確地操作以及/或提供一額外方法以保證此既定策略正被執行。在一些實施中，除非 BRP DONE 選擇信號 246 為高位準，多工器 242 允許 UL BRP 硬體 172 執行寫入存取，此時多工器 242 將允許 DSP 軟體 232 對傳輸訊框記憶體 170 執行寫入存取。同樣地，除非 CRP DONE 選擇信號 248 為高位準，多工器 244 允許 UL CRP 硬體 166 執行讀出存取，此時多工器 244 將允許 DSP 軟體 232 對傳輸訊框記憶體 170 執行讀出存取。

第 11A 及 11B 圖係表示 TD-SCDMA 訊框架構之實施

例。每一訊框具有 10ms 的持續時間且劃分成 2 個 5ms 的次訊框，每一次訊框如第 11A 圖所示。在 TD-SCDMA 訊框之兩個次訊框相同。每一個次訊框被劃分成 7 個時間槽，以 0 至 6 來標示。每一時間槽不是分配給下鏈傳輸（以向下箭頭表示）就是分配給上鏈傳輸（以向上箭頭表示）。在一些實施中，第一時間槽（時間槽 0）一直分配給下鏈傳輸，且第二時間槽（時間槽 1）一直分配給上鏈傳輸。在第一與第二時間槽之間具有一切換點。例如，在第 11A 圖中，時間槽均衡地分配在下鏈與上鏈傳輸之間。在第 11B 圖中，第一與最後時間槽分配給下鏈，而剩餘的 5 個時間槽分配給上鏈。當上鏈傳輸需要較多的頻寬時，例如自移動裝置至基地台的上載操作，在第 11B 圖中的分配則是較合意的。時間槽的動態分配促進在非對稱傳輸時的適應性。

申請人認為，藉由安排由 UL BRP 172 所寫入以及由 UL CRP 166 所讀取的記憶體來反映 TD-SCDMA 訊框的時間槽架構，可提供效率高的實施應用。

參閱第 10 圖，傳輸訊框記憶體 170 被劃分成兩個訊框緩衝器，例如第一訊框緩衝器 250 以及第二訊框緩衝器 252，訊框緩衝器 250 與 252 中之每一者具有對應 TD-SCDMA 訊框之複數時間槽的複數段落（例如 254a、254b）。第一訊框緩衝器 250 包括關於第一訊框之複數段落（例如 254a、254b、254c 等等，共同以 254 來表示），第二訊框緩衝器 252 包括關於第二訊框之複數段落（例如 256a、256b、256c 等等，共同以 256 來表示）。每一訊框被劃分成 2 個次訊框（例如 258a 及 258b），以反映

TD-SCDMA 訊框架構。每一次訊框被劃分成 5 個相異段落 TS1-TS5，例如，對應 5 個可動態配置給上鏈的時間槽（有效時間槽）。

在一些應用中，第一訊框緩衝器 250 以及第二訊框緩衝器 252 中之每一者的尺寸為 1760 位元組，且第一訊框緩衝器 250 平均地劃分在 2 個次訊框中。在一次訊框內，每一時間槽（以及在一時間槽中每一實體通道）的位址（或位置）固定，且分配給每一時間槽的段落尺寸為 176 位元組。藉由使用固定記憶體位址給時間槽，能更方便決定哪一記憶體段落是為了給已知的時間槽寫入資料或讀出資料。

假使 UL BRP 172 或 DSP 軟體 232 分配到一特定時間槽，硬體或軟體則知道哪一記憶體段落是在對應的時間槽期間內被寫入將被傳輸的資料。同樣地，假使 CL BRP 166 或 DSP 軟體 232 知道哪一記憶體段落被讀取，以獲得特定時間槽之傳輸資料。例如，假使一無線裝置使用時間槽 TS1 及 TS3 但沒有使用關於上鏈傳輸的時間槽 TS2、TS4、及 TS5，UL BRP 172 與 DSP 軟體 232 則將與時間槽 TS1 及 TS3 相關之資料分別寫入至記憶體段落 254a 及 254c，跳過記憶體段落 254b。

在第 10 圖中，傳輸訊框記憶體 170 包括給予至少兩訊框的複數段落。特別的是，第一訊框緩衝器 250 儲存第一訊框之資料，第二訊框緩衝器 252 是儲存第二訊框之資料。儲存兩訊框之資料在訊框記憶體 170 中是有益的，因為在上鏈處理期間，UL BRP 172 與 UL CRP 166 可同時寫

入和讀出不同訊框之資料。

例如，當 UL BRP 172 在一已知時間間隔期間內正寫入第一訊框之資料至第一訊框緩衝器 250，UL CRP 166 正自訊框緩衝器 B 252 讀取在前一時間間隔內由 UL BRP 172 所寫入且對應前一訊框之資料。在下一時間間隔，UL BRP 172 將對應第二訊框之資料寫入第二訊框緩衝器 252，且 UL CRP 166 將自訊框緩衝器 A 250 讀取資料，以獲得第一訊框。在此方法下，UL BRP 172 及 UL CRP 166 可同時讀取及寫入，然而對於不同的訊框緩衝器，以避免對傳輸訊框記憶體 170 之相同位置執行每一讀取與寫入。這種第一-第二緩衝器機制在 UL CRP 166 完成讀取訊框資料之前，能防止 UL BRP 硬體 172 對傳輸訊框記憶體 170 過度寫入。

在一些實施中，第一-第二訊框緩衝器機制的管理由 DSP 軟體 232 來操控。DSP 軟體 232 可決定 UL BRP 172 之輸出是寫入第一訊框緩衝器 250 或是寫入第二訊框緩衝器 252。同樣地，DSP 軟體 232 決定 UL CRP166 之輸入是讀出自第一訊框緩衝器 250 或是讀出自第二訊框緩衝器 252。在一些實施中，於 BRP 旁路模式的情況下，DSP 軟體 232 可直接傳送 CRP 輸入至傳輸訊框記憶體 170。當傳送此 CRP 輸入資料時，DSP 軟體 232 選擇目標位址（例如第一訊框緩衝器或第二訊框緩衝器）且根據次訊框數量及時間槽數量來選擇訊框記憶體之位址位移。

在一些實施中，配置 UL BRP 172 與 UL CRP 硬體 166 來控制對應元件是對訊框緩衝器 A-B 中哪一者進行讀取及

寫入。第 10 圖所示的記憶體組織促進相對簡單且有效的架構，其利用 TD-SCDMA 標準所提供之適應性。

在一些實施中，記憶體段落 TS1-TS5 中之每一者更劃分成兩個或複數個實體通道，每一通道與一獨立的傳輸編碼相關聯，例如虛擬隨機 (Pseudo-random, PN) 編碼。即是，時間槽可被以兩相異編碼所編碼的資料共享。此反映出 TD-SCDMA 標準之時間劃分以及編碼劃分觀點。

第 12A 及 12B 圖表示訊框記憶體之段落之實施例，係表示在一時間槽中實體通道位元之組織。如圖所示，每一時間槽可以兩種模式來安排。第 12A 圖表示一記憶體段落 254，於其中使用兩實體通道。此記憶體組織用於展頻係數 2、4、8、或 16。此展頻係數是晶片對基頻資訊速率的比例。當實體通道之展頻係數大於 1 時，記憶體時間槽可利用的記憶體平均地劃分成兩實體通道。例如，記憶體段落 254 劃分成兩個區段 255a 及 255b，每一區段對應一實體通道。在一時間槽內，每一實體通道之位址（或位置）固定，且分配給每一實體通道之區段尺寸為 88 位元組。藉由使用實體通道之固定記憶體位址，能更方便判斷對哪一區段（例如 255a 或 255b）執行關於一已知實體通道之資料寫入或資料讀出。

記憶體區段 255a 及 255b 可儲存冗餘位元 257，於其中，冗餘位元 257 之數量對應控制通道位元與展頻係數之數量。在一些實施中，UL CRP 166 忽略冗餘位元 257。

在此具有 4 個可能的例子，對於所有 4 個例子，實體通道 0 (Ph#0) 及實體通道 1 (Ph#1) 起始於相同的固定位

置，如第 12A 圖所示：

- Ph#0 與 Ph#1 皆有效
- 只有 Ph#0 有效 (Ph#1 無效)
- 只有 Ph#1 有效 (Ph#0 無效)
- Ph#0 與 Ph#1 皆無效

例如，在一對應的時間槽期間，實體通道 0 可用來傳輸第一資料，而第一資料儲存在記憶體段落之位置 0-87。在已知的時間槽期間，實體通道 1 可用來傳輸第二資料，而第二資料儲存在記憶體段落之位置 88-175。第一資料與第二資料使用相異的編碼來傳送。

第 12B 圖表示一記憶體段落，其中，僅使用一單一實體通道。記憶體時間槽可利用的記憶體被單一實體通道使用。假使展頻係數為 1，則在時間槽內將只有一個體通道 (Ph#0)。UL CRP 166 忽略冗餘位元 257。例如，實體通道 0 在對應之時間槽期間內用來傳送資料，而此資料儲存在記憶體段落之位置 0-175。

應可知，記憶體段落之尺寸以及如何根據實體通道來劃分資料段落僅是一個示範例，而也可使用其他配置。此外，儘管在第 12A 及 12B 圖所示之記憶體段落中兩個實體通道是可利用的，但也可使用任何數量之實體通道。

DSP 軟體 232 可選擇性地塞填資料在一實體通道基底或一時間槽基底。此提供了以任何既定順序在傳輸訊框記憶體 170 內塞填資料的能力。例如，在多個 CCTrCH 之情況下，DSP 軟體 232 可提供 CRP 資料給第一 CCTrCH，而 BRP 硬體提供 CRP 資料給第二 CCTrCH。

CRP 架構及程式流程

下文敘述 CRP 架構，其使能一靈活且方便的方法，以控制程式流程。如上關於第 1 圖之說明，DSP 核心 122 以 UL 協同處理器 110 之主控器身分在操作，且控制 UL 協同處理器 100 之操作，以幫助由移動裝置至基地台之上鏈傳輸。申請人認為有提供關於控制在何時以及在何種排序下指定資料自 UL 協同處理器 100 傳送之靈活性給 DSP 核心程式設計師的好處，且發展靈活且效率高的架構以在控制 UL 協同處理器 100 方面幫助 DSP 核心程式設計師。特別的是，對一軟體程式設計師來說明如何設計 UL 協同處理器 100 是相對困難的，尤其是關於處理儲存在傳輸訊框記憶體 170 之資料。申請人發展出對軟體程式設計師呈現出簡化的架構，其促進強健且靈活的程式設計平台。

第 13 圖說明使用時間槽配置欄位之晶片速率處理器之實施例，係表示一 UL CRP 核心 260（其為 UL CRP 166 之一部分）以及許多配置元件來促進靈活介面，以允許 DSP 軟體 232 以靈活且高效率之方法來控制 UL CRP 核心 260。如上所述，UL CRP 166 是重要的，尤其是讀取由 UL BRP 172 所寫入之訊框以及更進一步處理將由數位基頻處理器 120 所傳輸之訊框。

在一些實施中，一 TD-SCDMA 訊框之每一次訊框具有最多 5 個關於上鏈的有效時間槽。配置暫存器 262 儲存關於當處理每一上鏈時間槽之時間槽配置參數組，UL BRP 172 執行軟體以將時間槽配置參數組寫入至暫存器 262，

UL CRP 核心 260 根據此時間槽配置參數組來配置。

一組暫存器被提供來儲存關於每一有效時間槽之時間槽配置參數，此暫存器數目至少為兩個。每一組暫存器在一時脈週期內由 UL CRP 核心 260 來存取。在此實施中，由於具有最多 5 個關於上鏈的有效時間槽，因此，5 個暫存器群組用來儲存 5 組時間槽配置參數。此 5 個暫存器群組分別為 TS 配置組 A 264、TS 配置組 B 266、TS 配置組 C 268、TS 配置組 D 270、以及 TS 配置組 E 272。每一組暫存器包括相關的時槽之配置資訊。特別的是，每一 TS 配置組儲存一參數列表，其敘述對應時間槽之資料應如何被操控。CRP 之參數列表可包括，例如關於每一實體通道之展頻係數、展頻編碼、擾亂編碼、擾亂係數、功率控制資訊、以及功率調整係數。每一配置組可包括關於 UL CRP 166 必要的所有資訊，以處理對應的時間槽。此外，每一 TS 配置組包括一觸發欄位（例如 264c），將由以下詳細說明。

配置資訊告知 UL CRP 166 如何操控在對應時間槽內傳送之資料。例如，儲存在每一 TS 配置之參數配置 UL CRP 166 所使用之規則，以處理儲存在相關次訊框的資料。為了簡化 UL CRP 166 之軟體概觀，申請人發展出一佇列觸發（queue trigger）方法，以提供一靈活機制來設計時間槽如何被排序（例如，時間槽應以何種排序由 UL CRP 處理）以及哪一參數被應用在每一時間槽。

時間槽被處理的排序係由儲存器儲存，例如由一觸發器 FIFO 274 所控制，其可實施作為一標準先進先出佇列，

決定哪一 TS 配置組被用來在特定時間槽內處理資料。例如，圖示之觸發器 FIFO 274 在第一輸出位置儲存 TS 配置 A、接著儲存 TS 配置 E 以及 TS 配置 C，其表示 TS 配置組 A 將用來處理一時間槽，接著使用 TS 配置組 E 來處理一時間槽，接著再使用 TS 配置組 C 來處理一時間槽等等。哪一時間槽（例如 TS0、TS1...或 TS6）應在既定時間內被處理可由 DSP 軟體來決定。

被無線裝置所使用的有效時間槽數量可隨著不同裝置而變化，且也可根據在無線裝置上執行的軟體來決定。例如，移動式電話可使用關於上鏈之時間槽 TS1 及 TS5。因此，在第 13 圖之例子中，TS 配置組 A 及 E 可使用給當前訊框（分別在處理 TS1 及 TS5 時用來配置 CRP），且 TS 配置組 C 可使用給隨後的訊框（在處理隨後訊框之 TS2 時用來配置 CRP）。儲存在觸發器 FIFO 274 之 TS 配置組識別碼被提供至一多工器 276，其選擇哪一 TS 配置組提供至 CRP 核心 260 以做後續處理。

更進一步說明，在一些例子中，一無線裝置可分配 5 個有效時間槽 TS1、TS2、TS3、TS5、及 TS6 給上鏈。TS 配置組 A、B、C、D、及 E 可用來配置 UL CRP 核心 260，以分別處理與時間槽 TS1、TS2、TS3、TS5、及 TS6 相關之資料。在一些例子中，一無線裝置可分配 3 個有效時間槽 TS4、TS5、及 TS6 給上鏈。TS 配置組 A、B、C、D、及 E 中的三個可用來配置 UL CRP 核心 260，以分別處理與時間槽 TS4、TS5、及 TS6 相關之資料。

對於每一有效時間槽而言，UL CRP 核心 260 透過多

工器（例如第 10 圖之 242 及 244）接收來自傳輸訊框記憶體 170 之資料，且根據儲存在已選擇之 TS 配置組內的參數來傳送資料。時間槽配置組群以一排序被寫入至觸發器 FIFO 274，而在此排序中，在 TS 配置組內的相關觸發暫存器（例如 264c）被使能（例如設定為高位准或其他預設觸發值）。一旦觸發器暫存器被使能，相關 TS 配置組識別碼（例如 TSA、TSE、或 TSC）被寫入至觸發器 FIFO 且進而被處理。因此，觸發的排序成為在相關時間槽內處理資料的排序，藉由使排序的該等識別碼包括同一識別碼多次，給相異的時間槽重複利用相同的配置參數組，而不需將時間槽配置參數組重新寫入至觸發器暫存器，且觸發器 FIFO 274 控制複數有效配置組中何者在任一已知時間內控制 UL CRP 核心 260。

UL CRP 核心 260 之輸出在傳送至 DSP 核心 122 之前，可傳送至 UL 協同處理器 100 之內部記憶體 278。內部記憶體 278 可以是 32 字元深的輸出 FIFO 278。一旦輸出 FIFO 278 包含 16-位元字元之最高容許數量（burstable number，例如 4 字元），直接記憶體存取控制器 125 被告知，其開始資料傳送至 DSP 記憶體。此程序可以其他適當的方法來完成。

因此，配置暫存器 262 及觸發器 FIFO 274 提供一軟體開發專家以定義在任何時間的普遍理想配置，且接著藉由在既定排序上使能相關的觸發器來選擇哪一配置將對應每一時間槽。第 13 圖之架構的其一優點是在配置與實際實體時間槽之間沒有固定（hard-coded）關係，此允許軟體動態

地決定哪一參數應用在哪一時間槽。例如，第一 TS 配置組 A 264 非必要地用來配置 CRP 核心 260，以處理關於 5 個有效時間槽中第一者（例如第 10 圖之 TS1）的資料，而可用來配置 CRP 核心 260 以處理有效時間槽中的任一者（例如第 10 圖之 TS1 至 TS5）。

在一些實施中，在 TS 配置組使用給不同時間槽所依據的排序上可能具有一限制。在一些例子中，選擇性地接續使用 TS 配置組 A 至 E 以處理一訊框內的複數時間槽。因此，在兩時間槽 TS2 及 TS3 內傳送資料之移動式電話中，TS 配置組 A 可使用給 TS2 而 TS 配置組 B 可使用給 TS3，或者 TS 配置組 B 可使用給 TS2，而 TS 配置組 C 可使用給 TS3（不使用 TS 配置組 A）。在此例子中，此電話無法支持使用 TS 配置組 B 給 TS2 以及使用 TS 配置組 A 給 TS3。

應能領會複數 TS 配置組可一次全部被寫入，且接著以不同的排序被觸發，即，TS 配置組所使用的排序相異，或者 TS 配置組的一些次組（subset）可被寫入且被觸發多次。藉由每當複數配置組為可利用時允許軟體將複數配置組寫入，假使配置是可利用的，軟體可一次寫入所有的 5 個有效配置以減少在 CRP 硬體 166 與 DSP 軟體 232 之間的互相影響。然而，為了在參數為非有效的情況下能維持靈活度，配置組可一個接一個地被寫入，且接著以既定排序來觸發。

第 13 圖所示的晶片配置可使用與一無線裝置，例如移動台（例如智慧型手機，smart phone 或個人數位助理

PDA)，其順從 CDMA 標準、TD-SCDMA 標準以及/或寬頻碼分多址存取（W-CDMA）標準。

第 14 圖是一無線網路 280 之例子示意圖，其中，一無線裝置或移動台 282（在一些電信標準中也稱為使用者設備）包括第 1 圖之數位基頻處理器 120 以及加速器 110，且一傳送器（以手機基地台 284 來稱呼）用來使能一手機網路的上鏈傳輸。數位基頻處理器 120 以及加速器 110 可組成一積體電路之一部分（例如一無線晶片組），且設置在移動台 282 之電路板上。此手機網路可將移動台 282 連接至其他裝置，例如其他移動台 286。

應可瞭解，本發明之觀點樣態可單獨使用、結合使用，或者以前文所討論之實施例中未指明的配置變化來使用，因此不將本申請案限制在前文或圖示所提出之細節以及元件配置。

雖然前文以討論一些例子，但其他實施或應用也可在後述申請專利範圍之精神內。此處所敘述之本發明之多種樣態可以多種方法來實施。例如，前述的多種元件可以硬體、韌體、軟體、或其結合來實施。第 6 圖之 TTI 記憶體架構並不限制使用在上鏈傳輸，可用在其他目的。多個主控器共享雙埠記憶體而不需使用仲裁器來仲裁對雙埠記憶體存取（如第 9 圖所示），可使用在其他系統。時間槽配置組及觸發器 FIFO（如第 13 圖所示）在控制器與資料處理器之不同配置種類下可用來提供靈活度。在第 9 圖之例子中，傳輸訊框記憶體 170 可由被多個主控器所存取之其他記憶體來取代，BRP 硬體 172、CRP 硬體 166、以及 DSP

軟體 232 可以其他種類的主控器來取代。

本發明之樣態、系統、及方法之優點包括下列之一或多者。藉由加入填入位元可執行無線訊框等化，以達到速率匹配而不需 TTI 值的告知、以及消除根據 TTI 值來計算填入位元數量之需求。硬體設計及認證可簡單化。位元速率處理器、晶片速率處理器、以及 DSP 軟體可共享訊框記憶體，而不需使用仲裁器來仲裁對訊框記憶體之存取，減少了晶片設計的複雜度。在相異時間槽期間，晶片速率處理器之配置以及傳輸資料之晶片速率處理所使用的規則，可藉由使用時間槽配置欄位以及觸發 FIFO 來簡單地調整。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明的範圍，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1 圖表示可用來實施多種無線標準之晶片架構示意圖；

第 2 圖表示 TD-SCDMA 資料架構之實施例之示意圖；

第 3 圖表示 TD-SCDMA 上鏈傳輸路徑之高階架構實施例；

第 4 圖表示部分之 BRP 後端處理；

第 5A-5D 圖表示部分 TTI 記憶體之示意圖；

第 6 圖表示 TTI 記憶體架構之實施例之示意圖；

第 7 圖表示具有實體通道範例表之表單；

第 8 圖表示關於記憶體存取之習知解決實施例；

第 9 及 10 圖表示介於 UL BRP 與 UL CRP 之間的介面；

第 11A 及 11B 圖表示 TD-SCDMA 訊框架構之實施例；

第 12A 及 12B 圖表示訊框記憶體之段落之實施例；

第 13 圖說明使用時間槽配置欄位之晶片速率處理器之實施例；以及

第 14 圖表示無線通訊系統之實施例。

【主要元件符號說明】

- | | |
|-------------------|------------------|
| 100～UL 協同處理器； | 110～加速器； |
| 120～數位基頻處理器； | 122～DSP 核心； |
| 124～快取記憶體； | |
| 125～DSP 直接記憶體存取； | |
| 126～SRAM； | 128～系統 RAM； |
| 130、132～無線訊框； | 134、136～次訊框； |
| 138、150～時間槽； | 152～中置碼； |
| 154、156～資料欄位； | 158～保護區； |
| 160～UL 傳輸路徑； | 162～UL BRP 前端處理； |
| 164～UL BRP 後端處理； | |
| 166～UL CRP/叢發格式化； | |
| 168～TTI 記憶體； | 170～傳輸訊框記憶體； |
| 172～UL BRP； | 174～通道編碼器； |
| 180～第一交錯器； | 182～速率匹配； |
| 184～位元擾亂； | 186～中間訊框記憶體； |

- 188～第二交錯器； 190～實體通道分配；
200a、200b、200c、200d、200e、200f、200g、200h、
200i～記憶列；
200～專屬實體通道； 202～資料符元；
204～控制符元； 206～行；
208～實體隨機存取通道； 210～隨機存取識別碼；
212～隨機存取通道資料傳輸；
220～傳輸訊框記憶體； 222～UL BRP 硬體；
224～UL CRP 硬體； 226～DSP 軟體；
228～仲裁器； 232～DSP 軟體；
234、236～輸出/輸入埠； 242、244～多工器；
246～BRP DONE 選擇信號；
248～CRP DONE 選擇信號；
250～訊框緩衝器； 252～訊框緩衝器；
254a、254b、254c、256a、256b、256c～記憶體段落；
258a、258b～次訊框； 254～記憶體段落；
255a、255b～記憶體區段； 257～冗餘位元；
260～UL CRP 核心； 262～配置暫存器；
264～TS 配置組 A；
264a～有效 TS 配置 A 欄位；
264b～參數欄位； 264c～觸發欄位；
266～TS 配置組 B；
266a～有效 TS 配置 B 欄位；
266b～參數欄位； 266c～觸發欄位；
268～TS 配置組 C；

268a～有效 TS 配置 C 欄位；

268b～參數欄位；

268c～觸發欄位；

270～TS 配置組 D；

270a～有效 TS 配置 D 欄位；

270b～參數欄位；

270c～觸發欄位；

272～TS 配置組 E；

272a～有效 TS 配置 E 欄位；

272b～參數欄位；

272c～觸發欄位；

274～觸發 FIFO；

276～多工器；

278～內部記憶體；

280～無線網路；

282、286～移動台；

284～手機基地台。

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 9714 9626

※ 申請日： 97.12.19 ※IPC 分類：H04B 7/26 (2006.01)

一、發明名稱：(中文/英文)

時分-同步碼分多址存取之裝置及方法

Apparatus and methods for time division-synchronous code division
multiple access uplink processing

二、中文發明摘要：

一種時分-同步碼分多址存取裝置，具有上鏈晶片速率處理架構，其中，提供至少兩暫存器群組，每一暫存器群組用來儲存一時間槽配置參數組。儲存器用來儲存一序列之複數時間槽配置組識別碼，其中，每一時間槽配置組識別碼用來識別複數暫存器群組之一者，且每一時間槽配置組識別碼對應一時間槽。晶片速率處理單元用來在複數時間槽期間內處理一資料流，其中，在每一時間槽中，晶片速率處理單元根據儲存在暫存器群組內且與對應時間槽之時間槽配置組識別碼相關的時間槽配置參數組來配置。

三、英文發明摘要：

A wireless system has an uplink chip rate processing architecture in which at least two groups of registers are provided, each group of register storing a set of time slot configuration parameters. A storage stores a sequence of time slot configuration set identifiers each identifying one of

the groups of registers, each identifier corresponding to a time slot. A chip rate processing unit processes a stream of data over a plurality of time slots in which at each of the time slots, the chip rate processing unit is configured according to the set of time slot configuration parameters stored in the group of register associated with the time slot configuration set identifier corresponding to the time slot.

七、申請專利範圍：

1.一種時分-同步碼分多址存取裝置，包括：

至少兩暫存器群組，每一該暫存器群組用來儲存一時間槽配置參數組；

一儲存器，用來儲存一序列之複數時間槽配置組識別碼，其中，每一該時間槽配置組識別碼用來識別該等暫存器群組之一者，且每一該時間槽配置組識別碼對應一時間槽；以及

一晶片速率處理單元，用來在複數時間槽期間內處理一資料流，其中，在每一該時間槽中，根據儲存在該暫存器群組內且與對應該時間槽之該時間槽配置組識別碼相關的該時間槽配置參數組來配置該晶片速率處理單元。

2.如申請專利範圍第1項所述之時分-同步碼分多址存取裝置，其中，該晶片速率處理單元對來自複數實體通道之資料執行展頻、擾亂、及組合中至少之一者，以準備上鏈傳輸之資料。

3.如申請專利範圍第1項所述之時分-同步碼分多址存取裝置，其中，每一該時間槽配置參數組包括擾亂編碼、展頻編碼、擾亂係數、以及功率控制資訊中至少一者。

4.如申請專利範圍第1項所述之時分-同步碼分多址存取裝置，其中，該晶片速率處理單元符合碼分多址存取標準、寬頻碼分多址存取標準、以及時分-同步碼分多址存取標準中至少一者。

5.如申請專利範圍第1項所述之時分-同步碼分多址存取裝置，其中，至少一該暫存器群組包括5個暫存器，以

儲存 5 個時間槽配置參數組，來配置該晶片速率處理單元以處理一次訊框之 5 個上鏈時間槽。

6.如申請專利範圍第 1 項所述之時分-同步碼分多址存取裝置，其中，每一該暫存器群組在一時脈週期內由該晶片速率處理單元來存取。

7.如申請專利範圍第 1 項所述之時分-同步碼分多址存取裝置，其中，該等時間槽配置參數組以一排序儲存在該暫存器群組，其中，該排序與該等時間槽配置參數組用來配置該晶片速率處理單元所使用的一排序相異。

8.如申請專利範圍第 1 項所述之時分-同步碼分多址存取裝置，更包括一多工器，用以多路傳輸來自該等暫存器群組之該等時間槽配置參數組，其中，該多工器根據該序列之該等時間槽配置組識別碼來在每一時間槽期間內選擇該等時間槽配置參數組中之一者，並傳送該已選擇之該時間槽配置參數組至該晶片速率處理單元。

9.如申請專利範圍第 1 項所述之時分-同步碼分多址存取裝置，其中，用來儲存該序列之該等時間槽配置組識別碼的該儲存器包括一先進先出佇列。

10.如申請專利範圍第 1 項所述之時分-同步碼分多址存取裝置，更包括一資料處理器，用以執行軟體處理以將該等時間槽配置參數組寫入至該等暫存器群組，並使被寫入至該儲存器之該等時間槽配置組識別碼來控制由該晶片速率處理單元所執行的該資料流處理。

11.一種時分-同步碼分多址存取裝置，包括：

一第一儲存器，用以儲存至少兩時間槽配置參數組；

一第二儲存器，用以儲存一序列之複數識別碼，每一該識別碼對應該等時間槽配置參數組之一者；

一特殊目的資料處理器，用以處理一資料流，其中，該特殊目的資料處理器根據與該序列之該等識別碼對應之該等時間槽配置參數組，在不同的時間期間內做不同的配置；以及

一一般目的資料處理器，用以將該等時間槽配置參數組寫入至該第一儲存器且將該序列之該等識別碼寫入至該第二儲存器，以控制由該特殊目的資料處理器所執行的該資料流之處理。

12.如申請專利範圍第 11 項所述之時分-同步碼分多址存取裝置，其中，該特殊目的資料處理器包括一上鏈晶片速率處理器。

13.如申請專利範圍第 11 項所述之時分-同步碼分多址存取裝置，其中，該第一儲存器包括複數暫存器群組，該等暫存器群組由該特殊目的處理器透過一多工器來存取，且每一該暫存器群組儲存該等時間槽配置參數組之一者。

14.如申請專利範圍第 11 項所述之時分-同步碼分多址存取裝置，其中，該第一儲存器在一時脈週期內由該特殊目的資料處理器來存取。

15.如申請專利範圍第 11 項所述之時分-同步碼分多址存取裝置，其中，該第二儲存器包括一先進先出佇列。

16.如申請專利範圍第 11 項所述之時分-同步碼分多址存取裝置，其中，在該序列之該等識別碼中之每一識別碼對應一序列之複數時間槽中之一者，且藉由在該序列之該

等識別碼中包括同一識別碼多次，使得不同的該等時間槽重複使用相同之該時間槽配置參數組。

17.如申請專利範圍第 11 項所述之時分-同步碼分多址存取裝置，其中，每一該時間槽配置參數組包括擾亂編碼、展頻編碼、擾亂係數以及功率控制資訊中至少一者。

18.一種時分-同步碼分多址存取方法，包括：

將至少兩時間槽配置參數組寫入至至少兩暫存器群組，每一時間槽配置參數組具有關於在一時間槽期間內資料被一晶片速率處理單元處理的資訊；

將一序列之複數識別碼寫入一儲存器，其中，每一該識別碼與該等暫存器群組之一者相關；以及

在複數時間槽中之每一者內，根據該序列之該等識別碼來選擇儲存在一暫存器群組內之一時間槽配置參數組，

並根據已選擇之該時間槽配置參數組來配置該晶片速率處理單元，以及使用該晶片速率處理單元來處理資料。

19.如申請專利範圍第 18 項所述之時分-同步碼分多址存取方法，其中，寫入該等至少兩時間槽配置參數組之步驟包括寫入 5 個時間槽配置參數組，以配置該晶片速率處理器來處理一次訊框之 5 個上鏈時間槽。

20.如申請專利範圍第 18 項所述之時分-同步碼分多址存取方法，其中，使用該晶片速率處理單元來處理資料之步驟包括對來自複數實體通道之資料執行展頻、擾亂及組合中至少之一者，以準備上鏈傳輸之資料。

21.如申請專利範圍第 18 項所述之時分-同步碼分多址存取方法，其中，該晶片速率處理單元順從碼分多址存取

標準、寬頻碼分多址存取標準、以及時分-同步碼分多址存取標準中至少一者。

22.如申請專利範圍第 18 項所述之時分-同步碼分多址存取方法，更包括多路傳輸該等時間槽配置參數組，以選擇該等時間槽配置參數組中之一者來配置該晶片速率處理單元。

23.如申請專利範圍第 18 項所述之時分-同步碼分多址存取方法，更包括在一資料處理器內執行軟體，以指明該等時間槽配置參數組之何者寫入至該暫存器群組，並指明該序列之該等識別碼之何者寫入至該儲存器。

24.如申請專利範圍第 18 項所述之時分-同步碼分多址存取方法，其中，寫入該序列之該等識別碼之步驟包括將該序列之該等識別碼寫入一先進先出佇列。

25.如申請專利範圍第 18 項所述之時分-同步碼分多址存取方法，更包括將多次具有同一識別碼之該序列之該等識別碼寫入至該儲存器，以重複使用儲存在對應該識別碼之該暫存器群組的該時間槽配置參數組，而不需將該時間槽配置參數組重新寫入至該暫存器群組。

26.如申請專利範圍第 18 項所述之時分-同步碼分多址存取方法，其中，寫入該等時間槽配置參數組之步驟包括寫入擾亂編碼、展頻編碼、擾亂係數、以及功率控制資訊中至少一者。

27.一種時分-同步碼分多址存取方法，包括：

使用一特殊目的處理器來處理一資料流；以及

當該特殊目的處理器在一時間內處理該資料流時，使

用一一般目的處理器來控制該特殊目的處理器之配置，其中，該特殊目的處理器在該時間內處理該資料流係藉由

將兩或多個配置參數組寫入一第一儲存器，

將一序列之複數識別碼寫入至一第二儲存器，其中，每一該識別碼與一配置參數組相關，以及

根據在複數相異時間期間內不同之該等配置參數組來使該特殊目的處理器做不同的配置，以及使用該序列之該等識別碼來決定相異之該等配置參數組所使用的一排序，以配置該特殊目的處理器。

28.如申請專利範圍第 27 項所述之時分-同步碼分多址存取方法，其中，該特殊目的處理器包括一晶片速率處理器。

29.如申請專利範圍第 27 項所述之時分-同步碼分多址存取方法，其中，將該等兩或多個配置參數組寫入該第一儲存器之步驟包括將該等兩或多個配置參數組寫入至兩或多個暫存器群組，且每一該暫存器群組儲存一配置參數組。

30.如申請專利範圍第 27 項所述之時分-同步碼分多址存取方法，其中，將該序列之該等識別碼寫入至該第二儲存器之步驟包括將該序列之該等識別碼寫入至一先進先出佇列。

31.如申請專利範圍第 27 項所述之時分-同步碼分多址存取方法，其中，每一該配置參數組包括擾亂編碼、展頻編碼、擾亂係數以及功率控制資訊中至少一者。

32.如申請專利範圍第 27 項所述之時分-同步碼分多址存取方法，其中，該一般目的處理器執行軟體以決定該等

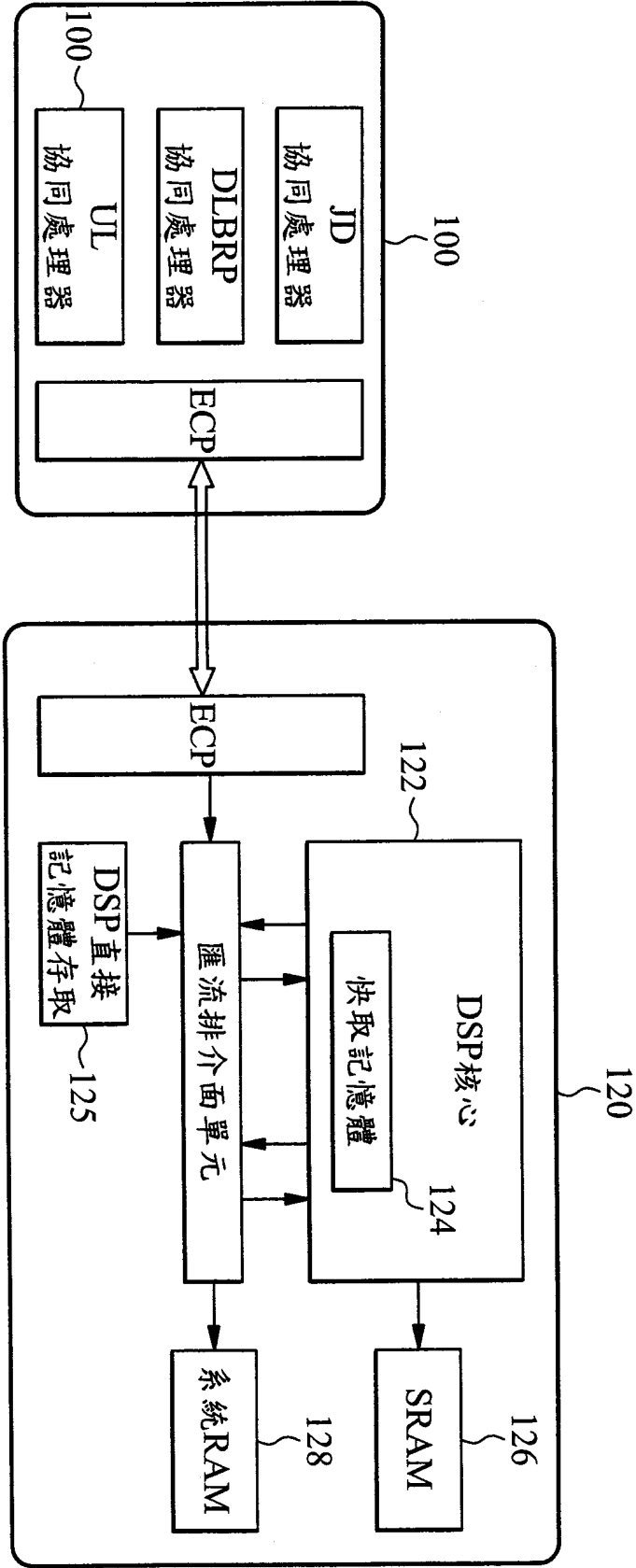
配置參數組之何者寫入至該第一儲存器，以及該等識別碼之何者寫入至該第二儲存器，以使能該特殊目的處理器根據一電信協定來處理該資料流。

33.如申請專利範圍第32項所述之時分-同步碼分多址存取方法，其中，該電信協定包括碼分多址存取標準、寬頻碼分多址存取標準以及時分-同步碼分多址存取標準中至少一者。

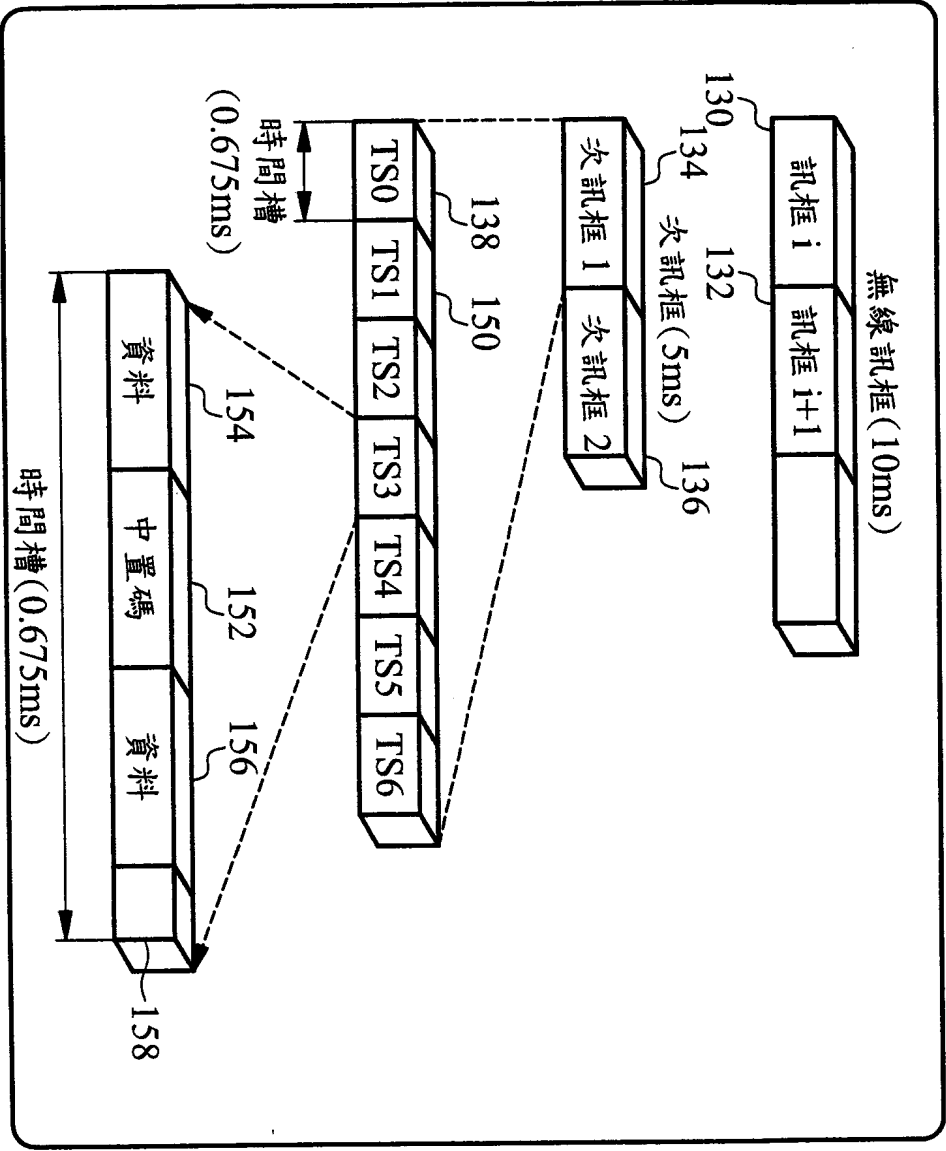
34.一種時分-同步碼分多址存取裝置，包括：

用以將至少兩時間槽配置參數組寫入至少兩暫存器群組以及將一序列之複數識別碼寫入一儲存器之裝置，其中，每一該時間槽配置參數具有關於在一時間槽期間內資料如何被一晶片速率處理單元處理的資訊，且每一該識別碼與該等暫存器群組之一者相關；以及

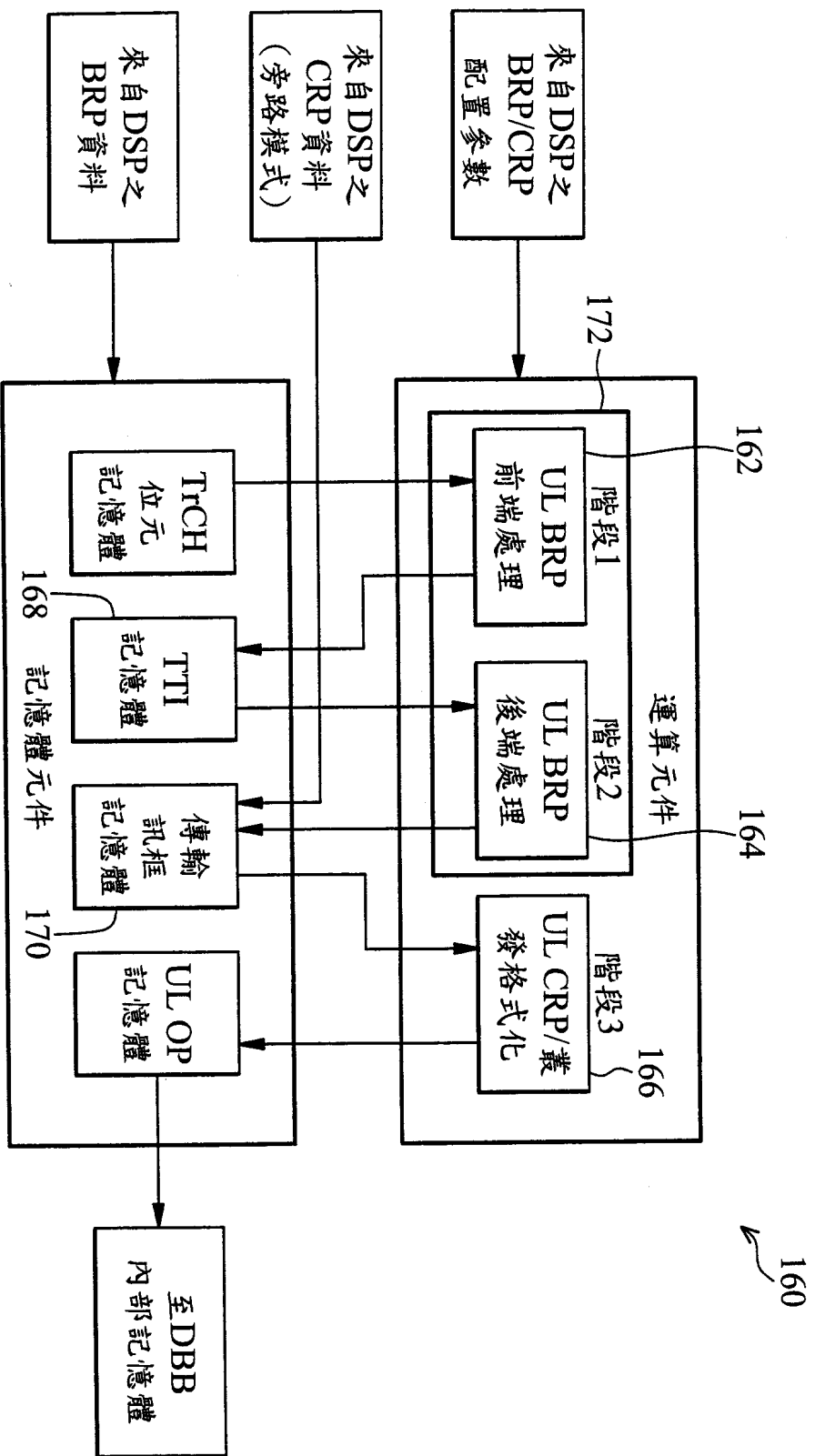
在複數時間槽中之每一者內，用以根據該序列之該等識別碼來選擇儲存在一暫存器群組內之一時間槽配置參數組、並用以根據已選擇之該時間槽配置參數組來配置該晶片速率處理單元、以及使用該晶片速率處理單元來處理資料之裝置。



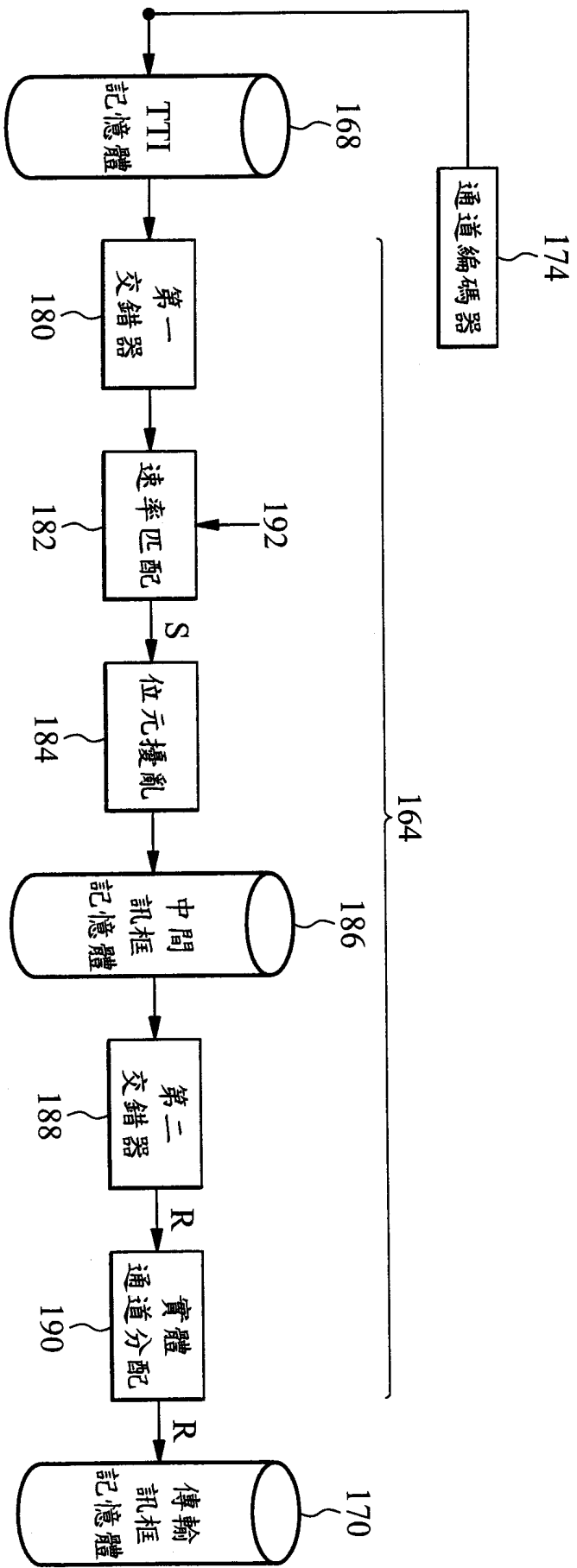
第 1 圖



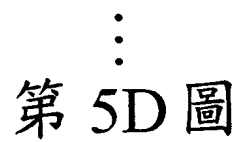
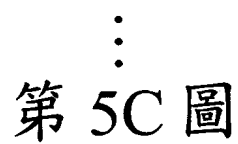
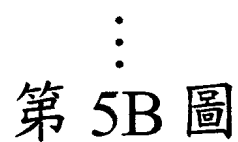
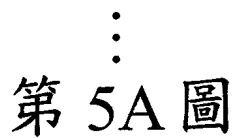
第 2 圖



第 3 圖



第 4 圖



168
↙

	0	1	2	3	4	5	6	7	位元數
TrCH#0	E	E	E	E	E	E	E	E	~ 200a
	E	E	E	E	E	E	E	E	~ 200b
	E	E	E	E	E	E	E	E	~ 200c
	E	E	E	E	E	E	E	E	~ 200d
	E	0	0	0	0	0	0	0	~ 200e
TrCH#1	E	E	E	E	E	E	E	E	~ 200f
	E	E	E	0	0	0	0	0	~ 200g
TrCH#2	E	E	E	E	E	E	E	E	~ 200h
TrCH#3	E	E	E	E	E	E	0	0	~ 200i

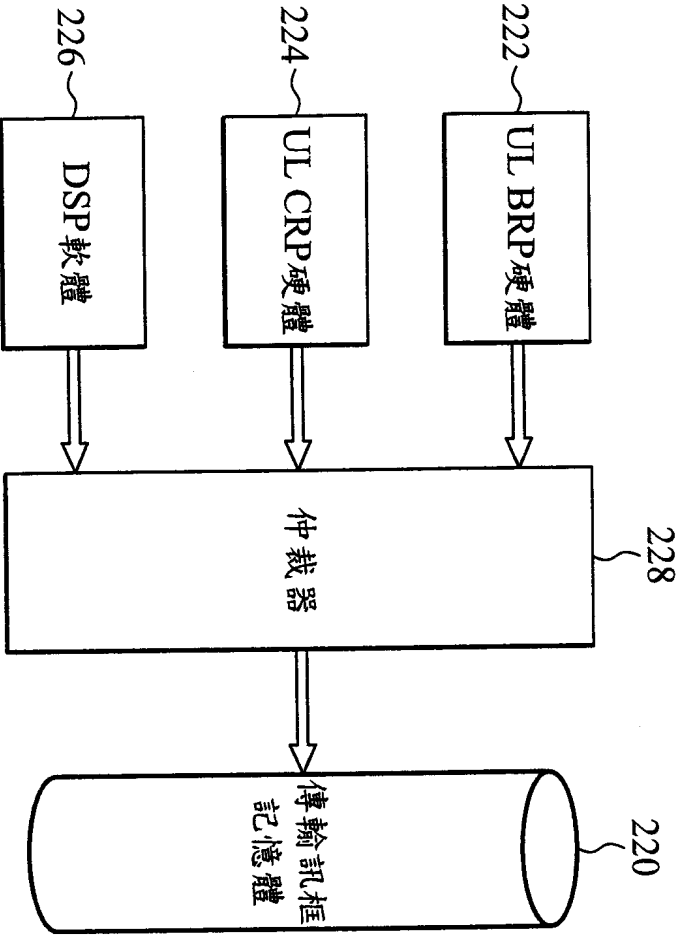
第 6 圖

表格 1

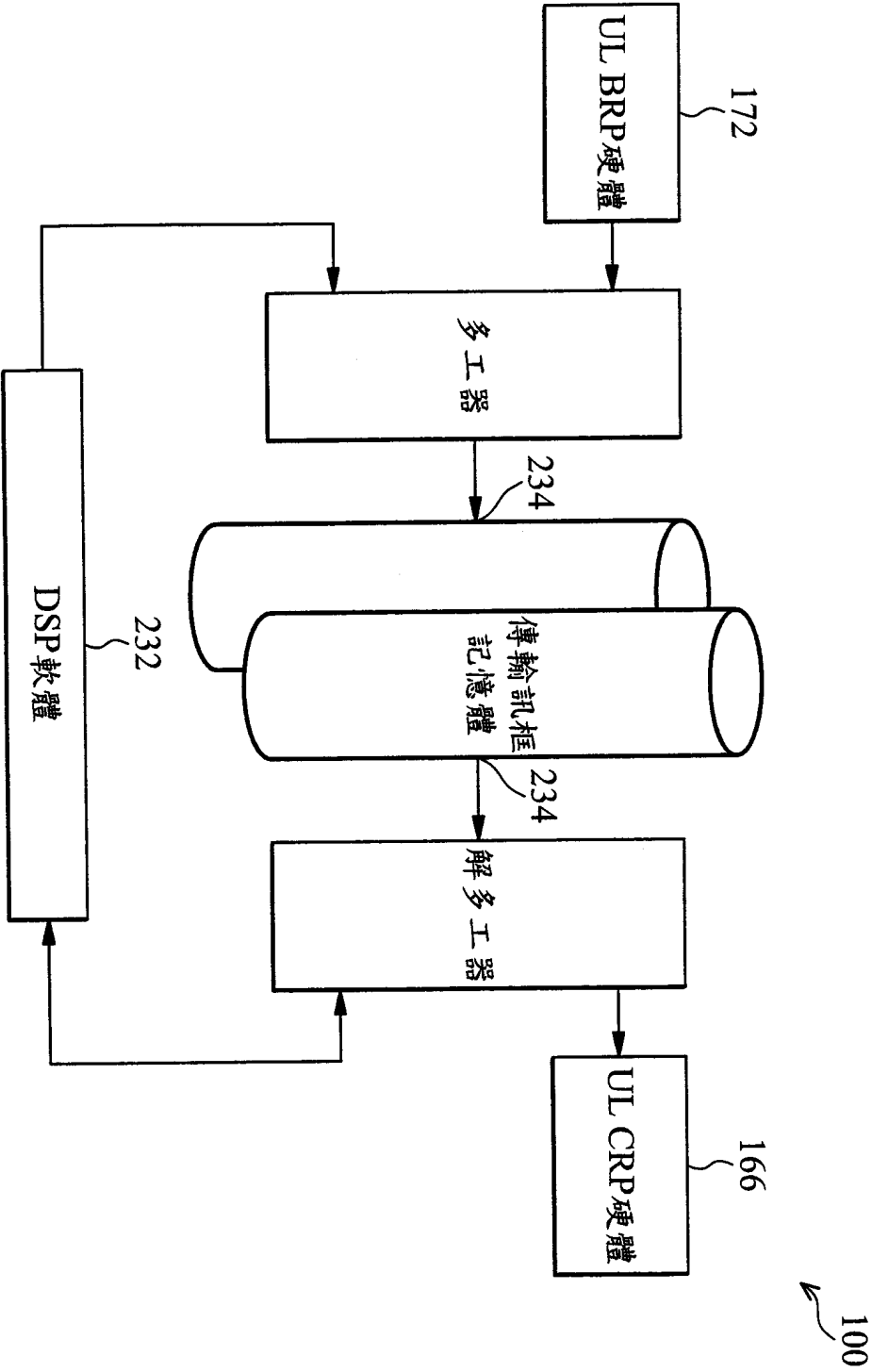
206

實體通道	TrCH		硬體/軟體劃分	註釋
專屬實體通道 (DPCH)	DCH	202 1) 資料符元	BRP 在硬體 CRP 在硬體	
		204 2) 控制符元 (TFICI、 TPC、SS)	BRP 在硬體 CRP 在硬體	
208	RACH	210 1) 隨機存取識別碼	軟體	隨機存取識別碼 (UpPTS) 由軟體來操控
實體隨機存取通道 (P-RACH)		212 2) 隨機存取通道 資料傳輸	BRP 在硬體 CRP 在硬體	
實體上鏈共享通道 (PUSCH)	USCH		不支援	
實體共通封包通道 (PCPCH)	CPCH		不支援	
上鏈指向通道 (UpPCH)			軟體	
HS-SICH			BRP 在硬體 CRP 在硬體	高速度共享資訊控制頻道 (Release 5：用作上鏈回授 信號發佈)

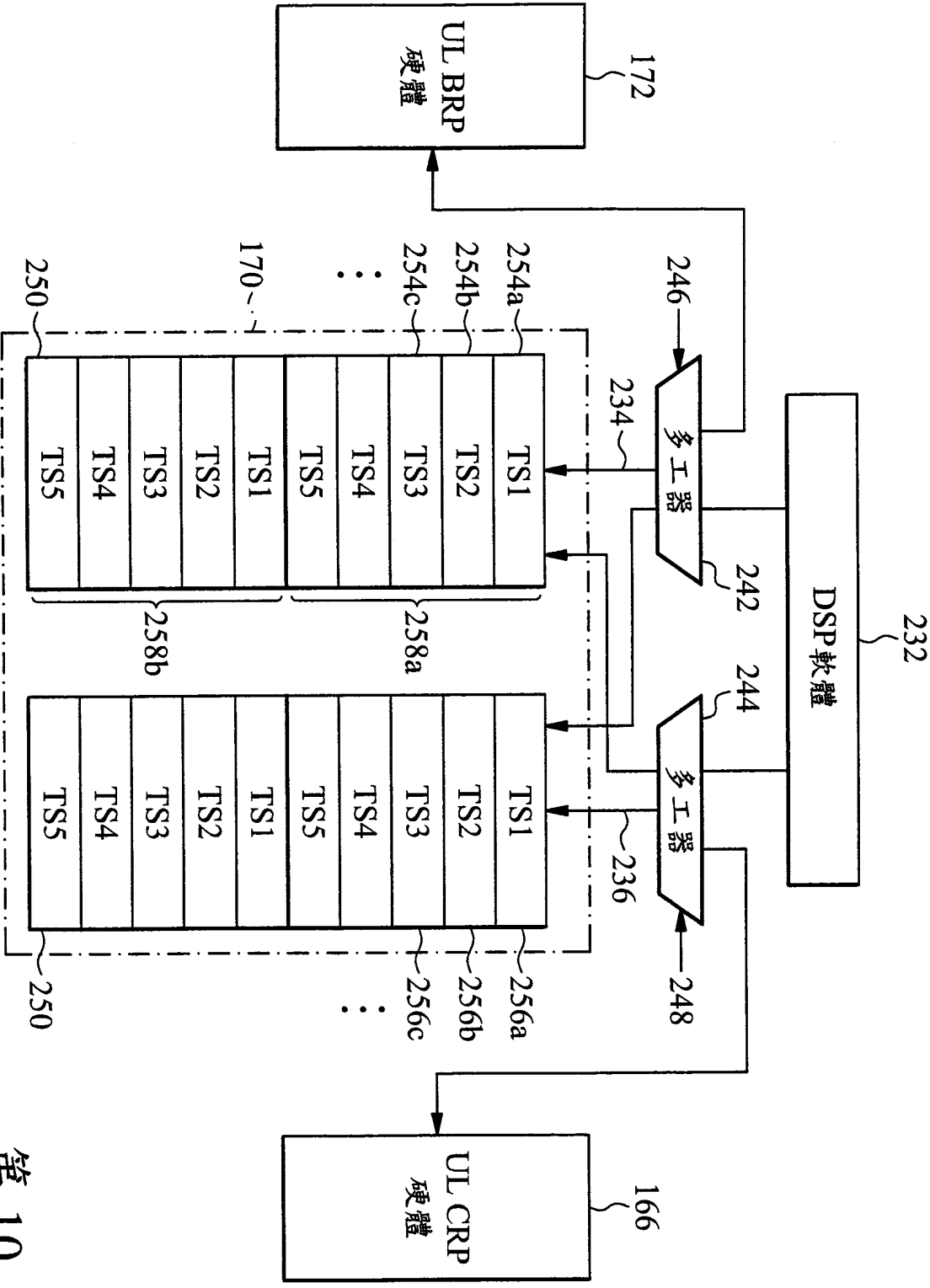
第 7 圖



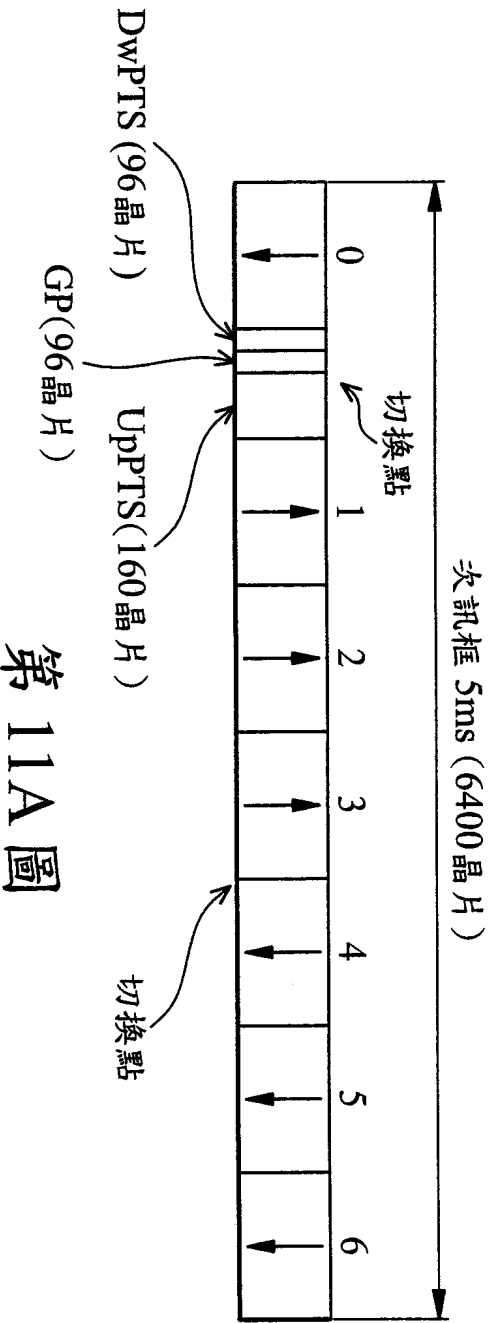
第 8 圖



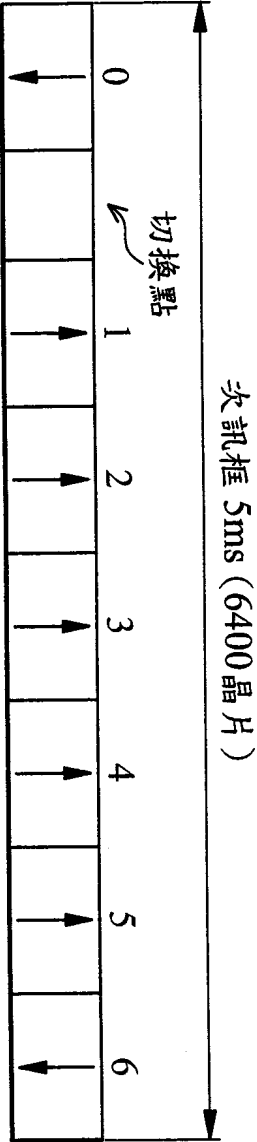
第 9 圖



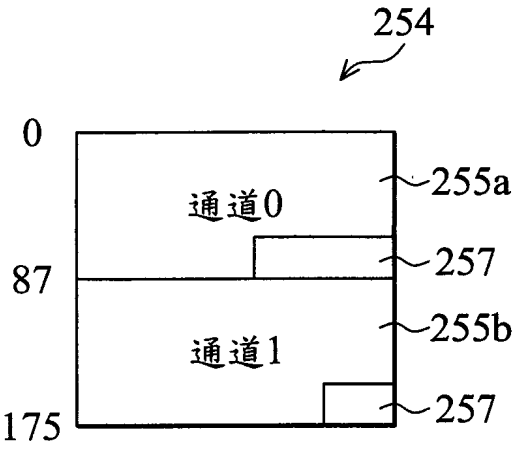
第 10 圖



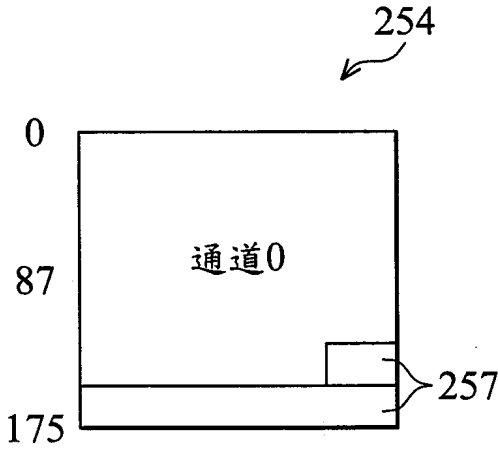
第 11A 圖



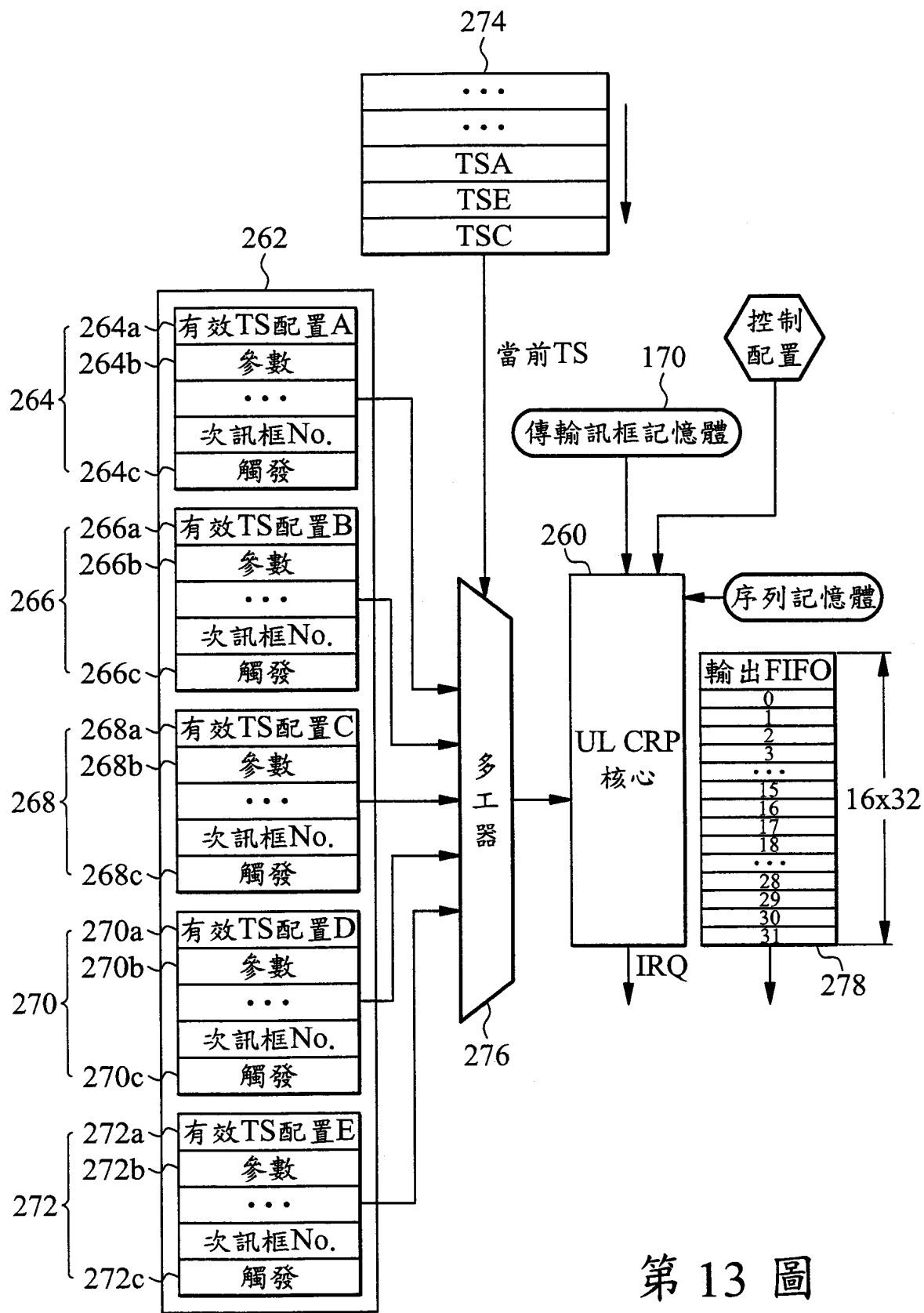
第 11B 圖



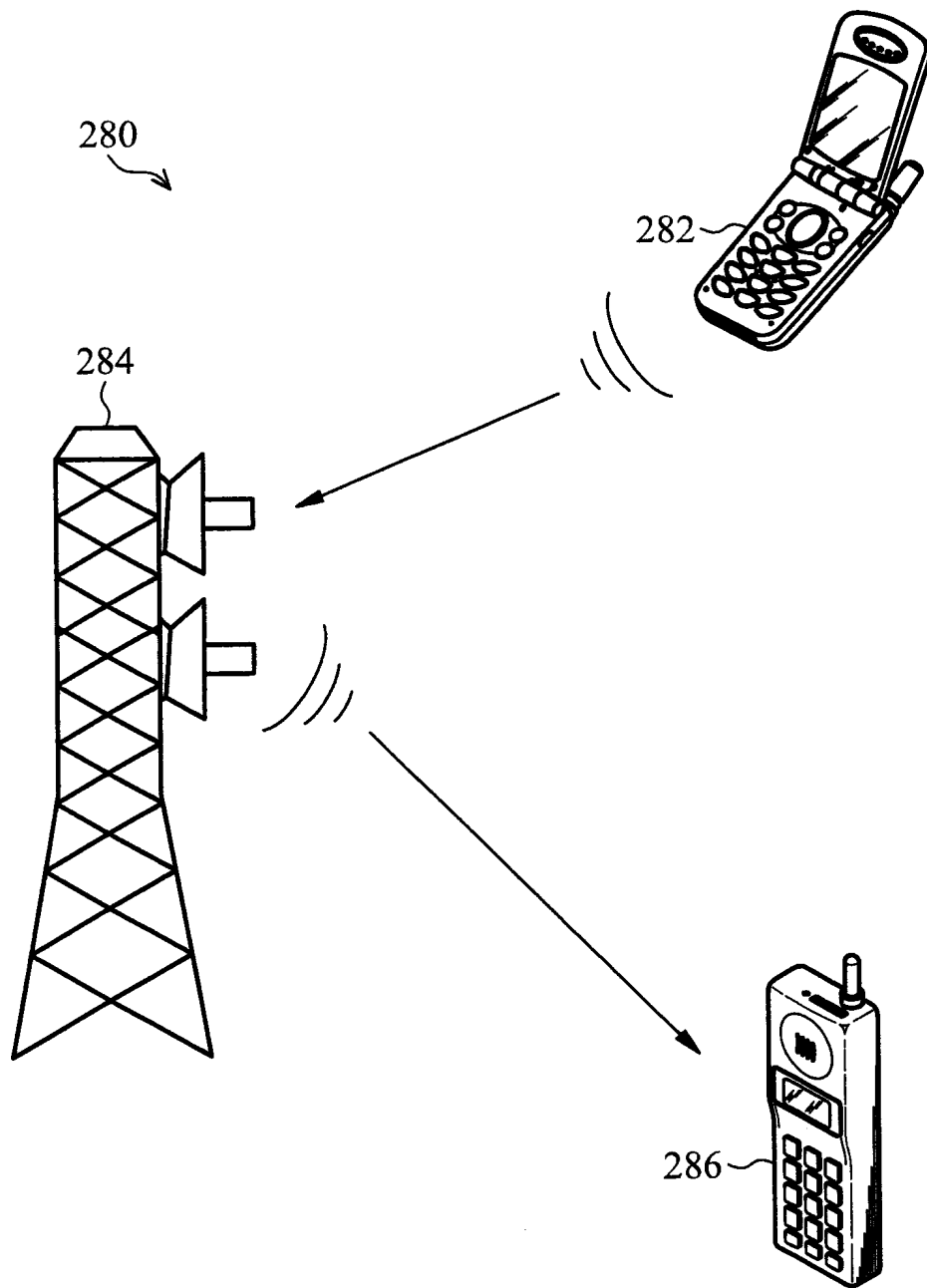
第 12A 圖



第 12B 圖



第 13 圖



第 14 圖

四、指定代表圖：

(一)本案指定代表圖為：第(13)圖。

(二)本代表圖之元件符號簡單說明：

170～傳輸訊框記憶體； 260～UL CRP 核心；

262～配置暫存器； 264～TS 配置組 A；

264a～有效 TS 配置 A 欄位；

264b～參數欄位； 264c～觸發欄位；

266～TS 配置組 B；

266a～有效 TS 配置 B 欄位；

266b～參數欄位； 266c～觸發欄位；

268～TS 配置組 C；

268a～有效 TS 配置 C 欄位；

268b～參數欄位； 268c～觸發欄位；

270～TS 配置組 D；

270a～有效 TS 配置 D 欄位；

270b～參數欄位； 270c～觸發欄位；

272～TS 配置組 E；

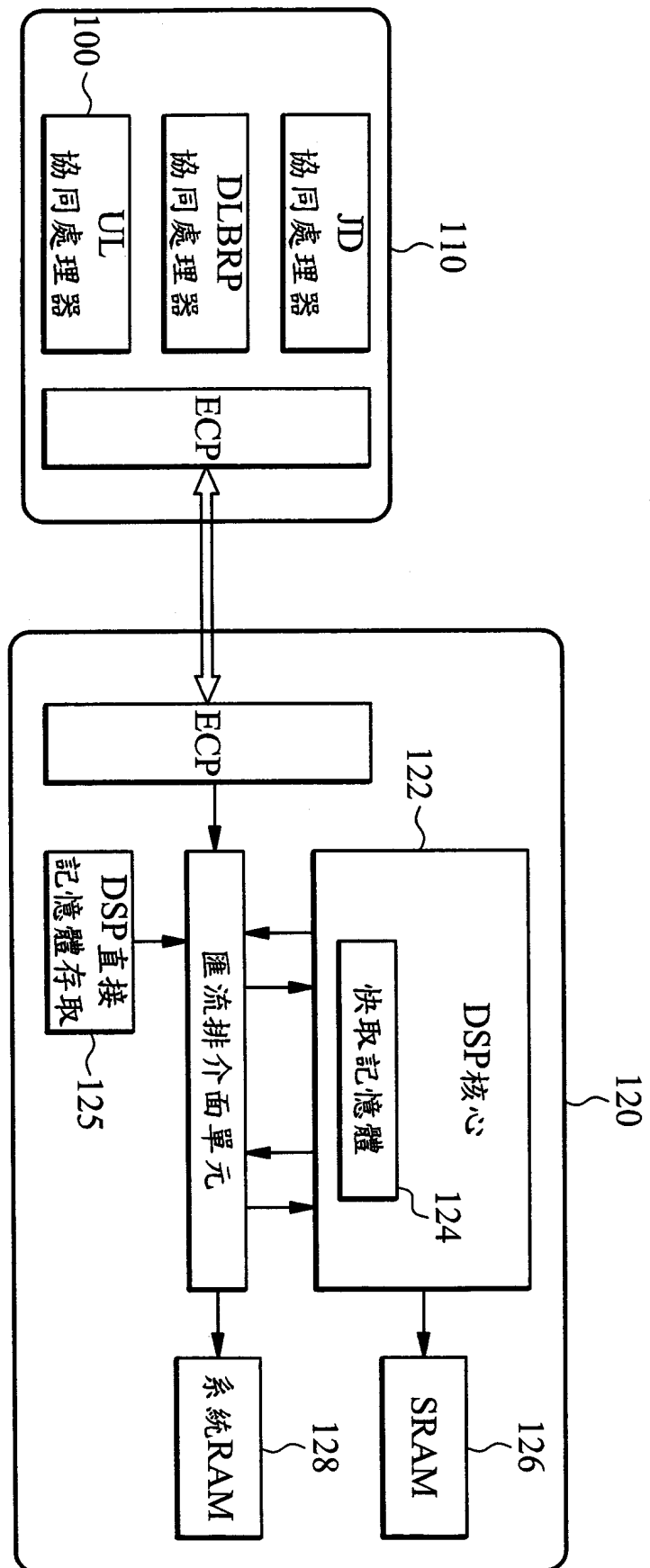
272a～有效 TS 配置 E 欄位；

272b～參數欄位； 272c～觸發欄位；

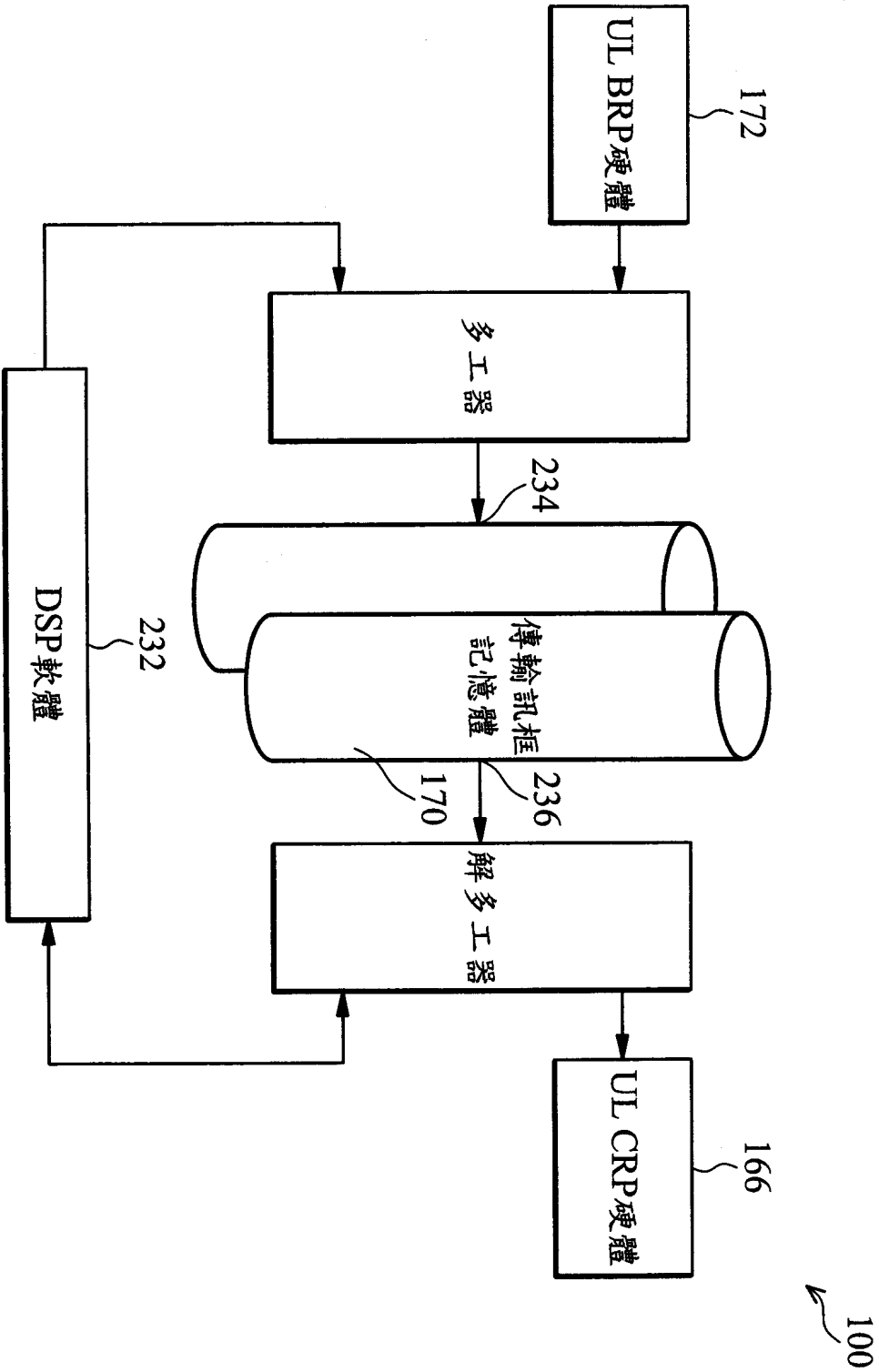
274～觸發 FIFO； 276～多工器；

278～內部記憶體。

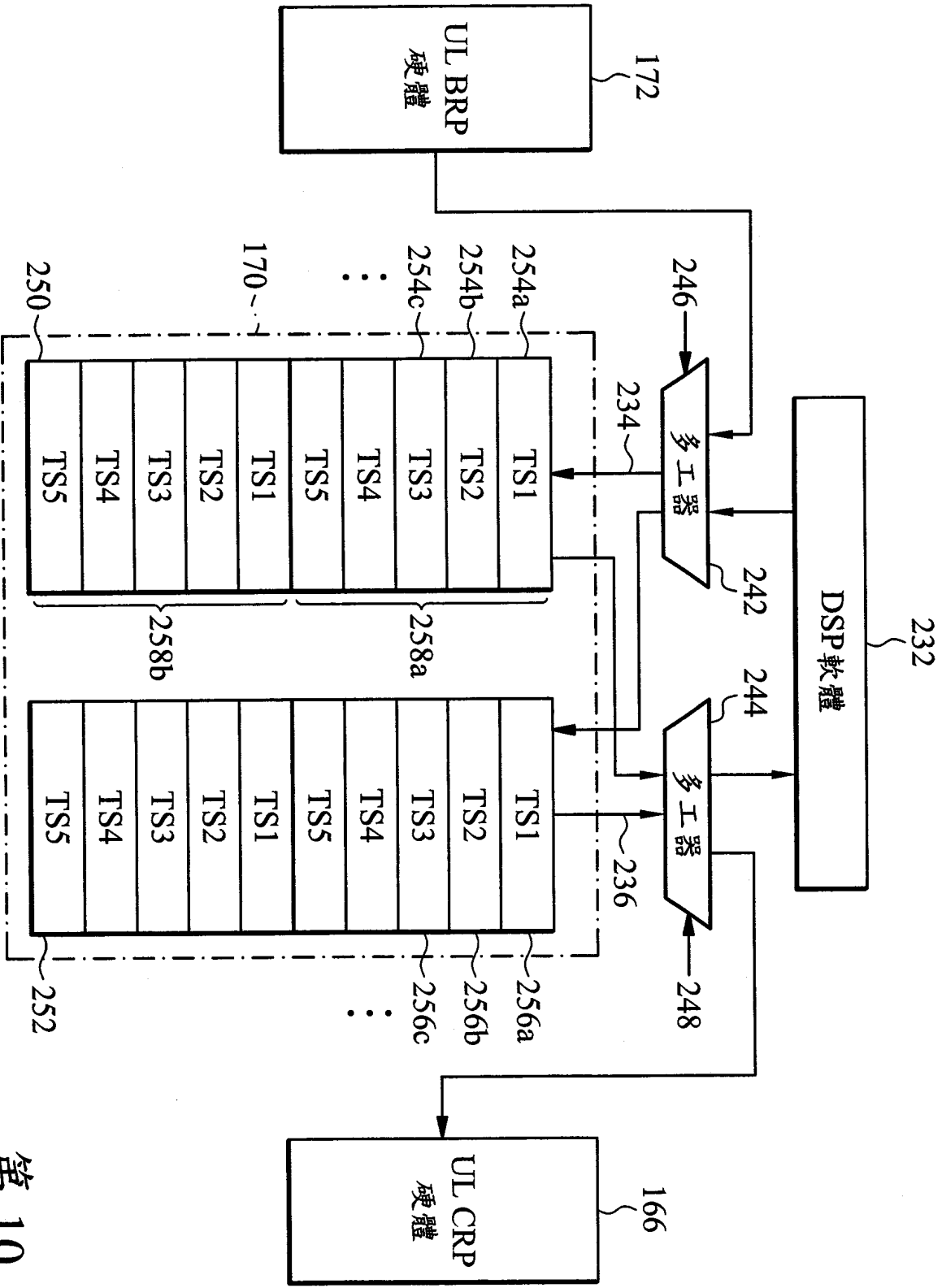
五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：



第 1 圖



第 9 圖



第 10 圖