



明 細 書

発明の名称：撮像装置、内視鏡、および内視鏡システム

技術分野

[0001] 本発明は、撮像装置、内視鏡、および内視鏡システムに関する。

背景技術

[0002] 従来、CMOS (Complementary Metal-Oxide Semiconductor) イメージセンサ等の撮像装置は、複数の画素の行毎に転送された撮像信号をサンプルホールド回路で保持する。さらに、撮像装置は、保持された撮像信号を1画素毎に水平出力信号線に順次出力する。撮像装置の外部に設けられたアナログ・フロント・エンド回路は、基準信号（電源電圧）と撮像信号との差分を演算することによって、撮像装置の固定パターンノイズが低減された撮像信号を生成することができる。

[0003] 特許文献1では、赤外線センサにおいて、pn接合に発生するジュール熱に起因するノイズ成分を低減する技術が開示されている。この技術では、撮像装置におけるCDS (correlated double sampling) と同様の原理により、有効信号を含む信号の電圧と、ノイズ成分を含む基準信号の電圧との差分が演算される。この技術では、撮像装置の固定パターンノイズを低減する技術と同様の方法により、ノイズ成分が低減される。

先行技術文献

特許文献

[0004] 特許文献1：日本国特開2006-121652号公報

発明の概要

発明が解決しようとする課題

[0005] 固定パターンノイズ等のノイズ成分を低減する従来技術では、後段の信号処理回路のダイナミックレンジを大きくする必要がある。このため、撮像装置からの基準信号と撮像信号との電圧差が所定の電圧以上である必要がある

。しかし、基準信号と撮像信号との電圧差の精度を確保する技術は開示されていない。特に、暗時における撮像信号と基準信号との電圧差は小さいため、上記の電圧差が信号処理の精度に大きく影響する。

[0006] 電圧差の精度を確保するためにオペアンプなどを使用することにより所定の電圧差を生成することが考えられる。オペアンプなどを用いた場合、トランジスタ、抵抗、および容量などの素子が10個以上必要である。このため、撮像装置のサイズが大きくなる。撮像装置が内視鏡などの用途で用いられる場合、製品のサイズが大きくなる、または撮像装置を製品に搭載できない可能性がある。

[0007] 本発明は、基準信号と撮像信号との差の演算精度を確保することができる撮像装置、内視鏡、および内視鏡システムを提供することを目的とする。

課題を解決するための手段

[0008] 本発明の第1の態様によれば、撮像装置は、複数の画素と、画素信号処理回路と、基準信号生成回路と、レベルシフト回路と、信号出力端子と、を有する。前記複数の画素は、画素信号を出力する。前記画素信号処理回路は、前記画素信号を処理し、かつ、前記画素信号に基づく撮像信号を出力する。前記基準信号生成回路は、基準信号を生成する。前記レベルシフト回路は、前記撮像信号の第1のレベルを、前記第1のレベルが前記基準信号の第2のレベルから離れる方向にシフトさせる。または、前記レベルシフト回路は、前記第2のレベルを、前記第2のレベルが前記第1のレベルから離れる方向にシフトさせる。前記信号出力端子は、前記基準信号生成回路によって生成された前記基準信号と、前記レベルシフト回路によって前記第1のレベルがシフトされた前記撮像信号とを撮像信号処理回路に出力する。または、前記信号出力端子は、前記レベルシフト回路によって前記第2のレベルがシフトされた前記基準信号と、前記画素信号処理回路から出力された前記撮像信号とを出力する。前記撮像信号処理回路は、前記信号出力端子から出力された前記基準信号と前記撮像信号との差を演算する。

[0009] 本発明の第2の態様によれば、第1の態様において、前記複数の画素に光

が入射しないときに前記信号出力端子から出力された前記基準信号と前記撮像信号とのレベルの大きさの関係と、前記複数の画素に光が入射したときに前記信号出力端子から出力された前記基準信号と前記撮像信号とのレベルの大きさの関係とは、同一であってもよい。

[0010] 本発明の第3の態様によれば、第1の態様において、前記複数の画素に光が入射しないときに前記信号出力端子から出力された前記基準信号と前記撮像信号とのレベルの差は、前記信号出力端子から出力されうる前記基準信号と前記撮像信号とのレベルの差の最大値に対して20%以内であってもよい。

[0011] 本発明の第4の態様によれば、第1の態様において、前記撮像装置は、前記画素信号処理回路を動作させる基準電圧を生成する基準電圧生成回路をさらに有してもよい。前記基準信号生成回路は、前記基準電圧から前記基準信号を生成してもよい。

[0012] 本発明の第5の態様によれば、内視鏡は、被検体に挿入される挿入部を有する。前記撮像装置が前記挿入部の先端に配置されてもよい。

[0013] 本発明の第6の態様によれば、内視鏡システムは、内視鏡と、前記撮像信号処理回路と、画像信号生成回路とを有する。前記画像信号生成回路は、前記撮像信号処理回路によって演算された前記差に基づく差信号を処理し、かつ、前記差信号に基づく画像信号を生成する。

発明の効果

[0014] 上記の各態様によれば、レベルシフト回路は、撮像信号の第1のレベルを、第1のレベルが基準信号の第2のレベルから離れる方向にシフトさせる。または、レベルシフト回路は、第2のレベルを、第2のレベルが第1のレベルから離れる方向にシフトさせる。このため、基準信号と撮像信号との差の演算精度を確保することができる。

図面の簡単な説明

[0015] [図1]本発明の実施形態の内視鏡システムの構成を示す模式図である。

[図2]本発明の実施形態の内視鏡システムの構成を示すブロック図である。

[図3]本発明の実施形態の内視鏡システムにおける第1のチップの構成を示すブロック図である。

[図4]本発明の実施形態の内視鏡システムにおける第1のチップの回路図である。

[図5]本発明の実施形態の内視鏡システムにおける基準電流源の回路図である。

[図6]本発明の実施形態の内視鏡システムにおける基準電流源の回路図である。

[図7]本発明の実施形態の内視鏡システムにおける撮像部の動作を示すタイミングチャートである。

[図8]本発明の実施形態の変形例の内視鏡システムにおける第1のチップの構成を示すブロック図である。

[図9]本発明の実施形態の変形例の内視鏡システムにおける第1のチップの回路図である。

発明を実施するための形態

[0016] 図面を参照し、本発明の実施形態を説明する。

[0017] 図1は、本発明の実施形態の内視鏡システム1の構成を示している。図1に示すように、内視鏡システム1は、内視鏡2と、伝送ケーブル3と、操作部4と、コネクタ部5と、プロセッサ6と、表示装置7とを有する。

[0018] 内視鏡2は、被検体に挿入される挿入部100を有する。挿入部100は、伝送ケーブル3の一部である。挿入部100は、被検体の内部に挿入される。内視鏡2は、被検体の内部の画像を撮像することにより撮像信号（画像データ）を生成する。内視鏡2は、生成された撮像信号をプロセッサ6に出力する。図2に示す撮像部20（撮像装置）が挿入部100の先端101に配置されている。挿入部100において、先端101と反対側の端部に、操作部4が接続される。操作部4は、内視鏡2に対する各種操作を受け付ける。

[0019] 伝送ケーブル3は、内視鏡2の撮像部20とコネクタ部5とを接続する。

撮像部 20 によって生成された撮像信号は、伝送ケーブル 3 を介してコネクタ部 5 に出力される。

[0020] コネクタ部 5 は、内視鏡 2 とプロセッサ 6 とに接続されている。コネクタ部 5 は、内視鏡 2 から出力された撮像信号に所定の信号処理を行う。さらに、コネクタ部 5 は、アナログの撮像信号をデジタル信号に A/D 変換する。コネクタ部 5 は、デジタル信号である画像信号をプロセッサ 6 に出力する。

[0021] プロセッサ 6 は、コネクタ部 5 から出力された画像信号に所定の画像処理を行う。さらに、プロセッサ 6 は、内視鏡システム 1 の全体を統括的に制御する。

[0022] 表示装置 7 は、プロセッサ 6 によって処理された画像信号に対応する画像を表示する。また、表示装置 7 は、内視鏡システム 1 に関する各種情報を表示する。

[0023] 内視鏡システム 1 は、被検体に照射される照明光を生成する光源装置を有する。図 1 では、光源装置は省略されている。

[0024] 図 2 は、内視鏡システム 1 の内部の構成を示している。図 2 に示すように、内視鏡システム 1 は、撮像部 20 と、伝送ケーブル 3 と、コネクタ部 5 と、プロセッサ 6 とを有する。

[0025] 撮像部 20 は、第 1 のチップ 21（撮像素子）と、第 2 のチップ 22 とを有する。第 1 のチップ 21 は、受光部 23 と、読み出し部 24 と、タイミング生成部 25 と、バッファ 26 とを有する。撮像部 20 は、撮像装置として機能する。

[0026] 受光部 23 は、複数の画素を有し、入射した光に基づく撮像信号を生成する。読み出し部 24 は、受光部 23 によって生成された撮像信号を読み出す。さらに、読み出し部 24 は、基準信号を生成する。タイミング生成部 25 は、コネクタ部 5 から出力された基準クロック信号と同期信号とに基づいてタイミング信号を生成する。タイミング生成部 25 によって生成されたタイミング信号は読み出し部 24 に出力される。読み出し部 24 は、タイミング信号に従って撮像信号を読み出す。バッファ 26 は、受光部 23 から読み出

された撮像信号と基準信号とを一時的に保持する。第1のチップ21のより詳細な構成については、図3を参照して後述する。

[0027] 第2のチップ22は、バッファ27を有する。バッファ27は、第1のチップ21から出力された撮像信号を、伝送ケーブル3を介して、コネクタ部5に出力する。第1のチップ21と第2のチップ22とに搭載される回路の組み合わせは、設定に応じて適宜変更可能である。

[0028] プロセッサ6によって生成された電源電圧と、グランド電圧とが伝送ケーブル3によって撮像部20に伝送される。撮像部20において、電源電圧を伝送する信号線と、グランド電圧を伝送する信号線との間には、電源安定用のコンデンサC100が配置されている。

[0029] コネクタ部5は、アナログ・フロント・エンド部51（以下、AFE部51という）と、前処理部52と、制御信号生成部53とを有する。コネクタ部5は、内視鏡2（撮像部20）とプロセッサ6とを電氣的に接続する。コネクタ部5と撮像部20とは、伝送ケーブル3により接続される。コネクタ部5とプロセッサ6とは、コイルケーブルにより接続される。

[0030] AFE部51（撮像信号処理回路）は、基準信号と撮像信号との差を演算する。さらに、AFE部51は、この差に基づく撮像信号にA/D変換を行う。AFE部51は、A/D変換によりデジタル信号に変換された撮像信号を前処理部52に出力する。

[0031] 前処理部52は、AFE部51から出力されたデジタルの撮像信号に対して、縦ライン除去およびノイズ除去等の所定の信号処理を行う。前処理部52は、信号処理が行われた撮像信号をプロセッサ6に出力する。

[0032] 内視鏡2の各部の動作の基準となる基準クロック信号がプロセッサ6から制御信号生成部53に供給される。例えば、基準クロック信号の周波数は、27MHzである。制御信号生成部53は、基準クロック信号に基づいて、各フレームのスタート位置を表す同期信号を生成する。制御信号生成部53は、基準クロック信号と同期信号とを、伝送ケーブル3を介して撮像部20のタイミング生成部25に出力する。制御信号生成部53によって生成され

る同期信号は、水平同期信号と垂直同期信号とを含む。

[0033] プロセッサ 6 は、内視鏡システム 1 の全体を統括的に制御する制御装置である。プロセッサ 6 は、電源部 6 1 と、画像信号処理部 6 2 と、クロック生成部 6 3 とを有する。

[0034] 電源部 6 1 は、電源電圧を生成する。電源部 6 1 は、電源電圧とグランド電圧とを、コネクタ部 5 と伝送ケーブル 3 とを介して撮像部 2 0 に出力する。

[0035] 画像信号処理部 6 2（画像信号生成回路）は、前処理部 5 2 によって処理されたデジタルの撮像信号に対して、所定の画像処理を行う。所定の画像処理は、同時化処理、ホワイトバランス（WB）調整処理、ゲイン調整処理、ガンマ補正処理、デジタルアナログ（D/A）変換処理、およびフォーマット変換処理等である。画像信号処理部 6 2 は、この画像処理により、撮像信号を画像信号に変換する。つまり、画像信号処理部 6 2 は、AFE 部 5 1 によって演算された差に基づく撮像信号（差信号）を処理し、かつ、撮像信号に基づく画像信号を生成する。画像信号処理部 6 2 は、生成された画像信号を表示装置 7 に出力する。

[0036] クロック生成部 6 3 は、内視鏡システム 1 の各部の動作の基準となる基準クロックを生成する。クロック生成部 6 3 は、生成された基準クロック信号を制御信号生成部 5 3 に出力する。

[0037] 表示装置 7 は、画像信号処理部 6 2 から出力された画像信号に基づいて、撮像部 2 0 が撮像した画像を表示する。表示装置 7 は、液晶または有機 EL（Electro Luminescence）等の表示パネルを有する。

[0038] 第 1 のチップ 2 1 の詳細な構成について説明する。図 3 は、第 1 のチップ 2 1 の構成を示している。図 4 は、第 1 のチップ 2 1 の回路構成を示している。図 3 と図 4 とに示すように、第 1 のチップ 2 1 は、受光部 2 3 と、読み出し部 2 4 と、タイミング生成部 2 5 と、バッファ 2 6 と、基準電流源 2 9 と、定電流源 2 9 0 とを有する。

[0039] 制御信号生成部 5 3 によって生成された基準クロック信号と同期信号とが

タイミング生成部 25 に入力される。タイミング生成部 25 は、基準クロック信号と同期信号とに基づいて、各種の制御信号を生成する。タイミング生成部 25 は、生成された制御信号を読み出し部 24 の垂直走査部 241 と、ノイズ除去部 243 と、水平走査部 245 と、基準信号生成部 248 のノイズ除去部 243a と、バッファ 26 のマルチプレクサ 263a とに出力する。

[0040] 受光部 23 は、撮像信号を出力する複数の画素 230 を有する。図 4 では、代表として 4 つの画素 230 が示されている。読み出し部 24 は、受光部 23 の複数の画素 230 のそれぞれから出力される撮像信号と、基準信号生成部 248 から出力される基準信号とを読み出す。撮像信号が読み出される期間と、基準信号が読み出される期間とは異なる。読み出し部 24 は、読み出された撮像信号と基準信号とをバッファ 26 に転送する。

[0041] 読み出し部 24 の詳細な構成について説明する。読み出し部 24 は、垂直走査部 241（行選択回路）と、電流源 242 と、ノイズ除去部 243（画素信号処理回路）と、列ソースフォロアバッファ 244 と、水平走査部 245 と、基準電圧生成部 246（基準電圧生成回路）と、基準信号生成部 248（基準信号生成回路）と、レベルシフト部 249（レベルシフト回路）とを有する。

[0042] 垂直走査部 241 は、タイミング生成部 25 から入力される制御信号に基づいて、制御信号 $\phi T1<M>$ （ $M=0, 1, 2, \dots, m-1, m$ ）と、制御信号 $\phi T2<M>$ と、制御信号 $\phi R<M>$ とを出力する。制御信号 $\phi T1<M>$ と、制御信号 $\phi T2<M>$ と、制御信号 $\phi R<M>$ とは、受光部 23 の複数の画素 230 のうち選択された行 $<M>$ の画素 230 に出力される。複数の画素 230 は、画素信号とノイズ信号とを垂直転送線 239 に出力する。画素信号は、画素 230 に入射した光に基づく成分を含む。ノイズ信号は、複数の画素 230 による信号のばらつきと、画素 230 がリセットされたときのノイズとを含む。垂直転送線 239 は、受光部 23 の複数の画素 230 の列方向に沿って配置されている。受光部 23 の複数の画素 230

の複数列のそれぞれに対応して垂直転送線 239 が配置されている。画素信号とノイズ信号とは、垂直転送線 239 によってノイズ除去部 243 に転送される。

[0043] ノイズ除去部 243 は、画素信号とノイズ信号との差分に対応する撮像信号を生成する。つまり、ノイズ除去部 243 は、複数の画素 230 による信号のばらつきと、画素 230 のリセット時のノイズとを画素信号から除去する。これによって、ノイズ除去部 243 は、複数の画素 230 に入射した光による成分に基づく撮像信号を出力する。ノイズ除去部 243 の詳細については、後述する。

[0044] 水平走査部 245 は、タイミング生成部 25 から供給される制御信号に基づいて、制御信号 $\phi HCLK<N>$ ($N=0, 1, 2, \dots, n-1, n$) を出力する。制御信号 $\phi HCLK<N>$ は、受光部 23 の複数の画素 230 のうち選択された列 $<N>$ に対応する読み出し回路に出力される。ノイズ除去部 243 によって処理された撮像信号は、読み出し回路を介して水平転送線 258 に転送される。水平転送線 258 は、受光部 23 の複数の画素 230 の行方向に沿って配置されている。撮像信号は、水平転送線 258 によってバッファ 26 に転送される。

[0045] 受光部 23 の詳細な構成について説明する。受光部 23 は、二次元のマトリクス状に配置された複数の画素 230 を有する。複数の画素 230 は、光電変換素子 231 (フォトダイオード) と、光電変換素子 232 と、電荷変換部 233 と、転送トランジスタ 234 と、転送トランジスタ 235 と、画素リセットトランジスタ 236 と、画素ソースフォロアトランジスタ 237 と、選択トランジスタ 238 とを有する。受光部 23 と、電流源 242 と、ノイズ除去部 243 と、列ソースフォロアバッファ 244 と、水平走査部 245 とは、撮像信号生成部 240 として機能する。撮像信号生成部 240 は、複数の光電変換素子 231 と複数の光電変換素子 232 とのそれぞれに蓄積された電荷を電圧に変換することにより画素信号を生成する。

[0046] 光電変換素子 231 と光電変換素子 232 とは、第 1 の端子と第 2 の端子

とを有する。光電変換素子 231 の第 1 の端子は、グランドに接続されている。光電変換素子 231 の第 2 の端子は、転送トランジスタ 234 の第 1 の端子に接続されている。光電変換素子 232 の第 1 の端子は、グランドに接続されている。光電変換素子 232 の第 2 の端子は、転送トランジスタ 235 の第 1 の端子に接続されている。光電変換素子 231 と光電変換素子 232 とは、外部から光を受光し、かつ、受光量に応じた電荷を蓄積する。

[0047] 電荷変換部 233 は、浮遊拡散容量（フローティングディフュージョン）で構成される。電荷変換部 233 は、光電変換素子 231 と光電変換素子 232 とに蓄積された電荷を電圧に変換する。

[0048] 転送トランジスタ 234 は、第 1 の端子と、第 2 の端子と、ゲートとを有する。転送トランジスタ 234 の第 1 の端子と第 2 の端子とは、ソースまたはドレインである。転送トランジスタ 234 の第 1 の端子は、光電変換素子 231 の第 2 の端子に接続されている。転送トランジスタ 234 の第 2 の端子は、電荷変換部 233 に接続されている。制御信号 $\phi T1$ が、垂直走査部 241 から転送トランジスタ 234 のゲートに供給される。転送トランジスタ 234 は、垂直走査部 241 から制御信号 $\phi T1$ が供給されることにより、オン状態となる。これによって、転送トランジスタ 234 は、光電変換素子 231 から電荷変換部 233 に電荷を転送する。

[0049] 転送トランジスタ 235 は、第 1 の端子と、第 2 の端子と、ゲートとを有する。転送トランジスタ 235 の第 1 の端子と第 2 の端子とは、ソースまたはドレインである。転送トランジスタ 235 の第 1 の端子は、光電変換素子 232 の第 2 の端子に接続されている。転送トランジスタ 235 の第 2 の端子は、電荷変換部 233 に接続されている。制御信号 $\phi T2$ が、垂直走査部 241 から転送トランジスタ 235 のゲートに供給される。転送トランジスタ 235 は、垂直走査部 241 から制御信号 $\phi T2$ が供給されることにより、オン状態となる。これによって、転送トランジスタ 235 は、光電変換素子 232 から電荷変換部 233 に電荷を転送する。このとき、画素信号が生成される。

- [0050] 画素リセットトランジスタ236は、第1の端子と、第2の端子と、ゲートとを有する。画素リセットトランジスタ236の第1の端子と第2の端子とは、ソースまたはドレインである。電源電圧VDDが、画素リセットトランジスタ236の第1の端子に入力される。画素リセットトランジスタ236の第2の端子は、電荷変換部233に接続されている。制御信号 ϕR が、垂直走査部241から画素リセットトランジスタ236のゲートに供給される。画素リセットトランジスタ236は、垂直走査部241から制御信号 ϕR が供給されることにより、オン状態となる。これによって、画素リセットトランジスタ236は、電荷変換部233の電位を所定電位にリセットする。このとき、画素230がリセットされ、かつ、ノイズ信号が生成される。
- [0051] 画素ソースフォロアトランジスタ237は、第1の端子と、第2の端子と、ゲートとを有する。画素ソースフォロアトランジスタ237の第1の端子と第2の端子とは、ソースまたはドレインである。電源電圧VDDが、画素ソースフォロアトランジスタ237の第1の端子に入力される。画素ソースフォロアトランジスタ237の第2の端子は、選択トランジスタ238の第1の端子に接続されている。電荷変換部233によって電圧に変換された信号（画素信号またはノイズ信号）が、画素ソースフォロアトランジスタ237のゲートに入力される。画素ソースフォロアトランジスタ237は、電荷変換部233によって電圧に変換された撮像信号とノイズ信号とを、選択トランジスタ238を介して垂直転送線239に出力する。
- [0052] 選択トランジスタ238は、第1の端子と、第2の端子と、ゲートとを有する。選択トランジスタ238の第1の端子と第2の端子とは、ソースまたはドレインである。選択トランジスタ238の第1の端子は、画素ソースフォロアトランジスタ237の第2の端子に接続されている。選択トランジスタ238の第2の端子は、垂直転送線239に接続されている。図示していない選択信号が、垂直走査部241から選択トランジスタ238のゲートに供給される。選択トランジスタ238は、垂直走査部241から選択信号が供給されることにより、オン状態となる。これによって、選択トランジスタ

238は、画素ソースフォロアトランジスタ237と垂直転送線239とを電氣的に接続する。

[0053] 上記のように、2つの光電変換素子と2つの転送トランジスタとが1つの画素230に含まれる。1つの光電変換素子と1つの転送トランジスタとが1つの画素230に含まれてもよい。あるいは、3つ以上の光電変換素子と3つ以上の転送トランジスタとが1つの画素230に含まれてもよい。

[0054] 電流源242は、トランジスタで構成される。電流源242は、第1の端子と、第2の端子と、ゲートとを有する。電流源242の第1の端子と第2の端子とは、ソースまたはドレインである。電流源242の第1の端子は、垂直転送線239に接続されている。電流源242の第2の端子は、グラウンドに接続されている。バイアス電圧 V_{bias1} が、電流源242のゲートに入力される。電流源242は、画素230を駆動し、かつ、画素230から出力された撮像信号とノイズ信号とを垂直転送線239に読み出す。垂直転送線239に読み出された撮像信号とノイズ信号とは、ノイズ除去部243に入力される。

[0055] ノイズ除去部243は、転送容量252と、クランプスイッチ253とを有する。転送容量252は、第1の端子と第2の端子とを有する。転送容量252の第1の端子は、垂直転送線239に接続されている。転送容量252の第2の端子は、列ソースフォロアバッファ244のゲートに接続されている。クランプスイッチ253は、トランジスタである。クランプスイッチ253は、第1の端子と、第2の端子と、ゲートとを有する。クランプ電圧 V_{clp} が、基準電圧生成部246からクランプスイッチ253の第1の端子に供給される。クランプスイッチ253の第2の端子は、転送容量252の第2の端子と列ソースフォロアバッファ244のゲートとに接続されている。制御信号 ϕ_{VCL} がタイミング生成部25からクランプスイッチ253のゲートに入力される。

[0056] タイミング生成部25から制御信号 ϕ_{VCL} がクランプスイッチ253のゲートに入力されることにより、クランプスイッチ253はオン状態となる

。このとき、転送容量 252 は、基準電圧生成部 246 から供給されるクランプ電圧 V_{clp} によりリセットされる。ノイズ除去部 243 は、画素信号とノイズ信号との差分に対応する撮像信号を生成する。つまり、ノイズ成分が除去された撮像信号を生成する。ノイズ除去部 243 によってノイズ成分が除去された撮像信号は、列ソースフォロアバッファ 244 のゲートに入力される。上記の構成により、ノイズ除去部 243 は、画素信号を処理し、かつ、画素信号に基づく撮像信号を出力する。ノイズ除去部 243 は、画素信号処理回路として機能する。

[0057] ノイズ除去部 243 は、サンプリング用のコンデンサ（サンプリング容量）を必要としない。このため、転送容量 252 が列ソースフォロアバッファ 244 の入力容量に対する十分な容量であればよい。さらに、サンプリング容量がないため、第 1 のチップ 21 におけるノイズ除去部 243 の占有面積は小さい。

[0058] 列ソースフォロアバッファ 244 は、トランジスタである。列ソースフォロアバッファ 244 は、第 1 の端子と、第 2 の端子と、ゲートとを有する。列ソースフォロアバッファ 244 の第 1 の端子と第 2 の端子とは、ソースまたはドレインである。電源電圧 V_{DD} が列ソースフォロアバッファ 244 の第 1 の端子に入力される。列ソースフォロアバッファ 244 の第 2 の端子は、列選択スイッチ 254 の第 1 の端子に接続されている。ノイズ除去部 243 を介して撮像信号が列ソースフォロアバッファ 244 のゲートに入力される。

[0059] 列選択スイッチ 254 は、トランジスタである。列選択スイッチ 254 は、第 1 の端子と、第 2 の端子と、ゲートとを有する。列選択スイッチ 254 の第 1 の端子と第 2 の端子とは、ソースまたはドレインである。列選択スイッチ 254 の第 1 の端子は、列ソースフォロアバッファ 244 の第 2 の端子に接続されている。列選択スイッチ 254 の第 2 の端子は、水平転送線 258 に接続されている。制御信号 $\phi_{HCLK<N>}$ が水平走査部 245 から列選択スイッチ 254 のゲートに供給される。列選択スイッチ 254 は、水平

走査部 245 から制御信号 $\phi HCLK<N>$ が供給されることにより、オン状態となる。これによって、列選択スイッチ 254 は、受光部 23 の複数の画素 230 のうち選択された列 $<N>$ の垂直転送線 239 の撮像信号を水平転送線 258 に出力する。

[0060] レベルシフト部 249 は、抵抗である。レベルシフト部 249 は、第 1 の端子と第 2 の端子とを有する。レベルシフト部 249 の第 1 の端子は、水平転送線 258 に接続されている。レベルシフト部 249 の第 2 の端子は、水平リセットトランジスタ 256 の第 2 の端子と定電流源 257 の第 1 の端子とに接続されている。レベルシフト部 249 は、水平転送線 258 に出力された撮像信号の第 1 のレベルを、第 1 のレベルが基準信号 V_{ref} の第 2 のレベルから離れる方向にシフトさせる。レベルシフト部 249 の第 1 の端子の電圧は、レベルシフト部 249 の第 2 の端子の電圧よりも高い。したがって、レベルシフト部 249 は、水平転送線 258 に出力された撮像信号の第 1 のレベルを、よりレベルが低い方向にシフトさせる。レベルシフト部 249 は、レベルシフト回路として機能する。レベルシフト部 249 は、撮像信号の転送経路において、ノイズ除去部 243 とバッファ 26 との間に配置されている。

[0061] 水平リセットトランジスタ 256 は、第 1 の端子と、第 2 の端子と、ゲートとを有する。水平リセットトランジスタ 256 の第 1 の端子と第 2 の端子とは、ソースまたはドレインである。水平リセット電圧 V_{clr} が水平リセットトランジスタ 256 の第 1 の端子に入力される。水平リセットトランジスタ 256 の第 2 の端子は、レベルシフト部 249 の第 2 の端子に接続されている。制御信号 $\phi HCLR$ がタイミング生成部 25 から水平リセットトランジスタ 256 のゲートに入力される。水平リセットトランジスタ 256 は、タイミング生成部 25 から制御信号 $\phi HCLR$ が入力されることにより、オン状態となる。これによって、水平リセットトランジスタ 256 は、水平転送線 258 をリセットする。

[0062] 定電流源 257 は、定電流源 290 を構成する。定電流源 257 は、トラ

ンジスタである。定電流源 257 は、第 1 の端子と、第 2 の端子と、ゲートとを有する。定電流源 257 の第 1 の端子と第 2 の端子とは、ソースまたはドレインである。定電流源 257 の第 1 の端子は、レベルシフト部 249 の第 2 の端子に接続されている。定電流源 257 の第 2 の端子は、グラウンドに接続されている。バイアス電圧 V_{bias2} が、定電流源 257 のゲートに入力される。定電流源 257 は、列ソースフォロアバッファ 244 を駆動し、かつ、撮像信号を垂直転送線 239 から水平転送線 258 に読み出す。水平転送線 258 に読み出された撮像信号は、レベルシフト部 249 を介してバッファ 26 に入力され、かつ保持される。

[0063] 基準電圧生成部 246 の詳細な構成について説明する。基準電圧生成部 246 は、抵抗 291 と、抵抗 292 と、スイッチ 293 と、サンプル容量 294 と、オペアンプ 295 と、オペアンプ 296 とを有する。

[0064] 抵抗 291 と抵抗 292 とは、第 1 の端子と第 2 の端子とを有する。電源電圧 V_{DD} が抵抗 291 の第 1 の端子に入力される。抵抗 291 の第 2 の端子は、抵抗 292 の第 1 の端子とスイッチ 293 の第 1 の端子とに接続されている。抵抗 292 の第 1 の端子は、抵抗 291 の第 2 の端子とスイッチ 293 の第 1 の端子とに接続されている。抵抗 292 の第 2 の端子は、グラウンドに接続されている。抵抗 291 と抵抗 292 とは、抵抗分圧回路を構成する。

[0065] スイッチ 293 は、トランジスタである。スイッチ 293 は、第 1 の端子と、第 2 の端子と、ゲートとを有する。スイッチ 293 の第 1 の端子と第 2 の端子とは、ソースまたはドレインである。スイッチ 293 の第 1 の端子は、抵抗 291 の第 2 の端子と抵抗 292 の第 1 の端子とに接続されている。スイッチ 293 の第 2 の端子は、サンプル容量 294 の第 1 の端子に接続されている。制御信号 ϕ_{VSH} がタイミング生成部 25 からスイッチ 293 のゲートに供給される。スイッチ 293 は、タイミング生成部 25 から制御信号 ϕ_{VSH} が入力されることにより、オン状態となる。これによって、スイッチ 293 は、抵抗 291 と抵抗 292 との抵抗値に応じた電圧をサンプル

容量 294 に出力する。

[0066] サンプル容量 294 は、第 1 の端子と第 2 の端子とを有する。サンプル容量 294 の第 1 の端子は、スイッチ 293 の第 2 の端子と、オペアンプ 295 の第 1 の端子と、オペアンプ 296 の第 1 の端子とに接続されている。サンプル容量 294 の第 2 の端子は、グラウンドに接続されている。サンプル容量 294 は、抵抗 291 と抵抗 292 との抵抗値に応じた電圧を保持する。

[0067] オペアンプ 295 とオペアンプ 296 とは、第 1 の端子と第 2 の端子とを有する。オペアンプ 295 とオペアンプ 296 との第 1 の端子は、サンプル容量 294 の第 1 の端子とスイッチ 293 の第 2 の端子とに接続されている。オペアンプ 295 の第 2 の端子は、画素ソースフォロアトランジスタ 237b のゲートに接続されている。オペアンプ 295 は、サンプル容量 294 に保持されている電圧に応じた電圧 V_{fd_H} を画素ソースフォロアトランジスタ 237b に出力する。オペアンプ 296 は、サンプル容量 294 に保持されている電圧に応じたクランプ電圧 V_{cl_p} を第 2 の端子から出力する。

[0068] 上記の構成により、基準電圧生成部 246 は、制御信号 ϕ_{VSH} に応じたタイミングで、電源電圧 V_{DD} からクランプ電圧 V_{cl_p} と電圧 V_{fd_H} とを生成する。つまり、基準電圧生成部 246 は、ノイズ除去部 243 を動作させるクランプ電圧 V_{cl_p} (基準電圧) を生成する。また、基準電圧生成部 246 は、基準信号生成部 248 を動作させる電圧 V_{fd_H} を生成する。基準電圧生成部 246 は、基準電圧生成回路として機能する。

[0069] 基準信号生成部 248 の詳細な構成について説明する。基準信号生成部 248 は、画素ソースフォロアトランジスタ 237b と、電流源 242a と、ノイズ除去部 243a と、列ソースフォロアバッファ 244a と、列選択スイッチ 254a とを有する。

[0070] 画素ソースフォロアトランジスタ 237b は、上述した画素ソースフォロアトランジスタ 237 と同様の構成を有する。画素ソースフォロアトランジスタ 237b は、第 1 の端子と、第 2 の端子と、ゲートとを有する。画素ソ

ースフォロアトランジスタ237bの第1の端子と第2の端子とは、ソースまたはドレインである。電源電圧VDDが、画素ソースフォロアトランジスタ237bの第1の端子に入力される。画素ソースフォロアトランジスタ237bの第2の端子は、垂直転送線239aに接続されている。電圧Vfd_Hが、基準電圧生成部246から画素ソースフォロアトランジスタ237bのゲートに入力される。画素ソースフォロアトランジスタ237bは、電圧Vfd_Hに応じた基準信号を垂直転送線239aに出力する。

[0071] 電流源242aは、上述した電流源242と同様の構成を有する。電流源242aは、トランジスタで構成される。電流源242aは、第1の端子と、第2の端子と、ゲートとを有する。電流源242aの第1の端子と第2の端子とは、ソースまたはドレインである。電流源242aの第1の端子は、垂直転送線239aに接続されている。電流源242aの第2の端子は、グランドに接続されている。バイアス電圧Vbias1が、電流源242aのゲートに入力される。電流源242aは、画素ソースフォロアトランジスタ237bを駆動し、かつ、画素ソースフォロアトランジスタ237bから出力された基準信号を垂直転送線239aに読み出す。垂直転送線239aに読み出された基準信号は、ノイズ除去部243aに入力される。ノイズ除去部243aに入力される基準信号には、ノイズ成分が含まれる。

[0072] ノイズ除去部243aは、上述したノイズ除去部243と同様の構成を有する。ノイズ除去部243aは、転送容量252aと、クランプスイッチ253aとを有する。転送容量252aは、第1の端子と第2の端子とを有する。転送容量252aの第1の端子は、垂直転送線239aに接続されている。転送容量252aの第2の端子は、列ソースフォロアバッファ244aのゲートに接続されている。クランプスイッチ253aは、トランジスタである。クランプスイッチ253aは、第1の端子と、第2の端子と、ゲートとを有する。クランプ電圧Vclpが、基準電圧生成部246からクランプスイッチ253aの第1の端子に供給される。クランプスイッチ253aの第2の端子は、転送容量252aの第2の端子と列ソースフォロアバッファ

244aのゲートとに接続されている。制御信号 ϕVCL がタイミング生成部25からクランプスイッチ253aのゲートに入力される。

[0073] タイミング生成部25から制御信号 ϕVCL がクランプスイッチ253aのゲートに入力されることにより、クランプスイッチ253aはオン状態となる。このとき、転送容量252aは、基準電圧生成部246から供給されるクランプ電圧 V_{clp} によりリセットされる。ノイズ除去部243aは、ノイズ成分が除去された基準信号を生成する。ノイズ除去部243aによってノイズ成分が除去された基準信号は、列ソースフォロアバッファ244aのゲートに入力される。上記の構成により、ノイズ除去部243aは、基準信号を処理し、かつ、基準信号に基づくアナログ信号を出力する。ノイズ除去部243aは、基準信号処理回路として機能する。

[0074] 列ソースフォロアバッファ244aは、上述した列ソースフォロアバッファ244と同様の構成を有する。列ソースフォロアバッファ244aは、トランジスタである。列ソースフォロアバッファ244aは、第1の端子と、第2の端子と、ゲートとを有する。列ソースフォロアバッファ244aの第1の端子と第2の端子とは、ソースまたはドレインである。電源電圧 VDD が列ソースフォロアバッファ244aの第1の端子に入力される。列ソースフォロアバッファ244aの第2の端子は、列選択スイッチ254aの第1の端子に接続されている。ノイズ除去部243aを介して基準信号が列ソースフォロアバッファ244aのゲートに入力される。

[0075] 列選択スイッチ254aは、上述した列選択スイッチ254と同様の構成を有する。列選択スイッチ254aは、トランジスタである。列選択スイッチ254aは、第1の端子と、第2の端子と、ゲートとを有する。列選択スイッチ254aの第1の端子と第2の端子とは、ソースまたはドレインである。列選択スイッチ254aの第1の端子は、列ソースフォロアバッファ244aの第2の端子に接続されている。列選択スイッチ254aの第2の端子は、水平転送線258aに接続されている。制御信号 $\phi HCLK<N>$ が水平走査部245から列選択スイッチ254aのゲートに供給される。列選

択スイッチ254aは、水平走査部245から制御信号 $\phi_{HCLK<N>}$ が供給されることにより、オン状態となる。これによって、列選択スイッチ254aは、垂直転送線239aの基準信号を水平転送線258aに出力する。水平転送線258aに出力された基準信号Vrefは、バッファ26に転送される。

[0076] 基準信号生成部248は、撮像信号生成部240に含まれる複数の回路のうち、少なくとも1つと等価な構造を有する。具体的には、基準信号生成部248は、画素ソースフォロアトランジスタ237、電流源242、ノイズ除去部243、列ソースフォロアバッファ244、および列選択スイッチ254と等価な構造を有する。つまり、基準信号生成部248は、上記の回路に対応する画素ソースフォロアトランジスタ237b、電流源242a、ノイズ除去部243a、列ソースフォロアバッファ244a、および列選択スイッチ254aを有する。

[0077] 上記の構成により、基準信号生成部248は、基準信号Vrefを生成する。共通の電源電圧VDDが画素ソースフォロアトランジスタ237と、列ソースフォロアバッファ244と、画素ソースフォロアトランジスタ237bと、列ソースフォロアバッファ244aとに供給される。共通のバイアス電圧Vbias1が電流源242と電流源242aとに供給される。共通のクランプ電圧Vclpがノイズ除去部243とノイズ除去部243aとに供給される。このため、基準信号Vrefは、撮像信号生成部240によって生成される撮像信号に存在する電源電圧の揺らぎ成分と同じ位相の揺らぎ成分を有する。

[0078] 基準信号Vrefのレベルは、光が画素230に入射しないときに撮像信号生成部240によって生成される撮像信号のレベルとほぼ同一である。つまり、基準信号Vrefのレベルは、暗時の撮像信号のレベルとほぼ同一である。基準信号Vrefのレベルが暗時の撮像信号のレベルとほぼ同一となるように、抵抗291と抵抗292との抵抗値が設定されている。このため、基準信号Vrefのレベルは、ほぼ一定である。画素ソースフォロアトラ

ンジスタ 237b のゲートの電圧は、暗時の画素ソースフォロアトランジスタ 237 のゲートの電圧に近い。画素ソースフォロアトランジスタ 237b のゲートの電圧と暗時の画素ソースフォロアトランジスタ 237 のゲートの電圧とが同一である必要はない。

[0079] 定電流源 257a は、定電流源 290 を構成する。定電流源 257a は、上述した定電流源 257 と同様の構成を有する。定電流源 257a は、トランジスタである。定電流源 257a は、第 1 の端子と、第 2 の端子と、ゲートとを有する。定電流源 257a の第 1 の端子と第 2 の端子とは、ソースまたはドレインである。定電流源 257a の第 1 の端子は、水平転送線 258a に接続されている。定電流源 257a の第 2 の端子は、グラウンドに接続されている。バイアス電圧 V_{bias2} が、定電流源 257a のゲートに入力される。定電流源 257a は、列ソースフォロアバッファ 244a を駆動し、かつ、基準信号 V_{ref} を垂直転送線 239a から水平転送線 258a に読み出す。水平転送線 258a に読み出された基準信号 V_{ref} は、バッファ 26 に入力され、かつ保持される。

[0080] バッファ 26 は、水平転送線 258 から入力される撮像信号と、水平転送線 258a から入力される基準信号 V_{ref} とをそれぞれ個別に保持する。バッファ 26 は、基準信号生成部 248 によって生成された基準信号 V_{ref} と、レベルシフト部 249 によって第 1 のレベルがシフトされた撮像信号とを AFE 部 51 に出力する信号出力端子 310 を有する。バッファ 26 は、タイミング生成部 25 からの制御信号 ϕ_{MUXSEL} に基づいて、基準信号 V_{ref} と撮像信号とを切り替える。バッファ 26 から出力された基準信号 V_{ref} と撮像信号とは、第 2 のチップ 22 のバッファ 27 を介して、AFE 部 51 に出力される。

[0081] バッファ 26 の詳細な構成について説明する。バッファ 26 は、サンプルホールド部 261 と、マルチプレクサ 263a と、出力バッファ 31 とを有する。サンプルホールド部 261 は、サンプルホールドスイッチ 261e と、サンプル容量 261f と、オペアンプ 261g と、抵抗 $R1$ と、抵抗 $R2$

とを有する。

[0082] サンプルホールドスイッチ 261e は、トランジスタである。サンプルホールドスイッチ 261e は、第 1 の端子と、第 2 の端子と、ゲートとを有する。サンプルホールドスイッチ 261e の第 1 の端子と第 2 の端子とは、ソースまたはドレインである。サンプルホールドスイッチ 261e の第 1 の端子は、レベルシフト部 249 の第 2 の端子に接続されている。サンプルホールドスイッチ 261e の第 2 の端子は、サンプル容量 261f の第 1 の端子とオペアンプ 261g の非反転入力端子とに接続されている。制御信号 ϕ_{HS} がタイミング生成部 25 からサンプルホールドスイッチ 261e のゲートに供給される。

[0083] サンプル容量 261f は、第 1 の端子と第 2 の端子とを有する。サンプル容量 261f の第 1 の端子は、サンプルホールドスイッチ 261e の第 2 の端子とオペアンプ 261g の非反転入力端子とに接続されている。サンプル容量 261f の第 2 の端子は、グラウンドに接続されている。サンプル容量 261f は、撮像信号の電圧を保持する。

[0084] オペアンプ 261g は、非反転入力端子 (+) と、反転入力端子 (-) と、出力端子とを有する。オペアンプ 261g の非反転入力端子は、サンプルホールドスイッチ 261e の第 2 の端子とサンプル容量 261f の第 1 の端子とに接続されている。オペアンプ 261g の反転入力端子は、抵抗 R1 の第 1 の端子と抵抗 R2 の第 2 の端子とに接続されている。オペアンプ 261g の出力端子は、マルチプレクサ 263a と抵抗 R1 の第 2 の端子とに接続されている。オペアンプ 261g の出力端子から出力された撮像信号は、マルチプレクサ 263a に入力される。また、オペアンプ 261g の出力端子から出力された撮像信号は、抵抗 R1 を介してオペアンプ 261g の反転入力端子に入力される。さらに、基準信号生成部 248 からの基準信号 V_{ref} が、抵抗 R2 を介してオペアンプ 261g の反転入力端子に入力される。

[0085] 抵抗 R1 と抵抗 R2 とは、第 1 の端子と第 2 の端子とを有する。抵抗 R1 の第 1 の端子は、オペアンプ 261g の反転入力端子と抵抗 R2 の第 2 の端

子とに接続されている。抵抗 R_1 の第2の端子は、オペアンプ261gの出力端子に接続されている。抵抗 R_2 の第1の端子は、水平転送線258aに接続されている。抵抗 R_2 の第2の端子は、オペアンプ261gの反転入力端子と抵抗 R_1 の第1の端子とに接続されている。

[0086] 上記の構成により、サンプルホールド部261は、サンプルホールドスイッチ261eがオン状態になったとき、撮像信号の電圧をサンプル容量261fに保持する。サンプルホールド部261は、サンプルホールドスイッチ261eがオフ状態であるとき、サンプル容量261fに保持された電圧をオペアンプ261gに出力する。

[0087] マルチプレクサ263aは、タイミング生成部25から入力される制御信号 ϕ_{MUXSEL} に基づいて、オペアンプ261gから出力された撮像信号と、基準信号生成部248から出力された基準信号 V_{ref} とのいずれか1つを出力バッファ31に出力する。出力バッファ31は、信号入力端子と信号出力端子310とを有する。出力バッファ31の信号入力端子は、マルチプレクサ263aに接続されている。出力バッファ31は、撮像信号と基準信号 V_{ref} とを交互に第2のチップ22に出力する。上記の構成により、バッファ26は、撮像信号と基準信号とを出力する出力回路として機能する。第2のチップ22は、伝送ケーブル3を介して、撮像信号と基準信号 V_{ref} とをコネクタ部5に伝送する。

[0088] 基準電流源29は、電流を定電流源290に供給する。基準電流源29の詳細な構成について説明する。図5と図6とは、基準電流源29の構成を示している。図5に示す構成は、基準電流源29の構成の第1の例である。図5に示すように、基準電流源29は、P型のトランジスタ P_1 、 P_2 と、N型のトランジスタ N_1 と、抵抗 R_a とを有する。基準電流源29は、カレントミラーを構成する。基準電流源29は、抵抗 R_a の電圧 V_a に応じた電流を出力する。基準電流源29からの電流値は、電圧 V_a を抵抗 R_a の抵抗値(R_a)で除算した値(V_a / R_a)である。

[0089] 図6に示す構成は、基準電流源29の構成の第2の例である。図6に示す

ように、基準電流源 29 は、P 型のトランジスタ P 1, P 2 と、N 型のトランジスタ N 1, N 2 と、オペアンプ AMP と、抵抗 R a, R 3, R 4 とを有する。抵抗 R 3 と抵抗 R 4 とは、抵抗分圧回路を構成する。抵抗 R 3 と抵抗 R 4 との抵抗値の比に応じた電圧がオペアンプ AMP の非反転入力端子に入力される。オペアンプ AMP は、非反転入力端子に入力された電圧を増幅する。オペアンプ AMP から出力された電圧は、トランジスタ N 2 のゲートに入力される。トランジスタ N 2 は、ゲートに入力された電圧に応じた電流を抵抗 R a に出力する。基準電流源 29 は、抵抗 R a の電圧 V a に応じた電流を出力する。基準電流源 29 からの電流値は、電圧 V a を抵抗 R a の抵抗値 (R a) で除算した値 (V a / R a) である。

[0090] 定電流源 257 は、基準電流源 29 の電流を所定のゲイン (α) 倍した電流を、レベルシフト部 249 を介して列ソースフォロアバッファ 244 に与える。レベルシフト部 249 の第 1 の端子と第 2 の端子との間の電圧 V r は、(1) 式で表される。(1) 式において、R 249 はレベルシフト部 249 の抵抗値である。

$$V_r = \alpha \times V_a / R_a \times R_{249} \quad \dots (1)$$

[0091] 電圧 V r は、画素 230 からの撮像信号の第 1 のレベルと、第 1 のレベルがレベルシフト部 249 によってシフトされた撮像信号のレベルとの差である。暗時の撮像信号の第 1 のレベルは、基準信号 V r e f のレベルとほぼ同一である。したがって、基準信号 V r e f のレベルと、暗時に第 1 のレベルがレベルシフト部 249 によってシフトされた撮像信号のレベルとの差は、上記の電圧 V r とほぼ同一である。電圧 V r は、電圧 V a のばらつきと、抵抗 R a およびレベルシフト部 249 のミスマッチとに応じて決まる。

[0092] 基準信号 V r e f と暗時の撮像信号との電圧差は小さいため、この電圧差が信号処理の精度に大きく影響する。電圧 V a のばらつきが電源電圧 V D D のばらつきと同一である場合、そのばらつきは電圧 V a に対して 5 % 以下である。例えば、抵抗 R a およびレベルシフト部 249 の抵抗値のミスマッチは数 % (例えば 3 %) である。このため、電圧 V r のばらつきは、電源電圧

VDDのばらつきと、抵抗 R_a およびレベルシフト部249の抵抗値のミスマッチとがない場合の電圧 V_r に対して10%以下である。この結果、電圧 V_r のばらつきは小さい。つまり、基準信号 V_{ref} と暗時の撮像信号との電圧差の精度が良い。したがって、基準信号 V_{ref} と撮像信号との差の演算精度を確保することができる。

[0093] 読み出し部24の列ソースフォロアバッファ244と基準信号生成部248の列ソースフォロアバッファ244aとのトランジスタサイズは、ほぼ同一である。また、読み出し部24の列ソースフォロアバッファ244と基準信号生成部248の列ソースフォロアバッファ244aとのバイアス電流値は、ほぼ同一である。このため、列ソースフォロアバッファ244と列ソースフォロアバッファ244aとによる、撮像信号と基準信号 V_{ref} との電圧差のばらつきを最小限にすることができる。つまり、基準信号 V_{ref} と暗時の撮像信号との電圧差の精度がより良い。

[0094] 撮像部20の駆動タイミングについて説明する。図7は、撮像部20の動作を示している。図7では、制御信号 $\phi_{R<0>}$ と、制御信号 $\phi_{T1<0>}$ と、制御信号 $\phi_{R<1>}$ と、制御信号 $\phi_{T1<1>}$ と、制御信号 ϕ_{VSH} と、制御信号 ϕ_{VCL} と、制御信号 $\phi_{HCLK<0>}$ と、制御信号 $\phi_{HCLK<1>}$ と、制御信号 $\phi_{HCLK<2>}$ と、制御信号 ϕ_{HCLR} と、制御信号 ϕ_{HSH} と、制御信号 ϕ_{MUXSEL} と、出力電圧 V_{out} との波形が示されている。出力電圧 V_{out} は、出力バッファ31の信号出力端子310の電圧である。図7において、横方向は時間を示し、縦方向は電圧を示している。

[0095] 図7では、複数の画素230の行<0>および行<1>から信号が読み出される動作と、読み出された信号が出力バッファ31から出力される動作とを説明する。図7では説明の便宜上、画素230に光電変換素子231が含まれ、かつ画素230に光電変換素子232が含まれない場合の動作が示されている。画素230に複数の光電変換素子が含まれる場合、図7に示す1ライン分の動作が、画素230に含まれる光電変換素子の数だけ繰り返され

る。図7において、制御信号 ϕR と制御信号 $\phi T1$ については、行<0>と行<1>とに対応する各信号が示されている。また、図7において、制御信号 $\phi HCLK$ については、列<1>と列<2>とに対応する各信号が示されている。

[0096] 図7に示すように、制御信号 ϕVCL がHighレベルになることにより、クランプスイッチ253がオンになる。パルス状の制御信号 $\phi R<0>$ がHighレベルになることにより、画素リセットトランジスタ236がオンになる。これによって、画素230特有のばらつきと、画素230がリセットされたときのノイズとを含むノイズ信号が画素230から垂直転送線239に出力される。クランプスイッチ253がオン状態に保たれることにより、列ソースフォロアバッファ244のゲート電圧がクランプ電圧 V_{clp} となる。このクランプ電圧 V_{clp} は、制御信号 ϕVSH がHighレベルからLowレベルになるタイミングで固定される。

[0097] クランプスイッチ253がオンになるタイミングでクランプスイッチ253aがオンになる。制御信号 ϕVSH がHighレベルからLowレベルになるタイミングで、基準電圧生成部246からの電圧 V_{fd_H} が固定される。

[0098] 制御信号 ϕVCL がLowレベルになることにより、クランプスイッチ253がオフになる。パルス状の制御信号 $\phi T1<0>$ がHighレベルになることにより、転送トランジスタ234がパルス状にオンになる。これによって、電荷変換部233の電圧に基づく撮像信号が画素230から垂直転送線239に読み出される。電荷変換部233の電圧は、光電変換素子231から転送された電荷に基づく。この動作により、転送容量252を介して、撮像信号が列ソースフォロアバッファ244のゲートに出力される。

[0099] 列ソースフォロアバッファ244のゲートに出力される撮像信号は、クランプ電圧 V_{clp} を基準としてサンプリングされた信号である。つまり、列ソースフォロアバッファ244のゲートに出力される撮像信号は、ノイズ成分が除去された信号である。

- [0100] クランプ電圧 V_{clp} を基準として撮像信号がサンプリングされた後、制御信号 ϕ_{HCLR} が Low レベルになることにより、水平リセットトランジスタ 256 がオフになる。これによって、水平転送線 258 のリセットが解除される。
- [0101] その後、パルス状の制御信号 $\phi_{HCLK<0>}$ が $High$ レベルになることにより、列 $<0>$ の列選択スイッチ 254 がオンになる。これによって、列 $<0>$ の撮像信号が水平転送線 258 に転送される。同時に、パルス状の制御信号 ϕ_{HSH} が $High$ レベルになることにより、サンプルホールドスイッチ 261e がパルス状にオンになる。これによって、撮像信号がレベルシフト部 249 とサンプルホールドスイッチ 261e とを介してサンプル容量 261f にサンプリングされる。
- [0102] その後、 Low レベルの制御信号 ϕ_{MUXSEL} がマルチプレクサ 263a に入力される。これによって、サンプル容量 261f にサンプリングされた撮像信号が出力バッファ 31 に出力される。制御信号 ϕ_{MUXSEL} が Low レベルになるタイミングで、パルス状の制御信号 ϕ_{HCLR} が $High$ レベルになることにより、水平リセットトランジスタ 256 がオンになる。これによって、水平転送線 258 が再度リセットされる。さらに、制御信号 ϕ_{HCLR} が Low レベルになることにより、水平リセットトランジスタ 256 がオフになる。これによって、水平転送線 258 のリセットが解除される。
- [0103] その後、 $High$ レベルの制御信号 ϕ_{MUXSEL} がマルチプレクサ 263a に入力される。これによって、基準信号生成部 248 によって生成された基準信号 V_{ref} が出力バッファ 31 に出力される。
- [0104] その後、制御信号 $\phi_{HCLK<1>}$ が $High$ になることにより、列 $<1>$ の列選択スイッチ 254 がオンになる。これによって、列 $<1>$ の撮像信号が水平転送線 258 に転送される。同時に、パルス状の制御信号 ϕ_{HSH} が $High$ レベルになることにより、サンプルホールドスイッチ 261e がパルス状にオンになる。これによって、撮像信号がレベルシフト部 249 と

サンプルホールドスイッチ 261e とを介してサンプル容量 261f にサンプリングされる。

[0105] その後、Low レベルの制御信号 ϕ MUXSEL がマルチプレクサ 263a に入力される。これによって、サンプル容量 261f にサンプリングされた撮像信号がオペアンプ 261g により増幅されて出力バッファ 31 に出力される。制御信号 ϕ MUXSEL が Low レベルになるタイミングで、パルス状の制御信号 ϕ HCLR が High レベルになることにより、水平リセットトランジスタ 256 がオンになる。これによって、水平転送線 258 が再度リセットされる。さらに、制御信号 ϕ HCLR が Low レベルになることにより、水平リセットトランジスタ 256 がオフになる。これによって、水平転送線 258 のリセットが解除される。

[0106] 行<0>の全ての画素 230 の撮像信号が水平転送線 258 に転送された後、制御信号 ϕ VSH と制御信号 ϕ VCL とが High レベルになる。これによって、行<0>の撮像信号の転送が終了し、かつ、行<1>の撮像信号の転送が開始される。

[0107] 上記の動作が複数の画素 230 の列数（または読み出しが必要な列数）だけ繰り返される。これによって、撮像信号と基準信号 Vref とが交互に出力バッファ 31 から出力される。1 ライン分の読み出し動作が複数の画素 230 の行数（または読み出しが必要な行数）だけ繰り返されることにより、1 フレームの撮像信号と基準信号 Vref とが出力される。

[0108] 図 7 では、選択トランジスタ 238 に供給される制御信号は示されていない。画素 230 からノイズ信号または画素信号が読み出されるとき、選択トランジスタ 238 はオンになる。

[0109] 図 7 では、行<0>かつ列<0>の撮像信号 Vsig は、光が画素 230 に入射しないとき（暗時）に生成される信号である。このときの基準信号 Vref と撮像信号 Vsig との差は最小出力である。図 7 では、行<0>かつ列<1>の撮像信号 Vsig は、光電変換素子 231 が飽和する光が画素 230 に入射したとき（飽和時）に生成される信号である。このときの基準

信号 V_{ref} と撮像信号 V_{sig} との差は最大出力である。

[0110] 光が画素 230 に入射するか否かに関わらず、基準信号 V_{ref} と撮像信号とのレベルの大きさの関係は一定である。例えば、図 7 では、光が画素 230 に入射しないときの撮像信号のレベルは基準信号 V_{ref} のレベルよりも小さい。同様に、光が画素 230 に入射しないときの撮像信号のレベルは基準信号 V_{ref} のレベルよりも小さい。つまり、撮像信号のレベルは基準信号 V_{ref} のレベルよりも常に小さい。このように、複数の画素 230 に光が入射しないときに信号出力端子 310 から出力された基準信号 V_{ref} と撮像信号とのレベルの大きさの関係と、複数の画素 230 に光が入射したときに信号出力端子 310 から出力された基準信号 V_{ref} と撮像信号とのレベルの大きさの関係とは同一である。このため、AFE 部 51 が、基準信号 V_{ref} と撮像信号とを正しく処理することができる。

[0111] 基準信号 V_{ref} と撮像信号とのレベルの差は 0 よりも大きい。複数の画素 230 に光が入射しないとき、基準信号 V_{ref} と撮像信号とのレベルの差は最小である。複数の画素 230 に入射する光が増加することにより、基準信号 V_{ref} と撮像信号とのレベルの差が増加する。基準信号 V_{ref} と撮像信号とのレベルの差が増加することにより、基準信号 V_{ref} と撮像信号とのレベルの差の精度が向上する。一方、複数の画素 230 に光が入射しないときの基準信号 V_{ref} と撮像信号とのレベルの差が減少することにより、AFE 部 51 におけるダイナミックレンジが増加する。

[0112] 差の精度とダイナミックレンジとを考慮することにより、撮像信号レベルのシフト量の設計値が決定される。例えば、複数の画素 230 に光が入射しないときに信号出力端子 310 から出力された基準信号 V_{ref} と撮像信号とのレベルの差は、信号出力端子 310 から出力されうる基準信号 V_{ref} と撮像信号とのレベルの差の最大値に対して 20% 以内である。複数の画素 230 に光が入射しないときに信号出力端子 310 から出力された基準信号 V_{ref} と撮像信号とのレベルの差は、図 7 における最小出力である。信号出力端子 310 から出力されうる基準信号 V_{ref} と撮像信号とのレベルの

差の最大値は、図 7 における最大出力である。

[0113] (変形例)

図 8 は、本発明の実施形態の変形例における第 1 のチップ 2 1 の構成を示している。図 9 は、本発明の実施形態の変形例における第 1 のチップ 2 1 の回路構成を示している。図 8 と図 9 とに示すように、第 1 のチップ 2 1 は、受光部 2 3 と、読み出し部 2 4 と、タイミング生成部 2 5 と、バッファ 2 6 と、基準電流源 2 9 と、定電流源 2 9 0 とを有する。

[0114] 図 8 と図 9 とにおいて、レベルシフト部 2 4 9 に関する構成以外の構成は、図 3 と図 4 とに示す構成と同様である。以下では、レベルシフト部 2 4 9 に関する構成についてのみ説明し、他の構成についての説明を省略する。

[0115] レベルシフト部 2 4 9 の第 1 の端子は、水平転送線 2 5 8 a に接続されている。レベルシフト部 2 4 9 の第 2 の端子は、マルチプレクサ 2 6 3 a に接続されている。レベルシフト部 2 4 9 は、基準信号 V_{ref} の第 2 のレベルを、第 2 のレベルが撮像信号の第 1 のレベルから離れる方向にシフトさせる。レベルシフト部 2 4 9 の第 2 の端子の電圧は、レベルシフト部 2 4 9 の第 1 の端子の電圧よりも高い。したがって、レベルシフト部 2 4 9 は、水平転送線 2 5 8 a に出力された基準信号 V_{ref} の第 2 のレベルを、よりレベルが高い方向にシフトさせる。レベルシフト部 2 4 9 は、レベルシフト回路として機能する。レベルシフト部 2 4 9 は、基準信号 V_{ref} の転送経路において、基準信号生成部 2 4 8 とバッファ 2 6 との間に配置されている。

[0116] 電流源 3 0 0 は、レベルシフト部 2 4 9 の第 1 の端子と第 2 の端子とに電流を供給する。水平リセットトランジスタ 2 5 6 の第 2 の端子と、定電流源 2 5 7 の第 1 の端子と、サンプルホールドスイッチ 2 6 1 e の第 1 の端子とは、水平転送線 2 5 8 に接続されている。

[0117] 上述したように、本発明の実施形態の撮像部 2 0 (撮像装置) は、複数の画素 2 3 0 と、ノイズ除去部 2 4 3 (画素信号処理回路) と、基準信号生成部 2 4 8 (基準信号生成回路) と、レベルシフト部 2 4 9 (レベルシフト回路) と、信号出力端子 3 1 0 とを有する。複数の画素 2 3 0 は、画素信号を

出力する。ノイズ除去部243は、画素信号を処理し、かつ、画素信号に基づく撮像信号を出力する。画素信号に基づく撮像信号は、ノイズ成分が除去された撮像信号である。基準信号生成部248は、基準信号V r e fを生成する。レベルシフト部249は、撮像信号の第1のレベルを、第1のレベルが基準信号V r e fの第2のレベルから離れる方向にシフトさせる。または、レベルシフト部249は、第2のレベルを、第2のレベルが第1のレベルから離れる方向にシフトさせる。信号出力端子310は、基準信号生成部248によって生成された基準信号V r e fと、レベルシフト部249によって第1のレベルがシフトされた撮像信号とをA F E部51（撮像信号処理回路）に出力する。または、信号出力端子310は、レベルシフト部249によって第2のレベルがシフトされた基準信号V r e fと、ノイズ除去部243から出力された撮像信号とを出力する。A F E部51は、信号出力端子310から出力された基準信号V r e fと撮像信号との差を演算する。

[0118] 本発明の各態様の撮像装置は、複数の画素230、ノイズ除去部243、基準信号生成部248、レベルシフト部249、および信号出力端子310以外の構成の少なくとも1つを有していなくてもよい。

[0119] 本発明の実施形態の内視鏡2は、被検体に挿入される挿入部100を有する。撮像部20が挿入部100の先端に配置されている。

[0120] 本発明の実施形態の内視鏡システム1は、内視鏡2と、A F E部51（撮像信号処理回路）と、画像信号処理部62（画像信号生成回路）とを有する。画像信号処理部62は、A F E部51によって演算された差に基づく差信号を処理し、かつ、差信号に基づく画像信号を生成する。

[0121] 本発明の各態様の内視鏡システムは、内視鏡2、A F E部51、および画像信号処理部62以外の構成の少なくとも1つを有していなくてもよい。

[0122] 本発明の実施形態では、レベルシフト部249の機能により、基準信号V r e fと撮像信号との差の演算精度を確保することができる。

[0123] 前述したように、列ソースフォロアバッファ244と列ソースフォロアバッファ244aとによる、撮像信号と基準信号V r e fとの電圧差のばらつ

きを最小限にすることができる。つまり、基準信号 V_{ref} と暗時の撮像信号との電圧差の精度がより良い。

[0124] 複数の画素 230 に光が入射しないときの基準信号 V_{ref} と撮像信号とのレベルの差は、信号出力端子 310 から出力されうる基準信号 V_{ref} と撮像信号とのレベルの差の最大値に対して 20% 以内である。このため、AFE 部 51 におけるダイナミックレンジが確保され、かつ、AFE 部 51 から出力される信号の S/N の低下が抑制される。ノイズ量が一定である場合、信号の S/N はトランジスタの製造ばらつき等に依存する。複数の画素 230 に光が入射しないときの基準信号 V_{ref} と撮像信号とのレベルの差が差の最大値に対して 40% 以内である場合と比較して、信号の S/N が 2 ~ 3 dB 良くなる。

[0125] 電源電圧の揺らぎ成分と同じ位相の揺らぎ成分（リップル成分）が画像信号のレベルに重畳している場合、従来技術の AFE 回路は、画像信号に重畳された揺らぎ成分を除去することができない。このため、画質が劣化する。一方、本発明の実施形態における基準信号 V_{ref} は、ノイズ除去部 243 を動作させる基準電圧から生成される。このため、基準信号 V_{ref} は、撮像信号に存在する電源電圧の揺らぎ成分と同じ位相の揺らぎ成分を有する。この結果、AFE 部 51 によって演算された、基準信号と撮像信号との差に基づく差信号における揺らぎ成分が低減される。したがって、画質の劣化が抑制される。

[0126] 以上、本発明の好ましい実施形態を説明したが、本発明はこれら実施形態およびその変形例に限定されることはない。本発明の趣旨を逸脱しない範囲で、構成の付加、省略、置換、およびその他の変更が可能である。また、本発明は前述した説明によって限定されることはなく、添付のクレームの範囲によってのみ限定される。

産業上の利用可能性

[0127] 本発明の各実施形態によれば、レベルシフト回路は、撮像信号の第 1 のレベルを、第 1 のレベルが基準信号の第 2 のレベルから離れる方向にシフトさ

せる。または、レベルシフト回路は、第2のレベルを、第2のレベルが第1のレベルから離れる方向にシフトさせる。このため、基準信号と撮像信号との差の演算精度を確保することができる。

符号の説明

- [0128]
- 1 内視鏡システム
 - 2 内視鏡
 - 3 伝送ケーブル
 - 4 操作部
 - 5 コネクタ部
 - 6 プロセッサ
 - 7 表示装置
 - 20 撮像部
 - 21 第1のチップ
 - 22 第2のチップ
 - 23 受光部
 - 24 読み出し部
 - 25 タイミング生成部
 - 26, 27 バッファ
 - 51 アナログ・フロント・エンド部
 - 52 前処理部
 - 53 制御信号生成部
 - 61 電源部
 - 62 画像信号処理部
 - 63 クロック生成部
 - 100 挿入部
 - 101 先端

請求の範囲

[請求項1]

画素信号を出力する複数の画素と、
前記画素信号を処理し、かつ、前記画素信号に基づく撮像信号を出力する画素信号処理回路と、
基準信号を生成する基準信号生成回路と、
前記撮像信号の第1のレベルを、前記第1のレベルが前記基準信号の第2のレベルから離れる方向にシフトさせる、または前記第2のレベルを、前記第2のレベルが前記第1のレベルから離れる方向にシフトさせるレベルシフト回路と、
前記基準信号生成回路によって生成された前記基準信号と、前記レベルシフト回路によって前記第1のレベルがシフトされた前記撮像信号とを撮像信号処理回路に出力する、または前記レベルシフト回路によって前記第2のレベルがシフトされた前記基準信号と、前記画素信号処理回路から出力された前記撮像信号とを出力する信号出力端子と、
を有し、
前記撮像信号処理回路は、前記信号出力端子から出力された前記基準信号と前記撮像信号との差を演算する
撮像装置。

[請求項2]

前記複数の画素に光が入射しないときに前記信号出力端子から出力された前記基準信号と前記撮像信号とのレベルの大きさの関係と、前記複数の画素に光が入射したときに前記信号出力端子から出力された前記基準信号と前記撮像信号とのレベルの大きさの関係とは、同一である

請求項1に記載の撮像装置。

[請求項3]

前記複数の画素に光が入射しないときに前記信号出力端子から出力された前記基準信号と前記撮像信号とのレベルの差は、前記信号出力端子から出力されうる前記基準信号と前記撮像信号とのレベルの差の

最大値に対して20%以内である

請求項1に記載の撮像装置。

[請求項4] 前記画素信号処理回路を動作させる基準電圧を生成する基準電圧生成回路をさらに有し、

前記基準信号生成回路は、前記基準電圧から前記基準信号を生成する

請求項1に記載の撮像装置。

[請求項5] 被検体に挿入される挿入部を有し、

請求項1～請求項4のいずれか1つに記載の撮像装置が前記挿入部の先端に配置された

内視鏡。

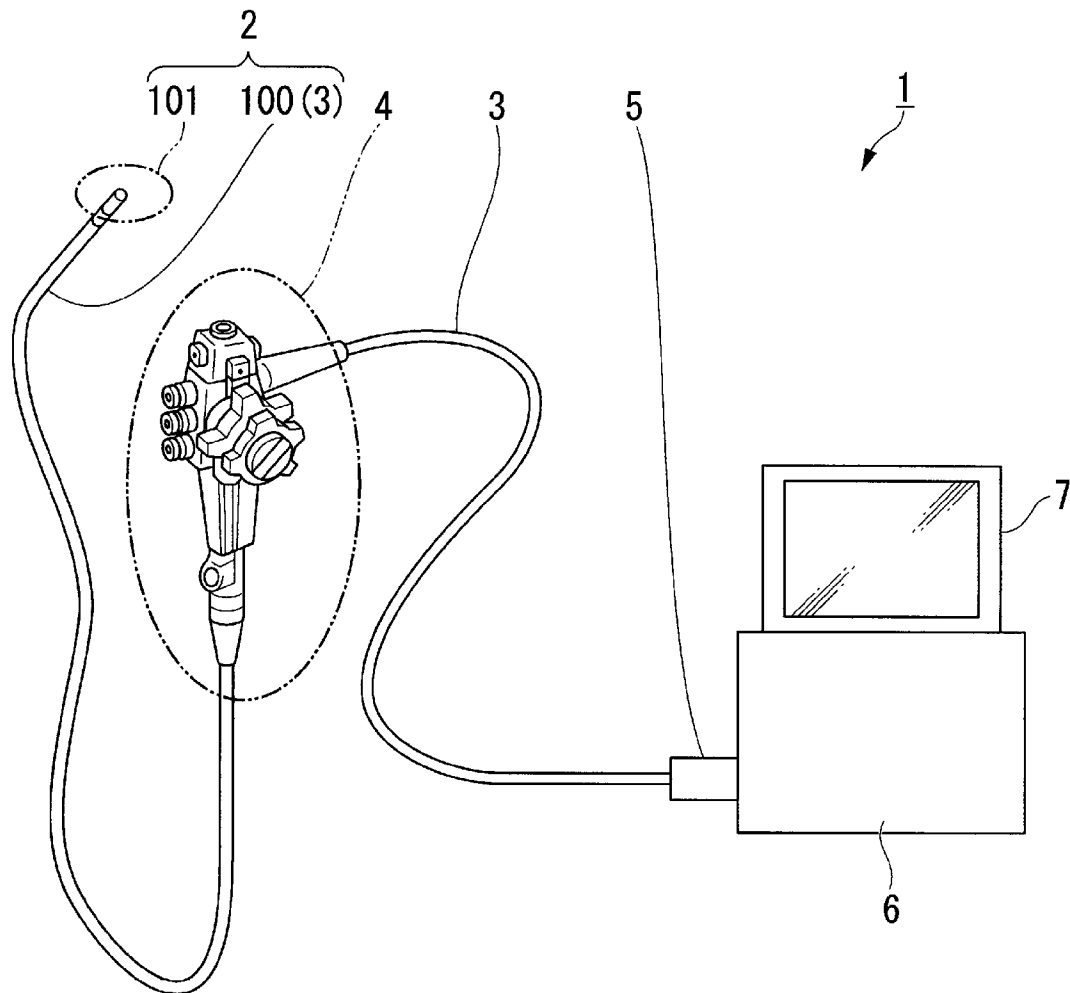
[請求項6] 請求項5に記載の内視鏡と、

前記撮像信号処理回路と、

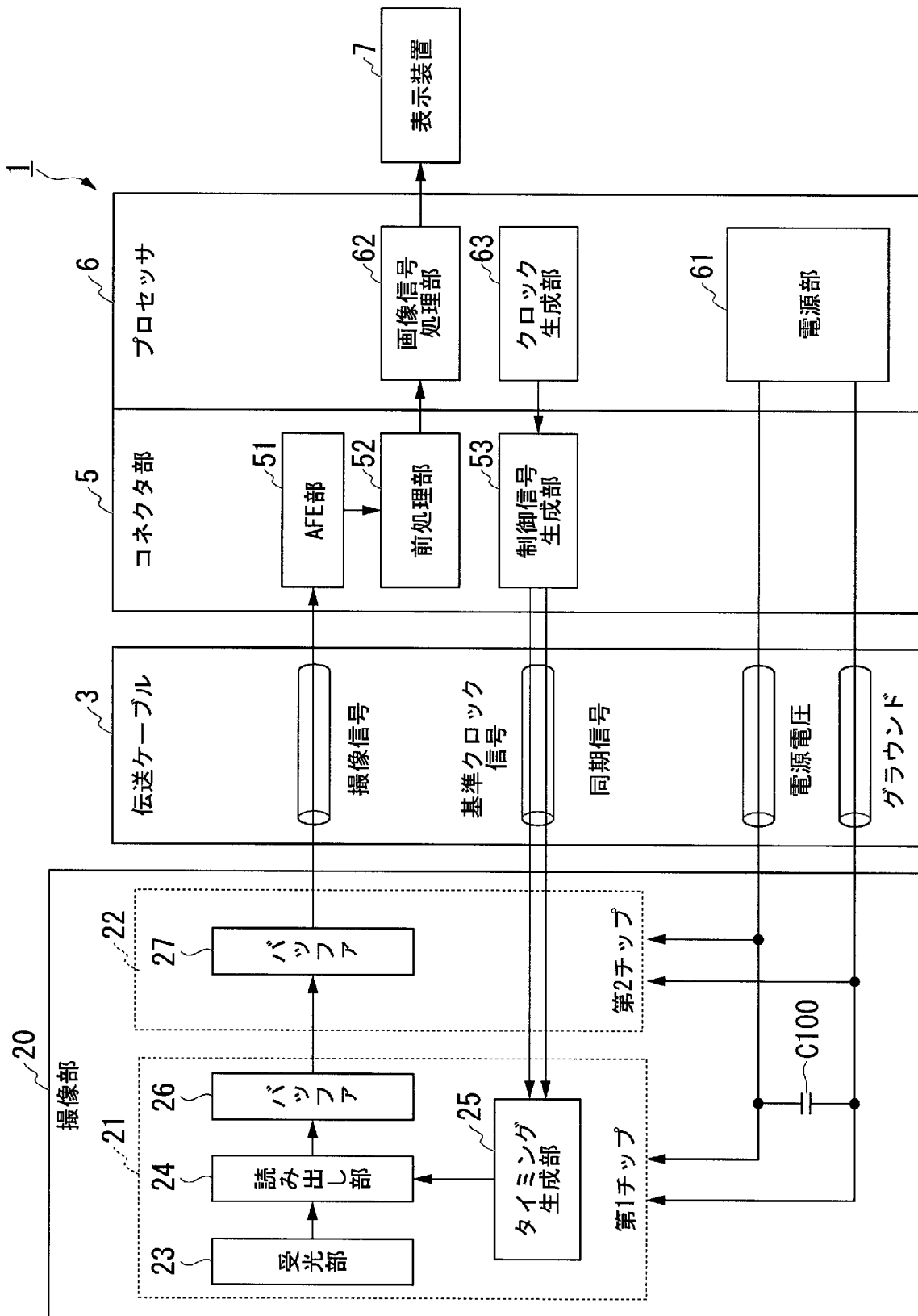
前記撮像信号処理回路によって演算された前記差に基づく差信号を処理し、かつ、前記差信号に基づく画像信号を生成する画像信号生成回路と、

を有する内視鏡システム。

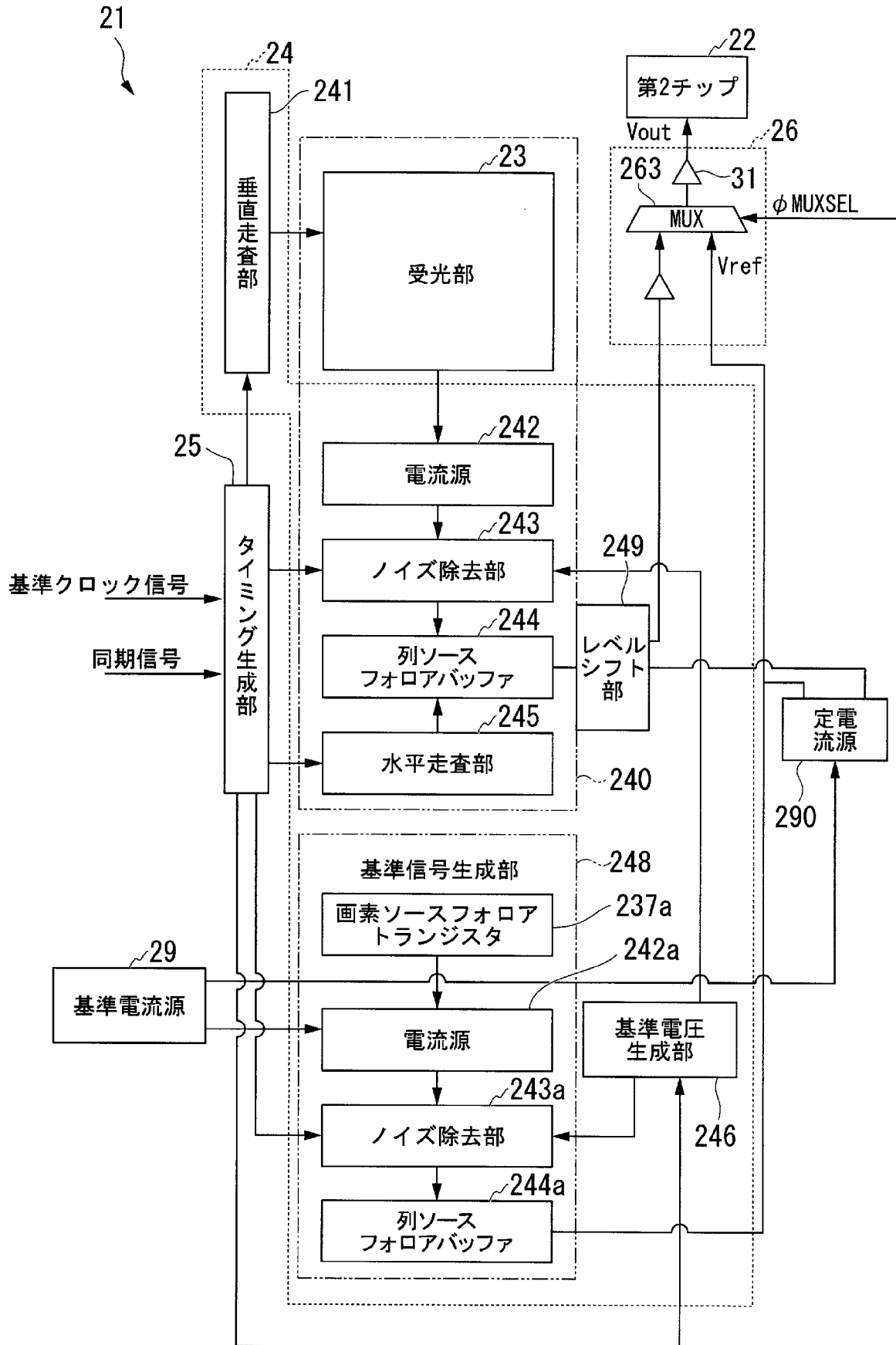
[図1]



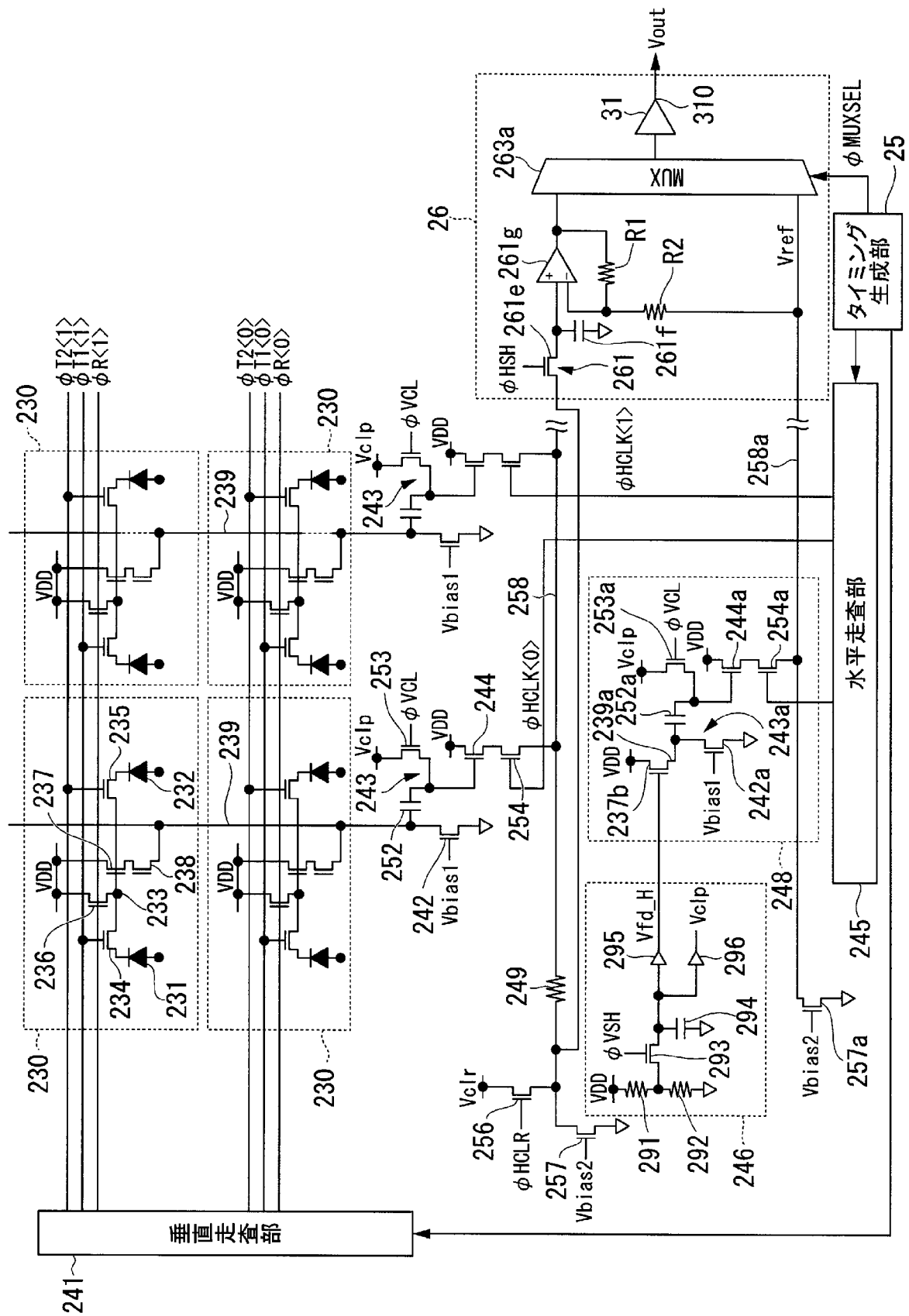
[図2]



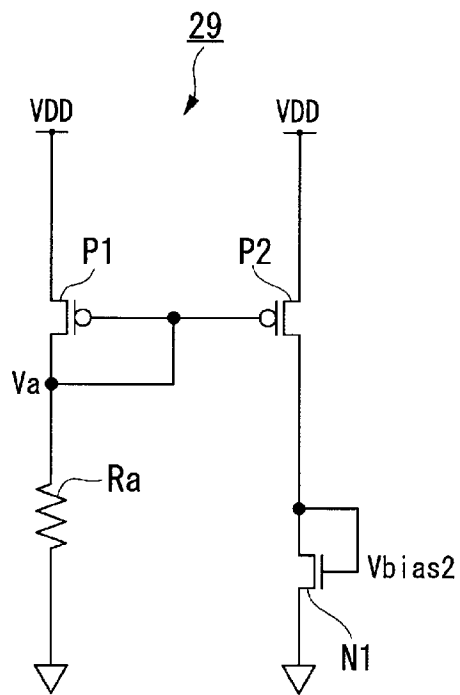
[図3]



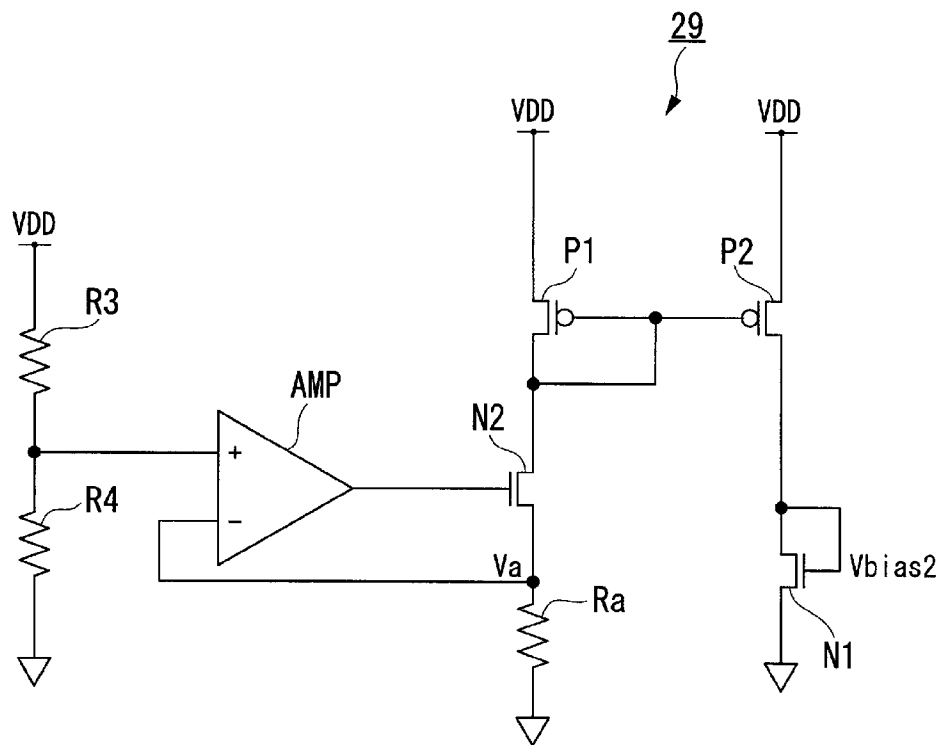
[図4]



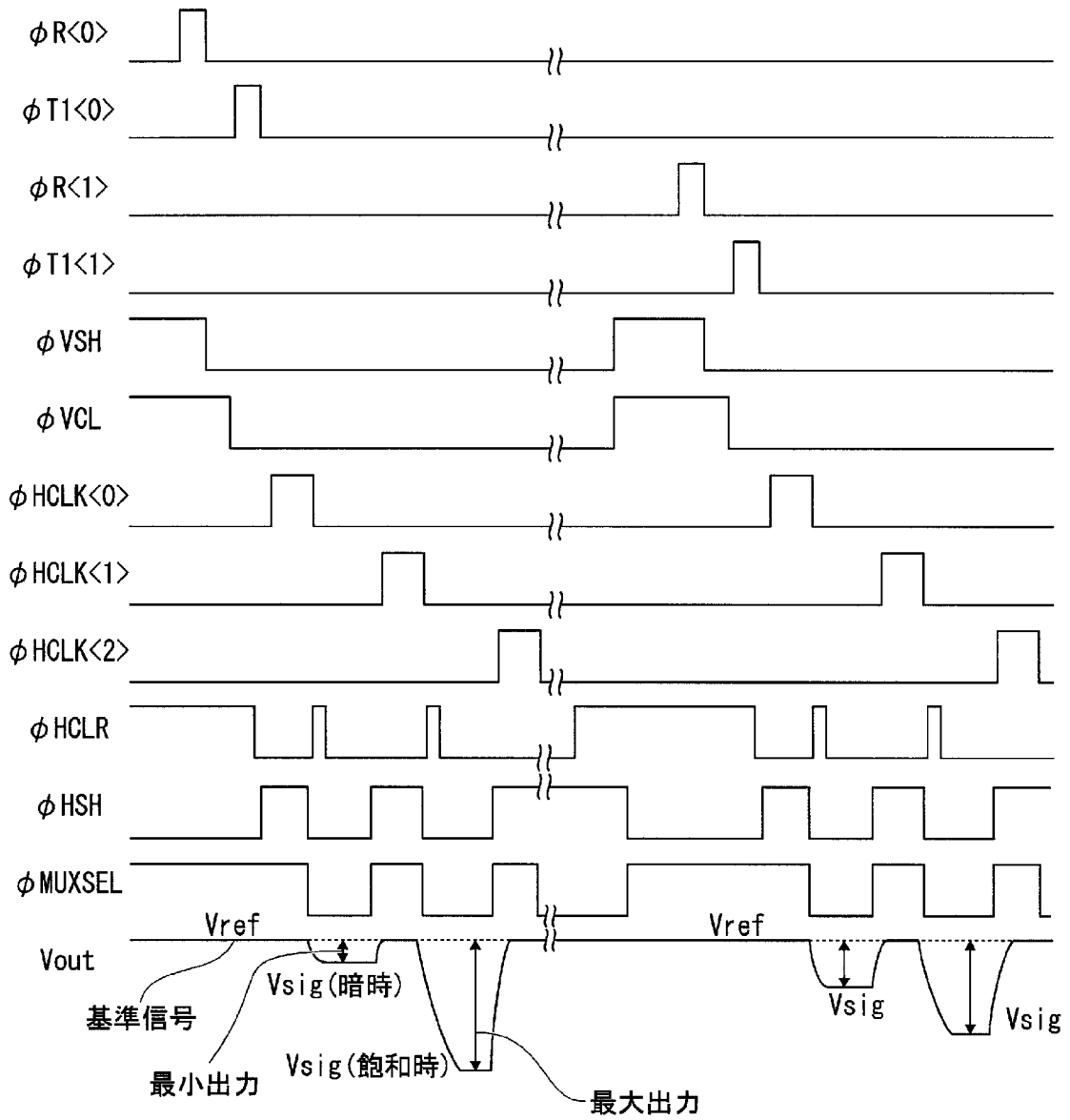
[図5]



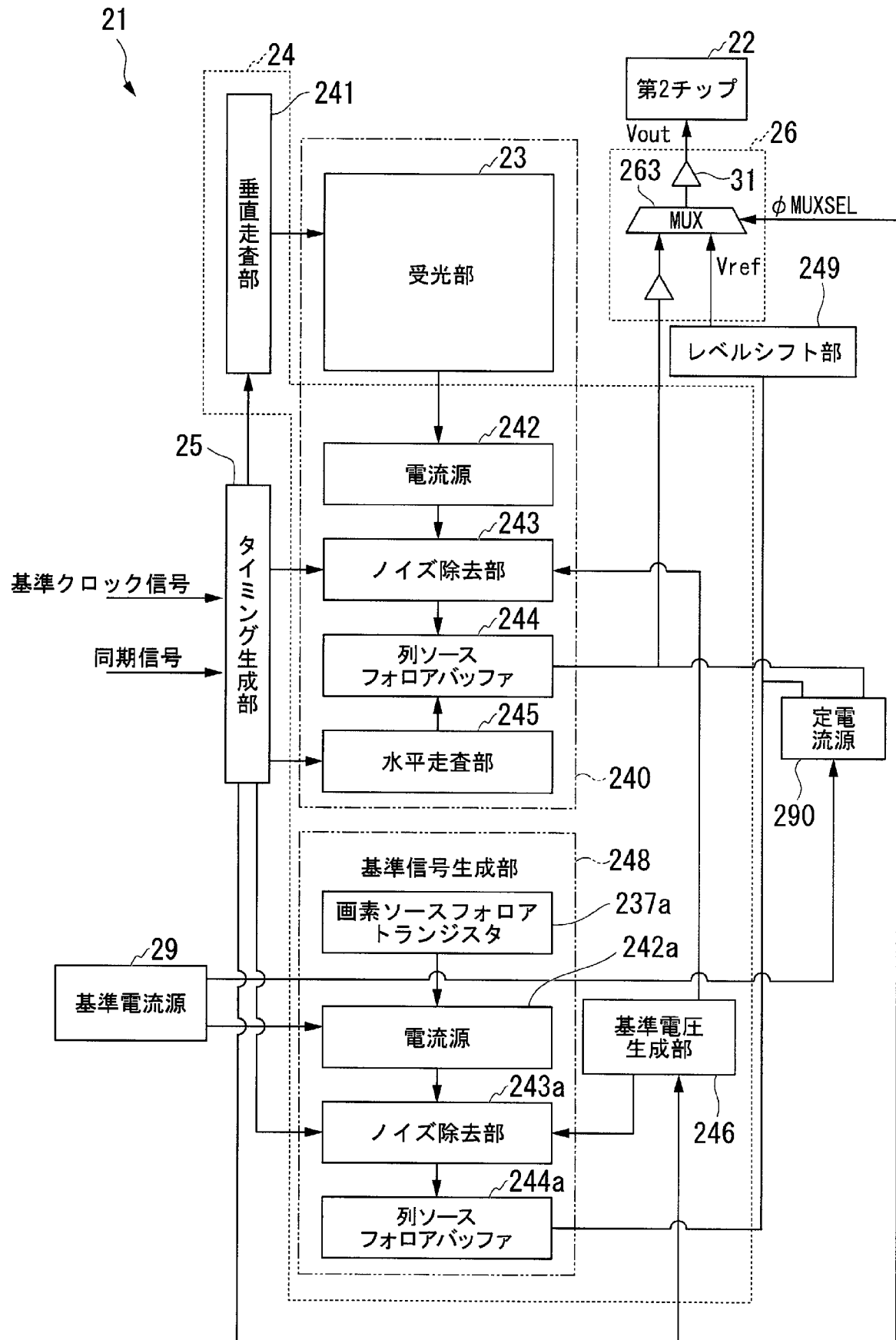
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/062393

A. CLASSIFICATION OF SUBJECT MATTER

H04N5/357(2011.01)i, A61B1/04(2006.01)i, H04N5/225(2006.01)i, H04N5/378(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/357, A61B1/04, H04N5/225, H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2014/115390 A1 (Olympus Medical Systems Corp.), 31 July 2014 (31.07.2014), paragraphs [0057], [0068]; fig. 1 to 6 & JP 5596888 B & US 2014/0320618 A1 & CN 104303495 A	1-6
A	JP 2011-239068 A (Toshiba Corp.), 24 November 2011 (24.11.2011), paragraph [0079]; fig. 12 & US 2011/0273601 A1	1-6
A	JP 2004-357059 A (Renesas Technology Corp.), 16 December 2004 (16.12.2004), paragraphs [0106] to [0123]; fig. 15 to 17 & US 2004/0239783 A1 & US 2007/0159540 A1	1-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
23 June 2015 (23.06.15)

Date of mailing of the international search report
07 July 2015 (07.07.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H04N5/357(2011.01)i, A61B1/04(2006.01)i, H04N5/225(2006.01)i, H04N5/378(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H04N5/357, A61B1/04, H04N5/225, H04N5/378

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2014/115390 A1（オリンパスメディカルシステムズ株式会社） 2014.07.31, 段落 [0057]、[0068]、図 1-6 & JP 5596888 B & US 2014/0320618 A1 & CN 104303495 A	1-6
A	JP 2011-239068 A（株式会社東芝）2011.11.24, 段落【0079】、図 12 & US 2011/0273601 A1	1-6

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 3 . 0 6 . 2 0 1 5

国際調査報告の発送日

0 7 . 0 7 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

鈴木 肇

5 V

9 8 4 7

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 7 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2004-357059 A (株式会社ルネサステクノロジ) 2004.12.16, 段落【0106】-【0123】、図 15-17 & US 2004/0239783 A1 & US 2007/0159540 A1	1-6