申請日期：94.2.4.	IPC分類 H01L 21/00 (2006.01)
申請案號：94122616	

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	層排列製造方法及層排列
	英文	Process For Producing A Layer Arrangement And Layer Arrangement
二、發明人(共3人)	姓名(中文)	1.居爾康・伊利卡里 2.約翰內斯・呂肯 3.沃夫岡・勒斯納
	姓名(英文)	1.Guerkan ILICALI 2.R. Johannes LUYKEN 3.Wolfgang ROESNER
	國籍(中英文)	1.土耳其 TR 2.德國 DE 3.德國 DE
三、申請人(共1人)	名稱或姓名(中文)	1.德商英飛凌科技股份有限公司
	名稱或姓名(英文)	1.Infineon Technologies AG
	國籍(中英文)	1.德國 DE
	住居所(營業所)(中文)	1.德國慕尼黑D-81669馬丁塊街53號 (本地址與前向貴局申請者相同)
	住居所(營業所)(英文)	1.St.-Martin-Str. 53, D-81669 Muenchen, Germany
	代表人(中文)	1.米夏埃爾・戈爾維茨爾；2.霍斯特・舍費爾
	代表人(英文)	1.Michael Gollwitzer; 2. Dr. Horst Schaefer

一、本案已向

國家(地區)申請專利	申請日期	案號	主張專利法第二十七條第一項國際優先權
德國 DE	2004/07/08	10 2004 033 148.0	有

●二、□主張專利法第二十九條第一項國內優先權:

申請案號:

無

日期:

三、主張本案係符合專利法第二十二條第二項□第一款或□第二款規定之事實，其事實發生日期為:

四、□有關生物材料已寄存於國外:

寄存國家:

寄存機構: 無

寄存日期:

寄存號碼:

● □有關生物材料已寄存於國內(本局所指定之寄存機構):

寄存機構:

寄存日期: 無

寄存號碼:

□不須寄存生物材料者：所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、發明說明（1）

本發明與一種製造層排列的程序，以及一種使用做為雙閘極場效電晶體的層排列有關。

現代半導體技術持續追求新的方式，以改善場效電晶體的效能。這些方式不但包含場效電晶體的連續排列與最小化，也包括新形電晶體的發展。

這些新形式的電晶體包括，舉例而言，鰭形場效電晶體，其中介於兩源極/汲極之間的通道區域是在一半導體鰭形物中執行，並在其上沈積閘極區域。

另一新型式的電晶體則所知為一種雙閘極電晶體。在一雙閘極場效電晶體中，其不像傳統的場效電晶體，不只從一側驅動該通道區域，而是設計成一種三明治型式，使用一閘極的方式，由兩側，換言之像是從上側與下側驅動一通道區域，因此該通道區域的電傳導性可以被特別良好控制。然而，該雙閘極電晶體技術對所使用的處理程序有較高的要求。

製造平面雙閘極場效電晶體的主要問題之一，是該頂部閘極與該底部閘極彼此之間的方向性。利用電子光束微影（litho），該兩閘極區域最佳可以以10奈米的精確度彼此對齊。換句話說，該使用的處理程序造成在兩閘極之間至少10奈米的位移。然而，受到關注的雙閘極場效電晶體特徵尺寸，一般是介於20奈米至10奈米的範圍之間。因此，頂部閘極與底部閘極彼此之間的精確對齊，對於一雙閘極場效電晶體的功能來說是非常重要的。

製造平面雙閘極金氧半（MOS）場效電晶體的另一阻

五、發明說明（2）

礙，是高度複雜的製造步驟，以及需要用以製造一雙閘極場效電晶體的昂貴設備。

根據先前技術製造製造雙閘極場效電晶體的一種方式，包括使用已知的矽絕緣體（SOI）基板，換言之，一種在一塊狀矽晶圓上形成氧化矽層，以及在該氧化矽層上形成一頂部矽薄層的基板。該頂部矽層是非常的薄，並可以使用為一雙閘極場效電晶體的通道區域，因為此型式的通道區域應該足夠薄，以使其可以成功地從兩側驅動。

總結來說，可以使用做為雙閘極場效電晶體的層排列製造程序，從先前技術可知是非常昂貴並難以執行。特別是使用矽絕緣體技術製造的雙閘極場效電晶體。

[1]發表了矽晶圓黏著技術的基本原則。

[2]發表了用於蝕刻多孔矽的程序。

[3]發表了用於形成多孔矽的程序。

[4]發表了一種層排列、一種用於製造層排列與矽絕緣體晶圓排列的程序。該層排列包含具有一第一主要表面的第一基板，其包含可以利用熱處理方式所移除的一第一分層。此外，該層排列具有一第二主要表面，其包含穩定溫度的第二可移除分層。該第一基板的第一主要表面則牢固於該第二基板的第二主要表面。

[5]發表了一種製造雙閘極場效電晶體的程序。該程序包含以下步驟：在一第一晶圓的矽絕緣體基板上形成一第一閘極區域、在該矽絕緣體與該第一閘極區

五、發明說明 (3)

域上，形成帶有一平面表面的層、在該第一晶圓的平面表面上黏著一第二晶圓，並在該第一閘極區域對面，該矽絕緣體基板中形成一第二閘極。

本發明特別是根據層排列的問題，其可以執行帶有彼此對齊閘極區域的雙閘極場效電晶體，並可以一可接收的花費所製造。

此問題是以製造一層排列的程序，以及一種具有在各自申請專利範圍特徵的層排列所解決。

在根據本發明用以製造層排列的程序中，在一輔助基板上，形成一多孔矽層以做為犧牲層，並在該犧牲層上，形成一第一半導體層。在該第一半導體層上，形成一第一電絕緣層。在該第一電絕緣層上，形成一電傳導層。該電傳導層則被側向圖形化。使用該側向圖形化電傳導層做為遮罩，將該第一電絕緣層、該犧牲層，以及該第一半導體層一起圖形化。鄰近於該圖形化犧牲層與該圖形化第一半導體層的側壁，形成一半導體結構。在該圖形化電傳導層之上牢固一基板。移除該輔助基板的材料，因此該犧牲層變為未覆蓋。選擇性地移除該犧牲層，以形成一溝渠的型式。在該溝渠中形成一第二電絕緣層，並在此第二電絕緣層上形成一電傳導結構。

根據本發明的層排列包含一輔助基板、在該輔助基板上做為一犧牲層的多矽層、在該犧牲層上的一第一半導體層、在該第一半導體層上的一第一電絕緣層，以及在該第一電絕緣層上的一電傳導層。該電傳導層是被側向圖形化

五、發明說明（4）

的。該第一電傳導層、該犧牲層以及該第一半導體層是使用該側向圖形化電傳導層做為遮罩，而被一起側向圖形化。此外該層排列包含鄰近於該圖形化犧牲層與該圖形化第一半導體層的側壁的一半導體結構，並包含牢固於該圖形化電傳導層之上的一基板。

本發明的基本概念是根據形成一圖形化第一半導體層，以做為一薄通道區域，以及一半導體結構，其是在兩側上側向鄰近於該第一半導體層，並延伸深入該層排列，以做為任何要求輔助基板上的源極/汲極區域（舉例而言，其可能是一種傳統並且不昂貴的塊狀矽晶圓，其意味著不要求使用昂貴的矽絕緣體基板）。被沈積並圖形化的電傳導材料可以被設計做為一閘極區域，並使用做為用於圖形化一犧牲層的遮罩。在一晶圓黏著步驟之後，其中一基板是被牢固於該處理基板表面，該輔助基板是被部分移除，使其可以從後側處理該層排列。在本文中，本發明的一主要觀點是根據利用將該黏著晶圓對於該半導體基板選擇性的移除方式，使該圖形化多孔矽犧牲層未覆蓋，因此該通道區域在其後側為未覆蓋，藉此使得該層序列可從後側開始處理，因此，可以形成一種第二閘極，其從該通道區域的另一側驅動，並位於對於該第一閘極的預定方向中。該電傳導層與多孔矽犧牲層的一起圖形化，形成兩個彼此自我方向對齊的閘極區域。

該使用的犧牲層是一種多孔矽層。以此選擇材料，具有該犧牲層對於該結合層為特別高選擇性移除的優點，特

別是對於晶矽層而言。

在[3]中描述的程序是較佳的用於形成該多孔矽層。[3]發表了一種用於製造多孔矽的程序。

應該瞭解的是，該術語多孔矽是特別做為一種根據晶矽基礎所形成的矽，其中引入孔隙或是小凹穴。舉例而言，這些孔隙可以具有奈米範圍中的尺寸。當一塊狀矽結構是與一適當的蝕刻溶液接觸時，此型式的孔隙可以在矽中形成，而形成多孔矽的型式。

藉由使用多孔矽做為犧牲結構，在製造根據本發明的層排列時，具有一重要的功能，為了形成一種可以做為雙閘極場效電晶體的層排列，是考慮使用以此材料性質所製成的材料。這些性質特別是包括該多孔矽對於結晶半導體材料為高度選擇性蝕刻（特別是對於單晶矽而言），且該結晶半導體材料（特別是單晶矽）可以在多孔矽上以高品質方式成長。此外，對於像是氮化矽的電絕緣材料而言，該多孔矽也是高選擇性蝕刻。

因此，本發明整合使用標準處理步驟一適當步驟於半導體技術中，其可以使用一種有利基板以及做為該犧牲層的有利材料，對於所獲得而做為雙閘極場效電晶體的層排列而言，其可能帶有彼此自我對齊的兩閘極。個別是因為該圖形化步驟，由於該電傳導層、該第一電絕緣層、該犧牲層與該第一半導體層形成一種大致上結合的側向介面，便產生一種自我對齊的處理，以此結果，便可形成彼此自我對齊，並可使用做為閘極區域的兩側向限定層（電傳導

層與電傳導結構）。

換句話說，本發明提供一種使用簡單標準製造步驟的自我對齊程序，其中可以使用一種不昂貴的塊狀矽晶圓取代一矽絕緣體晶圓，以形成一適合做為雙閘極場效電晶體操作的層排列，其意味著可以維持低程度的相關程序成本與花費。

本發明的一重要觀點是提供一種材料犧牲層，其可以將該犧牲層（特別是多孔矽）對該半導體結構材料進行選擇性蝕刻。藉由範例，該多孔矽犧牲層可以配置在額外半導體層上。藉由範例，一p++摻雜矽可以使用作為蝕刻終止層，例如在鹼性溶液中（與一矽絕緣體晶圓埋置氧化矽相同的方法），是一種用於此型式額外半導體層的適當材料。

根據本發明的程序，其包含一處理步驟，其中該輔助基板與該基板彼此牢固，這可利用在室溫下晶圓黏著的方式達成。此步驟接著可以讓該第一半導體層之上與之下的兩閘極區域，其做為通道區域並可由像是結晶矽所形成，彼此之間自動對齊。該由多孔矽所形成的選擇性移除犧牲層，其多孔矽的使用，由該使用材料選擇性蝕刻的方式影響其自我對齊，對於該兩閘極區域彼此自我對齊方向，扮演一重要的角色。

該建立步驟並不需要任何奇特或新穎的材料，而是使用標準材料，其對於半導體技術而言為已知，並且在傳統的半導體製程技術中使用，其可在前端處理中調整，並因

五、發明說明（7）

此在許多實驗室與工廠中可以極少花費所執行。

換句話說，本發明提供一種自我對齊平面雙閘極場效電晶體，其可從一塊狀晶圓（取代一矽絕緣體晶圓）開始處理，舉例而言，從一種像是矽或石英的的半導體材料。當然，本發明也可對一矽絕緣體晶圓執行。該提供的程序引出多孔矽對於塊狀矽為高度蝕刻選擇性的優點。另一優點為辨別能力，其已經根據本發明所利用，以在此型式多孔矽層上成長一良好品質的矽單晶。

該建立程序序列不但消除用以形成一雙閘極場效電晶體的矽絕緣體晶圓需要，因此可以低成本製造一平面雙閘極場效電晶體，同時也使用簡單的標準製造步驟，使得頂部閘極與底部閘極完全地自我對齊。

本發明較佳實施例將由獨立申請專利範圍呈現。

該使用的輔助基板可以是一種塊狀基板（舉例而言，從一半導體材料或從石英材料所形成）。該使用的輔助基板可以特別是一種塊狀矽晶圓。該使用的多孔矽層可以是一種具有第一孔隙率的矽層以及配置在其上，具有第二孔隙率的矽層，該第一孔隙率是高於或大於該第二孔隙率。具有高孔隙率的多孔矽對於周圍矽材料（矽體積）而言，與具有較低孔隙率的多孔矽相比之下，具有高的孔部分（孔體積），且特別是具有一較大的孔長度及/或一較大的孔直徑。具有低高孔隙率的多孔矽對於周圍矽材料（矽體積）而言，與具有相對孔隙率的多孔矽相比之下，具有低的孔部分（孔體積），且特別是具有一較小的孔長度

五、發明說明（8）

及/或一較小的孔直徑。

該使用的第一半導體層可以是一種單晶矽層。

該使用的電傳導層可以是一種多晶矽層。因此，使用做為一雙閘極場效電晶體第一閘極區域的足夠良好傳導性層，則利用完全的矽技術所提供。

該使用的半導體結構可以一種單晶矽材料。該犧牲層的選擇性移除可以利用一種蝕刻程序執行，藉此方法該犧牲層材料是對於該半導體結構材料所選擇性移除。

一第二半導體層可以在該輔助基板與該犧牲層之間形成。該第二半導體層特別是可以包含一p摻雜矽層以及配置在其上的一n摻雜矽層。該p摻雜矽層（例如，p++矽）的摻雜物濃度，較佳地是大於該n摻雜矽層的摻雜物濃度。

在處理期間，該第二半導體層可以例如使用為一蝕刻終止層。

替代地，該第二半導體層也可以包含一鍺矽層以及配置在其上的n摻雜矽層。

在牢固該基板之前，具有一平面的電絕緣層可以在包含該處理輔助基板的層序列上形成。一電絕緣層，其較佳是利用與該電絕緣結構相同材料所形成，造成特別成功地黏著，也在該基板表面處提供。

該基板可以利用黏著的方式牢固。

一金屬化材料，例如是用以形成一金屬半導體接點，可以應用至該（未覆蓋）半導體結構及/或該（未覆蓋）

五、發明說明（9）

電傳導層及/或該（未覆蓋）側向圖形化電傳導層。如果該半導體結構及/或該電傳導結構包含矽材料，矽化物便受到該應用金屬化材料的影響。矽化物，換言之一金屬半導體化合物的形成，造成用於該半導體結構的低接觸阻抗，其可以使用做為源極/汲極區域及/或用於可以使用為閘極的電傳導結構。

對於該層排列而言，其較佳地是設計或連接或適合於一雙閘極場效電晶體。

特別的，該第一半導體層可以設計為一通道區域，該半導體結構可以設計為第一與第二源極/汲極區域，該電傳導層可以設計為一第一閘極，該第一電絕緣層可以設計為一第一閘極絕緣層，該電傳導結構可以設計為一第二閘極，而該第二電絕緣層可以設計為一第二閘極絕緣層。

本發明的示範實施例是在後續圖示中描繪，並在後續文字中詳細說明。

相等或相似的元件在不同圖示中是以相同的參考標註所指明。

在圖示中呈現的描繪為圖示結構而不用於限制尺寸。

在第1圖中顯示的配置圖，描繪一雙閘極場效電晶體的全體裝置配置，其已經使用根據本發明的程序所製造。第2至第6圖顯示在用於製造根據本發明的雙閘極場效電晶體程序各自步驟之間，從第1圖的斷面線A-A'上穿過層序列的橫斷面圖。第8圖顯示從第1圖的斷面線A-A'上的橫斷面圖，並顯示一接點連接元件，用以將該閘極區域接點連

五、發明說明（10）

接至第7圖中顯示配置的替代執行。

後續文字為參考第1圖，描述根據本發明示範實施例一雙閘極場效電晶體100的配置平面圖。

其顯示該雙閘極場效電晶體100所利用一第一微影步驟定義的一主動區域101。此主動區域包含介於一第一源極/汲極區域105與一第二源極/汲極區域106之間的一通道區域（在第1圖中未顯示）。

此外，第1圖顯示一閘極定義區域102，其利用一第二微影步驟的方式定義。

一第三微影步驟定義一底部閘極接點洞定義區域103，藉此定義該底部閘極區域108的接點洞。

該其他的接點洞是以一第四微影步驟所定義，換言之，劃定另一接點洞定義區域104。

第1圖顯示該雙閘極場效電晶體100的一頂部閘極區域107與一底部閘極區域108。

第1圖也結構化地描繪使用以製造該雙閘極場效電晶體100的材料。參考數字109標註單晶矽（單晶、c-矽）、參考數字110標註二氧化矽（SiO_2）、參考數字111標註金屬化材料、參考數字112標註矽化物（一種矽金屬材料）、參考數字113標註氮化矽（Si_3N_4）、參考數字114標註多矽（多結晶矽）、參考數字115標註高孔隙率矽（換言之，具有高度孔隙率的矽）、參考數字116標註低孔隙率矽（換言之，具有低度孔隙率的矽）、參考數至117標註p++矽，而參考數字118標註n-矽。

五、發明說明（11）

後續文字則參考第2至第7圖，描述用以製造在第1圖中顯示根據本發明一第一示範實施例的雙閘極場效電晶體100的程序。

為了獲得在第2圖中顯示，以一塊狀矽晶圓201開始的層序列200，其在一後續矽材料後向蝕刻期間使用做為一蝕刻終止層的p++矽層202，是形成在該塊狀矽晶圓201之上。做為該p++矽層202的替代，其也可能成長具有一般為大於20％適當鍺濃度的層，其用於與該p++矽層202的相同目的，換言之，做為一蝕刻終止層。

接著，在該p++矽層202上附加成長一n-矽層203。該n-矽層203可以使用為在該多孔矽材料中形成孔隙時的蝕刻終止層。

接著，附加成長位在第2圖中顯示的一微弱摻雜單晶矽層（c-矽），其形成用於多孔矽層後續形成的種子層。接著，在一電鍍溶液中以一控制方式形成一多孔矽層。對於該多孔矽層而言較佳地是以一低孔隙率/高孔隙率剖面形成，因此可達成良好品質的該頂部矽成長。因此，一高孔隙率矽層204是遍及該n-矽層203所形成，並接著在該高孔隙率矽層204上形成一低孔隙率矽層205。

以此方式可獲得在該層序列上附加成長的單晶矽層206。此處理的細節可使用外延層轉移矽絕緣體（ELTRAN-SOI）處理執行，對照[1]，可以在像是該層204、205的一多孔層上，獲得非常良好品質的c-矽層206。

為了獲得在第3圖中顯示的層序列300，首先，利用一

五、發明說明（12）

第一微影處理定義該雙閘極矽絕緣體電晶體100的主動區域（對照第1圖中的主動區域101）。為此目的使用一第一遮罩。接著，該單晶矽層206的材料與該多孔層204、205的材料，是利用使用此遮罩，以該n-矽層203做為一蝕刻終止層的乾式蝕刻方式移除。

對照[2]，可以在該多孔矽層材料與一單晶矽層材料之間，達成20：1或更大的選擇性。

接著，在以此方式獲得的層序列上，沈積氧化矽材料，並利用化學機械研磨法（CMP）處理，以該通道區域做為一終止層，換言之該圖形化單晶矽層206，而將其平面化。

接著，利用氧化矽材料對於矽材料為選擇性蝕刻的方式，執行一乾式後向蝕刻處理。其結果為氧化矽結構301。

接著，沈積氮化矽材料，並以通道區域做為一終止層，換言之該側向圖形化單晶矽層206，的化學機械研磨法處理平面化。在此方法中，在該氧化矽結構301得到第3圖中顯示的氮化矽結構302。該通道區域可以選擇性地在該化學機械研磨法處理步驟之前輕度地氧化，形成一薄保護層的型式。該氮化矽層302的厚度應該選擇為大概等於該單晶矽層206的厚度。

該圖形化單晶矽層206的未覆蓋矽材料，接著是以熱氧化方式處理，形成一第一閘極絕緣層303（底部閘極氧化物）的型式。

五、發明說明（13）

之後，首先沈積該多矽材料，接著在其上沈積氮化矽材料，並在該氮化矽材料上沈積氧化矽材料。

之後，以一第二微影處理的方式定義一閘極定義區域102，換言之，使用一第二遮罩。首先，該沈積氧化矽層、接著的沈積氮化矽層以及最後的沈積多矽層，是以使用此遮罩的後向蝕刻處理方式進行側向圖形化，此結果得到包括一第一閘極304、在其上形成的一氮化矽層305以及在該氮化矽層305上配置的氧化矽層306的側向受限層序列。在此情況中，該第一閘極絕緣層303是做為一蝕刻終止層。

接著，一致地沈積一氮化矽材料層，以製造閘極間隔器。執行一非等向性閘極間隔器蝕刻步驟，其結果在該側向圖形化層304至306的側壁上得到氮化矽間隔器307。

後續參考第4圖的文字，描述一蝕刻步驟序列，其中該閘極堆疊與一氮化矽絕緣層是做為一遮罩。

為了得到第4圖中顯示的層序列400，首先該第一閘極絕緣層303的未覆蓋區域是以蝕刻方式（一般來說該第一閘極絕緣層303的厚度為數奈米）移除。接著，使用一非等向性蝕刻步驟以對該氮化矽材料與該氧化矽材料選擇性蝕刻，因此該單晶矽層206的未覆蓋表面區域便被移除。接著，執行一蝕刻處理，對該氮化矽選擇性蝕刻多孔矽（換言之，該層204、205的未覆蓋區域）。在此情況中，該n-矽層203（或該p++矽層202）是使用做為該蝕刻終止層（替代的，對一矽鍺層而言也可能做為該蝕刻終止

五、發明說明（14）

層）。

該層204、205的孔隙率在此乾式蝕刻步驟之後可造成不同的粗糙度。在氫環境中的一選擇性烘乾步驟，或是在高溫的小量氣相矽的選擇性附加，有助於表面的平滑化（對照外延層轉移處理）。另一方面，矽材料的後續額外成長可解決此問題。

接著，晶矽材料或多矽材料則在該n-矽層203的表面上成長。該成長矽材料是成長為在第4圖中的多晶矽結構。

接著，執行一非等向性蝕刻步驟，以蝕刻氮化矽材料與氧化矽材料。在此過程中一良好等向性蝕刻步驟是有利的。在該閘極線304上的頂部氧化矽層306提供在該氮化矽蝕刻期間的保護，並只在該後續氧化矽蝕刻期間中移除。該氮化矽層305則保留在該第一閘極304上。

接著，一致地沈積氮化矽材料，形成一氮化矽覆蓋層401的型式。

此氮化矽覆蓋層401滿足許多目的，首先保護該閘極區域的自我對齊，而接著為電絕緣。該氮化矽覆蓋層401也補償在底部閘極間隔器307中，可能在之前乾式蝕刻步中形成的潛在傷害。

接著，沈積一厚氧化矽層，並利用化學機械研磨法處理平面化，形成一氧化矽覆蓋層402的產物。

為了得到第5圖中顯示的層序列500，首先為了一後續的晶圓黏著步驟準備該層序列400。此外，一處理晶圓

五、發明說明（15）

501，該表面區域包含氧化矽材料，也為了後續黏著處理所準備。此準備可能涉及被黏著晶圓400、501表面的化學活化或電漿活化。接著，該處理晶圓是在一黏著介面502處，以晶圓黏著的方式牢固在該平面氧化矽覆蓋層402，而所得到的層結構是進行一熱處理，以極化彼此黏著區域的黏著力。

明顯的，如第4圖所顯示的層序列400上方表面，是在該黏著介面502處，與該處理晶圓501的表面接觸，並以晶圓黏著的方式與其結合。

為了得到在第6圖中顯示的雙閘極場效電晶體600，首先從該層序列500，也就是該塊狀矽晶圓201、該p++矽層202與該n-矽層203的頂部側移除材料。該頂部晶圓材料的移除受到研磨材料或該智慧剝離處理等等的影響，並接著受到在像是EDP、KOH、TMAH或Choline等鹼性溶液中殘餘矽的選擇性後向蝕刻方式影響。在此，該p++摻雜矽層202做為一蝕刻終止層。接著，移除該p++摻雜矽層202與該n-矽層203，執行一化學機械研磨法處理，或執行氧化矽的氧化及濕式蝕刻。

接著，該多孔矽204、205，換言之該高孔隙率矽層204與該低孔隙率矽層205，是利用一選擇性蝕刻方式移除。藉由使用一氫化氟（HF）/二氧化氫（H_2O_2）/水（H_2O）的混合物，可達成介於該多孔矽材料（換言之，該層204、205）蝕刻與該晶矽（換言之該化合物403、206）蝕刻之間為100000的選擇性。因此，位在該多孔層204、

五、發明說明（16）

205之下的非多孔矽206、403並不會降級。未覆蓋氧化矽材料也可以在此選擇性蝕刻步驟期間移除。該多孔矽蝕刻定義該兩閘極區域的自我對齊。因為該描述的蝕刻處理對於氮化矽材料有選擇性，該形成的溝渠側壁將在不需要另外微影步驟下，促進該自我對齊（對照在第7圖中穿過該閘極的橫斷面圖）。

接著，執行氫環境中的熱處理，以在該矽表面處移除微糙度。這也可以利用一犧牲氧化步驟並移除該氧化矽的方式達成。

接著，該單晶矽層206的未覆蓋表面區域被熱氧化，因此形成一頂部氧化矽層，也就是一第二閘極絕緣層602。在此處理步驟中，該晶矽結構的未覆蓋表面，其接著被使用為該雙閘極場效電晶體600的源極/汲極區域，也被氧化並因此提供一氧化矽薄層。在該之後源極/汲極區域上的氧化矽薄層可有利地用於避免"通道（channeling）"效應，換言之，在一後續佈植步驟期間中，避免不想要的摻雜材料深度貫穿，其摻雜材料是散佈於該氧化矽表面層之上。

在形成該第二閘極絕緣層602之後，沈積多矽材料並選擇性地在原處摻雜），且以此方式得到的層序列是遭受一化學機械研磨法處理步驟。在該化學機械研磨法處理中，該氮化矽表面層401做為一終止層。一特定數量的多矽材料接著被後向蝕刻，以避免再以此方法形成該第二閘極603與該之後源極/汲極區域403之間的短路。換句話

說，多矽材料是移除延伸至一形成的小溝渠。

之後進行一佈植步驟，以將摻雜材料佈植進入該晶矽結構403的兩區域之中，根據第6圖，其是鄰近於在該左手側與右手側上通道區域的該單晶矽層206，形成源極/汲極區域403的型式。

接著，移除在該第二閘極絕緣層602形成期間，可能已經在該晶矽結構403未覆蓋表面區域上形成的氧化矽材料。接著，沈積一金屬化材料（例如鈷），形成在該源極/汲極區域403與該第二閘極603上形成的一種自我對齊矽化物（一種矽-鈷化合物）。這些矽化物終端是以參考數字604標註。最後，在以此方法得到的層序列上，沈積一氧化矽厚層，並以化學機械研磨法處理方式平面化，形成一種氧化矽覆蓋層605的型式。

該後續文字參考第7圖，描述一種從第1圖斷面圖B-B'採用的層序列700，並顯示用於電驅動該第一閘極304與該第二閘極603的接點連接。

首先，該頂部閘極304的一接點區域，是利用一第三微影步驟定義，為此目的則使用一第三遮罩（對照第1圖）。該氧化矽覆蓋層605的氧化矽材料則以該矽終端604為一蝕刻終止層，遭受一非等向性蝕刻步驟。接著，該矽化物材料604則以多晶矽材料做為終止層，遭受一非等向性蝕刻步驟。接著，該多晶矽材料則以氮化矽材料做為終止層，遭受一非等向性蝕刻步驟。接著，從以此方式得到的層序列表面上移除該光阻抗。

五、發明說明（18）

該矽化物層605與該頂部閘極多矽層603是側向遭受一受控制的熱氧化，形成介於頂部閘極603與底部閘極304之間的電絕緣。

接著，以多矽材料304做為一終止層執行氮化矽材料的非等向性蝕刻。引入金屬材料進入所形成的溝渠中，形成該接點701。一金屬半導體接點則在介於用於該頂部閘極603接點連接的接點701，與該矽化物終端604之間的邊界區域中形成。

在第1圖中顯示的額外接點洞定義區域104，則使用一第四微影遮罩所形成。接著，可執行一後端處理。

做為第7圖的替代，如在第8圖中描述的層序列800中所顯示，該第三微影遮罩可以被設計為剛好只有一通道接點801與矽化物接點連接元件902的方式，結合執行該頂部閘極603與該底部閘極304，其中電極304、603兩者是使用一共同閘極電壓所啟動，產生一種就其電路而論為特別簡單的配置。

該後續文字參考第9圖，描述一層序列900，其與第7圖一樣，從第1圖斷面圖B-B'所採用。

該層序列900描述一種根據用於形成在第7、第8圖中顯示矽化物的替代處理所得到的結構。該層序列900大致上與該層序列700的不同處在於，該頂部閘極304、該頂部閘極603與該兩源極/汲極區域105、106（未在第9圖中顯示）是以共同矽化物接點連接元件901所提供，其是在一共同處理步驟中形成。

五、發明說明 (19)

為了形成對應於該層序列900的雙閘極場效電晶體，該處理需要對於參考第2至第6圖所描述的處理修正，如以下所敘述。該處理與參考第2至第5圖所描述的處理相同。在該晶矽結構403的未覆蓋表面上形成氧化矽材料之後，當形成的第二閘極絕緣層602已經移除時，與在第6圖中所顯示處理所不同的，在於根據此描述的替代方法並不立即沈積一金屬化材料（例如鈷）。取代的是，在一後續處理步驟中執行矽化物形成，且在一稍後階段同樣只執行形成該氧化矽覆蓋層605。根據該描述的替代方法，用以形成該底部閘極304接點區域的該第三微影步驟，是立即在該頂部閘極603的完成之後實行。在以此方法製造用於該底部閘極603接點連接的接點洞之後，該頂部閘極603的未覆蓋完全表面、以該接點洞方式而未覆蓋的底部閘極304表面區域，以及該未覆蓋源極/汲極區域105、106，是在一共同處理步驟中矽化。因為在一共同處理步驟中形成多數矽化物接點連接元件901，此處理是符合經濟效益的。接著，形成一氧化矽覆蓋層605，最後便得到該層序列900。在根據第1圖的斷面圖A-A'中，此形成與第6圖一致的雙閘極場效電晶體。

本文件引用後續文件：

[1] "Silicon Wafer Bonding Technology for VLSI and MEMS application", Iyer, SS, Auberton-Herve, AJ (eds.), Inspect IEE, 2002

五、發明說明 (20)

[2] Tserepi, A, Tamis, C, Gogolides, E, Nassipoulou, AG, (2003) PhyStatSol A 197, 163

[3] Lehmann, Volker, "Electrochemistry of Silicon", chapter 6, Wiley-VCH-Verlag, 2002

[4] DE 102 23 719 C1

[5] DE 102 23 709 A1

圖式簡單說明

第1圖顯示根據本發明第一示範實施例的雙閘極場效電晶體配置平面圖。

第2圖顯示在製造根據本發明該第一示範實施例的雙閘極場效電晶體的處理期間，於一第一瞬間從第1圖的斷面線A-A'上穿過層序列的橫斷面圖。

第3圖顯示在製造根據本發明該第一示範實施例的雙閘極場效電晶體的處理期間，於一第二瞬間從第1圖的斷面線A-A'上穿過層序列的橫斷面圖。

第4圖顯示在製造根據本發明該第一示範實施例的雙閘極場效電晶體的處理期間，於一第三瞬間從第1圖的斷面線A-A'上穿過層序列的橫斷面圖。

第5圖顯示在製造根據本發明該第一示範實施例的雙閘極場效電晶體的處理期間，於一第四瞬間從第1圖的斷面線A-A'上穿過層序列的橫斷面圖。

第6圖顯示從第1圖的斷面線A-A'上，穿過根據本發明該第一示範實施例雙閘極場效電晶體的橫斷面圖。

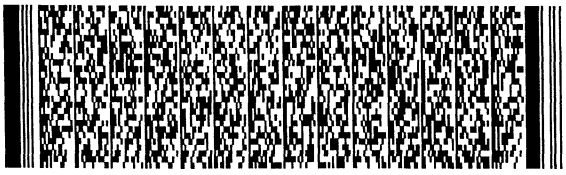
第7圖顯示從第1圖的斷面線B-B'上，穿過根據本發明該第一示範實施例雙閘極場效電晶體的橫斷面圖。

第8圖顯示從第1圖的斷面線B-B'上，穿過根據本發明該第二示範實施例雙閘極場效電晶體的橫斷面圖。

第9圖顯示從第1圖的斷面線B-B'上，穿過根據本發明該第三示範實施例雙閘極場效電晶體的橫斷面圖。

主要元件符號說明：

A-A'、B-B' 斷面線　　100 雙閘極場效電晶體



圖式簡單說明

101 主動區域　102 閘極定義區域

103 底部閘極接點洞定義區域　104 額外接點洞定義區域

105 第一源極/汲極區域　106 第二源極/汲極區域

107 頂部閘極區域　108 底部閘極區域

109 單晶矽　110 二氧化矽

111 金屬　112 矽化物

113 氮化矽　114 多矽

115 高孔隙率矽　116 低孔隙序矽

117 p++矽　118 n-矽

200、300、400、500、700、800、900 層序列

201 塊狀矽晶圓　202 p++矽層

203 n-矽層　204 高孔隙率矽層

205 低孔隙率矽層　206 單晶矽層

301 氧化矽結構　302 氮化矽結構

303 第一閘極絕緣層　304 第一閘極極

305 氮化矽層　306 氧化矽層

307 氮化矽間隔器　401 氮化矽覆蓋層

402、605 氧化矽覆蓋層　403 晶矽結構

501 處理晶圓　600 雙閘極場效電晶體

601 額外氮化矽間隔器　602 第二閘極絕緣層

603 第二閘極極　604 矽化物終端

606 通道區域　701、801 通道接點

802 矽化物接點連接元件

901 共同矽化物接點連接元件

四、中文發明摘要　（發明名稱：層排列製造方法及層排列）

本發明與一種製造層排列的方法有關，該層排列可以形成一種雙閘極場效電晶體。在此方法中，在一輔助基板上形成一多孔矽層以做為犧牲層。在該犧牲層上形成一第一半導體層，並在該第一半導體層上形成一第一電絕緣層。在該第一電絕緣層上形成一電傳導層，該電傳導層是受到側向圖形化。使用該側向圖形化電傳導層做為遮罩，一起圖形化該第一電絕緣層、該犧牲層以及該第一半導體層。此外，鄰近於該圖形化犧牲層與該圖形化第一半導體層的側壁，形成一半導體結構。一基板是被牢固於該圖形化電傳導層上，並移除該輔助基板的材料，使該犧牲層變為未覆蓋。此外，選擇性地移除該犧牲層，以形成一溝渠，並在該溝渠中形成一第二電絕緣層，接著在此第二電絕緣層上形成一電傳導結構。

五、英文發明摘要　（發明名稱：Process For Producing A Layer Arrangement And Layer Arrangement ）

The invention relates to a process for producing a layer arrangement, which layer arrangement allows a dual gate field-effect transistor to be formed. In this process, a porous silicon layer is formed as sacrificial layer on an auxiliary substrate. A first semiconductor layer is formed on the sacrificial layer, and a first electrically insulating layer is formed on the

四、中文發明摘要　（發明名稱：層排列製造方法及層排列）

五、英文發明摘要　（發明名稱：Process For Producing A Layer Arrangement And Layer Arrangement ）

first semiconductor layer. An electrically conductive layer is formed on the first electrically insulating layer, which electrically conductive layer is laterally patterned. The first electrically insulating layer, the sacrificial layer and the first semiconductor layer are jointly laterally patterned using the laterally patterned electrically conductive layer as a mask.

四、中文發明摘要　（發明名稱：層排列製造方法及層排列）

五、英文發明摘要　（發明名稱：Process For Producing A Layer Arrangement And Layer Arrangement ）

Furthermore, a semiconductor structure is formed adjacent to side walls of the patterned sacrificial layer and of the patterned first semiconductor layer. A substrate is secured over the patterned electrically conductive layer, and material of the auxiliary substrate is removed, so that the sacrificial layer is uncovered. Furthermore, the sacrificial layer is selectively

四、中文發明摘要　（發明名稱：層排列製造方法及層排列）

五、英文發明摘要　（發明名稱：Process For Producing A Layer Arrangement And Layer Arrangement ）

removed, so as to form a trench, and a second electrically insulating layer is formed in the trench, then an electrically conductive structure is formed on this second electrically insulating layer.

六、申請專利範圍

1. 一種製造層排列的方法，其中：
   - 在一輔助基板上形成一多孔矽層，以做為一犧牲層；
   - 在該犧牲層上形成一第一半導體層；
   - 在該第一半導體層上形成一第一電絕緣層；
   - 在該第一電絕緣層上形成一電傳導層；
   - 將該電傳導層側向圖形化；
   - 使用該側向圖形化電傳導層做為一遮罩，將該第一電絕緣層、該犧牲層以及該第一半導體層一起側向圖形化；
   - 在與該圖形化犧牲層與該圖形化第一半導體層的側壁鄰近處，形成一半導體結構；
   - 在該圖形化電傳導層上牢固一基板；
   - 移除該輔助基板的材料，使該犧牲層變為未覆蓋；
   - 選擇性地移除該犧牲層，以形成一溝渠；
   - 在該溝渠中形成一第二電絕緣層，並在該第二電絕緣層上形成一電傳導結構。
2. 如申請專利範圍第1項的方法，其中所使用的該輔助基板是一種塊狀半導體基板。
3. 如申請專利範圍第1或第2項的方法，其中所使用的該輔助基板是一種塊狀矽基板。
4. 如申請專利範圍第1或第2項的方法，其中所使用的該多孔矽層是一種具有第一孔隙率的矽層以及配置在其上具有第二孔隙率的矽層，該第一孔隙率大於該第二孔隙率。

六、申請專利範圍

5. 如申請專利範圍第1或第2項的方法，其中所使用的該第一半導體層是一單晶矽層。

6. 如申請專利範圍第1或第2項的方法，其中所使用的該電傳導層是一多晶矽層。

7. 如申請專利範圍第1或第2項的方法，其中所使用的該半導體結構是一單晶矽材料。

8. 如申請專利範圍第1或第2項的方法，其中該選擇性地移除該犧牲層是以一蝕刻方法的方式所執行，藉此方法該犧牲層的材料對於該半導體結構的材料而選擇性地移除。

9. 如申請專利範圍第1或第2項的方法，其中用於該電傳導結構的材料是一多晶矽。

10. 如申請專利範圍第1或第2項的方法，其中在該輔助基板與該犧牲層之間形成一第二半導體層。

11. 如申請專利範圍第10項的方法，其中所使用的該第二半導體層是一種p摻雜矽層以及配置在其上的n摻雜矽層。

12. 如申請專利範圍第11項的方法，其中該p摻雜矽層的摻雜物濃度是大於該n摻雜矽層的摻雜物濃度。

13. 如申請專利範圍第12項的方法，其中所使用的該第二半導體層是一種鍺-矽層，且在其上配置一n摻雜矽層。

14. 如申請專利範圍第1或第2項的方法，其中在牢固該基板之前，在由該處理輔助基板所衍生的層序列上形成

六、申請專利範圍

具有一平面表面的電絕緣結構。

15. 如申請專利範圍第1或第2項的方法，其中該基板是利用黏著的方式牢固。

16. 如申請專利範圍第1或第2項的方法，其中一種金屬化材料是施加於該半導體結構及/或該電傳導結構及/或該側向圖形化電傳導層。

17. 如申請專利範圍第1或第2項的方法，其中該層排列是設計做為一種雙閘極場效電晶體。

18. 如申請專利範圍第17項的方法，其中：

- 該第一半導體層是設計做為一通道區域；
- 該半導體結構是設計做為源極/汲極區域；
- 該電傳導層是設計做為一第一閘極；
- 該第一電絕緣層是設計做為一第一閘極絕緣層；
- 該電傳導結構是設計做為一第二閘極；
- 該第二電絕緣層是設計做為一第二閘極絕緣層。

19. 一種使用做為雙閘極場效電晶體的層排列，

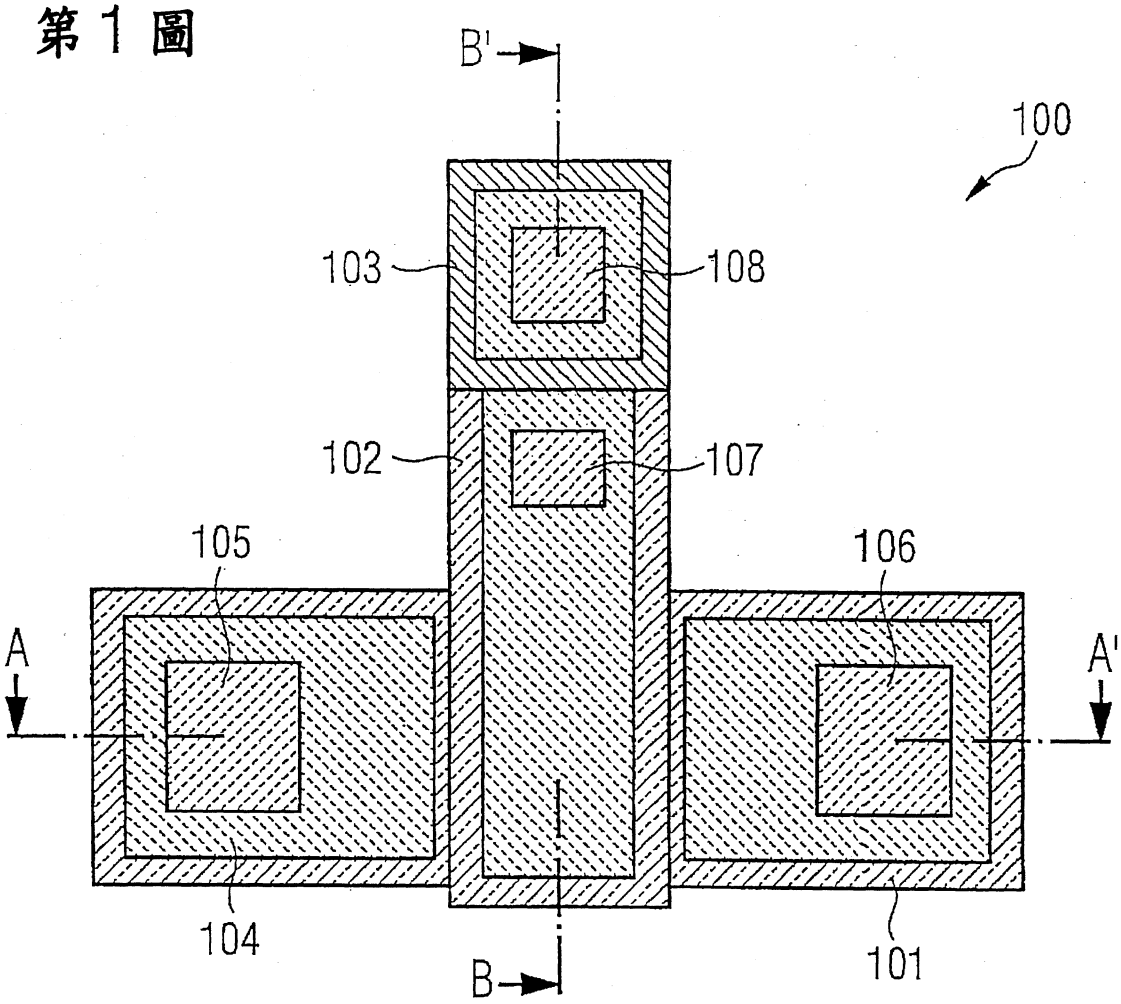
- 具有一輔助基板；
- 具有一多孔矽層，做為在該輔助基板上的犧牲層；
- 具有在該犧牲層上的一第一半導體層；
- 具有在該第一半導體層上的一第一電絕緣層；
- 具有在該第一電絕緣層上的一電傳導層；
- 側向圖形化該電傳導層；
- 使用該側向圖形化電傳導層做為一遮罩，一起側向圖形化該第一電傳導層、該犧牲層以及該第一半導體

六、申請專利範圍

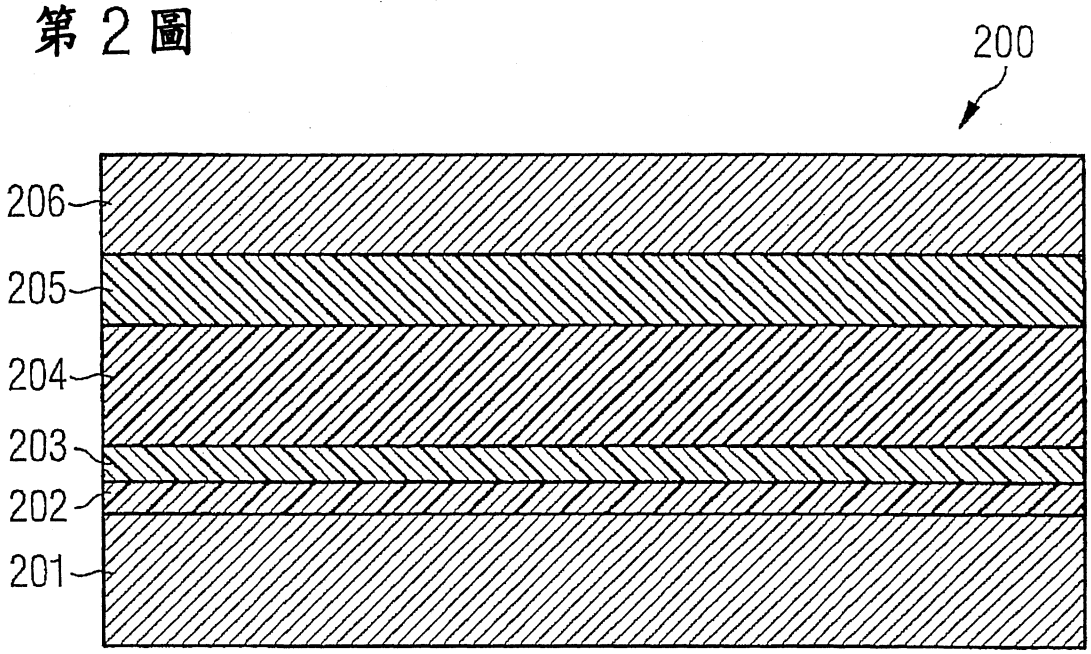
層；

- 具有一半導體結構，其鄰近於該圖形化犧牲層與該圖形化第一半導體層的側壁；
- 具有一基板，其牢固於該圖形化電傳導層上。

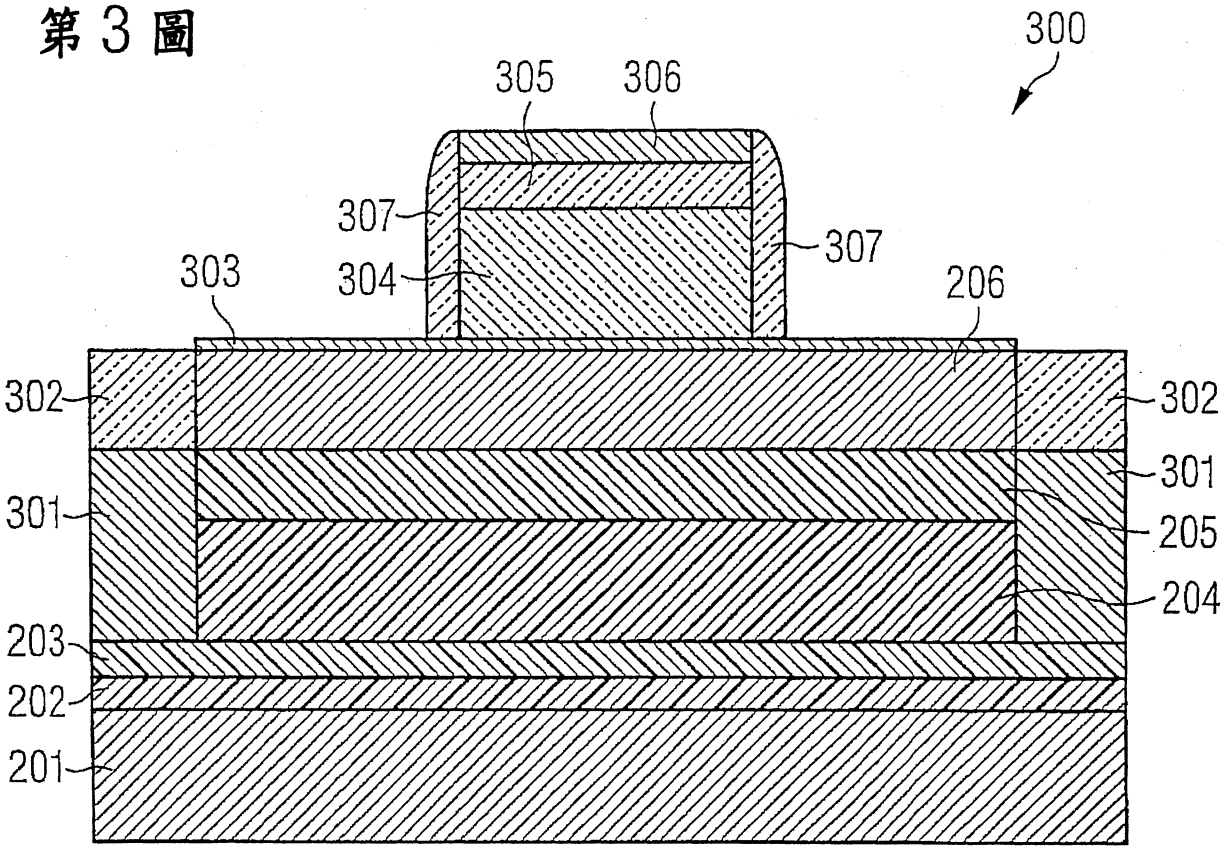
第 1 圖


B'
100
103
108
102
107
105
106
A
A'
104
101
B
109
110
111
112
113
114
115
116
117
118

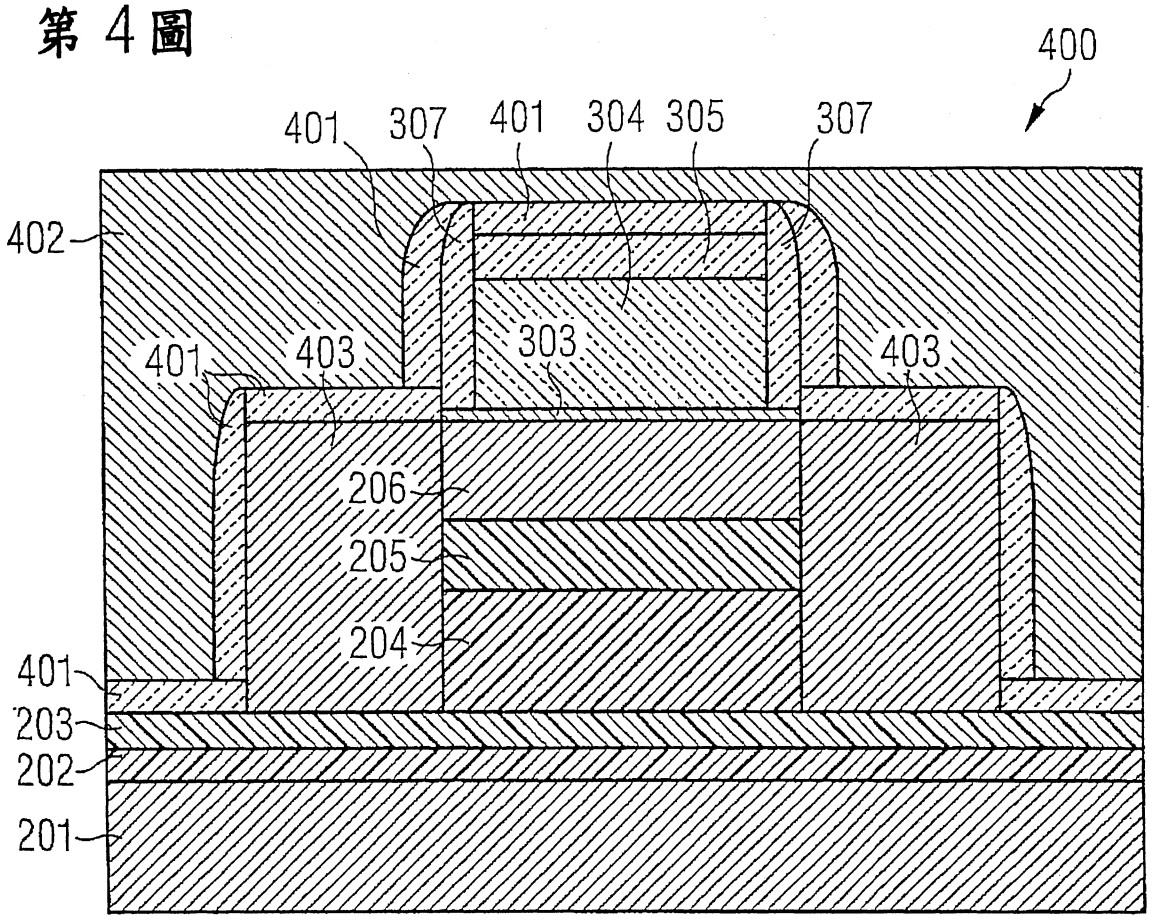
第 2 圖



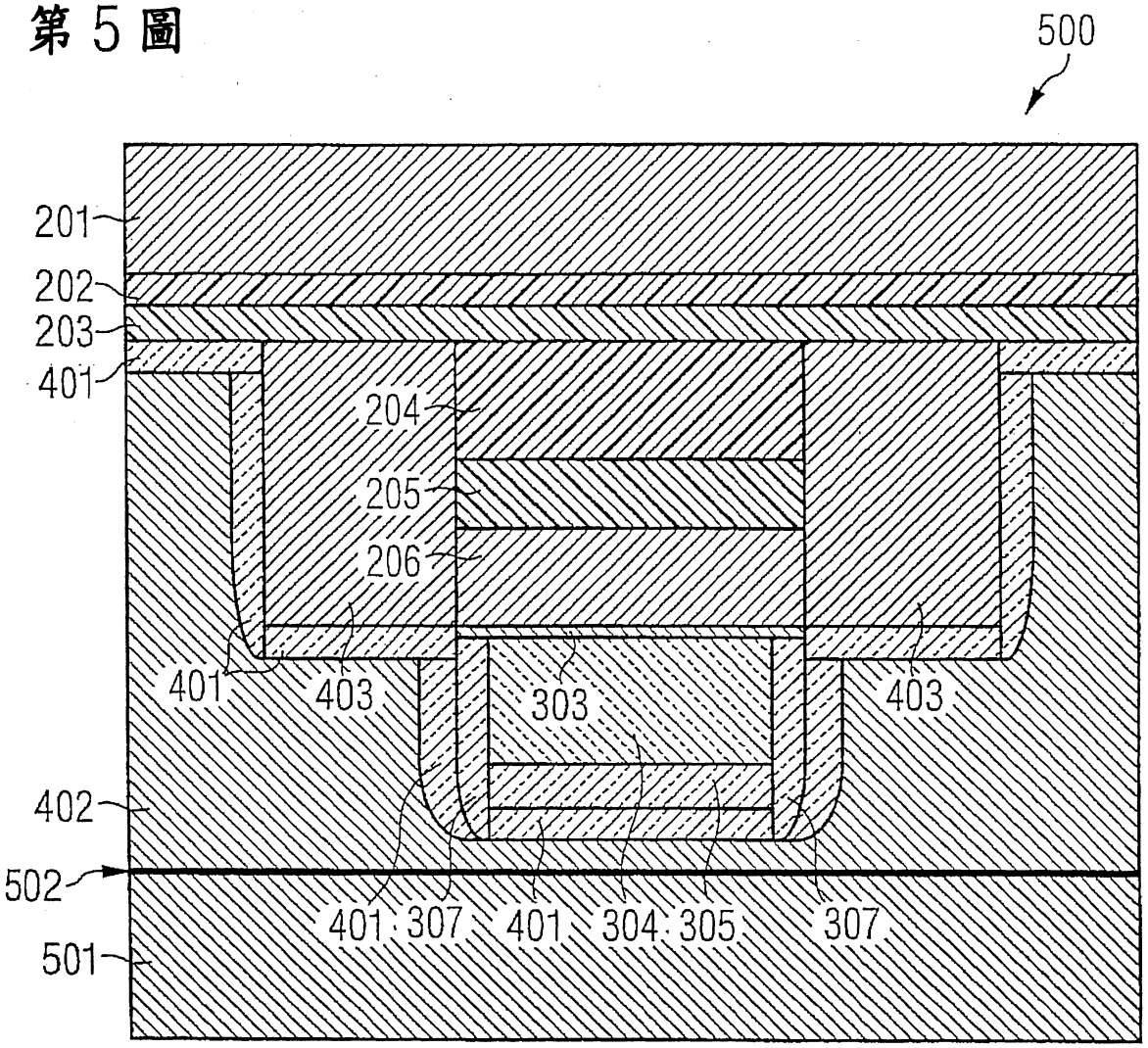
第 3 圖


300
305
306
307
307
303
304
206
302
302
301
301
205
204
203
202
201

第 4 圖

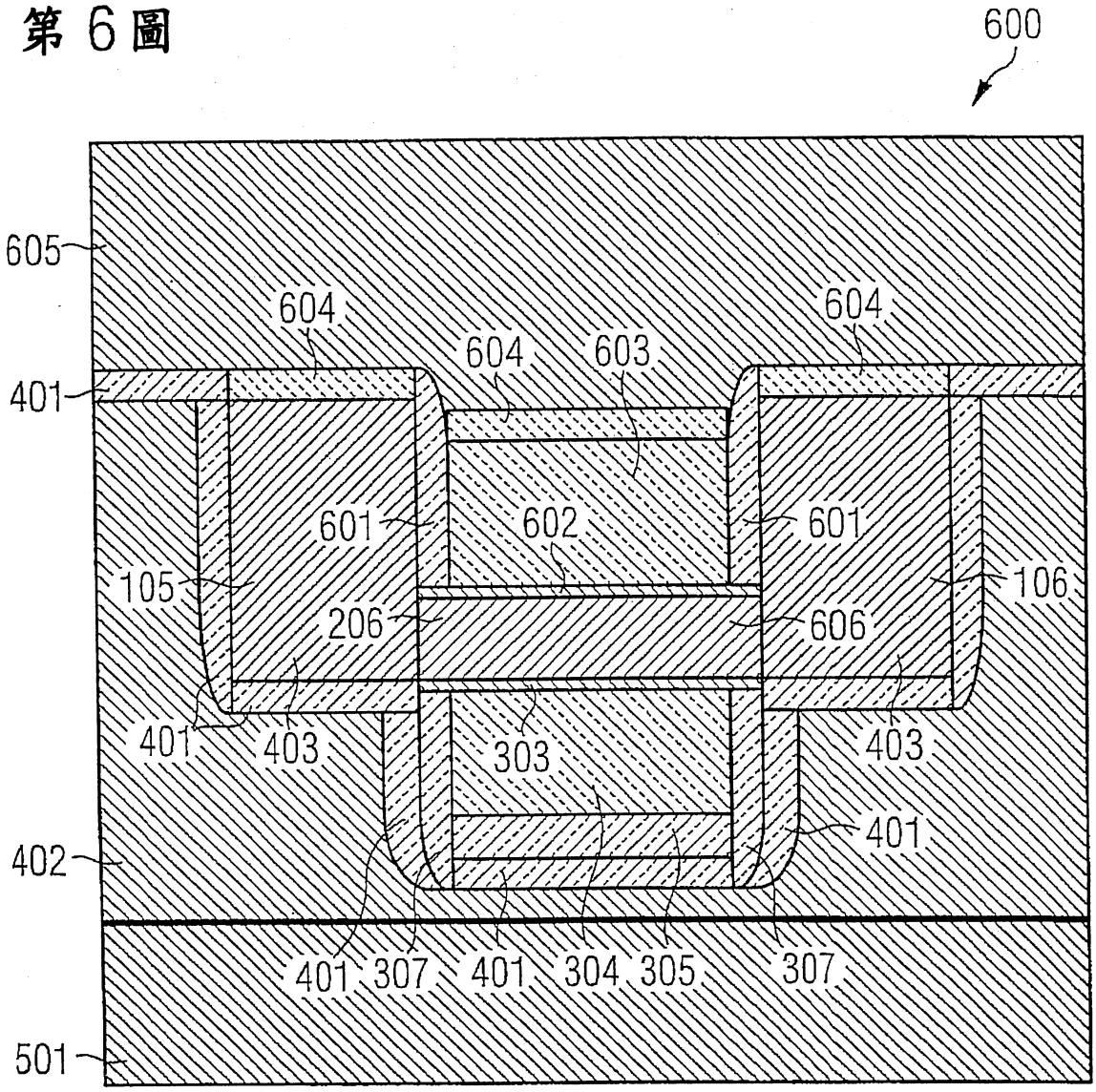

400
401
307
401
304
305
307
402
401
403
303
403
206
205
204
401
203
202
201

第 5 圖

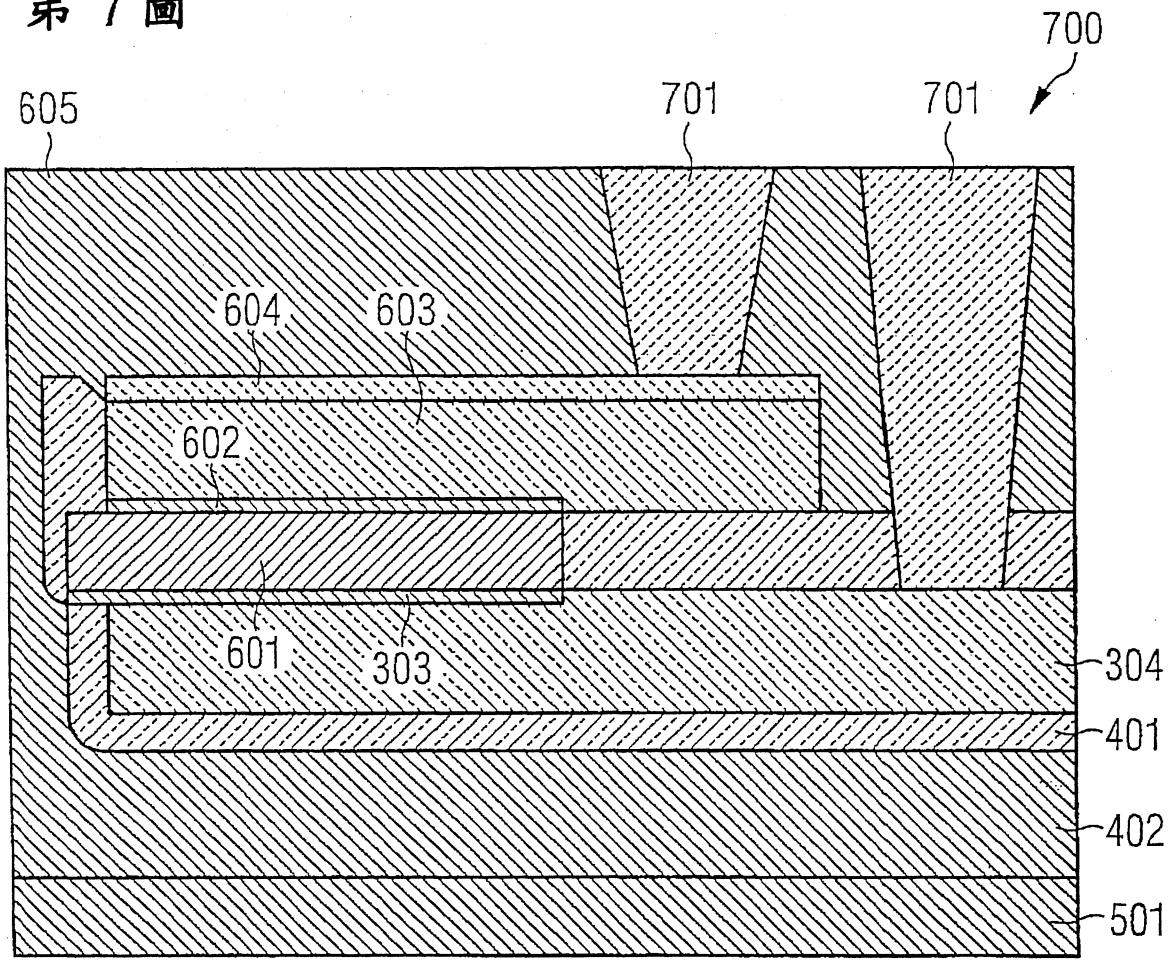

500
201
202
203
401
204
205
206
401
403
303
403
402
502
401
307
401
304
305
307
501

圖式

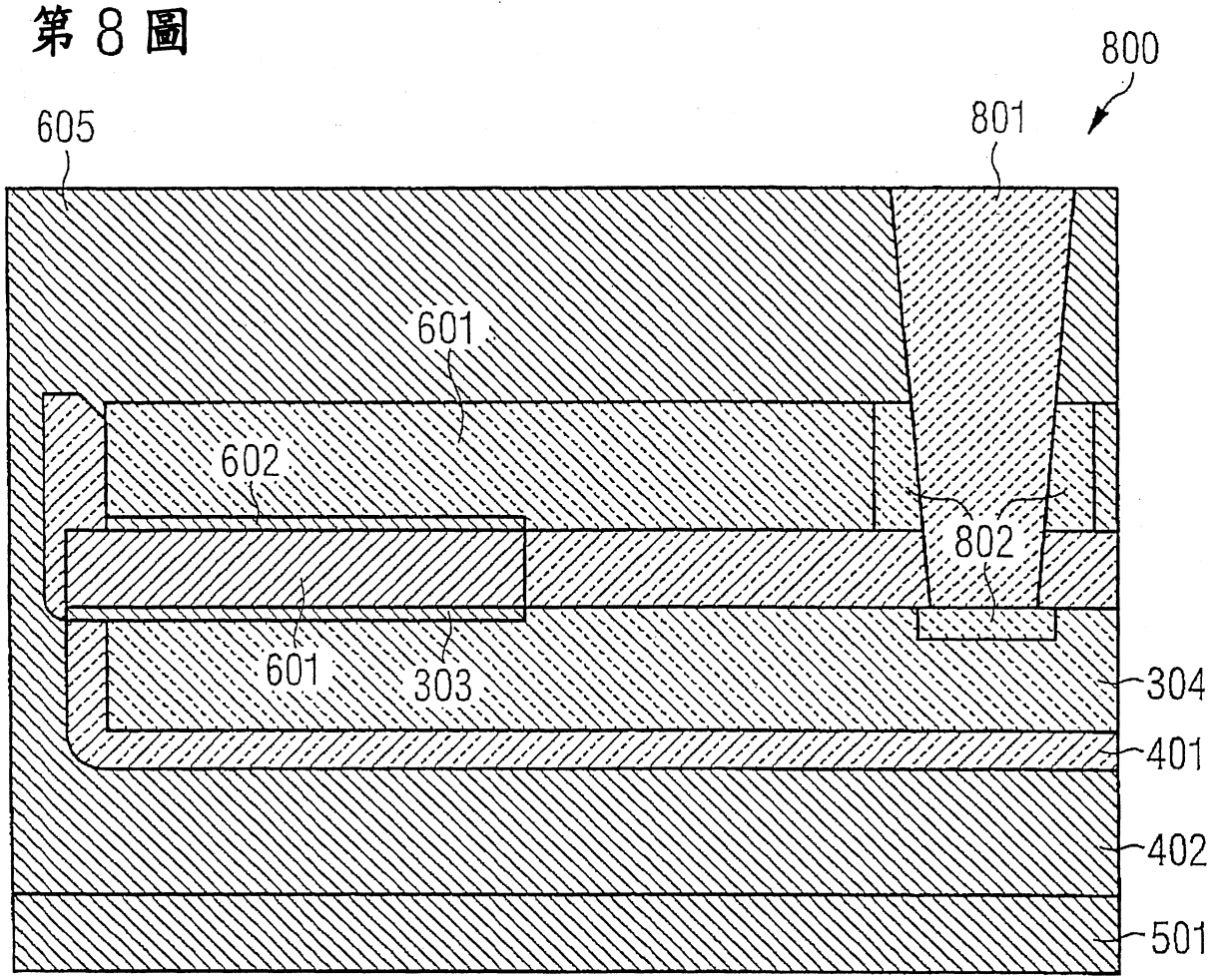
第 6 圖


600
605
604
604
604
603
401
601
602
601
105
106
206
606
401
403
303
403
401
402
401
307
401
304
305
307
501

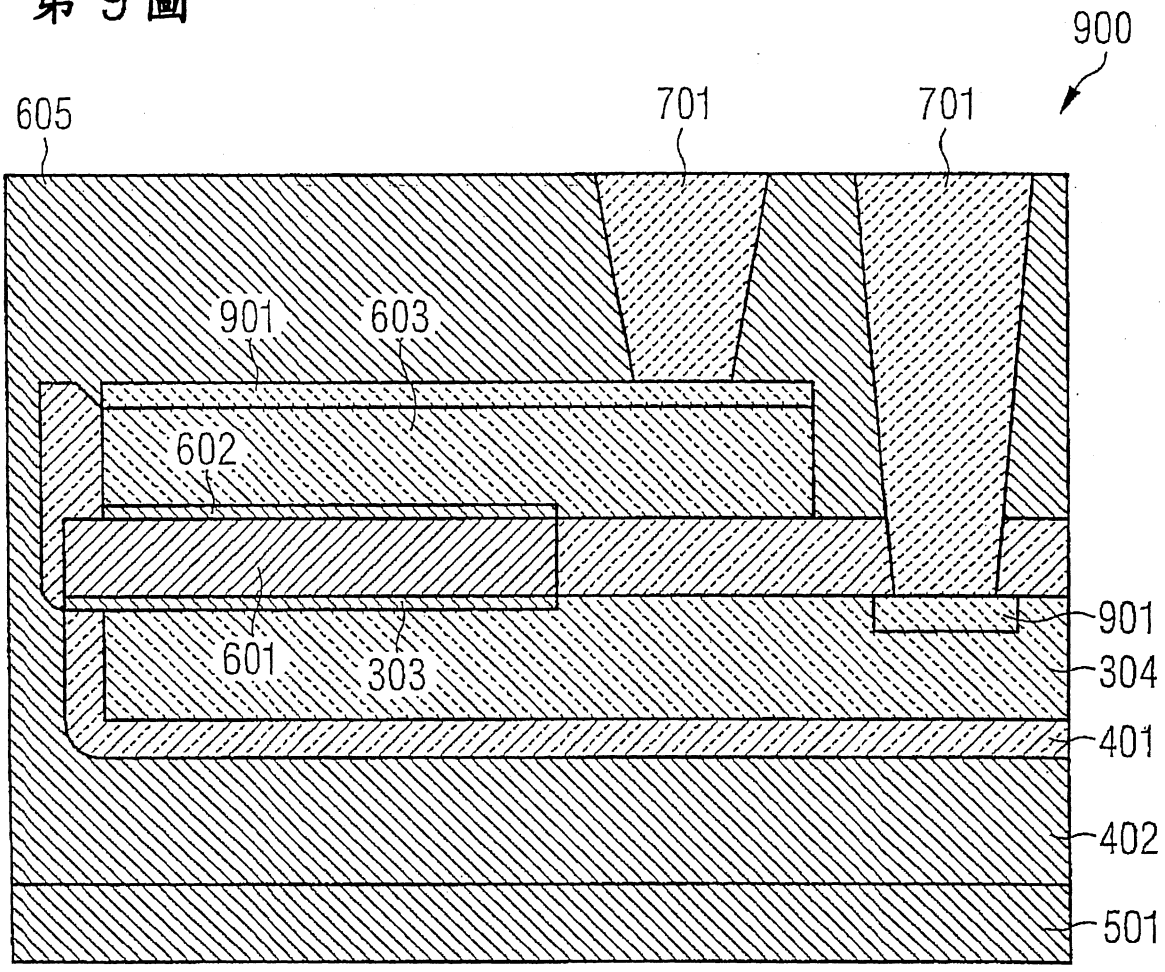
第 7 圖



第 8 圖



第 9 圖



六、指定代表圖

（一）、本案代表圖為：第____6____圖

（二）、本案代表圖之元件代表符號簡單說明：

105 第一源極/汲極區域
106 第二源極/汲極區域
206 單晶矽層
303 第一閘極絕緣層
304 第一閘極極
305 氮化矽層
307 氮化矽間隔器
401 氮化矽覆蓋層
402 氧化矽覆蓋層
403 晶矽結構
501 處理晶圓
601 額外氮化矽間隔器
602 第二閘極絕緣層
603 第二閘極極
604 矽化物終端
605 氧化矽覆蓋層
606 通道區域