

# 公告本

|      |          |
|------|----------|
| 申請日期 | 91.1.16  |
| 案 號  | 91100560 |
| 類 別  | IPC 7/2  |

A4  
C4

535172

(以上各欄由本局填註)

## 發明專利說明書

|             |               |                                      |
|-------------|---------------|--------------------------------------|
| 一、發明<br>名稱  | 中 文           | 熱敏電阻及其製造方法                           |
|             | 英 文           | THERMISTOR AND METHOD OF MANUFACTURE |
| 二、發明<br>創作人 | 姓 名           | 桂格.拉弗紐塔                              |
|             | 國 籍           | 美 國                                  |
|             | 住、居所          | 美國加州 92084 遠景市星景路 1210 號             |
|             |               |                                      |
| 三、申請人       | 姓 名<br>(名稱)   | 基石感應器有限公司                            |
|             | 國 籍           | 美 國                                  |
|             | 住、居所<br>(事務所) | 美國加州 92083 遠景市北梅爾羅絲路 1304-C 號        |
|             | 代 表 人<br>姓 名  | 桂格.拉弗紐塔                              |

裝

訂

線

(由本局填寫)

|           |
|-----------|
| 承辦人代碼：    |
| 大類：       |
| I P C 分類： |

A6  
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ， ☒有 ☐無主張優先權  
美 2001.01.26 09/770,566

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明（ / ）

### [發明領域]

本發明係關於一種用於溫度測量、控制及/或溫度補償之熱敏電阻與一種用於製造該種熱敏電阻之方法。尤其是，本發明係針對一種具有多層電極金屬之熱敏電阻。

### [發明背景]

熱敏電阻(熱靈敏電阻)係陶瓷半導體，其隨著於溫度的對應變化而表現出於電阻之大的變化。因為其靈敏度、準確度、與穩定度，熱敏電阻係通常被接受作為對於包括溫度測量、補償、與控制之諸多應用的最為有利之感測器。熱敏電阻係廣泛運用於商用消費性電子產品、汽車、工業、與醫療電子應用、食品管理與處理、通訊與儀表、電腦、軍事與太空、以及研究與開發。熱敏電阻之某些實際用途包括液體位準測量、照相、溫度計、靜脈導管、血液分析、心肌探針、自動氣候控制、燃料位準/溫度、用於諸如空調、煮咖啡機之家用電器的溫度感測器、以及諸如空氣、土壤、液體溫度探針之資料記錄日誌應用。熱敏電阻之於攜帶式電話、汽車電話、石英振盪器與收發器之運用係持續擴展中。

熱敏電阻之最為重要的特性係極高的電阻溫度係數以及精密的電阻對(vs.)溫度特性。於一操作溫度範圍，對於溫度變化之靈敏度係可造成一熱敏電阻的電阻變化為千萬比一。先前技藝之小尺寸、方形結構的晶片式(chip)熱敏電阻係可為披覆或未披覆者、具引線或不具引線之實施例，具有攝氏-80 度至攝氏 300 度之操作溫度範圍，且電阻範

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 2 )

圍爲自 0.5 歐姆至 40 百萬歐姆。

一個正溫度係數(PTC, positive temperature coefficient)熱敏電阻之導電性係隨著溫度增高而增高。PTC 熱敏電阻係在一特定溫度時而從一低電阻所切換至一高電阻狀態。其係廣泛運用作爲自攝氏-80 度至攝氏 300 度、0.5 歐姆至 40 百萬歐姆之限流器。反之，一個負溫度係數(NTC, negative temperature coefficient)熱敏電阻之導電性係隨著溫度增高而降低。NTC 熱敏電阻係運用以感測自攝氏-80 度至攝氏 300 度之溫度，具有在攝氏 25 度之標稱電阻爲自 0.5 歐姆至 40 百萬歐姆。因此，其具有一大溫度係數之電阻以及一寬廣範圍之電阻值。其係亦可利用於直徑爲 3 毫米至直徑爲 22 毫米之寬廣尺寸範圍的可適應形狀與尺寸，以針對種種機械環境。對於 NTC 熱敏電阻之典型應用包括風扇控制、溫度感測、電路保護以及溫度控制。當遠距感測爲所需時、小尺寸爲期望時、或者小溫度差異係須測量時，NTC 熱敏電阻係選取。

運用於溫度測量與補償之 NTC 熱敏電阻係通常由種種組成物所作成，該等組成物包括錳、鎳、鈷、銅、鐵、與其他金屬之氧化物，以構成一陶瓷半導體材料。熱敏電阻係可構成爲珠(bead)、碟、桿、晶片或薄片結構之不同形狀。薄片形式熱敏電阻係純爲晶片式熱敏電阻之一種尺寸較小許多者。晶圓熱敏電阻係藉著構成薄層材料所產生，薄層材料包括錳、鎳之氧化物與其他氧化物的粉末，其係以黏合劑所結合。該材料係於昇高之溫度所燒結，覆以一

## 五、發明說明( 3 )

導電金屬組成物，並接著切割至適當尺寸。引線係藉著焊接所附接。該等單元係最後以環氧或其他電氣絕緣材料所披覆，以供最終之保護與穩定化。如第 1 圖所示之一種典型的先前技藝熱敏電阻元件係代表一種晶片式熱敏電阻，其係由金屬氧化物之燒結粉末 1 所構成，電極 2 與 3 係沉積於金屬氧化物之燒結粉末 1。

明確而言，當先前技藝的熱敏電阻係運用操作在介於攝氏 200 度與攝氏 380 度之間且停留(dwelling)時間範圍自 5 秒鐘至 3 分鐘之製程以高溫焊料而附接至基板(第 1 圖之表面安裝結構)或至引線(第 2 圖之離散構件結構)，其電阻移轉(shift)在可允許的指定電阻容許度(典型為 2-5%)之外。此舉係造成其中組裝有該熱敏電阻之一個有缺點或有缺陷的最終產品或子組件。

先前技藝的熱敏電阻之此等電阻移轉係已經被發現為由一種稱為瀝濾(溶浸)(leaching)之現象所引起，該種現象係發生於焊接製程時。因為相較於其與電極之玻璃原料或無玻璃原料黏合劑之接合，於電極中之金屬具有對於熔融焊料之較高親和力(affinity)，瀝濾係發生。隨著熱敏電阻電極係正焊接，該金屬係自其與電極之玻璃原料或無玻璃原料黏合劑之接合而釋放並且係吸收至熔融焊料。結果，熱敏電阻之電阻係自其在焊接製程前之原始值而增加。換言之，構成外電極之金屬元件係將歸因於焊料瀝濾而受到傷害(折衷)。

熱敏電阻厚膜電極之瀝濾率係取決於電極材料型式以

## 五、發明說明（4）

及該熱敏電阻所暴露至之焊接製程的溫度與持續時間。典型而言，暴露先前技藝之熱敏電阻至溫度在攝氏 200 度以上的熔融焊料達延長時間期間（大於 5 秒鐘）係並非厚膜電極製造者所樂見，由於電極的劣化係在此溫度以上與超過此時間而為增高較迅速。除了於電阻之移轉，瀝瀘係引起焊料-電極與電極-半導體之接合的劣化。弱化的接合係可造成具有大為降低穩定度與可靠度之熱敏電阻。

相較於其他的電極材料，厚膜 Pt（鉑）電極係已經被發現為抗拒於瀝瀘情形。然而，厚膜 Pt 電極之高成本係使得該種先前技藝的熱敏電阻並非為成本有效以製造。此外，欲運用熱音波（thermo-sonic）或等效的線球接合（wire ball bonding）製程以接合 Au（金）線至厚膜 Pt 電極係較為困難。

此外，具有厚膜 Ag（銀）或 PdAg（鈀銀）電極之先前技藝的熱敏電阻係並非常用於其需有運用熱音波或等效的線球接合製程所欲接合之 0.001" OD 金線（或等效者）的混合式微電路應用，因為此等電極係可能並非於長時間為可靠。

運用二層薄膜電極之一種熱敏電阻元件係已經描述於先前技藝（美國專利第 4,712,085 號）。其他的先前技藝（美國專利第 6,008,717 號）描述一種熱敏電阻，其中一個較短的內電極與一個較長的內電極之一對電極係相互對立於彼此並且由一間隙所分離。然而，此先前技藝係並未解決前文所述之瀝瀘問題。

[發明概論]

## 五、發明說明（ 5 ）

基於上述，本發明之一個目的係提出一種成本有效之熱敏電阻，其電極具有高度之焊料瀝瀘阻力且能夠承受操作在溫度為典型介於攝氏 200 度與攝氏 380 度之間且停留時間為典型介於 5 秒鐘與 3 分鐘之間的焊接製程。

本發明之另一個目的係提出一種熱敏電阻之製造，該熱敏電阻具有抗瀝瀘之電極，允許運用較高溫的焊料或者低熱傳導組成以附接引線，藉以提高相較於先前技藝所達成者之最大操作溫度可能性。

此等與其他目的係由本發明所達成，本發明係針對一種熱敏電阻，其具有一個半導體本體，且一第一電極層係由半導體本體之相對表面所朝外沉積。該第一層具有厚度為不小於約 5 微米，且係由可為任何適合的導電金屬之一電極材料所構成。第二電極層係由該第一層所朝外沉積，且具有厚度為不大於約 5 微米。該第二層係由其可為任何“活性(reactive)”金屬之一電極材料所構成。第三電極層係由該第二層所朝外沉積，且具有厚度較佳為不大於約 5 微米。該第三層係由可為任何“障壁(barrier)”金屬之一電極材料所構成。其為可選擇式的第四層係視欲接合至其的電氣接點而定，係由可與供接合至其的電氣接點及/或機構為相容之一電極材料所構成，由該第三層所朝外，且較佳為具有厚度為不大於約 5 微米。諸層之各者係皆與其他層以及半導體本體為電氣接觸。

針對此揭示內容之目的，金屬係視為任何金屬、金屬之組合或者金屬合金。“活性”金屬係視作其為於某階層

## 五、發明說明 ( 6 )

與一相鄰金屬所反應以提供改良接合之金屬(包括任何組合或合金)。“障壁”金屬係視作其為抵抗瀝瀘(即在高溫條件下之金屬移轉至焊料)之金屬(包括任何組合或合金)，使得其可適合用於高溫焊接製程，藉以防止在其下方之諸層的劣化。

本發明係可運用由此技藝中所習知的任何適合製程所得出的任何型式半導體，其包括但不受限於碟形、桿形、晶片式與薄片狀(flake)之半導體。本發明係可應用至 PTC 或 NTC 半導體。

本發明之用於製造熱敏電阻的方法係包括施加第一層至半導體本體，藉著任何習知方式。隨後諸層係接著由第一層所朝外沉積，使得活性層係自第一層所朝外而且障壁層係自該活性層所朝外。若電氣接點係可接合至障壁層，則無須考慮附加層。然而，若接點係與障壁金屬為不相容，一可選擇式的第四層係施加於障壁層。金屬之選取係視欲用以附接該熱敏電阻之片接合(die bonding)及/或線接合(wire bonding)材料型式而定。

由本發明所授與之抗瀝瀘性質的結果為，在附接熱敏電阻至基板所運用的焊接製程期間內與之後，該種熱敏電阻係均展現出相較於先前技藝所達成者之較大許多的穩定度與可靠度。舉例而言，在相同條件下以及運用相同的片接合及/或線接合技術與如同針對先前技藝所前述之製程，附接至一電氣接點之本發明的一種熱敏電阻元件係顯示其電阻移轉為小於 1%，相較於對於具有厚膜 Au 電極之先前

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明（ 7 ）

技藝的一熱敏電阻其電阻移轉為 6%至 20%。

### [圖式簡單說明]

隨附圖式係僅欲說明本發明之一或多個較佳實施例，而絲毫不會以任何方式限制本發明，圖式中之相同參考符號係代表相同部件。

第 1A 圖係先前技藝之一熱敏電阻元件的平面圖。

第 1B 圖係第 1A 圖之熱敏電阻元件的橫截面正視圖。

第 2A 圖係先前技藝第二種結構之一熱敏電阻元件的橫截面平面圖。

第 2B 圖係第 2A 圖之熱敏電阻元件的橫截面正視圖。

第 3A 圖係本發明一個較佳實施例之一熱敏電阻元件的平面圖。

第 3B 圖係第 3A 圖之熱敏電阻元件的橫截面正視圖。

第 3C 圖係第 3B 圖之熱敏電阻元件的放大部分橫截面圖。

第 4A 圖係一熱敏電阻的橫截面平面圖，其運用第 3A-C 圖之一熱敏電阻元件的較佳實施例。

第 4B 圖係第 4A 圖之熱敏電阻的橫截面正視圖。

第 4C 圖係第 4B 圖之熱敏電阻元件的放大部分橫截面圖。

第 5A 圖係本發明之另一熱敏電阻的立體圖，說明介於熱敏電阻元件的底部電極與一電路基板的一接觸墊之間的焊接。

第 5B 圖係第 5A 圖之熱敏電阻之一頂角的放大部分橫

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明 ( 8 )

截面圖。

第 5C 圖係第 5B 圖之熱敏電阻元件的放大部分橫截面圖。

第 5D 圖係第 5A 圖之熱敏電阻的右側立體圖。

第 5E 圖係第 5D 圖之熱敏電阻元件的放大部分橫截面圖。

### [主要符號說明]

- 1 金屬氧化物之燒結粉末
- 2、3 電極
- 11 陶瓷半導體本體(晶圓)
- 12a、13a 第一層金屬電極材料
- 12b、13b 第二層金屬電極材料
- 12c、13c 第三層金屬電極材料
- 12d、13d 第四層金屬電極材料
- 24、25 引線
- 26 焊料
- 27 絕緣披覆材料
- 31 基板接點或墊
- 32 焊料
- 33 金線
- 34 基板墊
- 42、43 本體 11 之相對側
- 100 熱敏電阻元件

### [較佳實施例詳細說明]

## 五、發明說明（ 9 ）

如圖所示，且尤其是第 3A-C 圖，本發明之較佳實施例係包含一陶瓷半導體本體 11，其包含相對側 42 與 43，並包括一或多個金屬氧化物。其包含一導電金屬且具有厚度為不小於 5 微米之一第一層金屬電極材料 12a 與 13a 係沉積於相對側 42 與 43 之各側上。一第二層金屬電極材料 12b 與 13b 係沉積於第一層 12a 與 13a 之上，且隨後一第三層金屬電極材料 12c 與 13c 係沉積於第二層 12b 與 13b 之上。可選擇而言，一第四層金屬電極材料 12d 與 13d 係沉積於第三層 12c 與 13c 之上。

一電氣接點係附接至半導體本體上之外電極層，以供本發明熱敏電阻之施加。供接合至外熱敏電阻電極層之此電氣接點與機構係決定是否運用第四層 12d 與 13d 以及第四層之組成。

本發明之熱敏電阻 100 係可由任何適合的半導體本體所形成，且較佳為一種陶瓷半導體。

諸多不同方式係存在以製造用於熱敏電阻之半導體本體。只要運用適當的陶瓷處理技術，本發明係可應用至由此技藝中所習知之任何方法而作成的半導體本體，習知方法係諸如捲帶鑄造法(tape casting)、壓模法(pressing)、擠壓法(extrusion)、射出成型法(injection molding)或者其他適合方法。半導體本體 11 係可為薄片、碟、桿、晶片或任何適合的變化或形狀者。

第一層金屬電極材料 12a 與 13a 係可為任何適合的導電金屬或合金。較佳而言，Ag (銀)、Pt (鉑)、Pd (鈀)、Au

## 五、發明說明（10）

（金）、或其任何組合並結合一玻璃原料(frit)或者非玻璃原料(fritless)黏合劑係運用作為第一層材料。第一層 12a 與 13a 係較佳為藉著噴射(spraying)而施加至晶圓 11。然而，其可藉著網印(screening)、塗抹(painting)、刷拭(brushing)、旋轉披覆(spin coating)、浸染(dipping)或者其他已知或日後開發之方式。第一層之厚度係不小於約 5 微米(1 微米 =  $10^{-6}$  米)，較佳約為自 10 至 40 微米，且最佳為 25 微米。因此，其係視為一“厚”膜層。

第二電極層 12b 與 13b 係最佳為藉著諸如電鍍法或汽相沉積法之任何適合的技術而沉積於第一厚層 12a 與 13a，且最佳為藉著物理汽相沉積法(PVD, physical vapor deposition)。第二電極材料係可為諸如 Ti (鈦)、V (釩)、Cr (鉻)、Zr (鋯)、Nb (鈮)、或 Tc (鎳)之任何“活性(reactive)”金屬，其並未構成與厚膜基底電極之一脆性金屬間(intermetallic)介面。第二層 12b 與 13b 以及第三層 12c 與 13c 與選擇式之第四層 12d 與 13d 係大於 0.01 微米且小於約 5 微米。因此，較佳的附加層係視為“薄”膜層。

針對本發明，較佳之第二層金屬係 Ti。Ti 係沉積於厚膜 Ag 層 12a 與 13a，因為其成本有效性與其“活性”特性，即其用於接合至厚膜 Ag 與數種其他金屬之適用性。對於此第二層 12b 與 13b 之較佳厚度係約為 0.05 微米至約為 1 微米。

第三電極層 12c 與 13c 係沉積於第二層 12b 與 13b，藉著諸如 Pt (鉑)、Pd (鈀)、Re (銻)、W (鎢)、Ni (鎳)、或

## 五、發明說明 ( 11 )

Mo (鉬)的任何障壁金屬之 PVD。針對本發明，Pt 係較佳之第三層，因為其並未在高溫度條件下而氧化，使得其可適用於高溫焊接製程。第三層 12c 與 13c 係關鍵之“障壁(barrier)”金屬，防止在其底下之電極層的滲瀉情形。此第三層 12c 與 13c 之較佳厚度係約自 0.1 至 1.5 微米。

可選擇式之第四電極層 12d 與 13d 係藉著 PVD 而沉積於第三層 12c 與 13c 並且由一第四電極材料所組成，第四電極材料可為任何金屬，其係與欲接合至其之一電氣接點的金屬為可相容。該金屬之選取係視欲用以附接該熱敏電阻元件之片接合(如第 5A-E 圖所示)及/或線接合(如第 4A-C 圖所示)方式所用之材料型式而定。對於本發明之最佳實施例而言，Au 係較佳之第四薄膜層材料。Au 係較佳之原因為，此種熱敏電阻元件所設計針對之應用係需有一非可氧化的 Au 表面，焊料與金線可係以高度可靠度而接合至該 Au 表面。此第四層 12d 與 13d 之較佳厚度係大約為自 0.5 至 2.5 微米。

第 4A-C 圖與第 5A-E 圖含有於第 3A-C 圖所示之相同的熱敏電阻元件 100，分別具有離散的構件與表面安裝線接合/片接合構件結構。參考第 4A-C 圖，電氣接點之形式係為引線 24 與 25，其係由適合於欲運用熱敏電阻之應用所界定的最大操作溫度之材料所作成。舉例而言，該種引線材料係可為 Ag 鍍 Cu、Ag 鍍 Ni、Ag 鍍 Cu/Ni 合金、或 Au 鍍 Dumet (覆以銅之 Fe-Ni 鐵心)。焊料 26 覆蓋該等引線，其係可為 SN10、SN95、或 SN96。對於較高溫之應用

## 五、發明說明 ( 12 )

，諸如低燃燒(low-fire)(典型為攝氏 500 度)導電組成物之其他的接合材料係可運用。

視接合材料與引線之選取而定，其可為一高溫環氧(epoxy)或低燃燒(典型為攝氏 500 度)玻璃之一絕緣披覆材料 27 係可運用以披覆熱敏電阻之表面。舉例而言，運用於本發明之組合係 Ag 鍍 Cu 之引線，以 SN96 焊料所接合，並覆蓋以一高溫環氧材料。另一種組合係 Ag 鍍 Ni 之引線，以 SN10 焊料所接合，並覆蓋以一高溫環氧材料。同理，又一種組合係 Au 鍍 Dumet 之引線，以低燃燒導電組成物所接合，並覆蓋以低燃燒玻璃。所有該等組合(以及已知或日後開發之任何其他者)係均意欲由本發明所涵蓋。

第 5A-E 圖說明用於安裝至一種混合式(hybrid)微電子電路基板之結構。熱敏電阻 100 係安裝於一基板接點或墊 31，藉著運用焊接製程與先前所述之焊料 32。一 0.001" OD 金線 33 係接合至熱敏電阻 100 之頂部電極的外層 12d 以及至另一基板墊 34，運用熱音波壓縮或等效的線球接合方法。

本發明之熱敏電阻 100 的製造係起始於提供一種針對期望應用之適合的半導體。一般由已知為適用於此技藝中之燒結陶瓷熱敏電阻材料而構成的一晶圓或晶圓群組所生產的任何半導體本體係均可運用於本發明。此等晶圓係較佳為碟狀(典型為 30 毫米至 50 毫米 OD，0.08 至 0.4 毫米厚度)或者方形(典型為 50 毫米平方，0.08 至 0.4 毫米厚度)。視運用以供電極之施加的製程而定，晶圓係可於其表面

## 五、發明說明 ( 13 )

積為較大或較小，及/或於其厚度為較大。較薄之晶圓係可被運用，但於其餘製程之處理係變得較為困難。

已被發現為適合於本發明之晶圓係由 Mn (錳)、Ni (鎳)與 Fe (鐵)之氧化物所構成且係約為 50 平方毫米。針對生產三種不同尺寸及/或電阻值的熱敏電阻元件之目的，三種厚度係選定一約為 0.08 毫米、0.2 毫米、與 0.3 毫米。NTC 與 PTC 半導體係均可運用本發明。

具有最佳測試資料之晶圓型式係 0.08 毫米厚之晶圓，其係運用以產生相當小的熱敏電阻元件(大約為 0.40 至 0.44 毫米平方)，並具有在攝氏 25 度之一標稱電阻為 10,000 歐姆，係設計以符合混合式微電路應用之要求。此等混合式微電路要求之範圍係自諸如 MIL-STD-883 與 MIL-G-45204 之 MIL 規格至微電路製造者及/或封裝者與介於其間任何者所定義的簡單商用規格。

目前對於處理其較 0.08 毫米為薄之晶圓以及其遠小於 0.44 毫米平方之晶片係存在一個實行上之實際限制。然而，若技術係改良以適應由較薄的晶圓所得出之較小尺寸者，本發明係將仍為適用。甚者，最終熱敏電阻元件之形狀或結構(例如方形、矩形、或碟狀)係將不會影響本發明，只要該種元件係以半導體材料所形成於中端並且電極係形成於相對側上。

一旦運用以產生半導體本體 11 之晶圓係提供，一厚膜 Ag 導電組成物(含有習知為適合於供接合至半導體材料之技術的一玻璃原料或無玻璃原料黏合劑)係接著藉由噴射所

## 五、發明說明 ( 14 )

施加至該晶圓之二側上並且烘乾。誠然，於此技術中為習知適合或者以後開發之施加厚膜 Ag 層的其他方法均可運用，其包括但不受限於網印(screen printing)、刷拭、旋轉披覆、浸染或者其他等效製程。

具有第一金屬層 12a 與 13a 之晶圓係接著燒製於一爐中，以接合厚膜 Ag 材料(第 3B、4B 與 5 圖之 12a 與 13a)至半導體晶圓。於各側上之燒製後的厚膜 Ag 層 12a 與 13a 係較佳約為 25 微米之厚度，但 10 微米至 40 微米之一厚度範圍係為可接受。

一離開該爐之後，具有第一電極層於其上之晶圓係小心包裝於一鋁箔並且置放於一乾燥器，其係降壓至大約 20"之 Hg (汞)的真空，以防止形成硫酸鹽(sulfate)、其他空氣懸浮污染物(包括塵土微粒)於厚膜 Ag 層之表面上。於厚膜 Ag 電極 12a 與 13a 之上的該等表面污染物係將引起於所沉積之隨後諸個薄膜層中的不良黏著與表面缺陷。因此，具有燒製厚膜 Ag 電極之晶圓係儲存於乾燥器中，直到稱為物理汽相沉積(PVD)之下一個製程步驟係起始。

具有第一層於其上之晶圓係由乾燥器所移出並置放於 PVD 裝置，其沉積金屬之薄膜至二側。任何 PVD 製程或者已知為適用於供薄膜沉積之技術的其他製程係均可運用。針對此實例，隨後之金屬與其個別的厚度係藉著 PVD 所依序施加，如以下順序:Ti - 0.15 微米;Pt - 0.5 微米;Au - 1.50 微米。PVD 機器係能夠保持對於所沉積各層的標稱厚度之±10%的一容許度。

## 五、發明說明（15）

以下係一般可接受的替代金屬與可由 PVD 所沉積於晶圓的其對應約略厚度之一列表，其順序如下：

第二（“活性”）金屬層 12b 與 13b—Ti、V、Cr、Zr、Nb、Tc 或組合與合金—0.05 至 1.0 微米且較佳為 0.1 至 0.3 微米，視該金屬而定；

第三（“障壁”）金屬層 12c 與 13c—Pt、Pd、Re、W、Ni、Mo 或組合與合金—0.05 至 2.0 微米且較佳為 0.3 至 0.7 微米，視該金屬而定；

第四可選擇式金屬層 12d 與 13d—適當接合金屬—0.3 至 5.0 微米且較佳為 1.0 至 3.0 微米，視該金屬與電氣接點而定。

具有厚膜 Ag 層 12a 與 13a、薄膜 Ti 層 12b 與 13b、Pt 層 12c 與 13c、與 Au 層 12d 與 13d 之 0.08 毫米燒結厚度的晶圓係以薄片形式而安裝於一 4” x 4” 的陶瓷磚瓦，運用一種無負載安裝接合劑，其係設計以供固定待加工之陶瓷材料。

根據本發明之安裝熱敏電阻片係運用具有一鑽石刀片之一鋸子而切割，該鋸子係設計以供切割熱敏電阻晶圓為晶片（如第 3 圖所示），其大約為 0.44 毫米平方，以產生一種熱敏電阻元件 100，其具有在攝氏 25 度為 10,000 歐姆之一電阻值（R 值）。切割鋸台之饋送速率係大約為每分鐘 40 英吋。饋送速率係可為較慢，但係不應為過快，藉以使得於熱敏電阻元件 100 之邊緣鋸齒狀（burr）為最小化。

切割具有已述電極層之一晶圓成為熱敏電阻元件 100

## 五、發明說明 (16)

之替代方法係習知為適用於此技藝，包括但不受限於雷射切割技術與具有超音波磨製(milling)之模壓(stamping)技術，均可運用。熱敏電阻元件 100 係可作成其他尺寸，範圍對於碟狀者為自 0.4 毫米至 2 毫米 OD 或更大，對於方形與矩形者為自 0.4 毫米至 2 毫米或更大，視該元件所設計針對之期望的末端產品而定。

誠然，對於熟悉此技藝之人士而言，本發明之改變、變化、與修改係均可按照以上所述而使得其本身為顯明。舉例而言，只要透過諸層之導電性係維持，另外的導電層係可運用介於晶圓與第一電極層之間、介於第一與第二電極層之間等等。然而，所有該等變化係均意欲歸屬於本發明之精神與範疇，其係僅由隨附申請專利範圍所限定。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要（發明之名稱：

)

熱敏電阻及其製造方法

本發明揭示一種熱敏電阻，其具有多個金屬層於一個半導體本體之至少一部位上。該種熱敏電阻包括一第一薄膜電極層、一活性金屬層、一障壁金屬層、與可選擇式之一層，以利於附接至一電氣接點。此外，本發明描述一種製造熱敏電阻之方法。

英文發明摘要（發明之名稱：THERMISTOR AND METHOD OF MANUFACTURE

)

A thermistor having multiple metal layers about at least a portion of a semiconductor body. The thermistor includes a first thick film electrode layer, a reactive metal layer, a barrier metal layer and, optionally, a layer to facilitate attachment to an electrical contact. Also, a method of making the thermistor is described.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

## 六、申請專利範圍

1.一種熱敏電阻，包含：

(a)一個半導體本體，包含二個相對表面；

(b)一第一電極層，由半導體本體之相對表面所朝外沉積，該第一層係由包含一導電金屬之一第一電極材料所構成，且具有厚度為不小於約 5 微米；

(c)一第二電極層，由該第一層所朝外沉積，該第二層係由包含一活性金屬之一第二電極材料所構成，該第二層具有厚度為不大於約 5 微米；

(d)一第三電極層，由該第二層所朝外沉積，該第三層係由包含一障壁金屬之一第三電極材料所構成，該第三層具有厚度為不大於約 5 微米；及

(e)可選擇式之一第四電極層，由該第三層所朝外沉積，該第四層係由一第四電極材料所構成，該第四層具有厚度為不大於約 5 微米。

2.如申請專利範圍第 1 項之熱敏電阻，其中該半導體本體係由一陶瓷材料所形成，該陶瓷材料包含一或多種金屬氧化物。

3.如申請專利範圍第 1 項之熱敏電阻，其中該第一電極層具有厚度約為自 10 至 40 微米。

4.如申請專利範圍第 3 項之熱敏電阻，其中該第一電極層具有厚度約為 25 微米。

5.如申請專利範圍第 1 項之熱敏電阻，其中該第一電極材料之導電金屬係取自於由 Ag、Pt、Pd、Au 及其組合與合金所組成的群組。

## 六、申請專利範圍

6.如申請專利範圍第 5 項之熱敏電阻，其中該第一電極材料包含 Ag 與一玻璃原料或非玻璃原料之黏合劑。

7.如申請專利範圍第 1 項之熱敏電阻，其中該第二電極材料之活性金屬係取自於由 Ti、V、Cr、Zr、Nb、Tc 及其組合與合金所組成的群組。

8.如申請專利範圍第 1 項之熱敏電阻，其中該第三電極材料之障壁金屬係取自於由 Pt、Pd、Re、W、Ni、Mo 及其組合與合金所組成的群組。

9.如申請專利範圍第 1 項之熱敏電阻，其中當運用該可選擇式第四電極層時，該第四電極層之電極材料包含一金屬，該金屬係與欲接合至其之一電氣接點的金屬為可相容。

10.一種熱敏電阻，包含：

(a)一個半導體本體，由包含一或多種金屬氧化物之一陶瓷材料所構成，具有二個相對表面；

(b)一第一電極層，沉積於半導體本體之相對表面的至少一部位，該第一電極層包含 Ag，且具有厚度約為自 10 至 40 微米；

(c)一第二電極層，沉積於第一電極層，該第二電極層包含 Ti，且具有厚度約為自 0.05 至 1.0 微米；

(d)一第三電極層，沉積於第二電極層，該第三電極層包含 Pt，且具有厚度約為自 0.1 至 1.0 微米；及

(e)一第四電極層，沉積於第三電極層，該第四電極層包含 Au，且具有厚度約為自 1.0 至 3.0 微米。

## 六、申請專利範圍

11.一種製造熱敏電阻之方法，包含步驟：

(a)形成一個半導體本體，其具有相對側；

(b)沉積一第一電極層於半導體本體之相對側的至少一部位，該第一電極層包含一導電金屬，且具有厚度約為自 10 至 40 微米；

(c)沉積一第二電極層於第一電極層，該第二電極層包含一活性金屬，且具有厚度約為自 0.05 至 1.0 微米；

(d)沉積一第三電極層於第二電極層，該第三電極層包含一障壁金屬，且具有厚度約為自 0.05 至 2.0 微米；及

(e)可選擇式沉積之一第四電極層於第三電極層，該第四電極層具有厚度約為自 0.3 至 5.0 微米。

12.如申請專利範圍第 11 項之方法，更包含步驟為附接一電氣接點至該等相對側各者上的一外電極層。

13.如申請專利範圍第 12 項之方法，其中該等電氣接點係藉著焊接、熔接、導電黏著劑或線接合方式而附接至外電極層。

14.如申請專利範圍第 11 項之方法，其中該第一層係沉積於半導體本體上，藉著選自於由噴射、網印、刷拭、旋轉披覆所組成的群組之一種方法。

15.如申請專利範圍第 14 項之方法，其中該第一層係藉著噴射而沉積。

16.如申請專利範圍第 11 項之方法，其中該第二層、第三層與選擇式之第四層係藉著汽相沉積或電鍍而沉積。

17.如申請專利範圍第 11 項之方法，更包含步驟為基

## 六、申請專利範圍

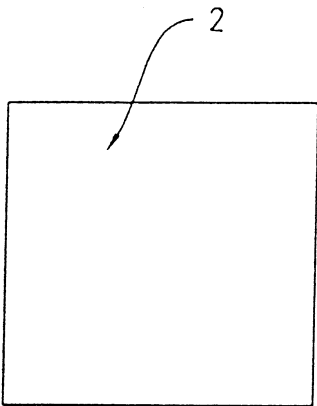
於欲附接至其之電氣接點的組成而選擇一外層。

(請先閱讀背面之注意事項再填寫本頁)

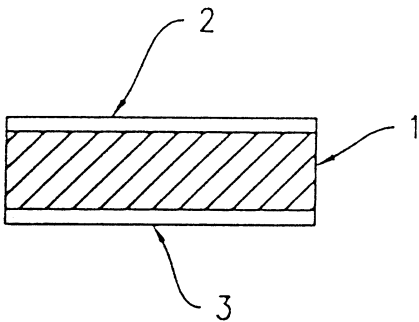
裝

訂

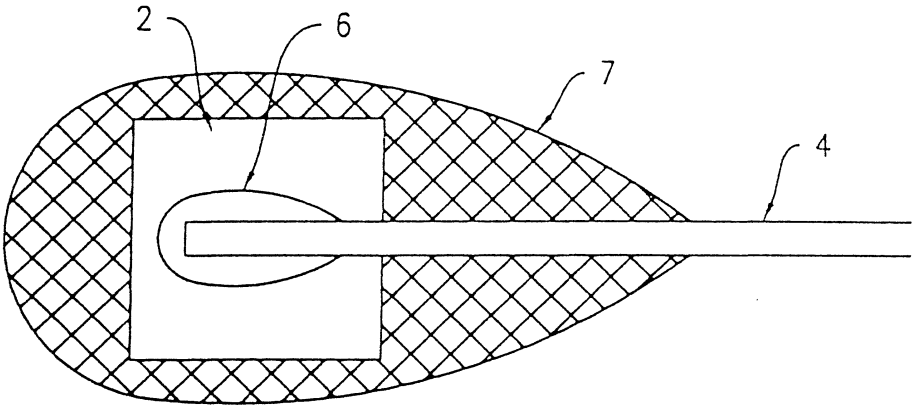
線



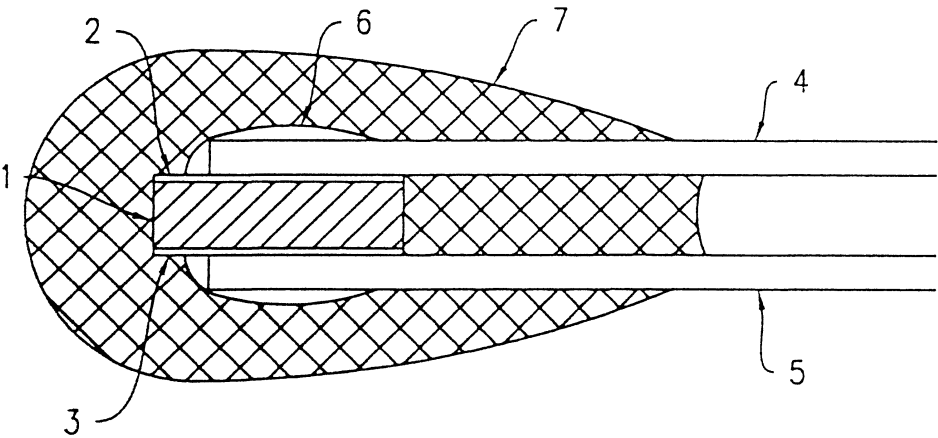
第 1A 圖



第 1B 圖

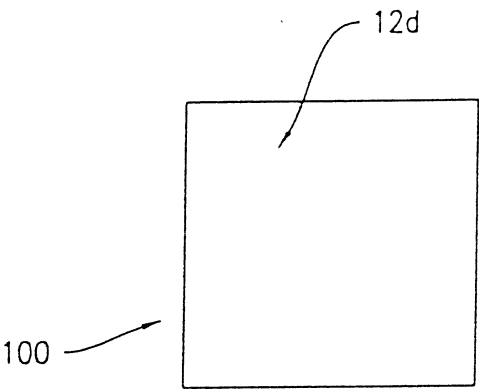


第 2A 圖

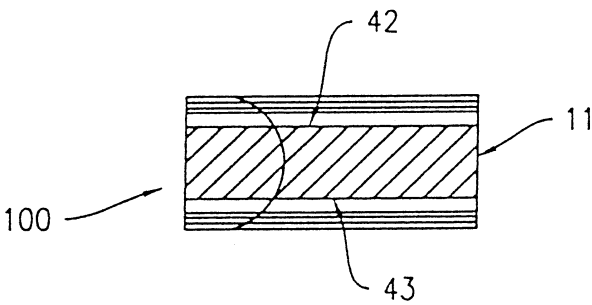


第 2B 圖

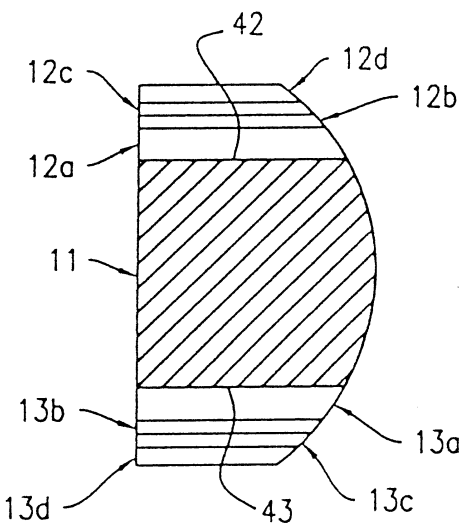
3/6



第 3A 圖

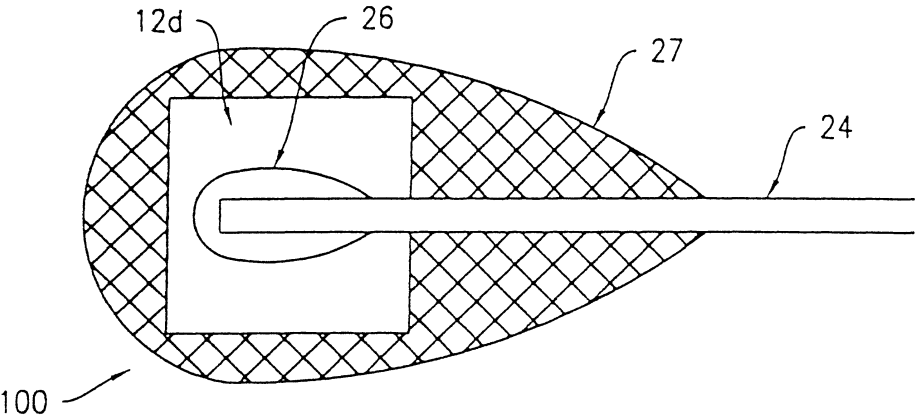


第 3B 圖

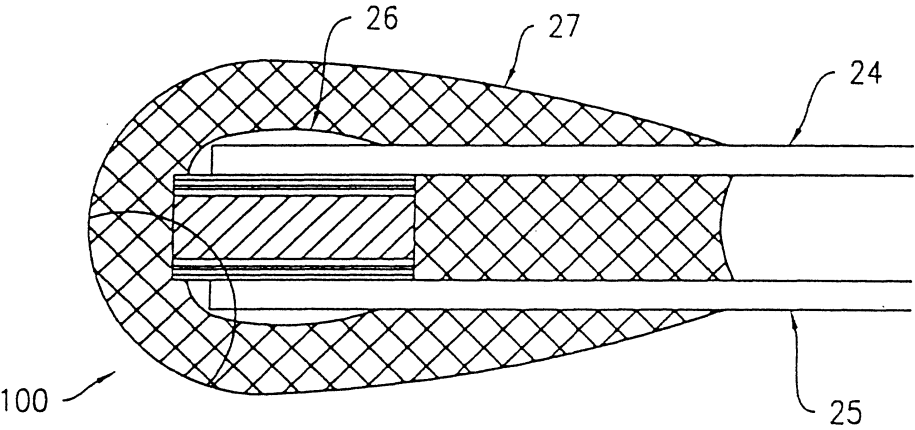


第 3C 圖

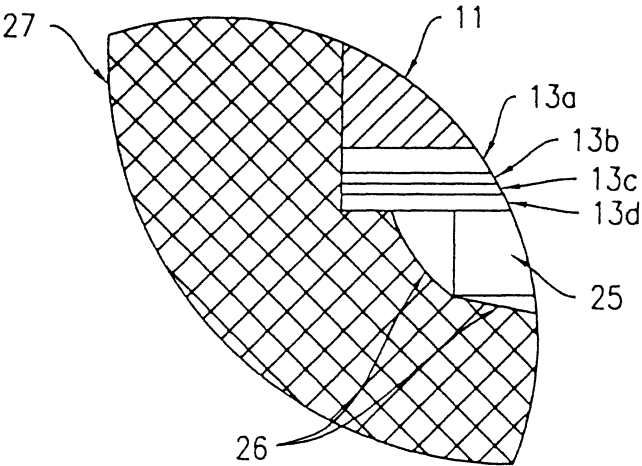
4/6



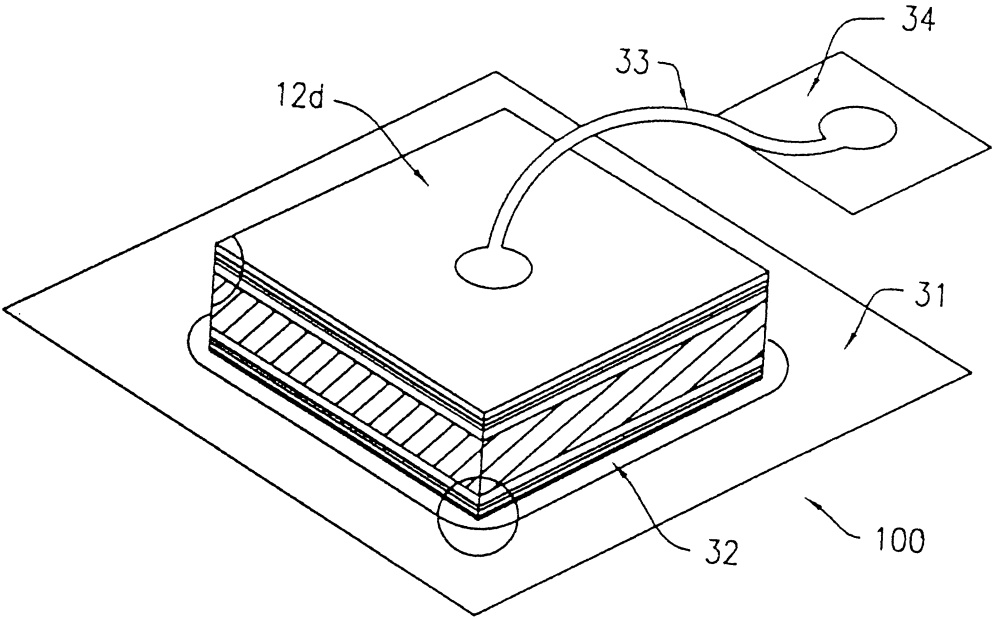
第 4A 圖



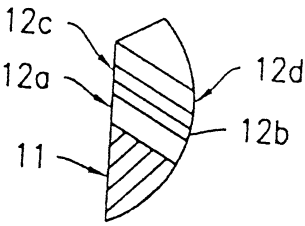
第 4B 圖



第 4C 圖

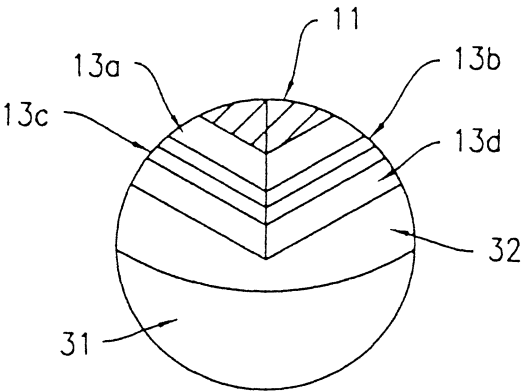


第 5A 圖

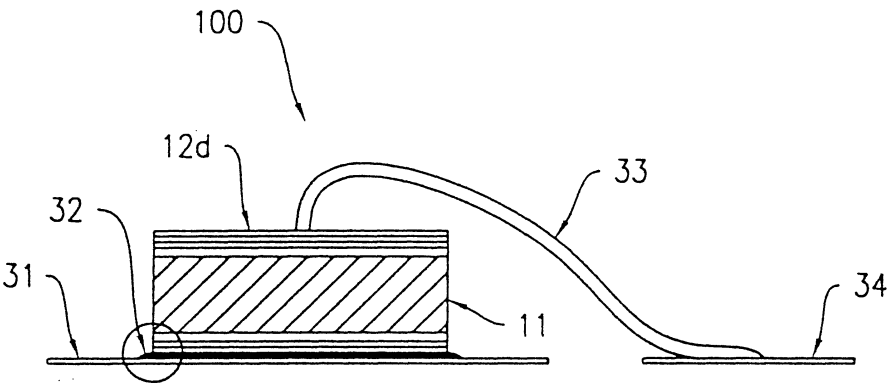


第 5B 圖

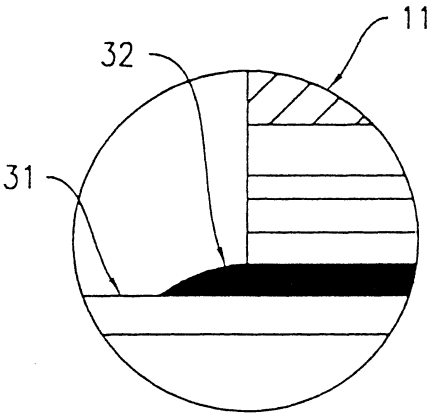
6/6



第 5C 圖



第 5D 圖



第 5E 圖