

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5610533号
(P5610533)

(45) 発行日 平成26年10月22日 (2014. 10. 22)

(24) 登録日 平成26年9月12日 (2014. 9. 12)

(51) Int. Cl.

H03M 3/02 (2006.01)

F I

H03M 3/02

請求項の数 14 (全 21 頁)

(21) 出願番号	特願2011-8397 (P2011-8397)	(73) 特許権者	510018498
(22) 出願日	平成23年1月19日 (2011. 1. 19)		安田 彰
(65) 公開番号	特開2011-172215 (P2011-172215A)		東京都西東京市芝久保町 3-19-60
(43) 公開日	平成23年9月1日 (2011. 9. 1)	(73) 特許権者	511010299
審査請求日	平成26年1月20日 (2014. 1. 20)		岡村 淳一
(31) 優先権主張番号	特願2010-9318 (P2010-9318)		神奈川県川崎市中原区木月 4-12-1-505
(32) 優先日	平成22年1月19日 (2010. 1. 19)	(74) 代理人	110000408
(33) 優先権主張国	日本国 (JP)		特許業務法人高橋・林アンドパートナーズ
		(72) 発明者	安田 彰
			東京都西東京市芝久保町 3-19-60
		(72) 発明者	岡村 淳一
			神奈川県川崎市中原区木月 4-12-1-505

最終頁に続く

(54) 【発明の名称】 変換装置

(57) 【特許請求の範囲】

【請求項 1】

アナログ入力信号をデジタル信号に変換して出力する変換装置であって、
 前記変換して出力されるデジタル信号にミスマッチシェーピングを行なった後にデジタル - アナログ変換を行なってフィードバック信号を生成するフィードバック信号生成器と、
 前記アナログ入力信号より前記フィードバック信号を減算して出力する減算器と、
 前記減算器の出力する信号を複数のパラレル信号に変換して出力するシリアル - パラレル変換器と、
 前記シリアル - パラレル変換器の出力する複数のパラレル信号に対する信号処理を行ない複数の信号を出力するベクトルフィルタと、
 前記ベクトルフィルタの出力する複数の信号を量子化してデジタル信号を出力する量子化器と、
 前記量子化器が出力するデジタル信号をシリアル信号に変換し出力するパラレル - シリアル変換器と
 を有する変換装置。

【請求項 2】

前記シリアル - パラレル変換器は、前記減算器の出力する信号を、複数の遅延回路が直列に接続された回路に入力し、前記アナログ入力信号および前記複数の遅延回路それぞれの出力信号をダウンサンプリングして前記パラレル信号を生成することを特徴とする請求

10

20

項 1 に記載の変換装置。

【請求項 3】

前記パラレル - シリアル変換器は、複数の遅延回路のそれぞれの出力に加算器の入力が接続された回路を複数個直列接続して構成され、前記量子化器が出力する複数のデジタル信号のそれぞれを前記加算器のそれぞれに入力してシリアル信号に変換することを特徴とする請求項 1 に記載の変換装置。

【請求項 4】

前記ベクトルフィルタは、連続時間回路を用いて構成されていることを特徴とする請求項 1 に記載の変換装置。

【請求項 5】

前記ベクトルフィルタは、入力段と出力段とを含み多段接続されて構成され、前記入力段と前記出力段とは線形変換器を用いて構成されていることを特徴とする請求項 1 に記載の変換装置。

【請求項 6】

前記量子化器は、複数の内部量子化器を含み、前記複数の内部量子化器のそれぞれのビット数は異なることを特徴とする請求項 1 に記載の変換装置。

【請求項 7】

前記ベクトルフィルタは、前記シリアル - パラレル変換器の出力する複数のパラレル信号をクロスカップル回路に入力し、前記クロスカップル回路の出力を積分器に入力し、前記積分器の出力を出力することを特徴とする請求項 1 に記載の変換装置。

【請求項 8】

前記ベクトルフィルタは、前記シリアル - パラレル変換器の出力する複数のパラレル信号の和と差とを出力することを特徴とする請求項 1 に記載の変換装置。

【請求項 9】

前記シリアル - パラレル変換器は、前記アナログ入力信号に、周波数が等しく位相が異なる複数の信号それぞれを乗算してダウンサンプリングを行なうことを特徴とする請求項 1 に記載の変換装置。

【請求項 10】

前記シリアル - パラレル変換器は、前記アナログ入力信号に、周波数が等しく位相差が 2 の整数分の 1 の倍数となって異なる複数の信号それぞれを乗算して前記複数のパラレル信号として出力し、

前記ベクトルフィルタは、連続時間回路を用いて構成され、

前記量子化器でダウンサンプリングを行なうことを特徴とする請求項 1 に記載の変換装置。

【請求項 11】

アナログ入力信号をデジタル信号に変換して出力する変換装置であって、

前記変換して出力されるデジタル信号にミスマッチシェーピングを行なった後にデジタル - アナログ変換を行なってフィードバック信号を生成するフィードバック信号生成器と、

前記アナログ入力信号より前記フィードバック信号を減算して出力する減算器と、

前記減算器の出力する信号を複数のパラレル信号に変換して出力するシリアル - パラレル変換器と、

前記シリアル - パラレル変換器の出力する複数のパラレル信号に対する信号処理を行い複数の信号を出力するベクトルフィルタと、

前記ベクトルフィルタの出力する複数の信号にベクトル変換を行い出力するベクトル変換器と、

前記ベクトル変換器の出力する複数の信号を量子化してデジタル信号を出力する量子化器と、

前記量子化器の出力するデジタル信号に、前記ベクトル変換器が行なうベクトル変換の逆変換を行ない出力する逆ベクトル変換器と、

10

20

30

40

50

前記逆ベクトル変換器が出力するデジタル信号をシリアル信号に変換し出力するパラレル - シリアル変換器と
を有する変換装置。

【請求項 1 2】

前記量子化器は、前記ベクトル変換器の出力する複数の信号の一部を量子化して出力することを特徴とする請求項 1 1 に記載の変換装置。

【請求項 1 3】

アナログ入力信号をデジタル信号に変換して出力する変換装置であって、
前記変換して出力されるデジタル信号にミスマッチシェーピングを行なった後にデジタル - アナログ変換を行なってフィードバック信号を生成するフィードバック信号生成器と
、

10

前記アナログ入力信号より前記フィードバック信号を減算して出力する減算器と、
前記減算器の出力する信号を、複数の遅延回路が直列に接続された回路に入力し、前記アナログ入力信号および前記複数の遅延回路それぞれの出力信号をダウンサンプリングして複数のパラレル信号に変換して出力するシリアル - パラレル変換器と、

前記シリアル - パラレル変換器の出力する複数のパラレル信号に対する信号処理を行い複数の信号を出力するベクトルフィルタと、

前記シリアル - パラレル変換器の出力する複数のパラレル信号をクロスカップル回路に入力し、前記クロスカップル回路の出力を積分器に入力し、前記積分器の出力の和を出力するベクトル変換器と、

20

前記ベクトル変換器の出力する信号を量子化してデジタル信号を出力する量子化器と、
を有する変換装置。

【請求項 1 4】

アナログ入力信号をデジタル信号に変換して出力する変換装置であって、
前記変換して出力されるデジタル信号にミスマッチシェーピングを行なった後にデジタル - アナログ変換を行なってフィードバック信号を生成するフィードバック信号生成器と
、

前記アナログ入力信号より前記フィードバック信号を減算して出力する減算器と、
前記減算器の出力する信号を、複数の遅延回路が直列に接続された回路に入力し、前記アナログ入力信号および前記複数の遅延回路それぞれの出力信号をダウンサンプリングして複数のパラレル信号に変換して出力するシリアル - パラレル変換器と、

30

前記シリアル - パラレル変換器の出力する複数のパラレル信号に対する信号処理を行い複数の信号を出力するベクトルフィルタと、

前記シリアル - パラレル変換器の出力する複数のパラレル信号をクロスカップル回路に入力し、前記クロスカップル回路の出力の和を積分器に入力し、前記積分器の出力を出力するベクトル変換器と、

前記ベクトル変換器の出力する信号を量子化してデジタル信号を出力する量子化器と、
を有する変換装置。

【発明の詳細な説明】

【技術分野】

40

【0 0 0 1】

本発明は、アナログ信号をデジタル信号に変換する変換器およびデジタル信号をアナログ信号に変換する変換装置に関する。特に 変調器を用いたアナログ - デジタル変換装置、デジタル - アナログ変換装置に関する。

【背景技術】

【0 0 0 2】

高精度なアナログ - デジタル変換器、また、高精度なデジタル - アナログ変換器を実現する方法として、例えば図1に示される 変調器を用いた方法が用いられている。 変調器を用いる方法では、ループフィルタを通した入力信号を最終的に求められる精度よりも低い分解能で一度量子化し、その結果を入力にフィードバック処理を行なう。また、最

50

最終的に必要となるサンプリング周波数よりも高いサンプリング周波数でサンプリングするオーバーサンプリングを行なう。このオーバーサンプリングされる高いサンプリング周波数により、前述のフィードバック処理を行うことにより、低い分解能の量子化で生じる量子化雑音の周波数分布を制御し、信号帯域内の雑音を低減させている。このような方法をノイズシェーピングと呼ぶ。ノイズシェーピングにより、低い分解能の量子化器を用いた場合においても、高い変換精度を得ることが可能となる。信号帯域内の雑音は、最終的に必要となるサンプリング周波数とオーバーサンプリングしたことによるサンプリング周波数の比（オーバーサンプリング比）を高くとることにより低減することが可能となる。

【0003】

したがって、高い変換精度もしくは高い信号対雑音比（SNR）を得ようとする場合においては、オーバーサンプリング比を大きくする必要がある。例えば、オーバーサンプリングのサンプリング周波数を出力サンプリング周波数よりも100倍程度高くする必要がある。

10

【0004】

この問題を解決する方法として、図2に示されるように、複数の変調器を並列動作させる方法が知られている。この方法では回路の動作速度を並列数分だけ低減することが可能である。しかし、回路規模は、並列動作する変調器の数に比例して大きくなってしまふ。また、並列動作させた回路間に特性のミスマッチがある場合は、全体の変換精度が著しく劣化する。

【先行技術文献】

20

【非特許文献】

【0005】

【非特許文献1】Vincenzo Ferragina, etc., "Gain and Offset Mismatch Calibration in Time-Interleaved Multipath A/D Sigma Delta Modulators," IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS I, Vol. 51, No. 12, pp. 2635-2373, DECEMBER 2004.

【発明の概要】

【発明が解決しようとする課題】

【0006】

上述したように、従来の方法においては、変換精度とサンプリング周波数の間にはトレードオフの関係がある。したがって、高い変換精度を得るためには、大幅に高いサンプリング周波数でサンプリングする必要が生じ、変換器を構成する回路を高速に動作させる必要がある。

30

【0007】

一方、複数の変調器を並列動作させる場合は、回路の動作速度を並列数分だけ低減することが可能であるが、回路規模は並列動作する変調器の数に比例して大きくなってしまふ欠点がある。また、並列動作させた回路間に特性のミスマッチがある場合は、全体の変換精度が著しく劣化する問題がある。

【0008】

本発明は、かかる問題点を改善し、回路を並列動作させる場合と異なり、回路規模の増大を抑制し、利得可変手段への要求を低減し、さらに回路間のミスマッチの影響を低減するアナログ-デジタル変換器、デジタル-アナログ変換器を提供することを目的とする。

40

【課題を解決するための手段】

【0009】

本発明の一実施形態として、入力信号を複数のベクトル信号に分割し、このベクトル信号に対するベクトルフィルタ処理し、その結果を選択的に量子化し、入力段にフィードバックする変換装置が開示される。これにより、内部信号処理速度を $1/M$ （ M は自然数）に低減させつつ、回路規模を M 倍以下にすることが可能となる。

【0010】

本発明の一実施形態として、入力信号を信号処理したのちダウンサンプリングし、このダウンサンプリングされた信号を複数のベクトル信号に分割し、このベクトル信号に対する

50

ベクトルフィルタ処理し、その結果を選択的に量子化し、入力段にフィードバックする変換装置が開示される。これにより、内部信号処理速度を $1/M$ (M は自然数)に低減させつつ、回路規模を M 倍以下にすることが可能となる。

【0011】

本発明の一実施形態として、アナログ入力信号をデジタル信号に変換して出力する変換装置であって、前記変換して出力されるデジタル信号にミスマッチシェーピングを行なった後にデジタル - アナログ変換を行なってフィードバック信号を生成するフィードバック信号生成器と、前記アナログ入力信号より前記フィードバック信号を減算して出力する減算器と、前記減算器の出力する信号を複数のパラレル信号に変換して出力するシリアル - パラレル変換器と、前記シリアル - パラレル変換器の出力する複数のパラレル信号に対する信号処理を行ない複数の信号を出力するベクトルフィルタと、前記ベクトルフィルタの出力する複数の信号を量子化してデジタル信号を出力する量子化器と、前記量子化器が出力するデジタル信号をシリアル信号に変換し出力するパラレル - シリアル変換器とを有する変換装置が開示される。

10

【0012】

本発明の一実施形態として、アナログ入力信号をデジタル信号に変換して出力する変換装置であって、前記変換して出力されるデジタル信号にミスマッチシェーピングを行なった後にデジタル - アナログ変換を行なってフィードバック信号を生成するフィードバック信号生成器と、前記アナログ入力信号より前記フィードバック信号を減算して出力する減算器と、前記減算器の出力する信号を複数のパラレル信号に変換して出力するシリアル - パラレル変換器と、前記シリアル - パラレル変換器の出力する複数のパラレル信号に対する信号処理を行い複数の信号を出力するベクトルフィルタと、前記ベクトルフィルタの出力する複数の信号にベクトル変換を行い出力するベクトル変換器と、前記ベクトル変換器の出力する複数の信号を量子化してデジタル信号を出力する量子化器と、前記量子化器の出力するデジタル信号に、前記ベクトル変換器が行なうベクトル変換の逆変換を行ない出力する逆ベクトル変換器と、前記逆ベクトル変換器が出力するデジタル信号をシリアル信号に変換し出力するパラレル - シリアル変換器とを有する変換装置が開示される。

20

【0013】

本発明の一実施形態として、アナログ入力信号をデジタル信号に変換して出力する変換装置であって、前記変換して出力されるデジタル信号にミスマッチシェーピングを行なった後にデジタル - アナログ変換を行なってフィードバック信号を生成するフィードバック信号生成器と、前記アナログ入力信号より前記フィードバック信号を減算して出力する減算器と、前記減算器の出力する信号を、複数の遅延回路が直列に接続された回路に入力し、前記アナログ入力信号および前記複数の遅延回路それぞれの出力信号をダウンサンプリングして複数のパラレル信号に変換して出力するシリアル - パラレル変換器と、前記シリアル - パラレル変換器の出力する複数のパラレル信号に対する信号処理を行い複数の信号を出力するベクトルフィルタと、前記シリアル - パラレル変換器の出力する複数のパラレル信号をクロスカップル回路に入力し、前記クロスカップル回路の出力を積分器に入力し、前記積分器の出力の和を出力するベクトル変換器と、前記ベクトル変換器の出力する信号を量子化してデジタル信号を出力する量子化器と、を有する変換装置が開示される。

30

40

【0014】

本発明の一実施形態として、アナログ入力信号をデジタル信号に変換して出力する変換装置であって、前記変換して出力されるデジタル信号にミスマッチシェーピングを行なった後にデジタル - アナログ変換を行なってフィードバック信号を生成するフィードバック信号生成器と、前記アナログ入力信号より前記フィードバック信号を減算して出力する減算器と、前記減算器の出力する信号を、複数の遅延回路が直列に接続された回路に入力し、前記アナログ入力信号および前記複数の遅延回路それぞれの出力信号をダウンサンプリングして複数のパラレル信号に変換して出力するシリアル - パラレル変換器と、前記シリアル - パラレル変換器の出力する複数のパラレル信号に対する信号処理を行い複数の信号を出力するベクトルフィルタと、前記シリアル - パラレル変換器の出力する複数のパラレル

50

信号をクロスカップル回路に入力し、前記クロスカップル回路の出力の和を積分器に入力し、前記積分器の出力を出力するベクトル変換器と、前記ベクトル変換器の出力する信号を量子化してデジタル信号を出力する量子化器と、を有する変換装置が開示される。

【0015】

本発明の一実施形態として、アナログ入力信号をデジタル信号に変換して出力する変換装置であって、前記変換して出力されるデジタル信号にミスマッチシェーピングを行なった後にデジタル - アナログ変換を行なってフィードバック信号を生成するフィードバック信号生成器と、前記アナログ入力信号を複数のパラレル信号に変換して出力するシリアル - パラレル変換器と、前記シリアル - パラレル変換器の出力する複数のパラレル信号それぞれから前記フィードバック信号を減算して複数のパラレル信号を出力する減算器と、前記減算器の出力する複数のパラレル信号に対して信号処理を行なって出力するベクトルフィルタと、前記ベクトルフィルタの出力する信号を量子化してデジタル信号を出力する量子化器と、を有する変換装置が開示される。

10

【発明の効果】

【0016】

本発明によれば、並列動作するフィルタ、量子化器等の間のミスマッチの影響を低減し、また、複数の変調器を並列動作させる場合と異なり、回路規模を削減できる。これにより、従来の型アナログ - デジタル変換器、デジタル - アナログ変換器よりも低いサンプリング周波数すなわち低いオーバーサンプリング比で回路を動作させ、より高精度な変換をより小規模の回路で実現することが可能となる。

20

【図面の簡単な説明】

【0017】

【図1】アナログ - デジタル変換器およびデジタル - アナログ変換器の従来の構成の一例図

【図2】複数の変調器の並列動作の模式図

【図3】本発明の一実施形態に係る変換装置の機能ブロック図

【図4】本発明の一実施形態に係る変換装置に用いられるシリアル - パラレル変換器の機能ブロック図の一例図

【図5】本発明の一実施形態に係る変換装置に用いられるパラレル - シリアル変換器の機能ブロック図の一例図

30

【図6】本発明の一実施形態に係る変換装置に用いられるベクトルフィルタの伝達関数の一例図

【図7】本発明の一実施形態に係る変換装置に用いられるベクトルフィルタの構成の一例図

【図8】本発明の一実施形態に係る変換装置に用いられる3次元ベクトルフィルタの構成の一例図

【図9】本発明の一実施形態に係る変換装置に用いられる多段ベクトルフィルタの構成の一例図

【図10】本発明の一実施形態に係る変換装置に用いられる線形変換器を用いたベクトルフィルタの機能ブロック図の一例図

40

【図11】本発明の一実施形態に係る変換装置に用いられる直交変換を用いたベクトルフィルタの構成の一例図

【図12】本発明の一実施形態に係る変換装置に用いられるウェーブレット変換を用いたベクトルフィルタの構成の一例図

【図13】本発明の一実施形態に係る変換装置に用いられる、係数器を備える量子化器の構成の一例図

【図14】本発明の一実施形態に係る変換装置に用いられる、積分器を用いるベクトルフィルタの構成の一例図

【図15】本発明の一実施形態に係る変換装置に用いられるベクトル変換器の構成の一例図

50

【図 1 6】本発明の一実施形態に係る、選択的フィードバックを有する変換装置の機能ブロック図

【図 1 7】本発明の一実施形態に係る、選択的フィードバックを有する変換装置の機能ブロック図

【図 1 8】本発明の一実施形態に係る、選択的フィードバックを有する変換装置の機能ブロック図

【図 1 9】本発明の一実施形態に係る、選択的フィードバックを有する変換装置の機能ブロック図

【図 2 0】本発明の一実施形態に係る変換装置に用いられる補償器の構成の一例図

【図 2 1】本発明の一実施形態に係る、選択的フィードバックを有する変換装置の機能ブロック図 10

【図 2 2】本発明の一実施形態に係る変換装置に用いられるシリアル - パラレル変換器の構成の一例図

【図 2 3】本発明の一実施形態に係る変換装置に用いられるシリアル - パラレル変換器の構成の一例図

【図 2 4】本発明の一実施形態に係る変換装置の機能ブロック図

【図 2 5】本発明の一実施形態に係る変換装置の機能ブロック図

【図 2 6】本発明の一実施形態に係る変換装置の機能ブロック図

【図 2 7】本発明の一実施形態に係る変換装置の機能ブロック図

【図 2 8】本発明の一実施形態に係る変換装置の機能ブロック図 20

【図 2 9】本発明の一実施形態に係る変換装置の機能ブロック図

【発明を実施するための形態】

【0018】

以下、図面を参照して本発明を、いくつかの実施形態として詳細に説明する。なお、本発明はこれらの実施形態に限定されることはなく、その要旨を逸脱しない範囲において種々の変形を行なって実施することが可能である。

【0019】

図3に本発明の第1の実施形態に係る変換装置の機能ブロック図を示す。入力手段(101)に入力された入力信号より、デジタル - アナログ変換器(DAC)(801)からのフィードバック信号を減算器(901)で減算する。減算された信号がシリアル - パラレル変換器(201)に入力される。言い換えれば、減算器(901)がシリアル - パラレル変換器(201)に対して前置されている。シリアル - パラレル変換器(201)により変換されたパラレル信号は、ベクトルフィルタ(301)に入力される。ベクトルフィルタ(301)により処理された信号は量子化器(401)で量子化される。量子化された信号は、パラレル - シリアル変換器(401)で再びシリアル信号に変換される。また、フィードバック手段(601)によりDAC(801)を介して入力手段(101)へフィードバックされる。 30

【0020】

従来の方法では、フィードバック信号をベクトルフィルタの前段に帰還していた。このため、シリアル - パラレル変換器やベクトルフィルタなどの素子やその係数などのミスマッチにより全体の変換特性が決定されることになる。このため、変換精度が大幅に劣化してしまう。本実施形態においては、フィードバック信号をシリアル - パラレル変換器(201)に前置した減算器(901)に帰還することで、上記のミスマッチがあった場合でも正確な変換を実現することが可能となる。 40

【0021】

一般に知られているように、このようなフィードバック型のアナログ - デジタル変換器を構成した場合、デジタル - アナログ変換器(801)には、最終的な精度と同等の変換精度が要求される。そこで本実施形態においては、オーバーサンプリングの手法を用い、また、デジタル - アナログ変換器(801)にミスマッチシェーパ(802)を前置する。これにより、この変換精度に対する要求を緩和し、また、最終的に変換帯域内のSNRを向上させることが可能となる。パラレル - シリアル変換器(501)の出力は、外部にアナログ - デ 50

デジタル変換の結果として出力される。また、量子化器出力(401)を変換器の出力の結果として出力することもできる。この場合は、デジタルによる複数の出力を、その後のデジタル信号処理でそのまま使用することができる。

【0022】

図4は、本実施形態に係る変換装置に用いることができるシリアル - パラレル変換器の詳細なブロック図を示す。シリアル - パラレル変換器へ入力される入力信号は、複数の遅延器(202)が直列接続された回路に入力される。入力信号および複数の遅延器(202)それぞれの出力は、ダウンサンプリング器(203)によりダウンサンプリングされ、シリアル - パラレル変換器の出力として、図に示すベクトル(パラレル)信号として出力される。この複数の信号からなるベクトル信号は、ベクトルフィルタ(301)に入力される。

10

【0023】

図5は、本実施形態に係る変換装置に用いることができるパラレル - シリアル変換器の詳細なブロック図を示す。パラレル - シリアル変換器へ入力された入力信号は、それぞれのアップサンプリング器(503)に入力される。アップサンプリング器(503)によるアップサンプリングにより、入力信号はM倍にオーバーサンプリングされる。複数のアップサンプリング器(503)に同時に入力され、アップサンプリングされた信号は、各アップサンプリング器に後置された複数の遅延器(502)により、シリアルデータに変換される。このとき、パラレル - シリアル変換器の出力サンプリング周波数は、ベクトルフィルタおよび量子化器におけるサンプリング周波数のM倍のサンプリング周波数になる。

【0024】

20

ベクトルフィルタ(301)は、シリアル - パラレル変換器(201)が出力するパラレル信号に対し信号処理を行う。本実施形態においては、ベクトルフィルタ(301)は、単にベクトル信号の各要素(各信号)に別々に作用するフィルタに限定されることはない。すなわち、ベクトルフィルタ(301)は、複数のベクトル要素(信号)に対しても作用するフィルタであってもよい。ベクトルフィルタ(301)の機能は、例えば、ベクトル信号を表わすベクトルに作用する行列として表現することも可能である。図6にベクトルフィルタの伝達関数の一例を示す。この伝達関数は、ベクトルの各要素に対する伝達関数を用いて表わされる。ベクトルフィルタの出力は、図6に示されるように、各要素に対する伝達関数を用いた和として表現できる。

【0025】

30

したがって、電子回路等でこのような伝達関数を実現する場合には、ベクトル信号の各要素に作用する素子およびそれぞれの出力間に作用する素子が存在することになる。このように信号処理を行うことにより、このベクトルフィルタにミスマッチ等の誤差があった場合でも、本実施形態では、ミスマッチシェイパ(802)などを用いることにより、それらの影響を分散させることができ、高精度変換を実現することが可能となる。

【0026】

通常、ベクトルフィルタは離散時間回路で実現される。本実施形態においても、ベクトルフィルタ(301)は離散時間回路で実現することができる。また、本実施形態においては、連続時間回路を用いて実現することも可能である。この場合には、離散時間回路に比べ回路動作速度を向上させることが容易になり、また消費電流も削減することが可能となる。

40

【0027】

図7にベクトル要素数が2の場合におけるベクトルフィルタの構成の具体的なブロック図を例示す。入力信号を x_1 、 x_2 、出力信号を y_1 、 y_2 とする。 x_1 にはフィルタ手段(311)の伝達関数 H_{11} 、 H_{21} が作用し、 x_2 には H_{12} 、 H_{22} が作用する。これにより、 $y_1 = H_{11} x_1 + H_{12} x_2$ 、 $y_2 = H_{21} x_1 + H_{22} x_2$ となる。

【0028】

図8にベクトル要素数が3の場合におけるベクトルフィルタの構成の具体的なブロック図を例示す。この場合も要素数が2の場合と同様に入力 x_1 、 x_2 、 x_3 に対しそれぞれフィルタ手段(311)の伝達関数が作用するように構成される。

【0029】

50

本発明の第2の実施形態に係る変換装置として、これまでに説明されたいずれかの変換装置を、多段接続されたベクトルフィルタを有する構成とした変換装置を説明する。図9に、本発明の第2の実施形態に係る変換装置に用いることができるベクトルフィルタの構成の一例を示す。すなわち、多段接続したベクトルフィルタの構成を示す。本実施形態においては、第1の実施形態におけるベクトルフィルタを多段のベクトルフィルタ(301a、301b、301c)により構成している。このような構成により、より複雑な処理を容易に施すことが可能となる。電子回路等でベクトルフィルタを実現する場合には、各フィルタの次数は1次もしくは2次の場合に回路として実現が容易である。したがって、ベクトルフィルタを実現する際においても、図6、図7、図8に示したベクトルフィルタの各要素を1次もしくは2次として構成することが望ましい。しかし、このようにベクトルフィルタの各要素を1次もしくは2次として構成する場合には、ベクトルフィルタの次数が1次もしくは2次に限定されてしまう欠点がある。そこで、本実施例においては、このような1、2次のベクトルフィルタを多段に接続することにより、この問題を解決することも可能となる。

10

【0030】

本発明の第3の実施形態に係る変換装置として、これまでに説明されたいずれかの変換装置を、線形変換を行なうベクトルフィルタを有する構成とした変換装置を説明する。図10に、本発明の第3の実施形態に係る変換装置に用いることができるベクトルフィルタの機能ブロック図を示す。本実施形態においては、ベクトルフィルタとして、線形変換を用いるベクトルフィルタが用いられる。本実施形態においては、ベクトルフィルタ(301)を線形変換器(302a)と内部ベクトルフィルタ(302b)、線形変換器(302c)を用いて構成する。線形変換器(302a)は、入力ベクトル信号の成分に対する演算を行う。線形変換の例として、各要素の差分をとる演算や各要素の和をとる演算などを行う。この線形変換は各ベクトル成分の変換を行うものである。そこでこの線形変換を、ベクトル変換と呼ぶ。ベクトル変換には、座標変換を用いることも可能である。

20

【0031】

このような変換により、ベクトル信号を演算により混合(例えば加算)する。これによりパラレル-シリアル変換器(201)の構成要素を実現する素子ばらつきなどにより生じる誤差の影響を共有させることにより、その影響を緩和することが可能となる。この線形変換は、内部ベクトルフィルタに接続された変換器(302c)で行うことも可能である。また、線形変換は、ベクトルフィルタ(302b)と変換器(302c)のいずれか一方もしくは双方で実現することも可能である。

30

【0032】

本発明の第4の実施形態に係る変換装置として、これまでに説明されたいずれかの変換装置を、直交変換を行なうベクトルフィルタを有する構成とした変換装置について説明する。図11に本発明の第4の実施形態に係る変換装置に用いることができるベクトルフィルタの機能ブロック図を示す。本実施形態においては、ベクトルフィルタとして、直交変換を用いる。直交変換器(302d)により入力ベクトル信号を別のベクトル信号に変換する。直交変換を用いることにより、入力ベクトル信号の有する情報量を減少させることなく変換することが可能となる。言い換えると、入力ベクトル信号が有するすべての情報を変換する事が可能となる。

40

【0033】

一般にアナログ-デジタル変換器においては、入力信号を正確にアナログ信号からデジタル信号に変換することが求められる。言い換えると、入力信号の有する情報量の減少をできるだけ小さくすることが求められる。直交変換器(302d)を用いることにより、入力されたベクトル信号の情報がすべて変換することが可能となる。また、直交変換器(302d)で実現される直交変換の逆変換を行うことにより、入力ベクトル信号は完全に元に戻すことも可能となる。このような変換をベクトルフィルタに用いることにより、前述したようにばらつき等による誤差の影響を低減し、正確に入力信号を変換することが可能になる。この直交変換器は、図3および他の図に示すループ内のいずれの位置にも挿入することが

50

可能である。また、図3および他の図に示すループ外のいずれの位置にも挿入することができる。

【0034】

本実施形態の直交変換としては、フーリエ変換、離散コサイン変換、ウェーブレット変換等を用いることが可能である。

【0035】

本発明の第5の実施形態に係る変換装置として、これまでに説明されたいずれかの変換装置を、ウェーブレット変換を行なうベクトルフィルタを有する構成とした変換装置を説明する。図12に本発明の第5の実施形態に係る変換装置に用いることができるベクトルフィルタの機能ブロック図を示す。本実施形態は、線形変換としてウェーブレット変換を用いることを特徴とする。ウェーブレット変換器(302e)により、入力されるベクトル信号を別のベクトル信号に変換する。この変換に直交変換を用いることにより、入力ベクトル信号が有するすべての情報を損失することなく変換することが可能となる。また、ウェーブレット変換を用いることにより、ベクトル信号を変換するとき、低周波成分への変換においては、時間分解能を低くし、一方、高周波成分への変換においては、時間分解能を高く変換することができる。一般に低周波成分に対しては時間分解能が低くても良く、高周波成分に対しては、時間分解能が高い方が良い。本実施形態に示すように、ウェーブレット変換器を用いることで、アナログ-デジタル変換装置に入力された信号の周波数成分に応じた信号処理が可能となり、アナログ-デジタル変換の精度を効率よく向上させることが可能となる。

【0036】

また、ウェーブレット変換器は、内部ベクトルフィルタ(302b)に後置することもできる。別の実施形態としては、ウェーブレット変換およびこの逆ウェーブレット変換器を内部ベクトルフィルタ(302b)の前後に配置することにより、ベクトルフィルタ全体としてはベクトル変換を行わない出力を得ることも可能である。

【0037】

本発明の第6の実施形態に係る変換装置として、これまでに説明されたいずれかの変換装置において、量子化器が係数器を有する構成とした変換装置について説明する。図13に本発明の第6の実施形態に係る変換装置に用いることができる量子化器(401)の機能ブロック図を示す。本実施形態では、量子化器(401)は、ベクトル変換後の利得調整のための係数器(402)を備える。量子化器(401)は複数の内部量子化器(401a)を有し、それぞれの内部量子化器(401a)には、係数器(402)の出力が入力される。係数器(402)には、ベクトルフィルタの出力するベクトル信号のいずれかが入力される。

【0038】

これまでの実施形態において説明したベクトルフィルタを用いると、フィルタ特性に応じた利得が生じる。一方、量子化器(401)は、入力信号をデジタル信号に変換する。このとき、量子化器(402)のビット数は有限であるため、量子化雑音が生じる。また、ベクトルフィルタの出力振幅により、その量子化雑音の相対的な影響が変動する。さらに、本発明の実施形態に係るアナログ-デジタル変換装置は、通常半導体等の電子回路を用いて実装されるため、その信号は電圧もしくは電流の値を用いて表現される。電子回路においては、電圧もしくは電流には最大値がある。電圧であれば、電源電圧を超えることはできない。したがって、量子化器(401)に入力される信号振幅が量子化器(401)の最大入力範囲内にあり、かつ、なるべくその振幅が大きい方が良い。

【0039】

本実施形態に係るアナログ-デジタル変換装置では、内部信号はベクトル信号であり、複数の信号が存在する。このため、本実施形態においては、各内部量子化器(401a)への入力範囲が前述したような条件を満たすように係数器(402)により設定することが可能であり、変換器全体の変換精度を向上させることが可能となる。

【0040】

さらに、内部量子化器(401a)のビット数は、それぞれ異なるビット数とすることも可能

である。特に、前述したようにベクトルフィルタにベクトル変換器を用いた実施形態においては、各ベクトル要素は異なる周波数成分を含む。このため、各量子化器（401a）のうち特定の量子化器のビット数を増やすことにより、特性を高めたい周波数に対する雑音成分を減らすことが可能となる。一方、性能が求められない周波数成分に対するビット数を減らすことにより、量子化器の回路規模を効果的に削減することも可能となる。本実施形態に係るアナログ - デジタル変換装置においては、オーバーサンプリングが行なわれる。このため、信号成分は、特定の周波数に分布する。したがって、この信号成分を受け持つ量子化器のビット数を増やすことにより回路規模の増加を最小限に抑え性能を向上させることが可能となる。

【0041】

本発明の第7の実施形態に係る変換装置として、これまでに説明されたいずれかの変換装置において、ベクトルフィルタがクロスカップル回路を有する構成とした変換装置について説明する。図14に、本発明の第7の実施形態に係る変換装置に用いることができるベクトルフィルタの機能ブロック図を示す。本実施形態に係る変換装置に用いられるベクトルフィルタは、ベクトルの要素数が例えば2のベクトルフィルタである。本実施形態に係る変換装置に用いられるベクトルフィルタは、低周波領域の雑音を低減する従来のローパス型変調器に対応する。本実施形態においては、積分器（303a）にベクトル要素に対するクロスカップル回路を用いることで、各ベクトル成分が入力信号のサンプリング時間ごとの成分を示す場合、それぞれ1サンプリング時間異なる積分成分を出力することを可能としている。ここでは、ベクトルの要素数が2の場合を示したが、要素数はこれに限定されるものではなく、任意の要素数のものを構成することが可能である。

【0042】

本発明の第8の実施形態に係る変換装置として、これまでに説明されたいずれかの変換装置を、ベクトル成分の和および/または差を出力するベクトルフィルタを有する構成とした変換装置について説明する。図15に、本発明の第8の実施形態に係る変換装置に用いることができるベクトルフィルタの機能ブロック図を示す。本実施形態に係る変換装置に用いられるベクトルフィルタは、ベクトルの要素数が例えば2の場合のベクトルフィルタである。本実施形態では、ベクトルフィルタは、各ベクトル成分の和および差を加算器（313a, 313b）により実現している。加算器（313a）の出力として、入力ベクトル信号成分の和が x_1+x_2 が出力される。この和として、入力ベクトル信号成分のうちの低域の成分を出力する（高域成分を抑圧する）ことができる。一方、加算器（313b）の出力として、差 x_1-x_2 が出力される。この差として、入力ベクトル信号成分のうちの低域成分を抑圧する（高域成分を抑圧する）ことができる。

【0043】

このように、それぞれ周波数成分が異なる信号を取り出すことが可能となる。前述したベクトル変換器に後置される量子化器のビット数を必要に応じて増減することで必要となる周波数成分における量子化雑音のみを低減することが可能となる。

【0044】

図16に本発明の第9の実施形態に係る選択装置の機能ブロック図を示す。本実施形態に係る選択装置は、これまでに説明されたいずれかの変換装置が選択的フィードバックを有する構成となっている。本実施形態においては、入力手段（101）に入力される入力信号から、デジタル - アナログ変換器（801）により出力されるフィードバック信号を減算器（901）で減算し、この信号がシリアル - パラレル変換器（201）に入力され、パラレル信号に変換される。変換されたパラレル信号は、ベクトルフィルタ（301）に入力され、ベクトルフィルタ（301）の出力する信号が量子化器（401）で量子化される。量子化された結果である信号は、パラレル - シリアル変換器（401）で再びシリアル信号に変換され、選択的フィードバック手段（602）によりDAC（801）を介して入力手段へフィードバックされる。ミスマッチシェーパ（302）は、DAC（801）を構成する素子のばらつきにより生じる雑音を低減するために用いることができる。この構成において選択的フィードバック手段（602）では、量子化器（401）からの信号のうち一部のみを選択し、フィードバック信号

を生成することを特徴とすることができる。

【0045】

前述したように、ベクトルフィルタ(301)の内部にベクトル変換器(302)を用いることが可能である。ベクトル変換器(302)を用いることで、その出力の各ベクトル成分は、用いるベクトル変換に応じて、異なる周波数成分や時間成分を主に含む信号とすることが可能である。したがって、最終的に変換したい周波数成分を選択的にフィードバックすることにより、必要な成分をデジタル信号に変換し、一方、必要のない成分をフィードバックしないことにより、回路規模を削減することが可能となる。本実施形態は、入力信号をベクトル信号に変換することにより変換速度の向上を図ることができる。ただし、ベクトル化により、ベクトルの要素数をMとすると、回路規模がM倍に増大する場合がある。そこで、本実施形態では、選択的フィードバック手段(602)を用いることで、フィードバック経路の回路規模を削減することが可能となる。

10

【0046】

図17に本発明の第10の実施形態に係る変換装置の機能ブロック図を示す。本実施形態に係る変換装置は、これまでに説明されたいずれかの変換装置が選択的フィードバック手段を有する構成となっている。図17においては、簡単のためデジタル-アナログ変換器(801)およびミスマッチシェーパ(302)は省略されている。本実施形態においては、入力手段(101)からの入力信号から、デジタル-アナログ変換器(801)が出力するフィードバック信号を減算器(901)で減算し、この信号がシリアル-パラレル変換器(201)に投入されパラレル信号に変換される。変換されたパラレル信号は、ベクトルフィルタ(301)に投入される。ベクトルフィルタ(301)の出力する信号が量子化器(401)で量子化され、入力手段へフィードバックされる。ベクトルフィルタの出力のうち信号帯域成分を出力する要素のみを量子化器(401a)で量子化し、フィードバック信号を生成する。このため、量子化器(401a)を削減することが可能となり、回路規模の削減が可能となる。

20

【0047】

図18に本発明の第11の実施形態に係る変換装置の機能ブロック図を示す。本実施形態に係る変換装置の構成は、これまでに説明されたいずれかの変換装置において、図18に示されるように、遅延素子(202)、ダウンサンプリング器(203)で構成されるシリアル-パラレル変換器により、入力信号がベクトル信号に変換される構成となっている。このベクトル信号は、遅延素子(205)、加算器(204)および積分器(303a)により構成されるベクトルフィルタに接続され、加算器(313a)により構成されるベクトル変換器で低域成分が抽出される。この信号のみを量子化器(401a)でデジタル信号に変換し、入力段にフィードバックすることができる。

30

【0048】

図19に本発明の第12の実施形態に係る変換装置の機能ブロック図を示す。本実施形態の構成は、上記の実施形態による構成を簡略化した構成に対応する。図19において、入力信号は、遅延素子(202)、ダウンサンプリング器(203a)で構成されるシリアル-パラレル変換器によりベクトル信号に変換される。このベクトル信号は、遅延素子(205)、加算器(204)、加算器(313a)により構成されるベクトル変換器により低域成分が抽出された後、積分器(303a)に投入される。積分器(303a)の出力する信号は、量子化器(401a)でデジタル信号に変換され、入力段にフィードバックされる。

40

【0049】

このように構成することにより、前述の実施形態において2つの積分器を用いている構成を、1つの積分器を用いる構成とすることが可能となる。これは、前述の実施形態における積分演算とベクトル変換の順序を逆にすることによりこれを実現することが可能となる。一般に線形演算の順序を変更しても、その演算結果は変わらないため、本実施形態においてもその特性は変わらない。したがって、積分器を削減することが可能となり、積分器はアナログ回路規模が大きいので、回路規模のみならず消費電流も削減することが可能となる。

【0050】

50

本実施形態では、ベクトルの要素数をMとすると、Mが2の場合を図示したが、Mを増大させた場合においても積分器は1つですむ。本実施形態は、入力信号をベクトル信号に変換することにより変換速度の向上を図ることができる。ただし、ベクトル化することにより、回路規模がM倍に増大する場合がある。前述したように積分器を削減できることから、Mが増加した場合においてもほとんど回路規模を増大させず変換精度を保ったまま変換速度をM倍に向上させることが可能となる。

【0051】

本発明の第13の実施形態に係る変換装置として、これまでに説明されたいずれかの変換装置を、補償器を有する構成とした変換装置について説明する。図20に、本発明の第13の実施形態に係る変換装置に用いることができる補償器の機能ブロック図を示す。本実施形態においては、補償器は、シリアル - パラレル変換器 (201) およびパラレル - シリアル変換器 (401) が遅延器を用いて構成される。このため、ベクトルの要素数を増大させた場合ループ内の遅延数が増大し、ループの安定性が損なわれる場合がある。本実施形態では、この遅延による影響を低減するために以下に示した方法により出力の予測を行う。これにより、遅延器がなかった場合の出力を得ることが可能となり、ループの安定化を図ることができる。一般に、フィードバック経路を有する線形システムは次のように表すことができる。

$$x(k) = A x(k-1) + b u(k-1)$$

$$u(k) = f x(k) = f A x(k-1) + f b u(k-1)$$

ここで、xは状態変数、uは入力信号、Aはシステム行列、bは入力に対する係数行列、fはフィードバック行列を表す。したがって、この式で示したuを求め、フィードバック信号として用いることで、ループの安定化を図ることが可能となる。図20に示した例においては、積分器が1段の場合を補償器の構成方法を示している。

【0052】

図21に本発明の第14の実施形態に係る変換装置のブロック図を示す。本実施形態に係る変換装置の構成は、第13の実施形態の構成を簡略化した構成に対応する。図21において、入力信号はシリアル - パラレル変換器によりベクトル信号に変換される。本実施形態では、シリアル - パラレル変換器は、遅延素子 (202)、ダウンサンプリング器 (203a) で構成される。このシリアル - パラレル変換器により出力されるベクトル信号は、ベクトル変換器により低域成分が抽出される。本実施形態においては、ベクトル変換器は、遅延素子 (205)、加算器 (204)、加算器 (313a) により構成される。このようなベクトル変換器により抽出された低域成分の信号は、積分器 (303a) に入力される。積分器 (303a) の出力は、量子化器 (401a) でデジタル信号に変換され、入力段にフィードバックされる。本実施形態においては、フィードバック信号がシリアル - パラレル変換器の後段に入力される構成となっており、フィードバック信号と入力信号との演算は、ダウンサンプリング後の速度の遅いサンプリング時間で行うことが可能となる。これにより回路動作速度を低減することが可能となり、精度の向上および消費電流も削減することも可能となる。

【0053】

本発明の第15の実施形態に係る変換装置として、これまでに説明されたいずれかの変換装置を、シリアル - パラレル変換器がミキサ手段を有する構成とした変換装置について説明する。図22に本発明の第15の実施形態に係る変換装置に用いることができるシリアル - パラレル変換器の機能ブロック図を示す。入力信号は、ミキサ手段 (205) で局部発信器 (206a、206b、206m) からの信号と乗算される。乗算されてミキサ手段 (205) から出力される信号をダウンサンプラ (203) でサンプリングする。ここで、各局部発信器には周波数は等しく位相が異なる信号を用いる。特に並列数をMとする場合、それぞれの位相は $2\pi/M$ となるように選択することで、入力信号の成分を正確に変換することが可能となる。

【0054】

本発明の第16の実施形態に係る変換装置として、これまでに説明されたいずれかの変換装置において、シリアル - パラレル変換器が複数のミキサ手段を有し、入力信号が、位相差が互いに 2π の整数分の1となる信号と乗算される構成となっている変換装置について説

10

20

30

40

50

明する。図23に本発明の第16の実施形態に係る変換装置に用いることができるシリアル - パラレル変換器の機能ブロック図を示す。入力信号は、ミキサ手段(205)で局部発信器(206a、206b、206m)からの信号と乗算される。ここで、各局部発信器には周波数は等しく位相が異なる信号を用いる。特に並列数をMとする場合、それぞれの位相は $2\pi/M$ となるように選択する。言い換えると、各ミキサ手段(205)にて入力信号に乗算される2つの信号の差は、 2π の整数分の1の倍数となる。これにより、入力信号の成分を正確に変換することが可能となる。ここでは、サンプリングを行わず、次段のベクトルフィルタに信号を接続する。この際、ベクトルフィルタには、連続時間回路のものを用いる。このように構成することにより、サンプリングは量子化器で行われるようになる。ベクトルフィルタに大きな利得を与えることにより、量子化器で生じる折り返し雑音をこのベクトルフィルタの利得だけフィードバック作用により抑圧することが可能となる。このため、折り返し雑音の影響が低減され、また、本発明のアナログ - デジタル変換装置に折り返し雑音低減用のフィルタへの要求を緩和させることが可能となり、折り返し雑音低減フィルタを不要とすることも可能である。

【0055】

また、図22および図23に示した実施形態においては、局部発信器の信号として、正弦波の他、アダマル信号やウェーブレット信号を用いることも可能である。

【0056】

図24に本発明の第17の実施形態に係る変換装置のブロック図を示す。本実施形態に係る変換装置の構成は、第14の実施形態の構成を簡略化した構成に対応する。図24において、入力信号はダウンサンプリング器(203a)でダウンサンプルされた後ベクトル信号に変換される。本実施形態では、シリアル - パラレル変換器は、ダウンサンプリング器(203a)で構成される。このシリアル - パラレル変換器により出力されるベクトル信号は、ベクトル変換器により低域成分が抽出される。本実施形態においては、ベクトル変換器は、遅延素子(205)、加算器(204)および加算器(313a)により構成される。このようなベクトル変換器により抽出された低域成分の信号は、積分器(303a)に inputs される。積分器(303a)の出力は、量子化器(401a)でデジタル信号に変換され出力される。また、量子化器(401a)でデジタル信号に変換される出力は、入力段にフィードバックされる。このとき、量子化器(401a)でデジタル信号に変換される出力は、図24に示すように、ミスマッチシェーパ(802)とDAC(801)とに inputs されて入力段にフィードバックすることもできる。

【0057】

本実施形態においては、シリアル - パラレル変換器が入力信号をダウンサンプリング後の同一信号を用いることで構成されている。オーバーサンプリング型変換器においては、入力信号の帯域幅は、通常サンプリング周波数よりも十分低いいため、本実施例のように構成してもその影響は小さい。これにより、サンプリングはダウンサンプル後の周波数で行えばよく回路を容易に構成することが可能となる。また、遅延器も不要となり回路規模の削減を図ることが出来る。

【0058】

図25に本発明の第18の実施形態に係る変換装置のブロック図を示す。本実施形態に係る変換装置の構成は、第17の実施形態の構成におけるフィードバック経路の構成をデジタル処理化した構成に対応する。図25において、入力信号はダウンサンプリング器(203a)でダウンサンプルされた後ベクトル信号に変換される。このシリアル - パラレル変換器により出力されるベクトル信号は、ベクトル変換器により低域成分が抽出される。本実施形態においては、ベクトル変換器は、遅延素子(205)、加算器(204)、加算器(313a)により構成される。このようなベクトル変換器により抽出された低域成分の信号は、積分器(303a)に inputs される。積分器(303a)の出力は、量子化器(401a)でデジタル信号に変換され、入力段にフィードバックされる。

【0059】

本実施形態においては、フィードバック経路からの信号に対するベクトル変換を、デジタル回路で構成する。このようにすることで、ベクトル変換をより容易にかつ高精度に構成

10

20

30

40

50

することが可能となる。ベクトルフィルタは、スイッチト・キャパシタ回路（SC回路）で構成することが出来る。SC回路を用いる場合、入力経路からの信号とフィードバック経路からの信号を別のSC回路で通常構成する。本実施形態では、アナログ回路であるSC回路を入力経路だけに用いる構成とすることが出来、アナログ回路の削減、精度の向上を図ることが可能となる。

【0060】

図26に本発明の第19の実施形態に係る変換装置の機能ブロック図を示す。入力手段（101）に入力された入力信号より、デジタル・アナログ変換器（DAC）（801）からのフィードバック信号を減算器（901）で減算する。減算された信号がシリアル・パラレル変換器（201）に入力される。言い換えれば、減算器（901）がシリアル・パラレル変換器（201）に対して前置されている。シリアル・パラレル変換器（201）により変換されたパラレル信号は、ベクトルフィルタ（301）に入力される。ベクトルフィルタ（301）により処理された信号は量子化器（401）で量子化される。量子化された信号は、パラレル・シリアル変換器（401）で再びシリアル信号に変換される。また、フィードバック手段（601）によりDAC（801）を介して入力手段（101）へフィードバックされる。

【0061】

本実施形態は、第1の実施形態における補償器（701）をベクトルフィルタに並列もしくは直列に構成した構成に対応する。内部信号をベクトル化した場合、シリアル・パラレル変換器およびパラレル・シリアル変換器やベクトルフィルタにおける遅延器の影響により、閉ループの安定性が低下する場合がある。補償器は、この影響を低減するために挿入され、その挿入位置はループ内に配置すれば良い。本実施形態では、補償器をベクトルフィルタに接続することにより、ベクトルフィルタ内の内部信号を用いて補償器を構成することが可能となる。これにより、第13の実施形態で示した補償器を容易に構成することが可能となり、ループの安定性の向上を図ることが出来る。また、本実施形態では、図17に示した第10の実施形態のように量子化器を一部または全て省略することも可能である。

【0062】

図27に本発明の第20の実施形態に係る変換装置の機能ブロック図を示す。本実施形態は、第9の実施形態において、補償器（701）をフィードバックループ内に挿入した構成に対応する。第19の実施形態で説明したように、信号をベクトル化した場合、閉ループの安定性が低下する場合がある。補償器は、この影響を低減するために挿入され、その挿入位置はループ内に配置すれば良い。本実施形態では、補償器をベクトルフィルタに接続することにより、ベクトルフィルタ内の内部信号を用いて補償器を構成することが可能となる。これにより、第13の実施形態で示した補償器を容易に構成することが可能となり、ループの安定性の向上を図ることが出来る。また、補償器は、図面ではベクトルフィルタに接続しているが、ループ内に配置すればよい。例えば、図3のように示したようにフィードバック経路に配置しても良い。

【0063】

図28に本発明の第21の実施形態に係る変換装置の機能ブロック図を示す。本実施形態に係る変換装置の構成は、これまでに説明されたいずれかの変換装置において、図21に示されるように、遅延素子（202）、ダウンサンプリング器（203）で構成されるシリアル・パラレル変換器により、入力信号がベクトル信号に変換される構成となっている。このベクトル信号は、遅延素子（205）、加算器（204）および積分器（303a）により構成されるベクトルフィルタに接続され、加算器（313a）により構成されるベクトル変換器で低域成分が抽出される。この信号のみを量子化器（401a）でデジタル信号に変換し、入力段にフィードバックすることができる。また、係数器（402a）および加算器（313a）により補償器が構成され、これによりループの安定性の向上を図ることができる。

【0064】

本実施形態では、積分器を2段直列に接続することにより、ループフィルタ全体の利得を向上させ、出力における量子化雑音の低減を図ることが可能となる。また、2段目の積分器を1つで構成することが可能で、回路規模の削減を図ることが出来る。本実施形態にお

10

20

30

40

50

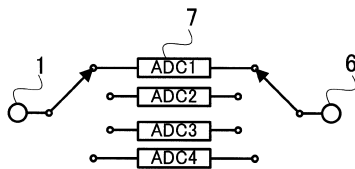
いて、ベクトル変換器を図19に示したように1段目の積分器の前に配置することも可能であり、この場合1段目の積分器を1つで構成することが出来る。

【 0 0 6 5 】

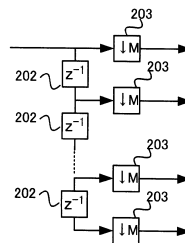
図29に本発明の第22の実施形態に係る変換装置の機能ブロック図を示す。本実施形態は、図17に示した第10の実施形態に係る変換器を複数用い、第1の変換器の量子化器で生じる量子化雑音を第2の変換器で変換し、第1の変換器の出力から第2の出力を減算器(901)で減算することで、第1の変換器の量子化雑音を引き去ることが可能となる。このとき、フィルタ手段(701)の伝達関数を第2の変換器の伝達関数とし、フィルタ手段(702)の伝達関数を第1の変換器の雑音伝達関数と等しくすることにより、第2の変換器の量子化雑音から出力までの雑音伝達関数を第1の変換器の雑音伝達関数に第2の変換器の雑音伝達関数を乗じたものとする事が出来る。ここでは、変換器を2段縦列接続したが、3段以上接続することも可能であり、段数を増やすことで雑音伝達関数の次数を高めることができる。また、説明の都合上第10の実施形態を複数接続したが、これ以外の実施形態を複数接続しても同様の効果を得ることができる。

10

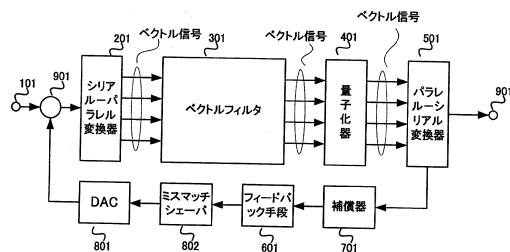
【 図 2 】



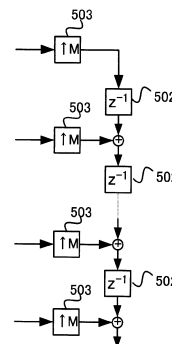
【 図 4 】



【 図 3 】



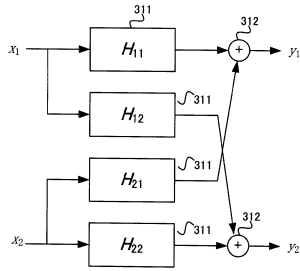
【図 5】



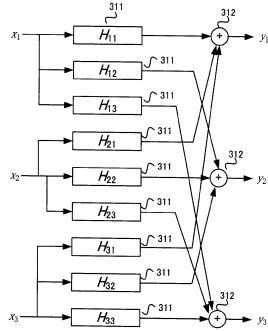
【 図 6 】

$$\begin{pmatrix} y_1 \\ y_2 \\ \vdots \\ y_M \end{pmatrix} = \begin{pmatrix} H_{11} & H_{12} & \cdots & H_{1M} \\ H_{21} & \ddots & & \vdots \\ \vdots & & \ddots & \vdots \\ H_{M1} & \cdots & \cdots & H_{MM} \end{pmatrix} \begin{pmatrix} x_1 \\ x_2 \\ \vdots \\ x_M \end{pmatrix}$$

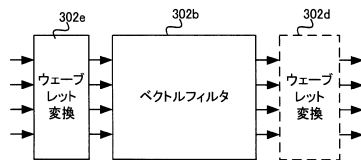
【図 7】



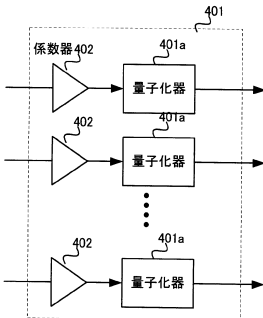
【図 8】



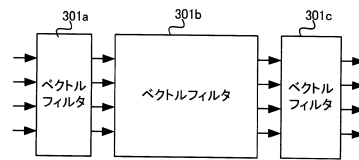
【図 12】



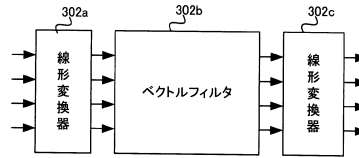
【図 13】



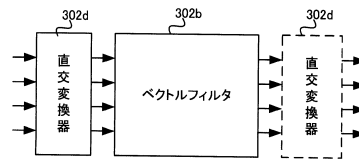
【図 9】



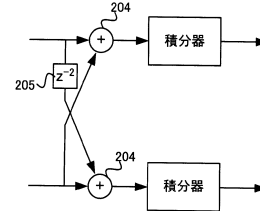
【図 10】



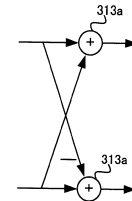
【図 11】



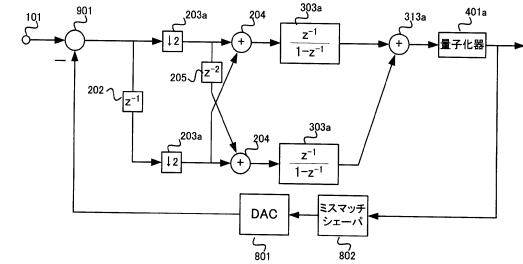
【図 14】



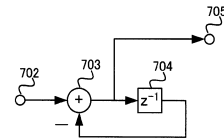
【図 15】



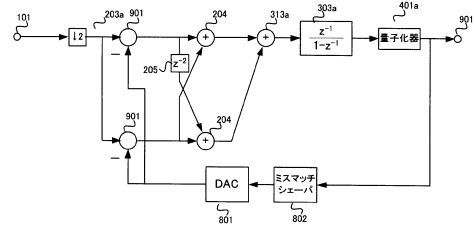
【 図 1 8 】



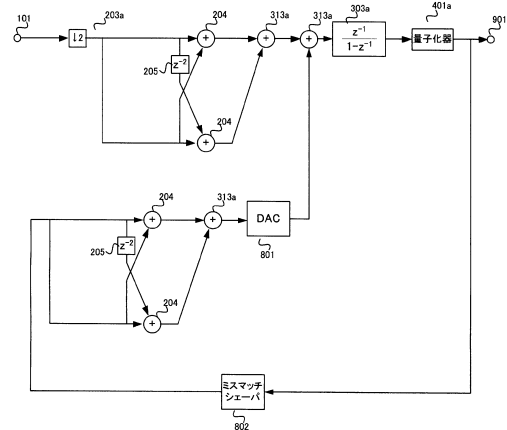
【 図 2 0 】



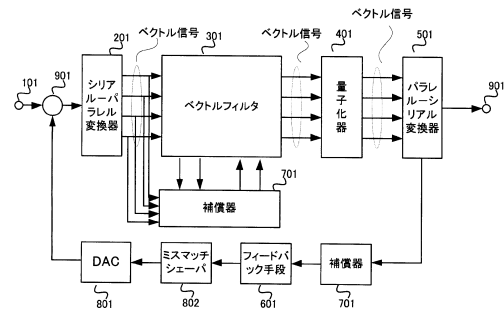
【 図 2 4 】



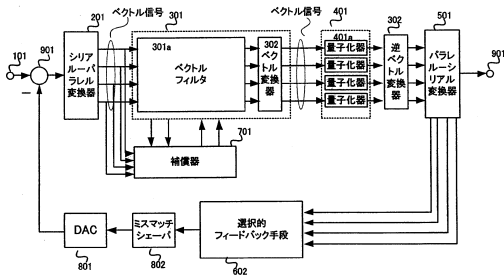
【 図 2 5 】



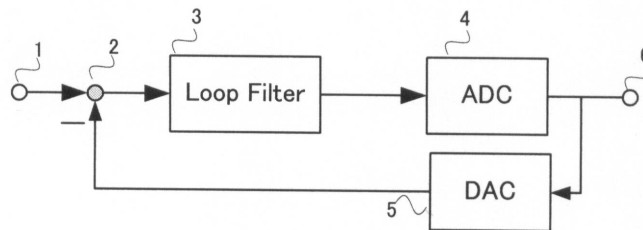
【図 26】



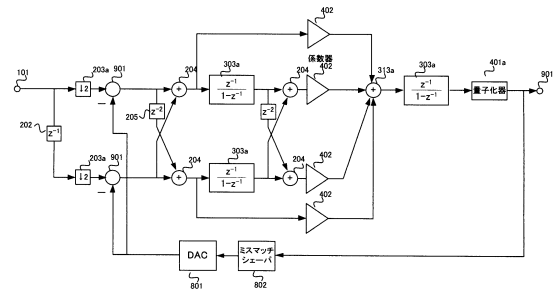
【図 27】



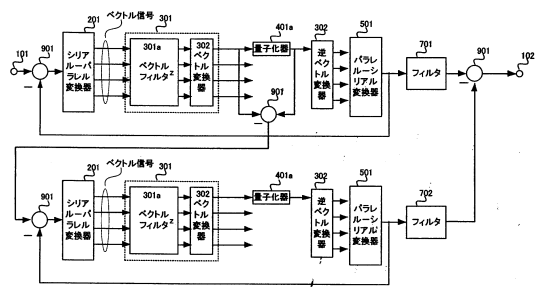
【図 1】



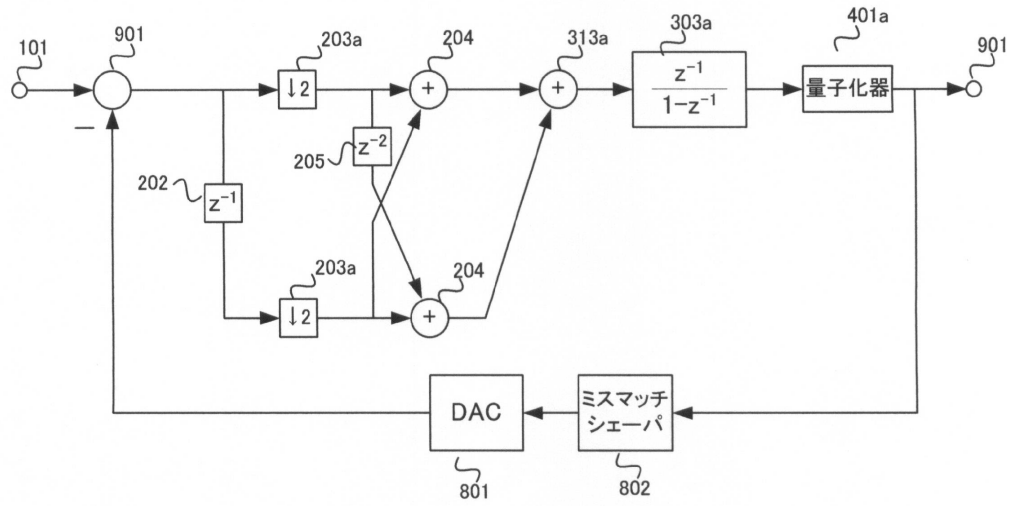
【図 28】



【図 29】



【 図 1 9 】



フロントページの続き

審査官 北村 智彦

(56)参考文献 特開2004-7702(JP,A)
特開2006-13705(JP,A)
国際公開第2007/135928(WO,A1)

(58)調査した分野(Int.Cl., DB名)
H03M 3/00-11/00