



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I718359 B

(45)公告日：中華民國 110 (2021) 年 02 月 11 日

(21)申請案號：107104241

(22)申請日：中華民國 107 (2018) 年 02 月 07 日

(51)Int. Cl. : **G06T1/20 (2006.01)****H04L12/70 (2013.01)**

(30)優先權：2017/05/15 美國

15/595,242

(71)申請人：美商谷歌有限責任公司 (美國) GOOGLE LLC (US)

美國

(72)發明人：雷德格雷夫 傑森 魯珀特 REDGRAVE, JASON RUPERT (GB)；邁克斯納 阿爾伯特 MEIXNER, ALBERT (AT)；朱秋玲 ZHU, QIULING (CN)；金 濟 KIM, JI (US)；瓦西里耶夫 阿爾喬姆 VASILYEV, ARTEM (US)；沙強姆 歐佛爾 SHACHAM, OFER (IL)

(74)代理人：陳長文

(56)參考文獻：

TW 201633161A

US 9489322B2

US 2009/0019190A1

審查人員：鄭書季

申請專利範圍項數：15 項 圖式數：13 共 83 頁

(54)名稱

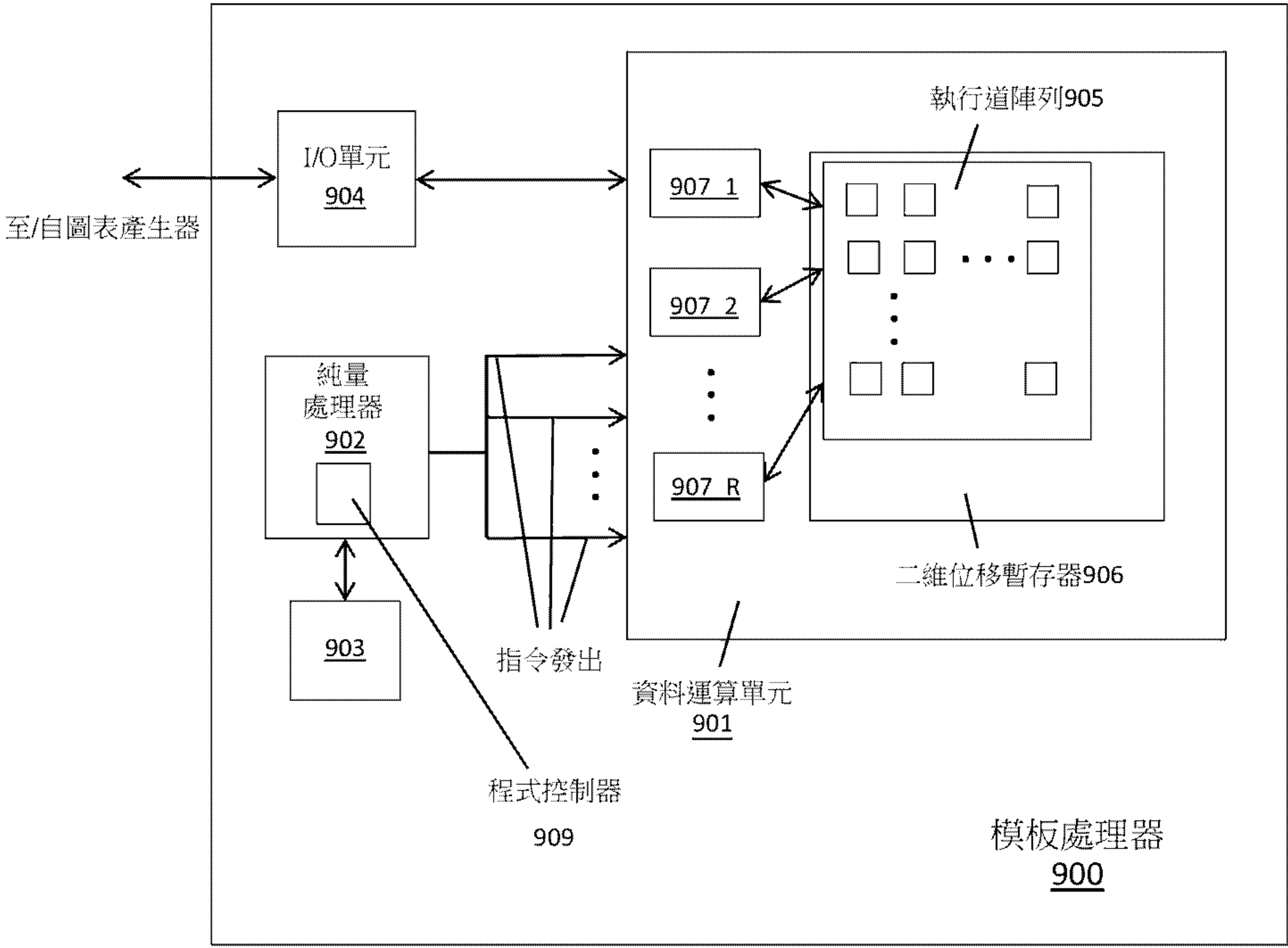
具有高傳輸量內部通信協定之影像處理器

(57)摘要

本發明描述一種處理器。該處理器包含一網路。複數個處理核心經耦合至該網路。該處理器包含耦合至該網路之一傳輸器電路。該傳輸器電路用以將由該等處理核心之一者產生之輸出資料傳輸至該網路中。該傳輸器電路包含控制邏輯電路，其用以在該傳輸器電路完成輸出資料之一先前第一封包之傳輸之前引起該傳輸器電路發送傳輸輸出資料之一第二封包之一請求。

A processor is described. The processor includes a network. A plurality of processing cores are coupled to the network. The processor includes a transmitter circuit coupled to the network. The transmitter circuit is to transmit output data generated by one of the processing cores into the network. The transmitter circuit includes control logic circuitry to cause the transmitter circuit to send a request for transmission of a second packet of output data prior to completion of the transmitter circuit's transmission of an earlier first packet of output data.

指定代表圖：



【圖9a】

符號簡單說明：

- 900 . . . 模板處理器架構
- 901 . . . 資料運算單元
- 902 . . . 純量處理器
- 903 . . . 記憶體
- 904 . . . I/O 單元
- 905 . . . 執行道陣列
- 906 . . . 二維位移陣列結構
- 907 . . . 隨機存取記憶體
- 909 . . . 程式控制器



I718359

## 【發明摘要】

### 【中文發明名稱】

具有高傳輸量內部通信協定之影像處理器

### 【英文發明名稱】

IMAGE PROCESSOR WITH HIGH THROUGHPUT INTERNAL  
COMMUNICATION PROTOCOL

### 【中文】

本發明描述一種處理器。該處理器包含一網路。複數個處理核心經耦合至該網路。該處理器包含耦合至該網路之一傳輸器電路。該傳輸器電路用以將由該等處理核心之一者產生之輸出資料傳輸至該網路中。該傳輸器電路包含控制邏輯電路，其用以在該傳輸器電路完成輸出資料之一先前第一封包之傳輸之前引起該傳輸器電路發送傳輸輸出資料之一第二封包之一請求。

### 【英文】

A processor is described. The processor includes a network. A plurality of processing cores are coupled to the network. The processor includes a transmitter circuit coupled to the network. The transmitter circuit is to transmit output data generated by one of the processing cores into the network. The transmitter circuit includes control logic circuitry to cause the transmitter circuit to send a request for transmission of a second packet of output data prior to completion of the transmitter circuit's transmission of an earlier first packet of output data.

【指定代表圖】

圖9a

【代表圖之符號簡單說明】

- 900      模板處理器架構
- 901      資料運算單元
- 902      純量處理器
- 903      記憶體
- 904      I/O單元
- 905      執行道陣列
- 906      二維位移陣列結構
- 907      隨機存取記憶體
- 909      程式控制器

【發明說明書】

【中文發明名稱】

具有高傳輸量內部通信協定之影像處理器

【英文發明名稱】

IMAGE PROCESSOR WITH HIGH THROUGHPUT INTERNAL COMMUNICATION PROTOCOL

【技術領域】

本發明之領域大體上係關於運算科學且更具體言之，係關於一種具有一高傳輸量內部通信協定之影像處理器。

【先前技術】

影像處理通常涉及處理組織成一陣列之像素值。此處，一空間組織二維陣列擷取影像之二維性質(額外維度可包含時間(例如，二維影像之一序列)及資料類型(例如，色彩))。在一典型案例中，由已產生一靜止影像或一系列圖框之一攝影機提供陣列式像素值以擷取運動影像。傳統影像處理器通常落於兩個極端之任一端上。

一第一極端執行如在一通用處理器或似通用處理器(例如，具有向量指令增強之一通用處理器)上執行之軟體程式之影像處理任務。儘管第一極端通常提供一高度通用的應用程式軟體開發平台，但其使用與相關聯額外負擔(例如，指令提取及解碼、晶片上及晶片外資料之處置、臆測執行)組合之細粒化資料結構最終導致在執行程式碼期間每單位資料消耗較大量能量。

一第二、對置極端將固定功能固線式電路應用於大得多之資料單元。使用直接應用於客製化設計電路之較大資料單元(與細粒化資料單元

相比)大大地降低每單位資料之電力消耗。然而，使用客製化設計之固定功能電路一般導致處理器能夠執行之任務集受限。因而，在第二極端中缺乏用途廣泛的程式化環境(與第一極端相關聯)。

提供高度通用的應用程式軟體開發機會與每單位資料之經改善電力效率兩者之一技術平台仍係一種有待找尋之解決方案。

### 【發明內容】

描述一種處理器。該處理器包含一網路。複數個處理核心經耦合至該網路。該處理器包含耦合至該網路之一傳輸器電路。該傳輸器電路用以將由該等處理核心之一者產生之輸出資料傳輸至該網路中。該傳輸器電路包含控制邏輯電路，其用以在該傳輸器電路完成輸出資料之一先前第一封包之傳輸之前引起該傳輸器電路發送傳輸輸出資料之一第二封包之一請求。

### 【圖式簡單說明】

下文描述及隨附圖式用以繪示本發明之實施例。在圖式中：

圖1展示一模板處理器架構之一高階視圖；

圖2展示一影像處理器架構之一更詳細視圖；

圖3展示一影像處理器架構之一甚至更詳細視圖；

圖4展示可由一影像處理器執行之一應用程式軟體程式；

圖5a展示一第一通信序列；

圖5b展示一改善通信序列；

圖5c展示一通信流程期間之計數器使用行為；

圖6a展示一傳輸器電路之一實施例；

圖6b展示一接收器電路之一實施例；

圖7展示一通信方法；

圖8a、圖8b、圖8c、圖8d及圖8e描繪將影像資料剖析成一線群組，將一線群組剖析成一圖表及對具有重疊模板之一圖表執行之操作；

圖9a展示一模板處理器之一實施例；

圖9b展示模板處理器之一指令字之一實施例；

圖10展示一模板處理器內之一資料運算單元之一實施例；

圖11a、圖11b、圖11c、圖11d、圖11e、圖11f、圖11g、圖11h、圖11i、圖11j及圖11k描繪使用二維位移陣列及一執行道陣列以判定具有重疊模板之一對鄰近輸出像素值之一實施例；

圖12展示一整合式執行道陣列及二維位移陣列之一單位胞元之一實施例；

圖13展示一例示性運算系統。

## 【實施方式】

### 1.0 獨有影像處理器架構

如此項技術中已知，用於執行程式碼之基本電路結構包含一執行級及暫存器空間。執行級含有所用於執行指令之執行單元。將一待執行指令之輸入運算元自暫存器空間提供至執行級。將自執行級執行一指令產生之結果寫回至暫存器空間。

在一傳統處理器上執行一軟體執行緒需要透過執行級循序地執行一系列指令。最常見地，在自單個輸入運算元集產生單個結果之意義上，操作係「純量」。然而，在「向量」處理器之情況下，由執行級執行一指令將自輸入運算元之一向量產生結果之一向量。

圖1展示包含耦合至二維位移暫存器陣列102之一執行道陣列101的一

獨有影像處理器架構100之一高階視圖。此處，執行道陣列中之各執行道可被視為含有執行由處理器100支援之指令集所需的執行單元之一離散執行級。在各項實施例中，各執行道接收在一相同機器循環中執行之一相同指令使得該處理器操作為二維單指令多資料(SIMD)處理器。

各執行道在二維位移暫存器陣列102內之一對應位置中具有其本身專用的暫存器空間。例如，隅角執行道103在隅角位移暫存器位置104中具有其本身專用的暫存器空間，隅角執行道105在隅角位移暫存器位置106中具有其本身專用的暫存器空間等。

另外，位移暫存器陣列102能夠使其內容位移使得各執行道能夠自其本身暫存器空間直接操作在一先前機器循環期間駐留於另一執行道之暫存器空間中之一值。例如， $a+1$ 水平位移引起各執行道之暫存器空間自其最左鄰近者之暫存器空間接收一值。由於使值在左及右兩個方向上沿一水平軸位移及使值在上及下兩個方向上沿一垂直軸位移之能力，故該處理器能夠有效地處理影像資料之模板。

此處，如此項技術中已知，一模板係用作一基本資料單元之影像表面區域之一切片。例如，一輸出影像中之一特定像素位置之一新值可經計算為一輸入影像之一區域(特定像素位置在該區域內居中)中的像素值之一平均值。例如，若模板具有3個像素x3個像素之一尺寸，則特定像素位置可對應於3x3像素陣列之中間像素且可對3x3像素陣列內之所有九個像素計算平均值。

根據圖1之處理器100之各項操作實施例，執行道陣列101之各執行道負責計算一輸出影像中之一特定位置之一像素值。因此，繼續上文剛提及之3x3模板平均實例，在輸入像素資料之一初始載入及位移暫存器內八次

位移操作之一經協調位移序列之後，執行道陣列中之各執行道已將計算其對應像素位置之平均值所需之所有九個像素值接收至其本地暫存器空間中。即，該處理器能夠同時處理居中於例如鄰近輸出影像像素位置之多個重疊模板。由於圖1之處理器架構尤其善於處理影像模板，故其亦可稱為模板處理器。

圖2展示具有多個模板處理器202\_1至202\_N之一影像處理器的一架構200之一實施例。因而，影像處理器可稱為多核心處理器，其中個別模板處理器可更一般地經特性化為影像處理核心、處理核心、處理器核心、核心或其他類似術語。如圖2中所觀察，架構200包含複數個線緩衝器單元201\_1至201\_M，其等透過一網路204（例如，一網路晶片(NOC)，包含一晶片上交換網路、一晶片上環狀網路或其他類型之網路)互連至複數個模板處理器單元202\_1至202\_N及對應圖表產生器單元203\_1至203\_N。在一實施例中，任何線緩衝器單元201\_1至201\_M可透過網路204連接至任何圖表產生器203\_1至203\_N及對應模板處理器202\_1至202\_N。

編譯程式碼且將其載入至一對應模板處理器202上以執行早先由一軟體開發者定義之影像處理操作(例如，取決於設計及實施方案，亦可將程式碼載入至模板處理器之相關聯圖表產生器203上)。在至少一些例項中，可藉由將一第一管線級之一第一內核程式載入至一第一模板處理器202\_1中、將一第二管線級之一第二內核程式載入至一第二模板處理器202\_2中等而實現一影像處理管線，其中第一內核執行管線之第一級之函數，第二內核執行管線之第二級之函數等，且額外控制流程方法經安裝以將輸出影像資料自管線之一個級傳遞至管線之下一級。

在其他組態中，影像處理器可經實現為具有操作相同內核程式碼之

兩個或兩個以上模板處理器202\_1、202\_2之一平行機。例如，可藉由跨多個模板處理器(其各者執行相同功能)散佈圖框而處理一高度密集且高資料速率之影像資料串流。

在又其他組態中，可藉由組態各自模板處理器及其自身之各自程式碼內核且將適當控制流程鉤組態至硬體中以將來自一個內核之輸出影像引導至有向非循環圖(DAG)設計中之下一內核之輸入而將內核之基本上任何DAG載入至硬體處理器上。

作為一般流程，影像資料圖框由一巨集I/O單元205接收且逐圖框傳遞至線緩衝器單元201之一或多者。一特定線緩衝器單元將其影像資料圖框剖析成影像資料之一較小區域(稱為「線群組」)，且接著透過網路204將該線群組傳遞至一特定圖表產生器。一完整或「全」單個線群組可例如由一圖框之多個連續完整列或行之資料組成(為簡便起見，本說明書將主要係指連續列)。圖表產生器將影像資料之線群組進一步剖析成影像資料一較小區域(稱為「圖表」)，且將圖表呈現給其對應模板處理器。

就具有一單一輸入之一影像處理管線或一DAG流程而言，一般將輸入圖框引導至相同線緩衝器單元201\_1，線緩衝器單元201\_1將影像資料剖析成線群組且將線群組引導至圖表產生器203\_1，圖表產生器203\_1之對應模板處理器202\_1執行管線/DAG中之第一內核之程式碼。在完成由模板處理器202\_1操作其處理之線群組之後，圖表產生器203\_1將輸出線群組發送至一「下游」線緩衝器單元201\_2(在一些使用情況中，可將輸出線群組發送回至早先已發送輸入線群組之相同線緩衝器單元201\_1)。

接著，一或多個「消費者」內核(其表示在其自身之各自其他圖表產生器及模板處理器(例如圖表產生器203\_2及模板處理器202\_2)上執行之管

線/DAG中之下一級/操作)自下游線緩衝器單元201\_2接收由第一模板處理器202\_1產生之影像資料。依此方式，操作一第一模板處理器之一「生產者」內核使其輸出資料轉送至操作一第二模板處理器之一「消費者」內核，其中消費者內核在與總管線或DAG之設計一致之生產者內核之後執行下一組任務。

如上文關於圖1所述，各模板處理器202\_1至202\_N經設計以同時操作影像資料之多個重疊模板。多個重疊模板及模板處理器之內部硬體處理容量有效地判定一圖表之大小。再者，如上文所論述，在模板處理器202\_1至202\_N之任一者內，執行道陣列一齊操作以同時處理由多個重疊模板覆蓋之影像資料表面區域。

另外，在各項實施例中，藉由一模板處理器202之對應(例如，本地)圖表產生器203將影像資料圖表載入至該模板處理器之二維位移暫存器陣列中。據信，使用圖表及二維位移暫存器陣列結構可藉由將大量資料移動至大量暫存器空間(作為(例如)一單一載入操作)且此後由一執行道陣列即時對資料直接執行處理任務來有效地提供電力消耗改善方案。另外，使用一執行道陣列及對應暫存器陣列提供可容易程式化/組態之不同模板大小。下文在章節3.0中進一步提供關於線緩衝器單元、圖表產生器及模板處理器之操作之更多細節。

圖3係圖2之影像處理器的一特定硬體實施方案之一更詳細實施例。如圖3中所觀察，以在一線緩衝器單元301與圖表產生器/模板處理器核心302之間的各交叉點處具有一4x4網路節點314之一環狀拓撲304實施圖2之網路204。為簡便起見，圖3僅標記駐留於線緩衝器單元301\_4與圖表產生器/模板處理器核心302\_4之間的網路節點314。

此處，圖表產生器/模板處理器核心302\_1至302\_8之各者應被理解為包含一模板處理器及其對應表產生器兩者。為簡便起見，圖表產生器/模板處理器核心302\_1至302\_8之各者將在後文中簡稱為模板處理器核心或核心。儘管在圖3之特定實施例中描繪八個線緩衝器單元301\_1至301\_8及八個核心302\_1至302\_8，但應瞭解，具有不同數目之線緩衝器單元及/或核心之不同架構係可能的。除一環狀拓撲外之網路拓撲亦係可能的。

關於圖3之影像處理器，環狀網路304容許：1) I/O單元305將輸入資料傳遞至任何線緩衝器單元301\_1至301\_8（或任何核心302\_1至302\_8）；2)任何線緩衝器單元301\_1至301\_8將一線群組轉送至任何核心302\_1至302\_8；3)任何核心302\_1至302\_8將其輸出資料傳遞至任何線緩衝器單元301\_1至301\_8；及4)任何線緩衝器單元301\_1至301\_8將影像處理器輸出資料傳遞至I/O單元305。因而，很多不同軟體內核載入選項及內部網路組態係可能的。即，理論上，針對由待在處理器之各種核心302上執行的一個內核組成之任何軟體應用程式，任何內核可經載入至任何核心上且任何線緩衝器單元可經組態以將輸入資料供給至任何核心/自任何核心汲集輸出資料。

圖4展示可載入至圖3之影像處理器上之一例示性應用程式軟體程式或其部分。如圖4中所觀察，預期程式碼可處理輸入影像資料401之一或多個圖框以使某一總變換作用於輸入影像資料401。該變換係憑藉以由應用程式軟體開發者闡明之一統籌序列操作輸入影像資料的一或多個程式碼內核402之操作實現。

在圖4之實例中，藉由首先使用一第一內核K1處理各輸入影像而實現總變換。接著由內核K2操作由內核K1產生之輸出影像。接著由內核K3\_1

或K3\_2操作由內核K2產生之輸出影像之各者。接著由內核K4操作由(若干)內核K3\_1/K3\_2產生之輸出影像。在圖3之特定實例中，內核K3\_1及K3\_2可為例如執行不同影像處理操作之不同內核(例如，內核K3\_1操作一第一特定類型之輸入影像且內核K3\_2操作一第二不同類型之輸入影像)。

為簡便起見，僅展示四個內核K1至K4。參考圖3之影像處理器硬體架構實施例，應注意，在其中各內核操作一不同模板處理器之一基本組態中，可設想：在處理器之所有核心302具有一對應內核之前(圖4之四個內核流僅利用圖3之處理器之一半核心)，另四個內核可自內核K4流動。

## 2.0 有效地實施異動之收發器

如上文所描述，在一個模板處理器上執行之程式碼之一生產內核將其輸出資料(例如，作為線群組)發送至一線緩衝器單元。線緩衝器單元佇列化或以其他方式儲存及轉送資料(例如，亦作為線群組)至執行消費生產內核之輸出資料的程式碼之各自內核的一或多個其他模板處理器。在總體影像處理器內，存在互連至多個線緩衝器單元之多個模板處理器使得可實施例如大數目之生產/消費內核連接。

在各項實施例中，一特定生產/消費內核之儲存及轉送佇列可稱為「緩衝器」或「線緩衝器」，而一「線緩衝器單元」係可同時支援多個緩衝器之一硬體組件。此處，線緩衝器單元可包含記憶體資源及相關聯邏輯。由線緩衝器單元支援之不同緩衝器被分配用於其等各自儲存及轉送活動之記憶體資源之不同部分。

影像處理器之內部網路支援同時存在於影像處理器內之各種生產內核至線緩衝器單元通信/連接及各種線緩衝器單元至消費內核通信/連接。此處，在一實施例中，各模板處理器包含由一傳輸器及一接收器組成、耦

合至內部網路之一收發器。同樣地，各線緩衝器單元包含耦合至內部網路之一收發器。

在潛在大量訊務可藉由模板處理器及線緩衝器單元之組合而在任一時間提供至內部網路之情況下，在各項實施例中，利用一信用控制機制以防止影像處理器內之任何資源過載(包含網路及/或其他資源，諸如線緩衝器單元之記憶體資源及/或模板處理器之本地記憶體資源)。

例如，在一項實施例中，為防止線緩衝器單元記憶體資源及/或用於自一生產內核處理器(執行一生產內核之一模板處理器，後文中係一發送處理器)至一線緩衝器單元之通信之網路過載，在線緩衝器單元之各者中實施一信用控制機制以控制自一生產內核至其相關聯線緩衝器單元之輸出影像資料流。此處，線緩衝器單元維持對數個信用之控制且將信用發出至一發送處理器，該發送處理器期望將輸出影像資料發送至線緩衝器單元。各信用對應於可由發送處理器發送之一資料量。

因而，發送處理器僅能夠發送對應於其所具有之信用數目之一資料量。由於模板處理器實際上將其輸出資料發送至線緩衝器單元，其耗用其信用計數達一對應量。例如，若各信用對應於**1 MB**之資料，則發送處理器每將**1 MB**之資料發送至線緩衝器單元，便使其信用量減小**1** (應注意，在一實際處理器實施方案中，封包及對應資料傳送更細粒化，例如，各封包通常係數十個位元組或數百個位元組且各信用對應於數十個位元組(例如，**32**個位元組))。線緩衝器單元可繼續將額外信用發送至發送處理器(例如，作為線緩衝器單元內騰出之資源)使得發送處理器可繼續發送資料。然而，若發送處理器之信用計數隨時被耗用至零，則發送處理器無法再將資料發送至線緩衝器單元直至其自線緩衝器單元接收額外信用。

圖5a展示根據上文所描述之原理操作的一先前設計之一例示性案例。此處，線緩衝器單元502包含固定大小之一內部佇列(為簡便起見，圖5a中未展示)，已自發送處理器501接收之資料單元經保存於該佇列中。特定言之，假定佇列具有 $N=5$ 個項目，其中各項目可保存一特定量之資料(例如， $M$ 個位元組)。在一基本組態中，發送處理器501在與線緩衝器單元502之一特定通信會期或「連接」中各發送 $M$ 個位元組之一或多個資料單元(例如，發送各含有 $M$ 個位元組之多個資料單元之一封包)。每當發送處理器501將 $M$ 個位元組之下一資料單元發送至線緩衝器單元502，便將下一資料單元鍵入佇列中。

當自佇列服務一 $M$ 位元組資料單元時(例如，因為線緩衝器單元502能夠將其寫入至其記憶體資源中)，線緩衝器單元502將一個信用發送至發送處理器501。此處，自佇列服務 $M$ 位元組資料單元本質上釋放一個佇列項目，該項目可填充有自發送處理器501發送之下一 $M$ 位元組單元。例如，若線緩衝器單元502能夠自佇列迅速地服務多個 $M$ 位元組單元，則將一對應信用量發送回至發送處理器501。例如，若線緩衝器單元502自佇列迅速地服務三個 $M$ 位元組單元，則線緩衝器單元502將三個信用發送回至發送處理器501。

因此，參考圖5a，在一初始狀態中，發送處理器501發送一請求以在例如其具有發送至線緩衝器單元502之輸出影像資料之下一封包時將請求RTS\_1發送至線緩衝器單元502。線緩衝器單元佇列最初係空的且因此，在將一應答ACK\_1授予請求時，線緩衝器單元502發送等於佇列大小( $N=5$ )之一信用量。發送處理器501接著開始連續地發送數個 $M$ 位元組資料單元D1、D2、...。在圖5a之案例之處理器側上描繪處理器之信用計數自

資料單元發送之耗用。

在線緩衝器單元502側上，線緩衝器單元502自發送處理器501連續地接收M個資料單元，在經接收時將其等鍵入佇列中且根據該線緩衝器單元之容量自佇列服務該等資料單元(例如，以將其等寫入至記憶體中)。每當自佇列服務一M位元組資料單元時，線緩衝器單元502將一額外信用發送至發送處理器501，該發送處理器501將新接收信用加至其信用計數。

最後，發送處理器將已針對當前連接發送所有M位元組資料單元(例如，已發送一封包之所有M位元組資料單元)。在圖5a之案例中，假定當前連接由6個M位元組資料單元組成(例如，封包係由6個M位元組資料單元組成)。因而，在發送D6資料單元之情況下，發送處理器501已針對封包發送其最後資料單元。更進一步，最後，線緩衝器單元502將已自其佇列服務所有M位元組單元且將對應信用發送回至發送處理器501。因而，發送處理器501將在其已針對會期發送所有資料單元且其信用計數等於線緩衝器單元之佇列大小( $N=5$ )時辨識連接之完成。此處，儘管發送處理器501具有一信用全集，但不容許將其等用於例如一第二後繼封包，因為其尚未針對此一後繼封包發送一請求或接收任何應答。

在圖5a之先前設計中，若在當前會期完成之前(例如，在發送案例之第一封包之資料單元時)發送處理器501具有發送至線緩衝器單元502之另一封包，則其僅可在先前封包之發送被認為完成之後發送針對第二後繼封包之請求。如上述，發送處理器不認為連接完成直至其已針對該連接發送所有資料且其信用計數量等於線緩衝器單元佇列之大小( $N=5$ )。

此方法之一問題係可在發送一先前封包之最後一個資料單元與發送一後續封包之一第一資料單元之間浪費的時間量504。此處，如圖5a中所

觀察，應注意，自發送D6資料單元起完成發送第一封包，但連接未被認為完成直至時間503。所浪費時間504在很大程度上係生產處理器等待自線緩衝器單元502傳回之信用等於與第二封包之RTS\_2/ACK\_2傳播延遲耦合的佇列大小之一結果。長等待時間可導致處理器低效，因為訊務在其原本可經由網路發送時未經由網路發送。

根據先前設計，特定地標記一封包之最後資料單元(例如，D6)或將一旁頻帶信號發送至線緩衝器單元502(其與發送一封包之最後資料單元相當)使得線緩衝器單元502知道其何時已針對一特定封包/連接接收最後資料單元。此處，當自線緩衝器單元之佇列服務一封包/連接之最後資料單元(D6)時，容許線緩衝器單元502應答ACK\_2下一請求RTS\_2。此處，在處置剛完成之第一封包/連接期間(或甚至在此之前)，可已由線緩衝器單元502自其他生產處理器接收針對使用線緩衝器單元502之其他生產者/消費者內核關係之請求。線緩衝器單元502自由地應答此等請求之一者(例如，最舊未決請求)，以便在其已自其剛完成之連接服務最後資料單元(D6)之後開始下一封包傳送。

一旦發送處理器501之先前封包傳送完成(在圖5a之時間503)，發送處理器501 (其封包傳送剛完成)亦自由地發送下一請求RTS\_2，如上文所論述。若線緩衝器單元502不具有來自其他生產模板處理器之其他待決競爭請求，則線緩衝器單元502將應答由發送處理器501(其先前封包傳送剛完成)發送之請求RTS\_2。接著重複上文關於第一封包所描述之程序。

圖5b展示圖5a之先前設計之一第一改善，其中在完成所傳輸之一當前封包之前容許發送處理器501發送針對下一封包之一請求REQ\_2。即，例如，時間週期515可被視為其間發送處理器參與第一封包之傳輸之時間

週期(第一封包之通信會期或連接在時間週期515內延伸)。在圖5b之所改善設計中，發送處理器能夠發送針對第二封包之一請求REQ\_2，同時發送處理器參與第一封包之傳輸(即，在時間週期515內)。

在圖5b之特定實例中，一旦發送處理器501意識到其具有待發送之另一封包，便容許發送處理器501發送一請求。如可見，幾乎緊接在發送處理器501發送針對第一封包之RTS\_1之後，發送處理器501辨識其具有待發送之另一封包(RTS\_2緊接於RTS\_1之後發送)。

同樣地，在所改善設計中，線緩衝器單元502自由地回應於一請求，即使當前處置之一封包傳送尚未完成。在例如其中線緩衝器單元502不具有來自其他發送處理器之其他競爭請求(或由線緩衝器單元502在此等其他競爭請求之前接收REQ\_2)之情境中，線緩衝器單元502自由地應答ACK\_2第二請求。此處，信用未與第二應答ACK\_2相關聯，因為所有信用專用於當前現用之封包傳送(第一封包)。另外，在將第二應答ACK\_2發出至發送正經傳送之當前封包的相同發送處理器501之情況下，發送處理器501及線緩衝器單元502兩者應理解在當前封包之傳送完成之後，當前發送處理器501將發送下一封包至線緩衝器單元502。

在此等境況下，在發送處理器501已接收針對待傳送之第二封包之應答ACK\_2之情況下，發送處理器501可將表示第一封包傳送結束之所累積信用用於傳輸第二後繼封包。即，自圖5a之論述回想到，發送處理器501在其已發送第一封包之最後資料單元D6且其信用計數對應於線緩衝器單元佇列之大小(N=5)之後辨識封包傳送完成。

據此，根據圖5a之先前設計，此等信用不可用於立即使用，因為尚未接收針對第二封包之應答ACK\_2。相比之下，使用圖5b之所改善方

法，發送處理器501能夠將此等信用立即用於傳送第二封包，因為其已接收針對第二封包之應答ACK\_2。線緩衝器單元502將理解待接收之後繼資料單元係針對第二封包，因為其在接收資料單元D6的同時辨識第一封包之完成(如上文關於圖5a所描述)。

再者，不容許先前設計之發送處理器501發送將一後繼封包傳送至另一線緩衝器單元之一請求直至目前線緩衝器單元502完成其當前傳送(生產內核可將輸出影像資料發送至一個以上線緩衝器單元)。因而，即使圖5a之第二封包待發送至另一線緩衝器單元，仍將存在浪費時間504。

如關於圖5b之所改善設計論述，容許發送處理器501在完成其當前封包之前發送針對一第二封包之一請求。在各項實施例中，此包含將一請求發送至不同於發送處理器當前參與與其之一異動之線緩衝器單元之一線緩衝器單元。儘管圖5b未明確展示，但假定將RTS\_2發送至除線緩衝器單元502外之一線緩衝器單元且自相同、其他線緩衝器單元502接收ACK\_2。此處，在逐線緩衝器單元基礎上提供經分配信用量之情況下，當另一線緩衝器單元藉由發送應答ACK\_2而批准請求時，發送處理器501在其正將第一封包發送至線緩衝器單元502時自另一線緩衝器單元接收相關聯信用。

因而，在一實施例中，發送處理器之收發器維持多個信用計數器，其中不同信用計數器用以追蹤來自不同線緩衝器單元之信用。在其中第二封包待發送至不同於第一封包之一目的地之情況下，傳輸器可以將信用計數器之一第一者用於目的地之一者且將信用計數器之一第二者用於該等目的地之另一者之一交錯方式將第一封包及第二封包同時發送至其等各自目的地(第二封包之傳輸無須等待直至第一封包完成)。在各項實施例中，哪個信用計數器對應於哪個目的地可取決於由發送處理器發送之訊務型樣而

改變。

圖5c中展示一實例。如圖5c中所觀察，在一第一時間間隔521期間，發送處理器將一第一封包發送至一第一線緩衝器單元(LBU\_1)。將第一封包之信用計數保存於一第一信用計數器531中。接著，在一第二時間間隔522期間，發送處理器仍將第一封包發送至第一線緩衝器單元但亦將一第二封包發送至一第二線緩衝器單元(LBU\_2)。將第二封包之信用計數保存於一第二、不同信用計數器532中，因為該第二封包經發送不同於其異動根據第一信用計數器531進行之線緩衝器單元之一線緩衝器單元。

接著，在一第三時間間隔523期間，第一封包已完成其傳輸但第二封包仍在傳輸。接著，在一第四時間間隔524期間，發送處理器將一第三封包發送至不同於第一及第二線緩衝器單元之一第三線緩衝器(LBU\_3)。將第三封包之信用計數保存於第一信用計數器531中。接著，在一第五時間間隔525期間，第二封包已完成其傳送且無後繼封包發送至第二線緩衝器單元或其他線緩衝器單元。

接著，在一第六時間間隔526期間，發送處理器具有發送至第一線緩衝器單元之另一封包。在此情況下，使用第二信用計數器532以保存用於待發送至第一線緩衝器單元之此新封包之信用。應注意，本質上已在待發送至第一線緩衝器單元之封包對之間交換用於第一線緩衝器單元之信用計數器。即，在第一時間間隔521及第二時間間隔522期間，使用第一信用計數器531以追蹤第一線緩衝器單元之信用，而在第六間隔526期間，使用第二信用計數器532以追蹤第一線緩衝器單元之信用。

應切實指出，儘管上文論述係關於在上文所描述之影像處理器中將資料發送至一線緩衝器單元之一處理核心，但自一線緩衝器單元至執行一

消費內核之一處理核心之封包傳送可存在相同協定案例。在此情況下，線緩衝器單元呈現圖5a至圖5c之發送器之行為且處理核心呈現圖5a及圖5b之接收器之行為。因而，在各項實施例中，處理核心(及/或其對應圖表產生器)及線緩衝器單元兩者包含發送器電路及接收器電路兩者。

圖6a及圖6b分別展示發送器電路及接收器電路之實施例。如圖6a中所觀察，發送器電路601包含根據上文所描述之協定發送資料單元或RTS請求之一傳輸器。將準備好發送之資料單元佇列化於輸出佇列604中。RTS及信用控制邏輯電路605根據信用計數器606\_1、606\_2之一者中針對與目的地之一當前會期維持之一信用計數授權將下一資料單元發送至該目的地。控制邏輯605亦發出RTS請求以起始與適當目的地之傳送會期。可例如自與傳出佇列604中之一傳出封包相關聯之一目的地位址判定下一RTS所發送至之一目的地之識別碼。

接收電路611接收應答及信用量且將其等轉送至控制邏輯605。應注意，在控制邏輯605中觀察到兩個信用計數器606\_1及606\_2。在各項實施例中，信用計數器606\_1、606\_2經指派以例如每通信會期基礎上保存一特定目的地之信用使得其等可取決於如上文關於圖5c所描述之傳出訊務流交換其等所保存信用之目的地。

在其他實施例中，可存在兩個以上信用計數器使得發送器電路601可同時容納與兩個以上不同目的地之兩個以上傳送會期。即，與不同目的地之同時異動之數目可取決於例如網路之能力/容量而隨實施例變化。在一實施例中，容許發送器電路601在傳輸一第一先前封包時發送一第二封包之一RTS。第二封包之RTS所發送至之目的地可為第一先前封包所發送至之目的地或某個其他目的地。

圖6b展示接收器側電路602。此處，將由接收器電路620接收之所接收資料單元佇列化於傳入佇列607中(回想到在各項實施例中，未處理信用之數目對應於傳入佇列607之大小)。當自佇列607服務一所接收資料單元時，控制邏輯608經由傳輸電路621將一對應信用量發送回至該資料單元之發送器。控制邏輯608亦判定已將RTS請求引導至接收器602之潛在多個發送器之哪一者待選取為接收器602將自其接收一封包之下一發送器。多個未決RTS請求可駐留於控制邏輯608內之一佇列中(圖6b中未展示)且該邏輯根據某種(例如，公平)演算法自該佇列選擇RTS請求之一者(例如，跨不同發送器循環，接收器602經組態以自該等發送器接收佇列中之最舊RTS等)。當控制邏輯608判定允許多個請求發送器當中之哪個發送器將一封包發送給接收器時，控制邏輯引起一應答經由傳輸電路621發送至發送器。

在各項實施例中，未針對發送至接收器當前自其接收一封包之一相同發送器之應答發送信用。另外，在各項實施例中，對應於佇列607之大小之一信用量連同發送至接收器602當前未自其接收一封包之一發送器之一應答一起發送。在各項實施例中，接收器602未使來自一相同發送器或不同發送器之多個封包交錯(例如，僅容許接收器602接收來自一個發送器之一個封包)。

控制邏輯電路605、608可經實施為專用硬體邏輯電路、可程式化邏輯電路(例如，場可程式化閘陣列(FPGA)邏輯電路、可程式化邏輯器件(PLD)邏輯電路、可程式化邏輯陣列(PLA)邏輯電路)、執行程式碼以便執行控制邏輯功能之嵌入式處理器電路或此等方法之任何組合。

圖7描繪上文已描述之一方法。該方法包含在處理器之一處理核心上

處理程式碼以產生該處理核心之輸出資料701。該方法包含在耦合至該處理器內之一網路之一傳輸器電路完成一先前第一封包之傳輸之前，由該傳輸器電路發送702傳輸一第二封包之一請求。該第二封包包含由該處理核心產生之第二輸出資料且該第一封包包含由該處理核心產生之第一輸出資料。該方法亦包含使用該處理器之耦合至該網路之一或多個其他處理核心處理該第一輸出資料及該第二輸出資料703。

### 3.0 影像處理器實施方案實施例

圖8a至e至圖12提供關於上文詳細描述之影像處理器及相關聯模板處理器的各項實施例之操作及設計的額外細節。自圖2之論述回想到，一線緩衝器單元將線群組饋送至一模板處理器之相關聯圖表產生器，圖8a至圖8e繪示一線緩衝器單元201之剖析活動、一圖表產生器單元203之細粒化剖析活動兩者以及耦合至圖表產生器單元203之模板處理器702之模板處理活動的一高階實施例。

圖8a描繪影像資料801之一輸入圖框之一實施例。圖8a亦描繪一模板處理器經設計以在其上操作之三個重疊模板802之一輪廓(各模板具有3個像素x3個像素之尺寸)。以加粗黑色突顯各模板分別針對其產生輸出影像資料之輸出像素。為簡便起見，三個重疊模板802被描繪為僅在垂直方向上重疊。應切實認識到，一模板處理器實際上可經設計以具有垂直方向及水平方向兩者上之重疊模板。

由於模板處理器內之垂直重疊模板802 (如圖8a中所觀察)，故單個模板處理器可在其上操作之圖框內存在一寬頻帶影像資料。如下文將更詳細論述，在一實施例中，模板處理器依一從左至右方式跨影像資料處理其重疊模板內之資料(且接著依從上至下順序對下一組線重複)。因此，隨著模

板處理器使其操作繼續向前，加粗黑色輸出像素區塊之數目將水平向右增長。如上文所論述，一線緩衝器單元201負責自足以使模板處理器在擴大數目之未來週期內於其上操作之一傳入圖框剖析輸入影像資料之一線群組。一線群組之一例示性描繪經繪示為一陰影區域803。在一實施例中，線緩衝器單元201可綜合不同動態表現以將一線群組發送至一圖表產生器/自一圖表產生器接收一線群組。例如，根據一個模式(稱為「全群組(full group)」)，在一線緩衝器單元與一圖表產生器之間傳遞影像資料之完整全寬線。根據一第二模式(稱為「實際上高(virtually tall)」)，首先使用全寬列之一子集來傳遞一線群組。接著，以較小(非全寬)件依序傳遞剩餘列。

在輸入影像資料之線群組803已由線緩衝器單元界定且被傳遞至圖表產生器單元之情況下，圖表產生器單元進一步將線群組剖析成更精確適應模板處理器之硬體限制的精細圖表。更具體而言，如下文將進一步更詳細描述，在一實施例中，各模板處理器由一二維位移暫存器陣列組成。二維位移暫存器陣列基本上在一執行道陣列「下方」位移影像資料，其中位移之型樣引起各執行道操作其自身各自模板內之資料(即，各執行道處理其自身之資訊模板以產生該模板之一輸出)。在一實施例中，圖表係「填充」二維位移暫存器陣列或以其他方式載入至二維位移暫存器陣列中之輸入影像資料之表面區域。

如下文將更詳細描述，在各項實施例中，實際上存在可於任何週期上位移之二維暫存器資料之多個層。為方便起見，本描述之大部分將僅使用術語「二維位移暫存器」及類似者以指代具有可位移之二維暫存器資料的一或多個此等層之結構。

因此，如圖8b中所觀察，圖表產生器自線群組803剖析一初始圖表804且將其提供至模板處理器(此處，資料圖表對應於一般由元件符號804識別之陰影區域)。如圖8c及圖8d中所觀察，模板處理器藉由在圖表上依一從左至右方式有效地移動重疊模板802來操作輸入影像資料之圖表。截至圖8d，已耗盡可自圖表內之資料計算其之一輸出值的像素之數目(其他像素位置不可具有自圖表內之資訊判定之一輸出值)。為簡便起見，已忽略影像之邊界區域。

接著，如圖8e中所觀察，圖表產生器提供下一圖表805來供模板處理器繼續操作。應注意，模板之初始位置隨著其開始操作下一圖表而自第一圖表上之耗盡點接著向右前進(如先前圖8d中所描繪)。就新圖表805而言，模板將僅在模板處理器依相同於處理第一圖表之方式的方式操作新圖表時繼續向右移動。

應注意，由於包圍一輸出像素位置之模板之邊界區域，第一圖表804之資料與第二圖表805之資料之間存在某一重疊。可僅藉由圖表產生器重新傳輸重疊資料兩次來處置重疊。在替代實施方案中，為將下一圖表饋送至模板處理器，圖表產生器可繼續將新資料僅發送至模板處理器且模板處理器重新使用來自前一圖表之重疊資料。

圖9展示一模板處理器架構900之一實施例。如圖9中所觀察，模板處理器包含一資料運算單元901、一純量處理器902及相關聯記憶體903以及一I/O單元904。資料運算單元901包含一執行道陣列905、一二維位移陣列結構906及與陣列之特定列或行相關聯之單獨隨機存取記憶體907。

I/O單元904負責將自圖表產生器接收之「輸入」資料圖表載入至資料運算單元901中及將來自模板處理器之「輸出」資料圖表儲存至圖表產

生器中。在一實施例中，將圖表資料載入至資料運算單元901中需要將一接收圖表剖析成影像資料列/行且將影像資料列/行載入至二維位移暫存器結構906或執行道陣列之列/行之各自隨機存取記憶體907中(如下文將更詳細描述)。若首先將圖表載入至記憶體907中，則執行道陣列905內之個別執行道可視情況將圖表資料自隨機存取記憶體907載入至二維位移暫存器結構906中(例如，作為恰好在操作圖表之資料之前的一載入指令)。在完成將一資料圖表載入至暫存器結構906中(無論是否直接來自一圖表產生器或記憶體907)之後，執行道陣列905之執行道操作資料且最終「寫回」完成資料作為直接返回至圖表產生器或進入隨機存取記憶體907之一圖表。若執行道寫回至隨機存取記憶體907，則I/O單元904自隨機存取記憶體907提取資料以形成接著轉送至圖表產生器之一輸出圖表。

純量處理器902包含一程式控制器909，其自純量記憶體903讀取模板處理器之程式碼之指令且將指令發出至執行道陣列905中之執行道。在一實施例中，將一單一相同指令廣播至陣列905內之所有執行道以實現來自資料運算單元901之似單指令多資料(SIMD)行為。在一實施例中，自純量記憶體903讀取且發出至執行道陣列905之執行道的指令之指令格式包含一極長指令字(VLIW)型格式，其包含每指令之一個以上運算碼。在另一實施例中，VLIW格式包含一ALU運算碼(其指導由各執行道之ALU (如下文將描述，在一實施例中，其可指定一個以上傳統ALU運算)執行之一數學函數)及一記憶體運算碼(其指導一特定執行道或執行道集合之一記憶體運算)兩者。

術語「執行道」係指能夠執行一指令之一組一或多個執行單元(例如可執行一指令之邏輯電路)。然而，在各項實施例中，一執行道可包含不

只是執行單元之更多似處理器功能性。例如，除一或多個執行單元之外，一執行道亦可包含解碼一接收指令之邏輯電路，或就更多似多指令多資料(MIMD)設計而言，包含提取及解碼一指令之邏輯電路。關於似MIMD方法，儘管本文已主要描述一集中式程式控制方法，但可在各種替代實施例中實施一更分散方法(例如，其包含陣列905之各執行道內之程式碼及一程式控制器)。

一執行道陣列905、程式控制器909及二維位移暫存器結構906之組合對一寬範圍之可程式化功能提供一可廣泛適應/組態之硬體平台。例如，應用程式軟體開發者能夠程式化具有一寬範圍之不同功能性能及尺寸(例如模板大小)之內核，假定個別執行道能夠執行各種功能且能夠容易地存取接近任何輸出陣列位置之輸入影像資料。

除充當由執行道陣列905操作之影像資料之一資料儲存器之外，隨機存取記憶體907亦可保存一或多個查找表。在各項實施例中，一或多個純量查找表亦可樣例化於純量記憶體903內。

一純量查找涉及：將來自相同查找表之相同資料值自相同指標傳遞至執行道陣列905內之各執行道。在各項實施例中，上文所描述之VLIW指令格式經擴展以亦包含使由純量處理器執行之一查找操作針對一純量查找表之一純量運算碼。經指定與運算碼一起使用之指標可為一立即運算元或自某一其他資料儲存位置提取。無論如何，在一實施例中，自純量記憶體內之一純量查找表之一查找基本上涉及：在相同時脈週期期間，將相同資料值廣播至執行道陣列905內之所有執行道。下文將進一步提供關於查找表之使用及操作的額外細節。

圖9b概述上文所論述之(若干) VLIW指令字實施例。如圖9b中所觀

察，VLIW指令字格式包含用於以下三個單獨指令之欄位：1)一純量指令951，其由純量處理器執行；2)一ALU指令952，其經廣播且由執行道陣列內之各自ALU依SIMD方式執行；及3)一記憶體指令953，其經廣播且依一部分SIMD方式執行(例如，若沿執行道陣列中之一相同列之執行道共用一相同隨機存取記憶體，則來自不同列之各者之一個執行道實際上執行指令(記憶體指令953之格式可包含識別來自各列之何種執行道執行指令之一運算元))。

亦包含用於一或多個立即運算元之一欄位954。可以指令格式識別指令951、952、953之何者使用何種立即運算元資訊。指令951、952、953之各者亦包含其自身之各自輸入運算元及所得資訊(例如用於ALU運算之局部暫存器及用於記憶體存取指令之一局部暫存器及一記憶體位址)。在一實施例中，在執行道陣列內之執行道執行其他兩個指令952、953之任一者之前，由純量處理器執行純量指令951。即，VLIW字之執行包含其中執行純量指令951之一第一週期及接著其中可執行其他指令952、953之一第二週期(應注意，在各項實施例中，可並行執行指令952及953)。

在一實施例中，由純量處理器執行之純量指令包含發出至圖表產生器以自資料運算單元之記憶體或2D位移暫存器載入圖表/將圖表儲存至資料運算單元之記憶體或2D位移暫存器中的命令。此處，圖表產生器之操作可取決於線緩衝器單元之操作或其他變數(其防止預運行時間包含圖表產生器完成由純量處理器發出之任何命令所花費之週期數)。因而，在一實施例中，任何VLIW字(其純量指令951對應於待發出至圖表產生器之一命令或以其他方式引起一命令發出至圖表產生器)亦包含其他兩個指令欄位952、953中之無操作(NOOP)指令。接著，程式碼進入指令欄位952、

953之NOOP指令之一迴路，直至圖表產生器完成其至資料運算單元之載入/來自資料運算單元之儲存。此處，在將一命令發出至圖表產生器之後，純量處理器可設定一互鎖暫存器之一位元，圖表產生器在完成命令之後重設該位元。在NOOP迴路期間，純量處理器監測互鎖暫存器之位元。當純量處理器偵測到圖表產生器已完成其命令時，正常執行再次開始。

圖10展示一資料運算組件1001之一實施例。如圖10中所觀察，資料運算組件1001包含邏輯上定位於一二維位移暫存器陣列結構1006「上方」之一執行道陣列1005。如上文所論述，在各項實施例中，將由一圖表產生器提供之一影像資料圖表載入至二維位移暫存器1006中。接著，執行道操作來自暫存器結構1006之圖表資料。

執行道陣列1005及位移暫存器結構1006相對於彼此固定位置。然而，位移暫存器陣列1006內之資料依一策略性協調方式位移以引起執行道陣列中之各執行道處理資料內之一不同模板。因而，各執行道判定所產生之輸出圖表中之一不同像素之輸出影像值。應自圖10之架構明白，由於執行道陣列1005包含垂直相鄰執行道及水平相鄰執行道，所以重疊模板不僅經垂直配置，且亦經水平配置。

資料運算單元1001之一些顯著架構特徵包含具有比執行道陣列1005寬之尺寸的位移暫存器結構1006。即，執行道陣列1005外存在暫存器之一「暈圈」1009。儘管暈圈1009經展示為存在於執行道陣列之兩側上，但取決於實施方案，暈圈可存在於執行道陣列1005之更少側(一側)或更多側(三個或四個側)上。暈圈1009用於對資料提供「外溢(spill-over)」空間，其隨著資料在執行道1005「下方」位移而溢出至執行道陣列1005之界限外。簡單而言，當處理模板之最左像素時，居中於執行道陣列1005

之右邊緣上的一5×5模板將需要進一步向右之四個暈圈暫存器位置。為便於繪製，圖10將暈圈之右側之暫存器展示為僅具有水平位移連接且將暈圈之底側之暫存器展示為僅具有垂直位移連接，但在一名義實施例中，任一側(右側、底側)上之暫存器將具有水平連接及垂直連接兩者。在各項實施例中，暈圈區域不包含用以執行影像處理指令之對應執行道邏輯(例如，不存在ALU)。然而，個別記憶體存取單元(M)存在於暈圈區域位置之各者中使得個別暈圈暫存器位置可個別地自記憶體載入資料且將資料儲存至記憶體。

額外外溢空間由耦合至陣列中之各列及/或各行的隨機存取記憶體1007或其部分提供(例如，可將一隨機存取記憶體指派給跨越逐列4個執行道及逐行2個執行道之執行道陣列之一「區域」。為簡便起見，應用程式之剩餘部分將主要係指基於列及/或行之分配方案)。此處，若一執行道之內核運算需要其處理二維位移暫存器陣列1006外之像素值(一些影像處理常式需要該等像素值)，則影像資料之平面能夠(例如)自暈圈區域1009進一步外溢至隨機存取記憶體1007中。例如，考量一6×6模板，其中硬體包含執行道陣列之右邊緣上之一執行道右側的僅四個儲存元件之一暈圈區域。在此情況中，需要使資料自暈圈1009之右邊緣進一步向右位移以完全處理模板。接著，經位移至暈圈區域1009外之資料將外溢至隨機存取記憶體1007。下文將進一步提供隨機存取記憶體1007及圖9之模板處理器之其他應用。

圖11a至圖11k演示在執行道陣列「下方」之二維位移暫存器陣列內位移影像資料(如上文所提及)之方式之一工作實例。如圖11a中所觀察，一第一陣列1107中描繪二維位移陣列之資料內容且由一圖框1105描繪執

行道陣列。又，簡單地描繪執行道陣列內之兩個鄰近執行道1110。在此簡化描繪1110中，各執行道包含一暫存器R1，其可自位移暫存器接受資料，自一ALU輸出接受資料(例如，充當一跨週期累加器)，或將輸出資料寫入至一輸出目的地中。

各執行道亦可使用其「下方」之二維位移陣列中之一局部暫存器R2中之內容。因此，R1係執行道之一實體暫存器，而R2係二維位移暫存器陣列之一實體暫存器。執行道包含可操作由R1及/或R2提供之運算元的一ALU。如下文將進一步更詳細描述，在一實施例中，位移暫存器實際上由每陣列位置之多個儲存器/暫存器元件(儲存器/暫存器元件之一「深度」)實施，但位移活動受限於儲存元件之一個平面(例如儲存元件之僅一個平面可每週期位移)。圖11a至圖11k將此等較深暫存器位置之一者描繪為用於儲存來自各自執行道之結果X。為便於繪示，較深結果暫存器經繪製成與其配對暫存器R2並排而非位於其配對暫存器R2下方。

圖11a至圖11k著重於兩個模板(其中央位置與執行道陣列內所描繪之執行道位置對1111對準)之計算。為便於圖解，執行道對1110經繪製為水平鄰近者，但事實上，根據以下實例，執行道對1110係垂直鄰近者。

首先，如圖11a中所觀察，執行道居中於其中央模板位置上。圖11b展示由兩個執行道執行之目標碼。如圖11b中所觀察，兩個執行道之程式碼引起位移暫存器陣列內之資料下移一個位置且右移一個位置。此使兩個執行道對準於其各自模板之左上角。接著，程式碼引起定位於其各自位置(R2)中之資料載入至R1中。

接著，如圖11c中所觀察，程式碼引起執行道對使位移暫存器陣列內之資料左移一個單位，其引起至各執行道之各自位置右側之值位移至各執

行道之位置中。接著，將R1中之值(先前值)與已位移至執行道之位置(R2)中之新值相加。將結果寫入至R1中。如圖11d中所觀察，重複相同於上文針對圖11c所描述之程序的程序，其引起所得R1現包含上執行道中之值A+B+C及下執行道中之值F+G+H。此時，兩個執行道已處理其各自模板之上列。應注意至執行道陣列之左側上之一暈圈區域中(若左手側上存在暈圈區域)或至隨機存取記憶體中(若執行道陣列之左手側上不存在一暈圈區域)的外溢。

接著，如圖11e中所觀察，程式碼引起位移暫存器陣列內之資料上移一個單位，其引起兩個執行道與其各自模板之中間列之右邊緣對準。兩個執行道之暫存器R1當前包含模板之頂列及中間列之最右值之總和。圖11f及圖11g演示跨兩個執行道之模板之中間列向左移動之繼續進展。累加繼續，使得在圖11g之處理結束時，兩個執行道包含其各自模板之頂列及中間列之值之總和。

圖11h展示用於使各執行道與其對應模板之最下列對準的另一位移。圖11i及圖11j展示用於完成兩個執行道之整個模板之處理的繼續位移。圖11k展示用於使各執行道與資料陣列中之其校正位置對準且將結果寫入至校正位置中的額外位移。

應注意，在圖11a至圖11k之實例中，用於位移運算之目標碼可包含識別以(X, Y)座標所表達之位移之方向及量值的一指令格式。例如，用於上移一個位置之目標碼可以目標碼表達為SHIFT 0, +1。作為另一實例，右移一個位置可以目標碼表達為SHIFT+1, 0。在各項實施例中，亦可在目標碼中指定較大量值之位移(例如SHIFT 0, +2)。此處，若2D位移暫存器硬體僅支援每週期位移一個位置，則指令可由機器解譯為需要多週期執

行，或2D位移暫存器硬體可經設計以支援每週期位移一個以上位置。下文將進一步更詳細描述後者之實施例。

圖12展示一執行道及對應位移暫存器結構之單位胞元之另一更詳細描繪(在各項實施例中，暈圈區域中之暫存器不包含一對應執行道但包含一記憶體單元)。在一實施例中，藉由樣例化在執行道陣列之各節點處圖12中所觀察之電路而實施執行道及與執行道陣列中之各位置相關聯之暫存器空間。如圖12中所觀察，單位胞元包含一執行道1201，執行道1201經耦合至由四個暫存器R2至R5組成之一暫存器檔案1202。在任何週期期間，執行道1201可自暫存器R1至R5之任一者讀取或寫入至暫存器R1至R5之任一者。對於需要兩個輸入運算元之指令，執行道可自R1至R5之任一者擷取兩個運算元。

在一實施例中，藉由以下操作來實施二維位移暫存器結構：容許暫存器R2至R4之任何(僅)一者之內容在一單一週期期間透過輸出多工器1203移「出」至其鄰近者之暫存器檔案之一者且使暫存器R2至R4之任何(僅)一者之內容由透過輸入多工器1204自其鄰近者之一對應者移「入」的內容替換，使得鄰近者之間的位移係在一相同方向上(例如，所有執行道左移，所有執行道右移，等等)。儘管一相同暫存器在一相同週期上使其內容移出且由移入之內容替換可較為常見，但多工器配置1203、1204容許一相同週期期間之一相同暫存器檔案內之不同位移源及位移目標暫存器。

應注意，如圖12中所描繪，在一位移序列期間，一執行道將使內容自其暫存器檔案1202移出至其左、右、頂部及底部之各鄰近者。結合相同位移序列，執行道亦將使內容自其左、右、頂部及底部之一特定鄰近者

移入至其暫存器檔案中。又，移出目標及移入源應與所有執行道之一相同位移方向一致(例如，若移出係朝向右鄰近者，則移入應來自左鄰近者)。

儘管在一項實施例中，容許每週期每執行道位移僅一個暫存器之內容，但其他實施例可容許移入/移出一個以上暫存器之內容。例如，若將圖12中所觀察之多工器電路1203、1204之一第二例項併入至圖12之設計中，則可在一相同週期期間移出/移入兩個暫存器之內容。當然，在容許每週期位移僅一個暫存器之內容的實施例中，自多個暫存器之位移可藉由使數學運算之間的位移消耗更多時脈週期來發生於數學運算之間(例如，可藉由在數學運算之間消耗兩個位移運算來在數學運算之間位移兩個暫存器之內容)。

若在一位移序列期間移出一執行道之暫存器檔案之非所有內容，則應注意，各執行道之未經移出暫存器之內容保留於適當位置中(未位移)。因而，未由移入內容替換之任何未位移內容跨位移週期存留於執行道之局部處。各執行道中所觀察之記憶體單元(「**M**」)用於自與執行道陣列內之執行道之列及/或行相關聯之隨機存取記憶體空間載入資料/將資料儲存至與執行道陣列內之執行道之列及/或行相關聯之隨機存取記憶體空間。此處，**M**單元充當一標準**M**單元，此係因為其常用於載入/儲存無法自執行道自身之暫存器空間載入/儲存至執行道自身之暫存器空間的資料。在各項實施例中，**M**單元之主要操作係將資料自一局部暫存器寫入至記憶體中及自記憶體讀取資料且將其寫入至一局部暫存器中。

關於由硬體執行道1201之ALU單元支援的ISA運算碼，在各項實施例中，由硬體ALU支援之數學運算碼包含例如ADD、SUB、MOV、MUL、MAD、ABS、DIV、SHL、SHR、MIN/MAX、SEL、AND、

OR、XOR、NOT。恰如上文所描述，記憶體存取指令可由執行道1201執行以自其相關聯之隨機存取記憶體提取資料/將資料儲存至其相關聯之隨機存取記憶體。另外，硬體執行道1201支援用於位移二維位移暫存器結構內之資料的位移運算指令(向右、向左、向上、向下)。如上文所描述，程式控制指令主要由模板處理器之純量處理器執行。

#### 4.0 實施方案實施例

需要指出的是，上文所描述之各種影像處理器架構特徵未必僅限於傳統意義上之影像處理且因此可應用於可(或可不)引起影像處理器重新特性化之其他應用。例如，若上文所描述之各種影像處理器架構特徵之任何者用於建立及/或產生及/或渲染動畫而非處理實際攝影機影像，則影像處理器可經特性化為一圖形處理單元。另外，上文所描述之影像處理器架構特徵可應用於其他技術應用，諸如視訊處理、視覺處理、影像辨識及/或機器學習。依此方式應用之影像處理器可與一更通用處理器(例如，即為或係運算系統之一CPU之部分)整合(例如，作為一共處理器)或可為一運算系統內之一獨立處理器。

上文所論述之硬體設計實施例可體現於一半導體晶片內及/或體現為用於最終針對一半導體製程之一電路設計之一描述。就後者而言，此等電路描述可呈以下形式：一(例如VHDL或Verilog)暫存器轉移層次(RTL)電路描述、一閘級電路描述、一電晶體級電路描述或遮罩描述或其各種組合。電路描述通常體現於一電腦可讀儲存媒體(諸如一CD-ROM或其他類型之儲存技術)上。

應自上述章節切實認識到，上文所描述之一影像處理器可體現於一電腦系統上之硬體中(例如，作為一手持器件之系統單晶片(SOC)之部

分，其處理來自該手持器件之攝影機之資料)。應注意，在影像處理器體現為一硬體電路之情況中，可自一攝影機直接接收由影像處理器處理之影像資料。此處，影像處理器可為一離散攝影機之部分或具有一整合式攝影機之一運算系統之部分。就後者而言，可自攝影機或運算系統之系統記憶體直接接收影像資料(例如，攝影機將其影像資料發送至系統記憶體而非影像處理器)。亦應注意，上述章節中所描述之諸多特徵可應用於一圖形處理器單元(其渲染動畫)。

圖13提供一運算系統之一例示性描繪。下文所描述之運算系統之諸多組件可適用於具有一整合式攝影機及相關聯影像處理器之一運算系統(例如，一手持器件，諸如一智慧型電話或平板電腦)。一般技術者將能夠容易區分兩者。另外，圖13之運算系統亦包含一高效能運算系統之諸多特徵，諸如工作站或超級電腦。

如圖13中所觀察，基本運算系統可包含一中央處理單元1301 (其可包含(例如)安置於一多核心處理器或應用處理器上之複數個通用處理核心1315\_1至1315\_N及一主記憶體控制器1317)、系統記憶體1302、一顯示器1303 (例如觸控螢幕、平板顯示裝置)、一區域有線點對點鏈接(例如USB)介面1304、各種網路I/O功能1305 (諸如乙太網路介面及/或蜂巢式數據機子系統)、一無線區域網路(例如WiFi)介面1306、一無線點對點鏈接(例如Bluetooth)介面1307及一全球定位系統介面1308、各種感測器1309\_1至1309\_N、一或多個攝影機1310、一電池1311、一電力管理控制單元1312、一揚聲器及麥克風1313以及一音訊編碼器/解碼器1314。

一應用處理器或多核心處理器1350可包含其CPU 1301內之一或多個通用處理核心1315、一或多個圖形處理單元1316、一記憶體管理功能

1317 (例如一記憶體控制器)、一I/O控制功能1318及一影像處理單元1319。通用處理核心1315通常執行運算系統之作業系統及應用程式軟體。圖形處理單元1316通常執行圖形密集功能以(例如)產生呈現於顯示器1303上之圖形資訊。記憶體控制功能1317與系統記憶體1302介接以將資料寫入至系統記憶體1302/自系統記憶體1302讀取資料。電力管理控制單元1312一般控制系統1300之電力消耗。

可根據上述章節中所詳細描述之影像處理單元實施例之任何者來實施影像處理單元1319。替代地或組合地，IPU 1319可耦合至GPU 1316及CPU 1301之任一者或兩者作為其之一共處理器。另外，在各項實施例中，可使用上文所詳細描述之影像處理器特徵之任何者來實施GPU 1316。影像處理單元1319或發送資料之運算系統之其他單元可組態有如上文詳細描述之實施一高效通信序列之一收發器。

觸控螢幕顯示器1303、通信介面1304至1307、GPS介面1308、感測器1309、攝影機1310及揚聲器/麥克風編解碼器1313、1314之各者可全部被視為相對於總運算系統(其視情況亦包含一整合式周邊器件(例如一或多個攝影機1310))之各種形式之I/O (輸入及/或輸出)。取決於實施方案，此等I/O組件之各者可整合於應用處理器/多核心處理器1350上或可定位成離開晶粒或定位於應用處理器/多核心處理器1350之封裝外。

在一實施例中，一或多個攝影機1310包含能夠量測攝影機與其視野中之一物件之間的深度的一深度攝影機。在一應用處理器或其他處理器之一通用CPU核心(或具有用於執行程式碼之一指令執行管線之其他功能區塊)上執行之應用程式軟體、作業系統軟體、器件驅動器軟體及/或韌體可執行上文所描述之功能之任何者。

本發明之實施例可包含上文所闡述之各種程序。程序可體現於機器可執行指令中。指令可用於引起一通用或專用處理器執行特定程序。替代地，此等程序可由含有用於執执行程序之固線式及/或可程式化邏輯的特定硬體組件或由程式化電腦組件及客製化硬體組件之任何組合執行。

本發明之元件亦可提供為用於儲存機器可執行指令之一機器可讀媒體。機器可讀媒體可包含(但不限於)軟碟、光碟、**CD-ROM**及磁光碟、**FLASH**記憶體、**ROM**、**RAM**、**EPROM**、**EEPROM**、磁卡或光卡、傳播媒介或適合於儲存電子指令之其他類型之媒體/機器可讀媒體。例如，本發明可下載為一電腦程式，其藉由以一載波或其他傳播媒介體現之資料信號經由一通信鏈路(例如一數據機或網路連接)自一遠端電腦(例如一伺服器)傳送至一請求電腦(例如一用戶端)。

上述說明中已參考特定例示性實施例描述本發明。然而，應明白，可在不背離隨附申請專利範圍中所闡述之本發明之較廣泛精神及範疇的情況下對本發明作出各種修改及改變。相應地，本說明書及圖式應被視為闡釋性而非限制性。

在下文中，描述一些實例。

實例1：一種處理器，其包括：

一網路；

複數個處理核心，其等經耦合至該網路；

一傳輸器電路，其經耦合至該網路，該傳輸器電路用以將由該等處理核心之一者產生之輸出資料傳輸至該網路中，該傳輸器電路包括控制邏輯電路，其用以在該傳輸器電路完成輸出資料之一先前第一封包之傳輸之前引起該傳輸器電路發送傳輸輸出資料之一第二封包之一請求。

實例2：如實例1之處理器，其中該請求待發送至：

在該第二封包待發送至相同目的地之情況下該第一封包所發送至之該相同目的地；或

在該第二封包待發送至一不同目的地之情況下之該不同目的地。

實例3：如實例1或2之處理器，其中該控制邏輯電路用以：

在該第一封包及該第二封包經發送至一相同目的地之情況下將一相同信用計數器用於該第一封包及該第二封包；或

在該第一封包及該第二封包經發送至不同目的地之情況下將一第一信用計數器用於該第一封包且將一第二信用計數器用於該第二封包。

實例4：如前述實例中至少一者之處理器，其中該控制邏輯包括用以控制將多個封包同時傳輸至不同目的地之複數個信用計數器。

實例5：如實例2至4中至少一者之處理器，其中該等信用計數器之各者未經永久指派以控制至任何特定目的地之傳輸。

實例6：如前述實例中至少一者之處理器，其中該處理器係一影像處理器且該第一封包及該第二封包包括資料之影像之線。

實例7：如前述實例中至少一者之處理器，其中該第一封包及該第二封包之資料單元在由該傳輸器傳輸之後且在由該等處理核心之另一或多者處理該等資料單元之前，由該處理器之記憶體電路佇列化該等資料單元。

實例8：如實例6或7之處理器，其中該影像處理器包含耦合至一個二維位移暫存器陣列之一執行道陣列。

實例9：如實例6至8中至少一者之處理器，其中該影像處理器包括用於處理影像資料之模板之多個模板處理器。

實例10：如實例9之處理器，其經組態以操作重疊模板。

實例11：如前述實例中至少一者之處理器，其包括或經耦合至具有一位移暫存器結構之一資料運算單元，該位移暫存器結構具有寬於該執行道陣列之一尺寸，使得在該執行道陣列外存在暫存器之一「暈圈」。

實例12：一種運算系統，其包括：

複數個通用處理核心；

一系統記憶體；

一記憶體控制器，其經耦合於該系統記憶體與該等通用處理核心之間；

一影像處理器，其包括以下a)、b)及c)：

a)一網路；

b)複數個影像處理核心，其等經耦合至該網路；

c)一傳輸器電路，其經耦合至該網路，該傳輸器電路用以將由該等影像處理核心之一者產生之輸出資料傳輸至該網路中，該傳輸器電路包括控制邏輯電路，其用以在該傳輸器電路完成輸出資料之一先前第一封包之傳輸之前引起該傳輸器電路發送傳輸輸出資料之一第二封包之一請求。

實例13：如實例12之運算系統，其中該請求待發送至：

在該第二封包待發送至相同目的地之情況下該第一封包所發送至之該相同目的地；或

在該第二封包待發送至一不同目的地之情況下之該不同目的地。

實例14：如實例12或13之運算系統，其中該控制邏輯電路用以：

在該第一封包及該第二封包經發送至一相同目的地之情況下將一相同信用計數器用於該第一封包及該第二封包；或

在該第一封包及該第二封包經發送至不同目的地之情況下將一第一

信用計數器用於該第一封包且將一第二信用計數器用於該第二封包。

實例15：如實例12至14中至少一者之運算系統，其中該控制邏輯包括用以控制將多個封包同時傳輸至不同目的地之複數個信用計數器。

實例16：如實例12至15中至少一者之運算系統，其中該等信用計數器之各者未經永久指派以控制至任何特定目的地之傳輸。

實例17：如實例12至16中至少一者之運算系統，其中該第一封包及該第二封包包括資料之影像之線。

實例18：如實例12至17中至少一者之運算系統，其中該第一封包及該第二封包之資料單元在由該傳輸器傳輸之後且在由該等影像處理核心之另一或多者處理該等資料單元之前，由該影像處理器之記憶體電路佇列化該等資料單元。

實例19：如實例12至18中至少一者之運算系統，其中該影像處理器包含耦合至一個二維位移暫存器陣列之一執行道陣列。

實例20：如實例12至19中至少一者之運算系統，其中該影像處理器包括用於處理影像資料之模板之多個模板處理器。

實例21：如實例20之運算系統，其經組態以操作重疊模板。

實例22：如實例12至21中至少一者之運算系統，其包括或經耦合至具有一位移暫存器結構之一資料運算單元，該位移暫存器結構具有寬於該執行道陣列之一尺寸，使得在該執行道陣列外存在暫存器之一「暈圈」。

實例23：一種由一處理器執行之方法，其包括：

在該處理器之一處理核心上處理程式碼以產生該處理核心之輸出資料；

在耦合至該處理器內之一網路之一傳輸器電路完成一先前第一封包

之傳輸之前，由該傳輸器電路發送傳輸一第二封包之一請求，該第二封包包括由該處理核心產生之第二輸出資料，該第一封包包括由該處理核心產生之第一輸出資料；

使用該處理器之耦合至該網路之一或多個其他處理核心處理該第一輸出資料及該第二輸出資料。

實例24：如實例23之方法，其進一步包括在由該傳輸器傳輸該第一輸出資料之後且在由該一或多個處理核心處理該第一輸出資料之前，佇列化該第一輸出資料。

實例25：如實例23或24之方法，其中該佇列化包括由耦合至該網路之一緩衝器佇列化影像資料之線。

實例26：如實例23至25中至少一者之方法，其進一步包括該傳輸器電路在參與該第一封包之傳輸的同時參與一第二封包之傳輸，其中該第二封包經發送至不同於該第一封包之一目的地。

實例27：如實例23至26中至少一者之方法，其進一步包括在該第一封包及該第二封包經發送至一相同目的地之情況下，使用一相同信用計數器以控制該第一封包及該第二封包自該傳輸器之傳輸。

實例28：如實例23至27中至少一者之方法，其進一步包括使用該相同信用計數器以控制一第三封包自該傳輸器之傳輸，其中在除發生該第一封包及該第二封包之傳輸外的一時間週期期間，該第三封包經發送至不同於該第一封包及該第二封包之一目的地。

實例29：如實例23至28中至少一者之方法，其中該影像處理器包含耦合至一個二維位移暫存器陣列之一執行道陣列。

實例30：如實例23至29中至少一者之方法，其中該影像處理器包括

用於處理影像資料之模板之多個模板處理器。

實例31：如實例30之方法，其經組態以操作重疊模板。

實例32：如實例23至31中至少一者之方法，其包括或經耦合至具有一位移暫存器結構之一資料運算單元，該位移暫存器結構具有寬於該執行道陣列之一尺寸，使得在該執行道陣列外存在暫存器之一「暈圈」。

【符號說明】

|             |               |
|-------------|---------------|
| 100         | 影像處理器架構       |
| 101         | 執行道陣列         |
| 102         | 二維位移暫存器陣列     |
| 103         | 隅角執行道         |
| 104         | 隅角位移暫存器位置     |
| 105         | 隅角執行道         |
| 106         | 隅角位移暫存器位置     |
| 200         | 架構            |
| 201_1至201_M | 線緩衝器單元        |
| 202_1至202_N | 模板處理器/模板處理器單元 |
| 203_1至203_N | 圖表產生器單元/圖表產生器 |
| 204         | 網路            |
| 205         | 巨集I/O單元       |
| 301_1至301_8 | 線緩衝器單元        |
| 302_1至302_8 | 圖表產生器/模板處理器核心 |
| 304         | 環狀拓撲/網路環      |
| 305         | I/O單元         |

|       |               |
|-------|---------------|
| 314   | 網路節點          |
| 401   | 輸入影像資料/輸入影像圖框 |
| 402   | 核心            |
| 501   | 發送處理器         |
| 502   | 線緩衝器單元        |
| 503   | 時間            |
| 504   | 所浪費時間         |
| 515   | 時間週期          |
| 521   | 第一時間間隔        |
| 522   | 第二時間間隔        |
| 523   | 第三時間間隔        |
| 524   | 第四時間間隔        |
| 525   | 第五時間間隔        |
| 526   | 第六時間間隔        |
| 531   | 第一信用計數器       |
| 532   | 第二信用計數器       |
| 601   | 發送器電路         |
| 602   | 接收器側電路/接收器    |
| 604   | 輸出佇列/傳出佇列     |
| 605   | 控制邏輯電路/控制邏輯   |
| 606_1 | 信用計數器         |
| 606_2 | 信用計數器         |
| 607   | 傳入佇列          |

|     |            |
|-----|------------|
| 608 | 控制邏輯       |
| 611 | 接收電路       |
| 620 | 接收器電路      |
| 621 | 傳輸電路       |
| 701 | 步驟         |
| 702 | 步驟         |
| 703 | 步驟         |
| 801 | 影像資料       |
| 802 | 重疊模板       |
| 803 | 線群組/陰影區域   |
| 804 | 第一圖表       |
| 805 | 第二圖表       |
| 900 | 模板處理器架構    |
| 901 | 資料運算單元     |
| 902 | 純量處理器      |
| 903 | 記憶體        |
| 904 | I/O單元      |
| 905 | 執行道陣列      |
| 906 | 二維位移陣列結構   |
| 907 | 隨機存取記憶體    |
| 909 | 程式控制器      |
| 951 | 純量指令       |
| 952 | ALU指令/指令欄位 |

|      |                   |
|------|-------------------|
| 953  | 記憶體指令/指令欄位        |
| 954  | 欄位                |
| 1001 | 資料運算組件/資料運算單元     |
| 1005 | 執行道陣列             |
| 1006 | 二維位移暫存器陣列結構/暫存器結構 |
| 1007 | 隨機存取記憶體           |
| 1009 | 暈圈                |
| 1105 | 圖框                |
| 1107 | 第一陣列              |
| 1110 | 執行道               |
| 1111 | 執行道位置對            |
| 1201 | 執行道               |
| 1202 | 暫存器檔案             |
| 1203 | 輸出多工器/多工器配置/多工器電路 |
| 1204 | 輸入多工器/多工器配置/多工器電路 |
| 1300 | 系統                |
| 1301 | 中央處理單元            |
| 1302 | 系統記憶體             |
| 1303 | 顯示器               |
| 1304 | 區域有線點對點鏈接介面       |
| 1305 | 網路I/O功能           |
| 1306 | 無線區域網路介面          |
| 1307 | 無線點對點鏈接介面         |

|               |                             |
|---------------|-----------------------------|
| 1308          | 全球定位系統介面                    |
| 1309_1至1309_N | 感測器                         |
| 1310          | 攝影機                         |
| 1311          | 電池                          |
| 1312          | 電力管理控制單元                    |
| 1313          | 揚聲器及麥克風                     |
| 1314          | 音訊編碼器/解碼器                   |
| 1315_1至1315_N | 通用處理核心                      |
| 1316          | 圖形處理單元                      |
| 1317          | 主記憶體控制器/記憶體管理功能/記憶體<br>控制功能 |
| 1350          | 應用程式處理器/多核心處理器              |
| 1318          | I/O控制功能                     |
| 1319          | 影像處理單元                      |
| K1            | 第一內核                        |
| K2            | 內核                          |
| K3_1          | 內核                          |
| K3_2          | 內核                          |
| K4            | 內核                          |
| R1            | 暫存器                         |
| R2            | 本地暫存器                       |
| R3            | 暫存器                         |

R4 暫存器

R5 暫存器

## 【發明申請專利範圍】

### 【第1項】

一種處理器，其包括：

一網路，其實施一信用計數器協定(credit counter protocol)，在每一發送器發送屬於一資料封包之資料單元之前，該信用計數器協定需要(requires)該發送器針對待被傳輸之該資料封包自一接收器接收一應答(acknowledgement)；

一或多個處理核心，其等經耦合至該網路；及

一傳輸器電路，其將該一或多個處理核心之一第一處理核心耦合至該網路，該傳輸器電路係經組態以將由該第一處理核心所輸出之資料單元傳輸入該網路中，該傳輸器電路包括控制邏輯電路，該控制邏輯電路經組態以使該傳輸器電路：

起始傳輸一第一資料封包至該處理器之一第一接收器，

在該第一資料封包之一最後資料單元已經被傳輸至該第一接收器之前，提供用於待被傳輸至該處理器之不同的一第二接收器之不同的一第二資料封包之一請求，

在該第一資料封包之該最後資料單元已經被傳輸至該第一接收器之前，接收待被傳輸之不同的該第二資料封包之一預發出應答(pre-issued acknowledgement)，

回應於接收待被傳輸之不同的該第二資料封包之該預發出應答而增量(increment)該第二接收器之不同的一第二接收器特定信用計數器(receiver-specific credit counter)，

接收該第一資料封包之該最後資料單元已被該第一接收器消耗

(consumed)之一指示，

回應於接收屬於該第一資料封包之該最後資料單元已被該第一接收器所消耗之該指示，而增量一第一接收器特定信用計數器，及

歸因於(due to)接收待被傳輸之不同的該第二資料封包之該預發出應答，使用經增量之該第二接收器特定信用計數器之信用(credits)而將屬於不同的該第二資料封包之一第一資料單元發送至不同的該第二接收器。

### 【第2項】

如請求項1之處理器，其中該控制邏輯電路包括複數個信用計數器，且其中該控制邏輯電路係經組態以在傳輸一個別資料封包後，將各信用計數器重新指派至不同的一個別接收器。

### 【第3項】

如請求項1之處理器，其中該第二資料封包之該第二接收器係與該第一資料封包之該第一接收器不同之該處理器之一組件。

### 【第4項】

如請求項1之處理器，其中該處理器進一步包括一線緩衝器，且其中該第一資料封包之該第一接收器係該線緩衝器。

### 【第5項】

如請求項1之處理器，其中接收該第二資料封包之該預發出應答包括在發送該第一資料封包之任意資料單元之前接收該第二資料封包之該預發出應答。

### 【第6項】

如請求項1之處理器，其中，歸因於無論何時(whenever)該處理器之

該第一接收器係與該處理器之該第二接收器不同之組件而接收該預發出應答，該控制邏輯電路經組態以增量該第二接收器特定信用計數器之該等信用。

**【第7項】**

如請求項1之處理器，其中該控制邏輯電路係經組態以分別使用屬於該第一資料封包之資料單元之該第一接收器特定信用計數器及使用屬於該第二資料封包之資料單元之該第二接收器特定信用計數器，將交錯(interleaved)資料單元發送至該處理器之該第一接收器及該處理器之該第二接收器。

**【第8項】**

一種由一處理器執行之方法，該處理器具有一或多個處理核心及實施一信用計數器協定之一網路，在每一發送器發送屬於一資料封包之資料單元之前，該信用計數器協定需要該發送器針對待被傳輸之該資料封包自一接收器接收一應答，該方法包括：

藉由該一或多個處理核心之一第一處理核心，處理程式碼以產生待於一第一資料封包及不同的一第二資料封包中發送之輸出資料；

藉由將該第一處理核心耦合至該網路的一傳輸器電路，起始傳輸該第一資料封包至該處理器之一第一接收器；

藉由該傳輸器電路，在該第一資料封包之一最後資料單元已經被傳輸至該第一接收器之前，提供用於待被傳輸至該處理器之不同的一第二接收器之不同的該第二資料封包之一請求；

藉由該傳輸器電路，在該第一資料封包之該最後資料單元已經被傳輸至該第一接收器之前，接收待被傳輸之不同的該第二資料封包

之一預發出應答；

回應於接收待被傳輸之不同的該第二資料封包之該預發出應答，而增量該第二接收器之不同的一第二接收器特定信用計數器；

藉由該傳輸器電路，接收該第一資料封包之該最後資料單元已被該第一接收器消耗之一指示；

回應於接收屬於該第一資料封包之該最後資料單元已被該第一接收器所消耗之該指示，而增量一第一接收器特定信用計數器；及

歸因於接收待被傳輸之該第二資料封包之該預發出應答，使用經增量之該第二接收器特定信用計數器之信用而將屬於該第二資料封包之一第一資料單元發送至不同的該第二接收器。

#### 【第9項】

如請求項8之方法，其中該傳輸器電路包括複數個信用計數器，且該方法進一步包括在傳輸一個別資料封包後，將各信用計數器重新指派至不同的一個別接收器。

#### 【第10項】

如請求項8之方法，其中該處理器之該第二接收器與該處理器之該第一接收器不同之該處理器的一組件。

#### 【第11項】

如請求項8之方法，其中該處理器進一步包括一線緩衝器，且其中該第一接收器係該線緩衝器。

#### 【第12項】

如請求項8之方法，其中接收待被傳輸之該第二資料封包之該預發出應答包括在發送待被傳輸之該第一資料封包之任意資料單元之前接收待被

傳輸之該第二資料封包之該預發出應答。

**【第13項】**

如請求項8之方法，其進一步包括歸因於無論何時該處理器之該第一接收器係與該處理器之該第二接收器不同之組件而接收該預發出應答，則增量該第二接收器特定信用計數器之該等信用。

**【第14項】**

如請求項8之方法，其進一步包括分別使用屬於該第一資料封包之資料單元之該第一接收器特定信用計數器及使用屬於該第二資料封包之資料單元之該第二接收器特定信用計數器，將交錯資料單元發送至該處理器之該第一接收器及該處理器之該第二接收器。

**【第15項】**

一種處理器，其包括：

一網路，其實施一信用計數器協定，在每一發送器發送屬於一資料封包之資料單元之前，該信用計數器協定需要該發送器針對待被傳輸之該資料封包自一接收器接收一應答；

一或多個處理核心，其等經耦合至該網路；及

一傳輸器電路，其將該一或多個處理核心之一第一處理核心耦合至該網路，該傳輸器電路係經組態以將由該第一處理核心所輸出之資料單元傳輸入該網路中，該傳輸器電路包括構件以用於：

起始傳輸一第一資料封包至該處理器之一第一接收器，

在該第一資料封包之一最後資料單元已經被傳輸至該第一接收器之前，提供待被傳輸至該處理器之不同的一第二接收器之不同的一第二資料封包之一請求，

在該第一資料封包之該最後資料單元已經被傳輸至該第一接收器之前，接收待被傳輸之不同的該第二資料封包之一預發出應答，

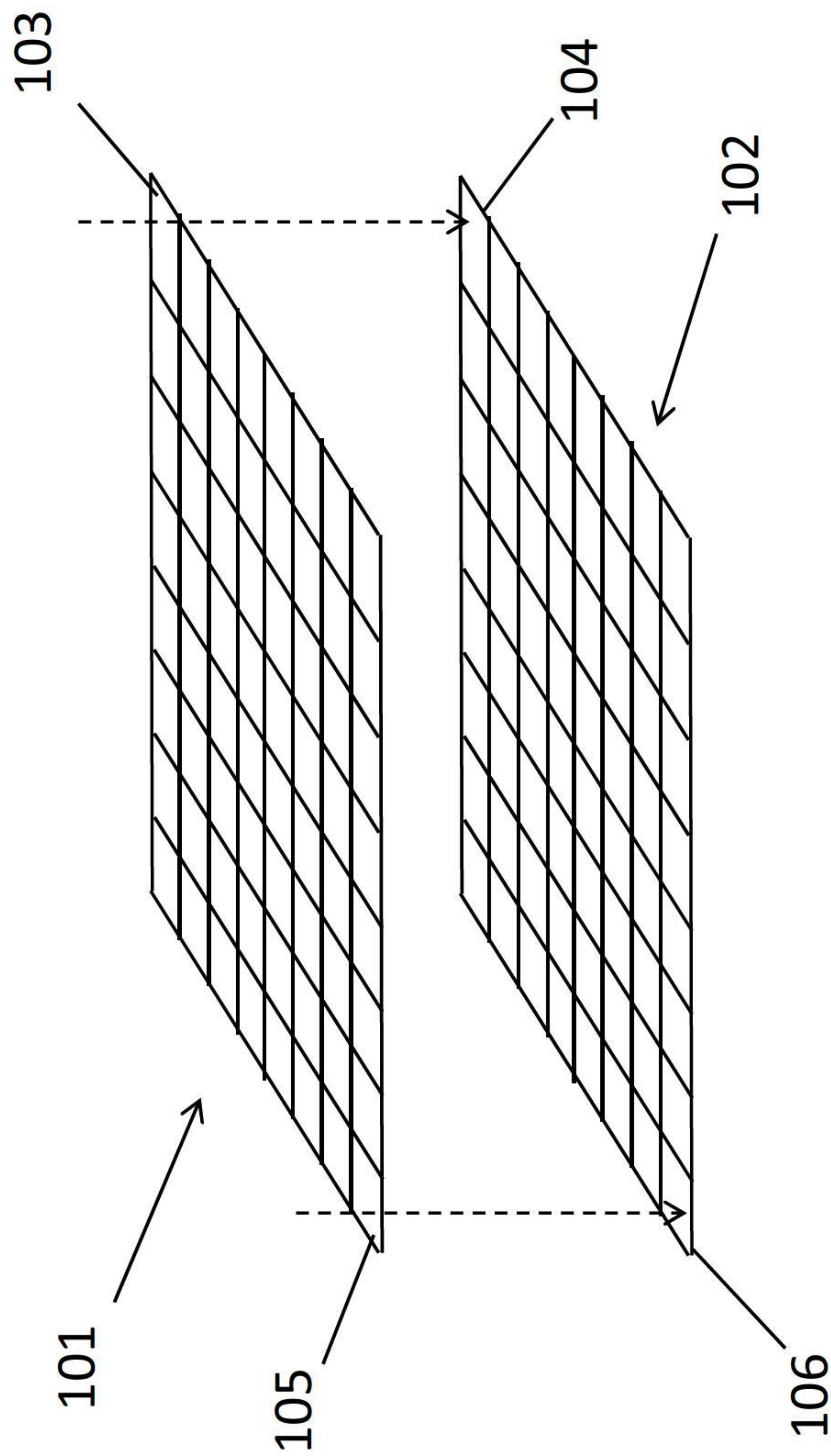
回應於接收待被傳輸之不同的該第二資料封包之該預發出應答而增量該第二接收器之不同的一第二接收器特定信用計數器，

接收該第一資料封包之該最後資料單元已被該第一接收器消耗之一指示，

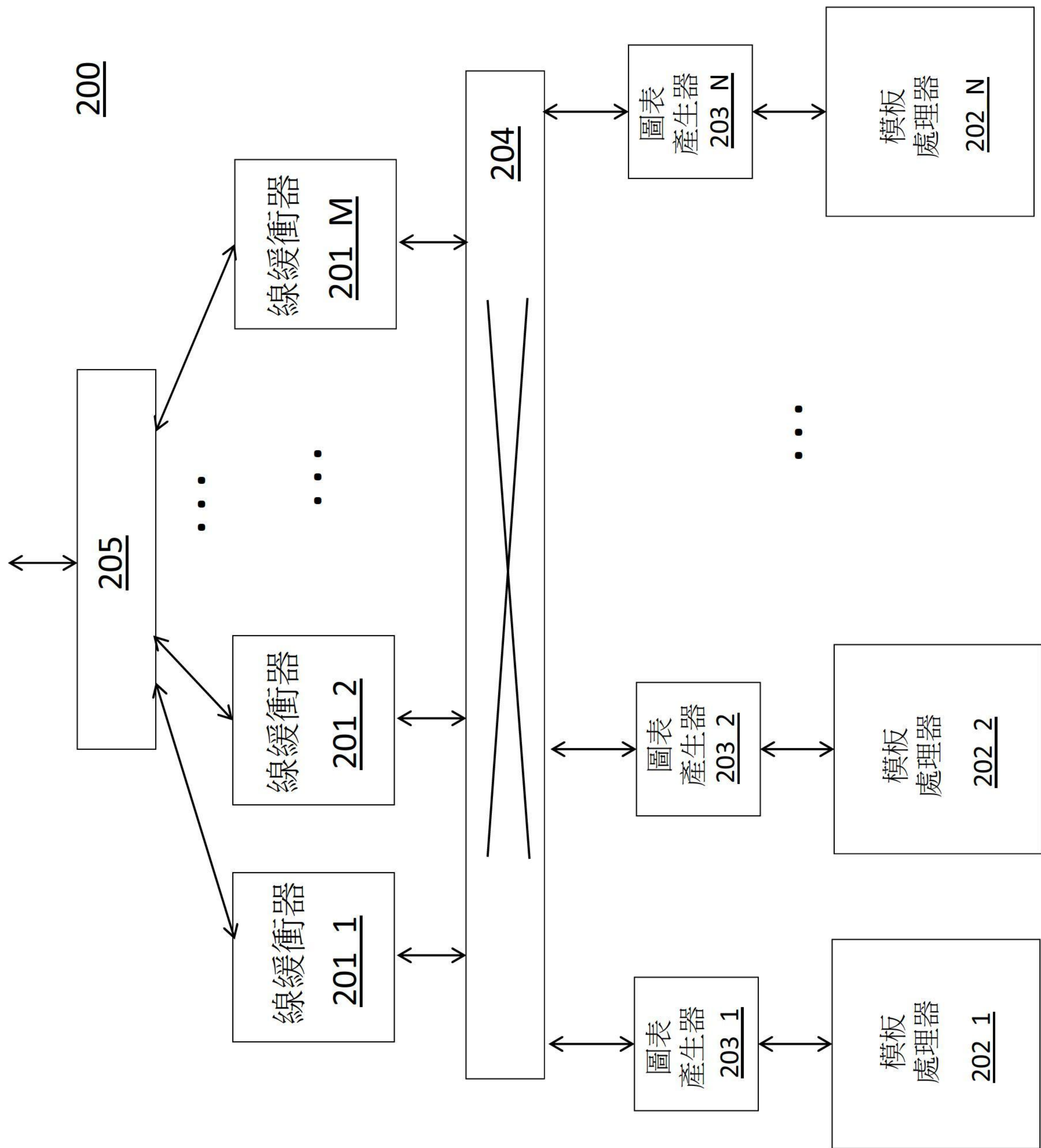
回應於接收屬於該第一資料封包之該最後資料單元已被該第一接收器所消耗之該指示而增量用於該第一資料封包之該第一接收器之一第一接收器特定信用計數器，及

歸因於接收待被傳輸之不同的該第二資料封包之該預發出應答，使用經增量之該第二接收器特定信用計數器之信用而將屬於不同的該第二資料封包之一第一資料單元發送至不同的該第二接收器。

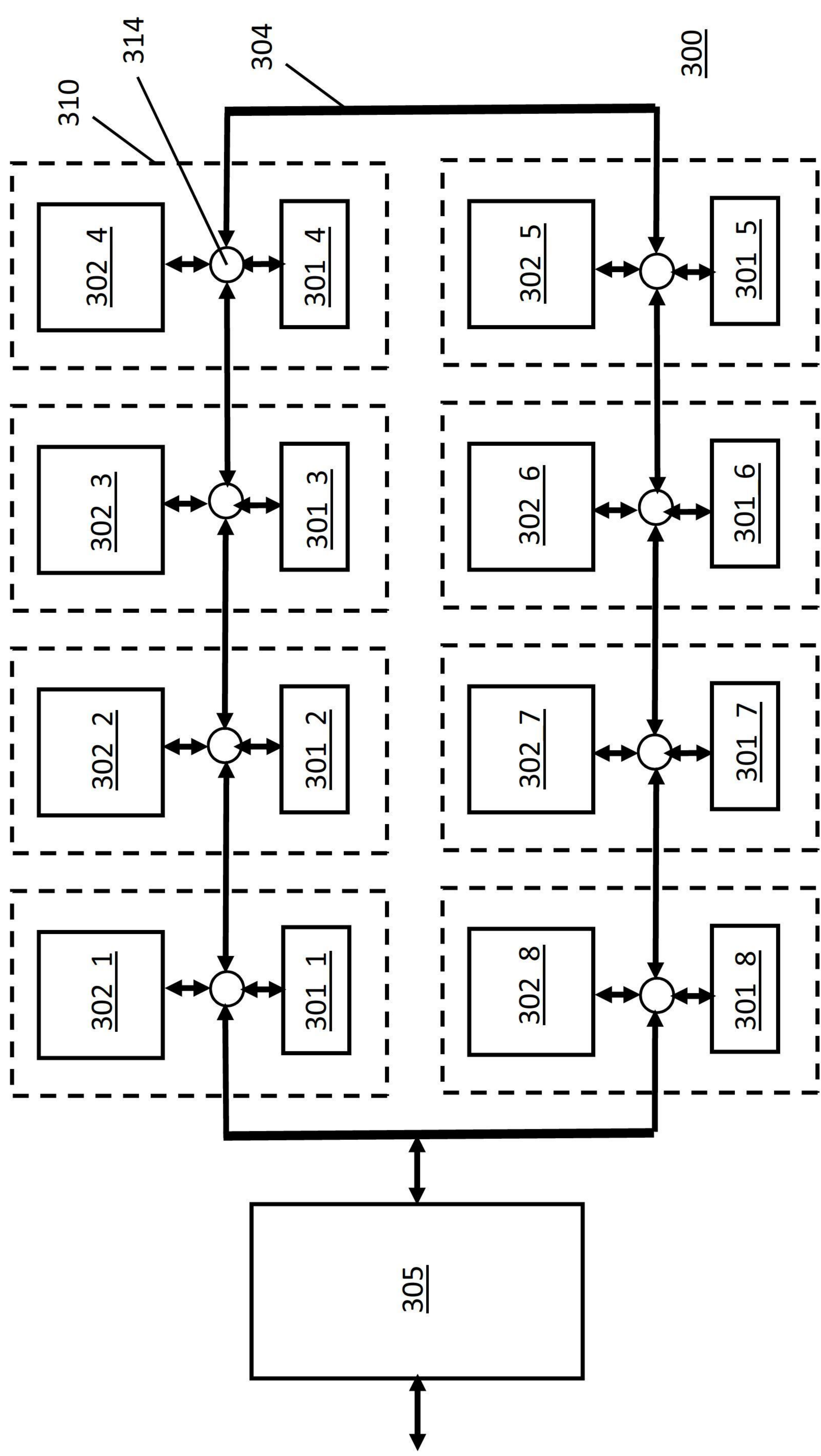
【發明圖式】



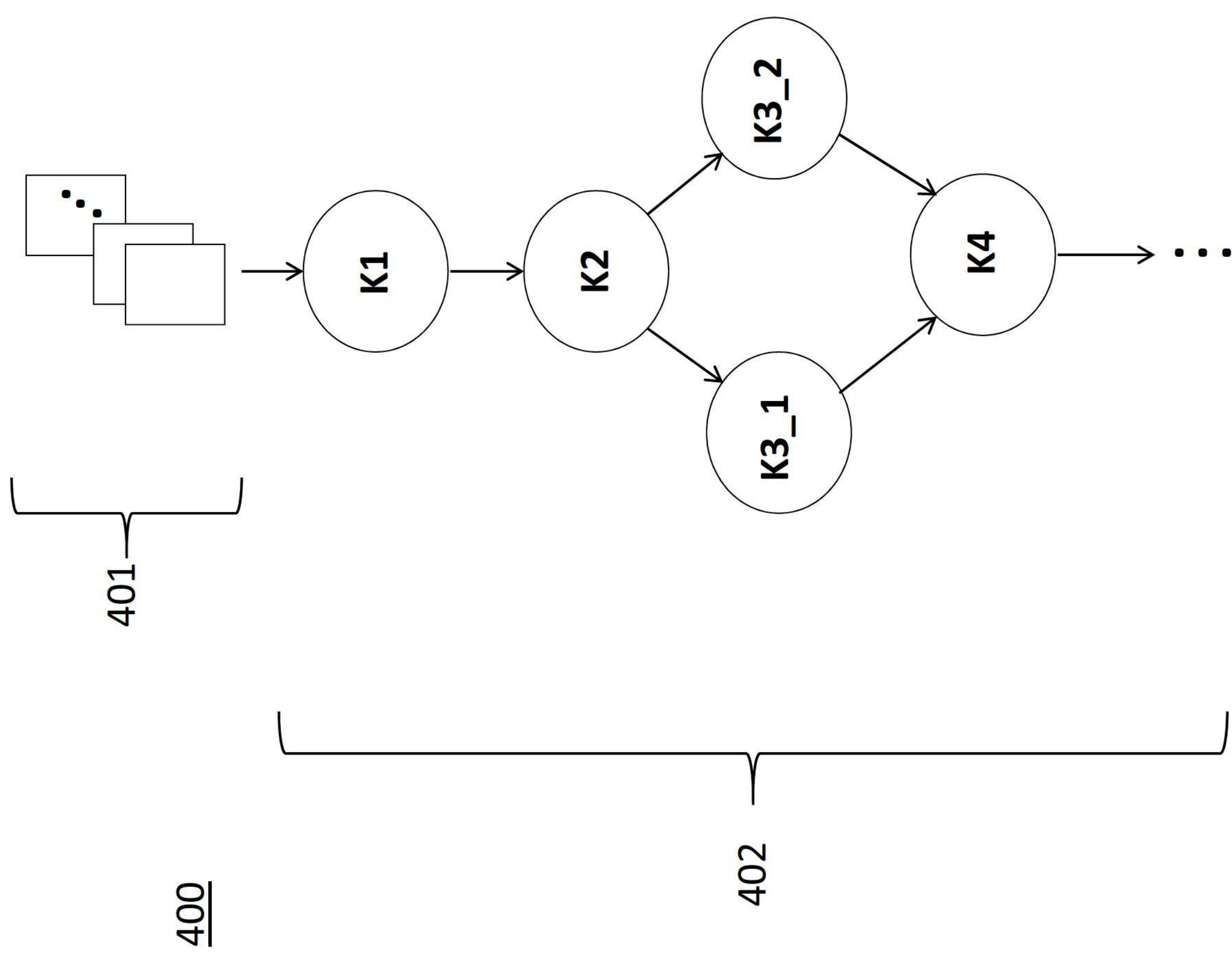
【圖1】



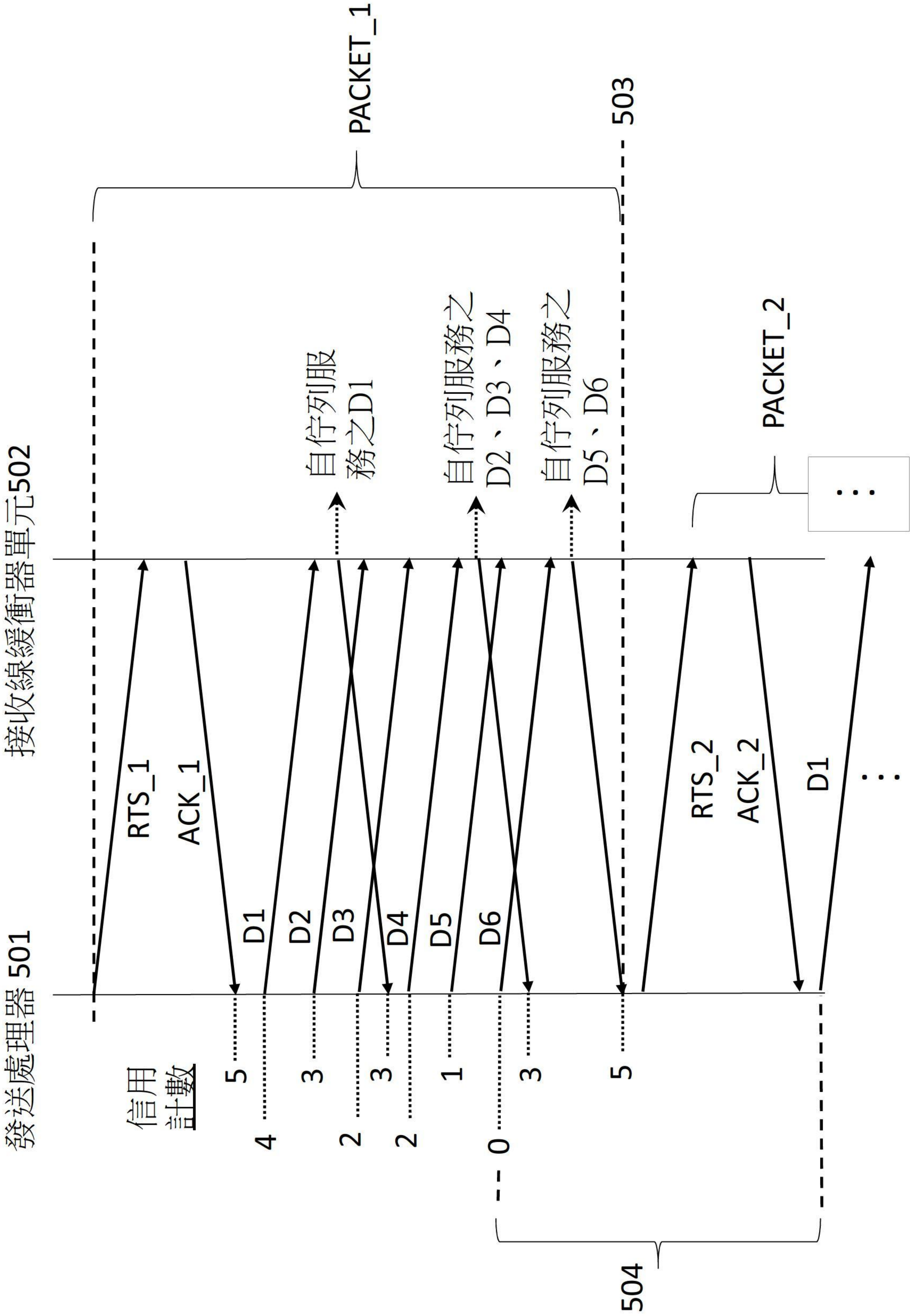
【圖2】

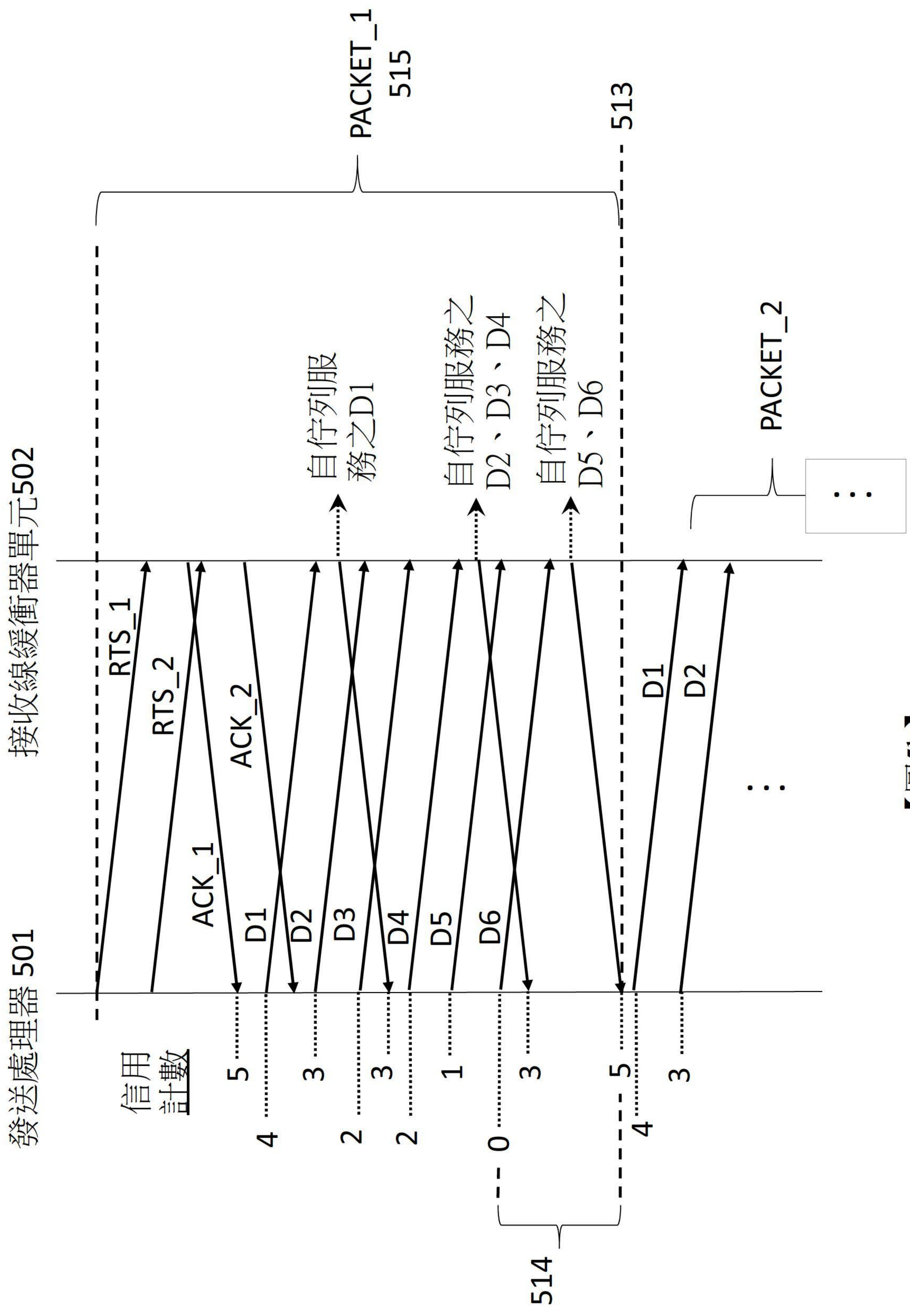


【圖3】

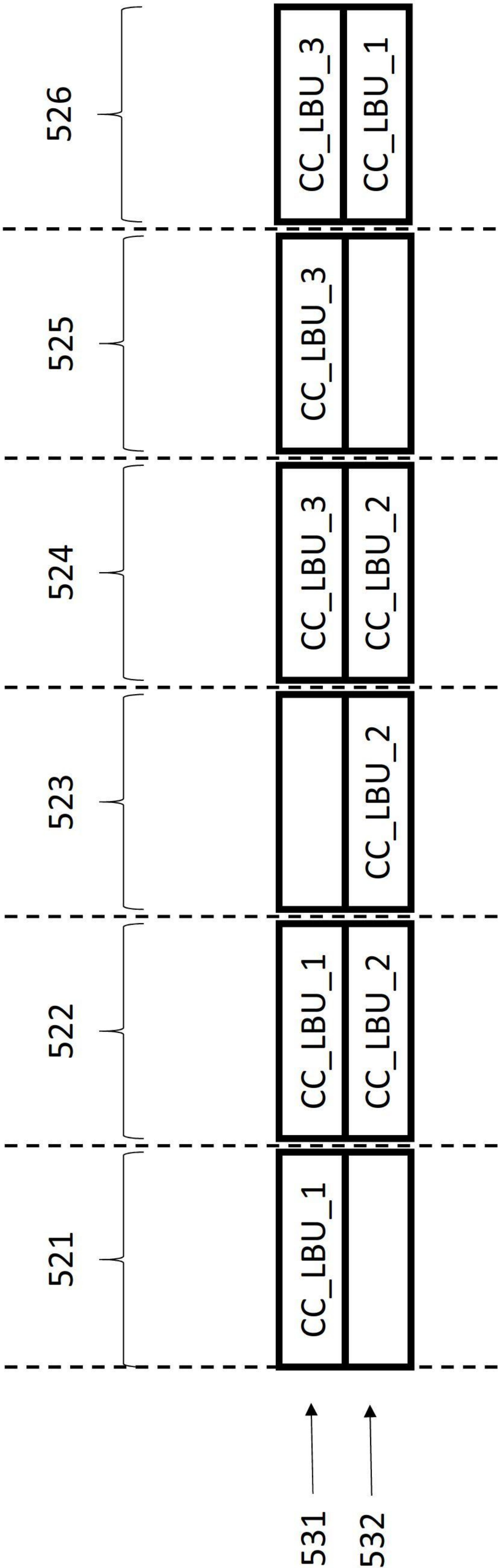


【圖4】

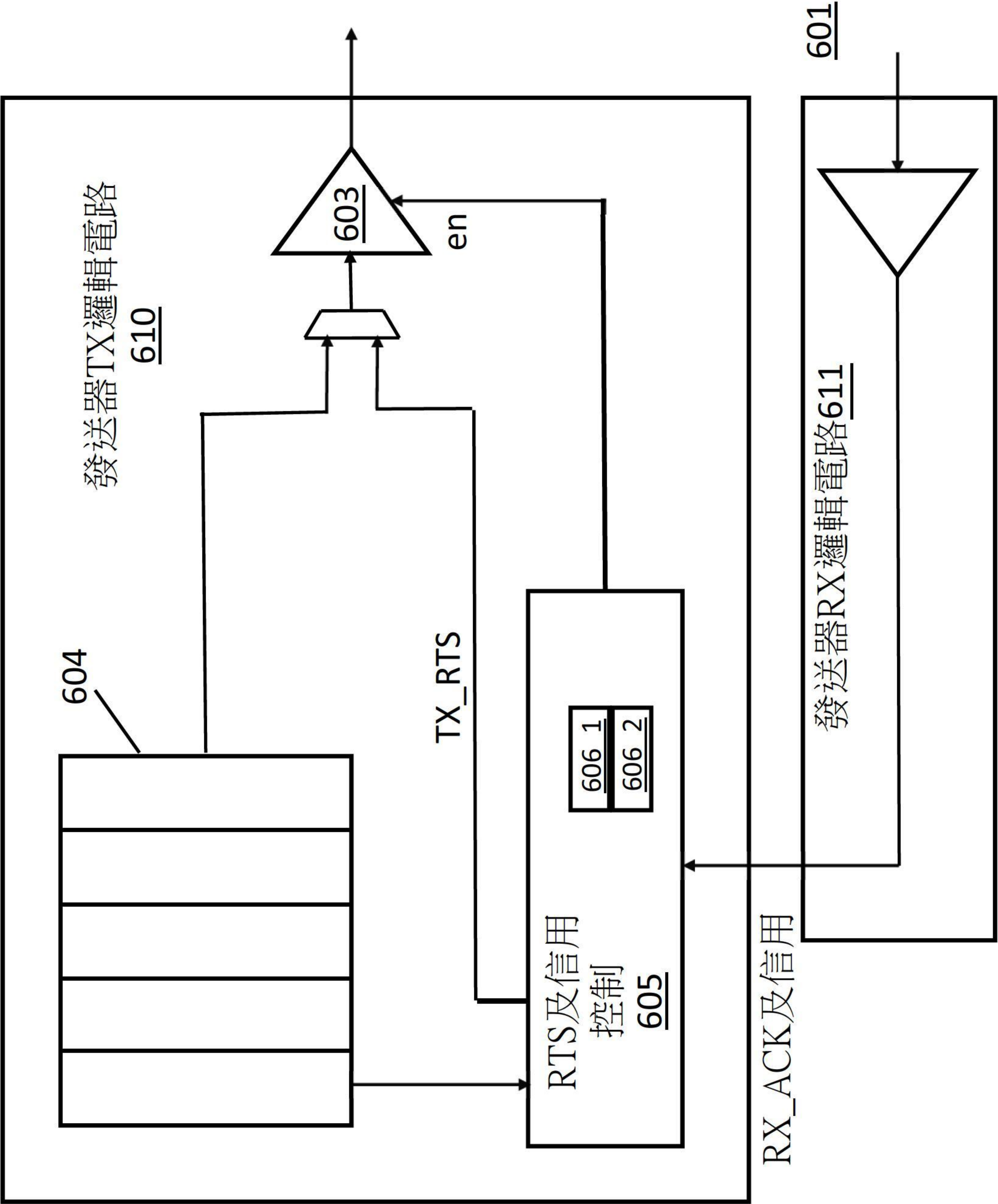




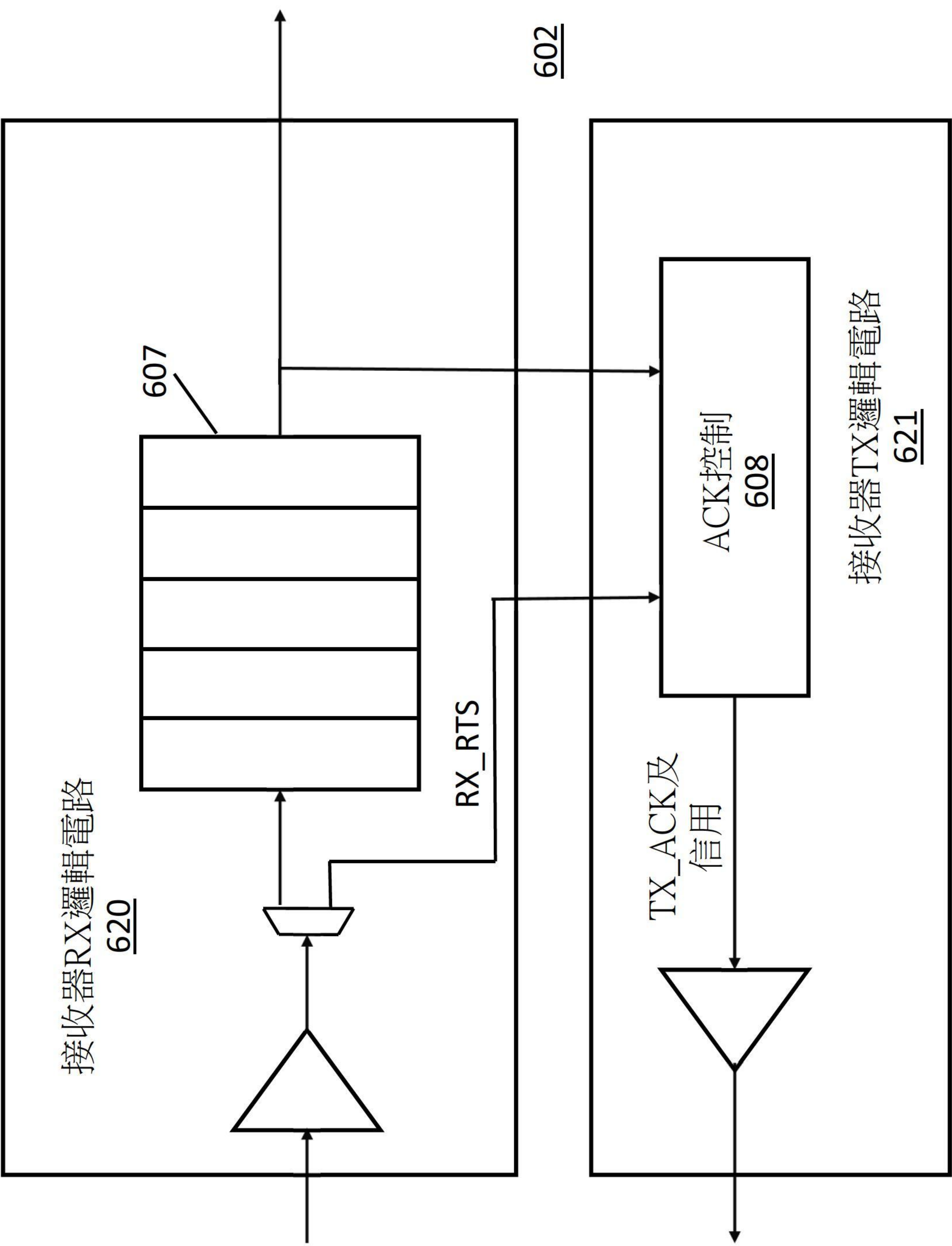
【圖5b】



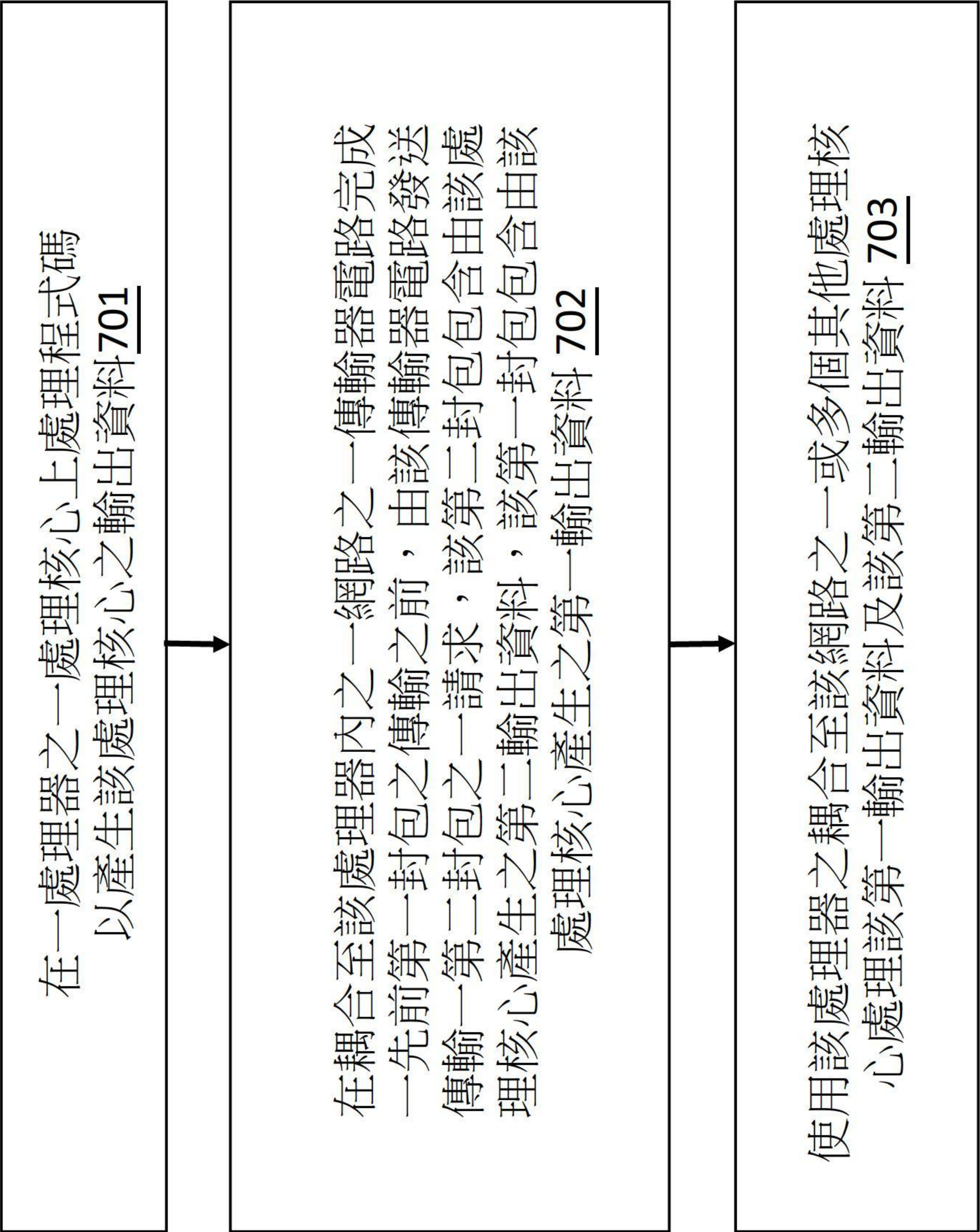
【圖5c】



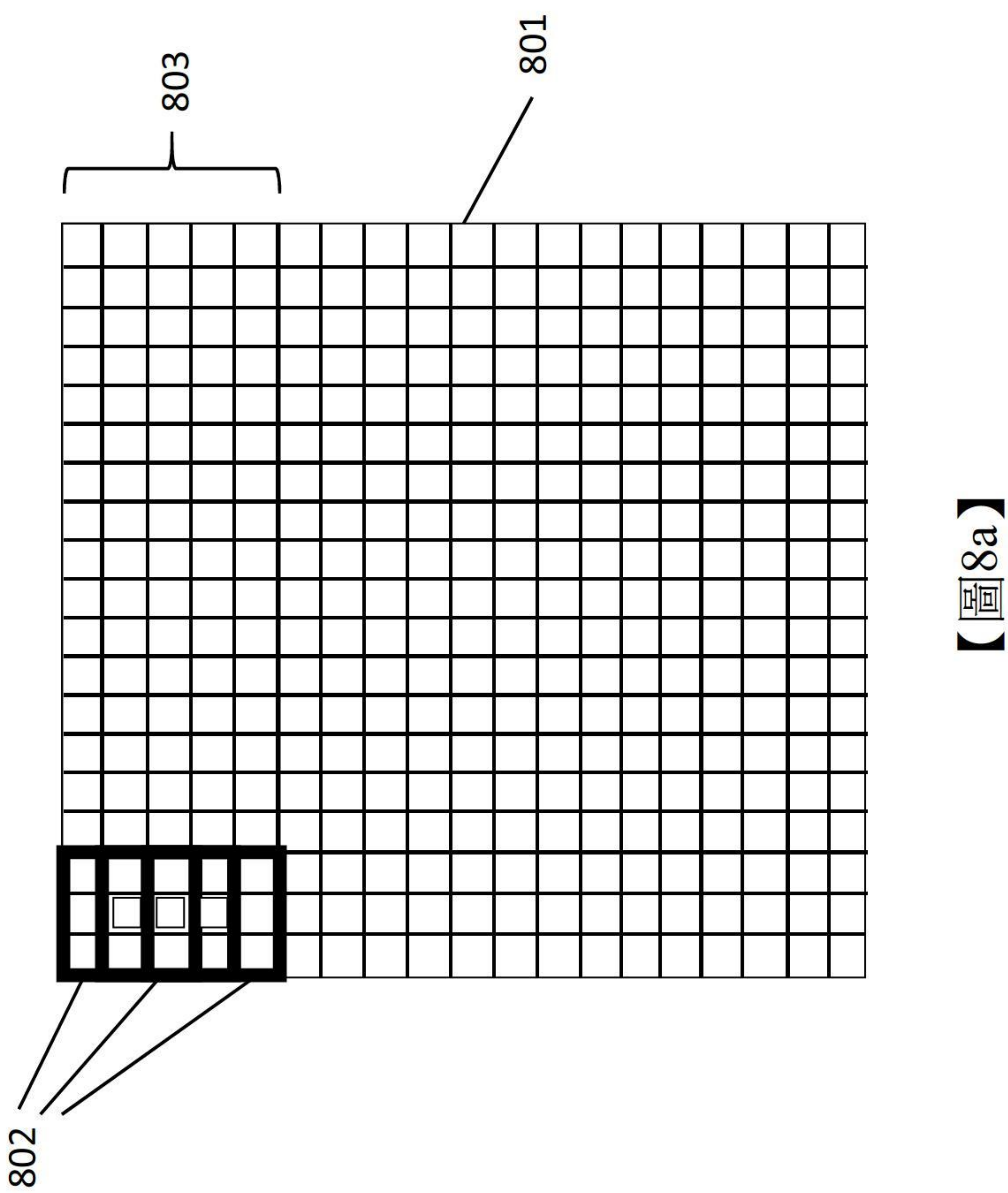
【圖6a】



【圖6b】

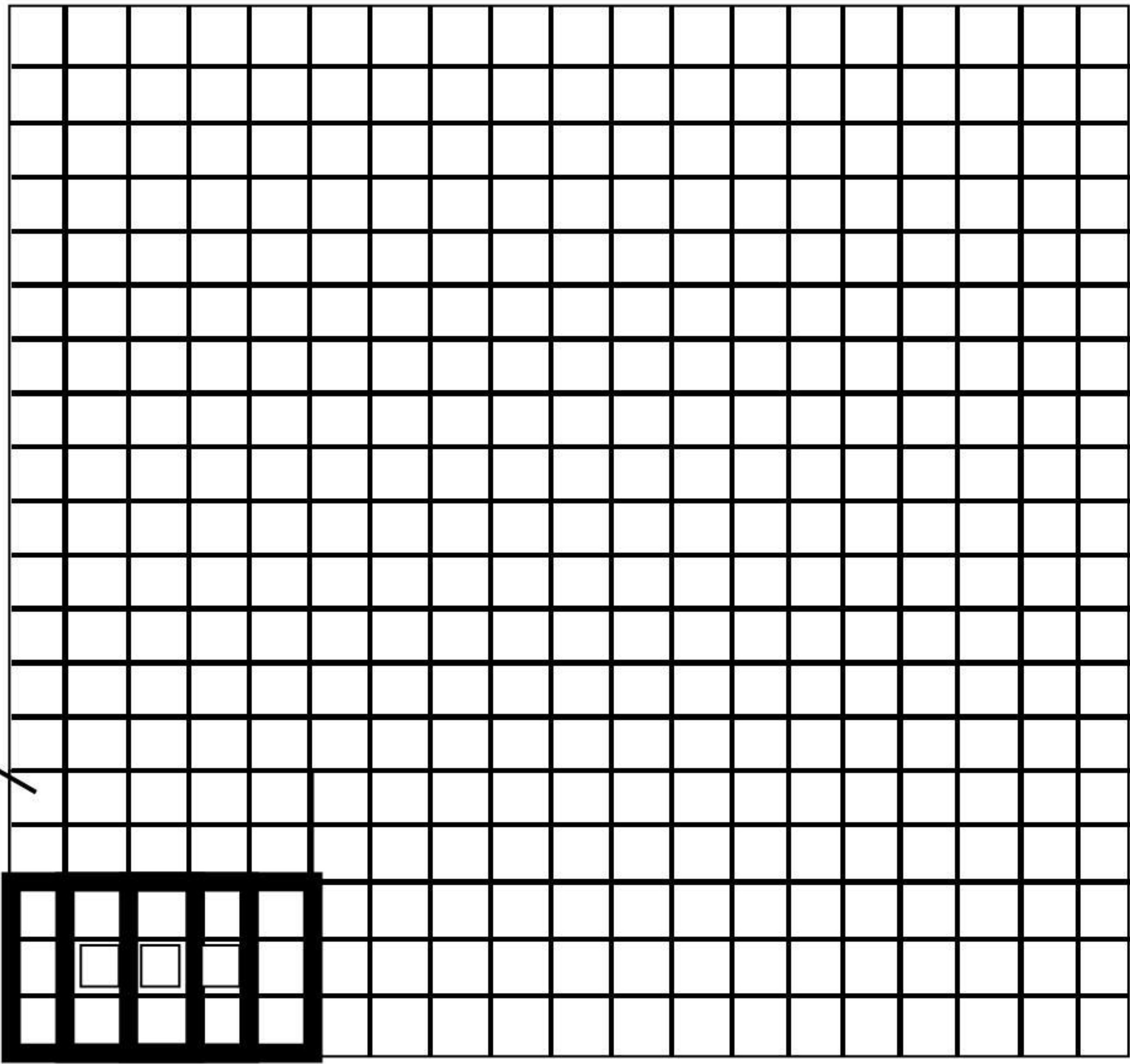


【圖7】

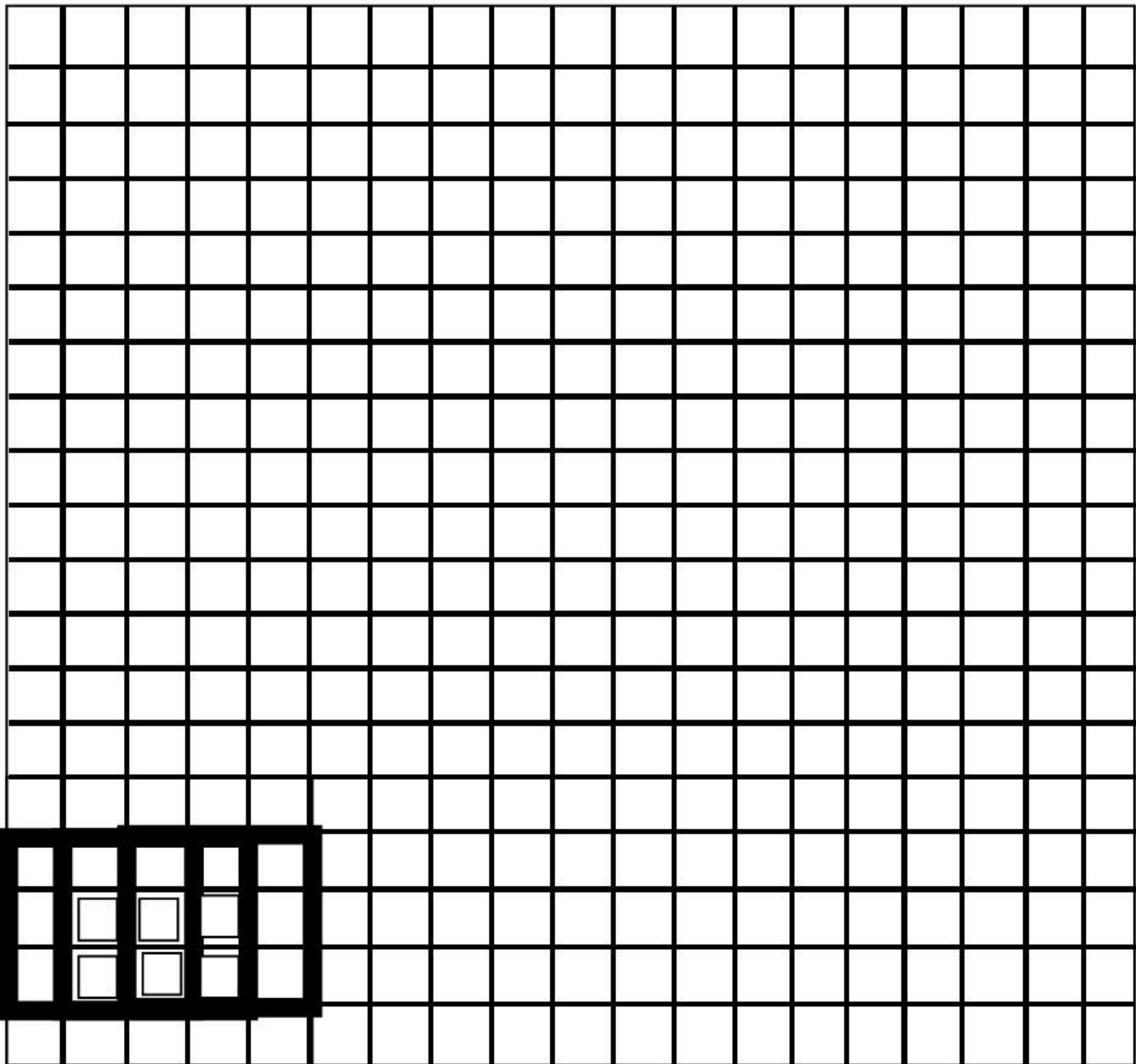


【圖8a】

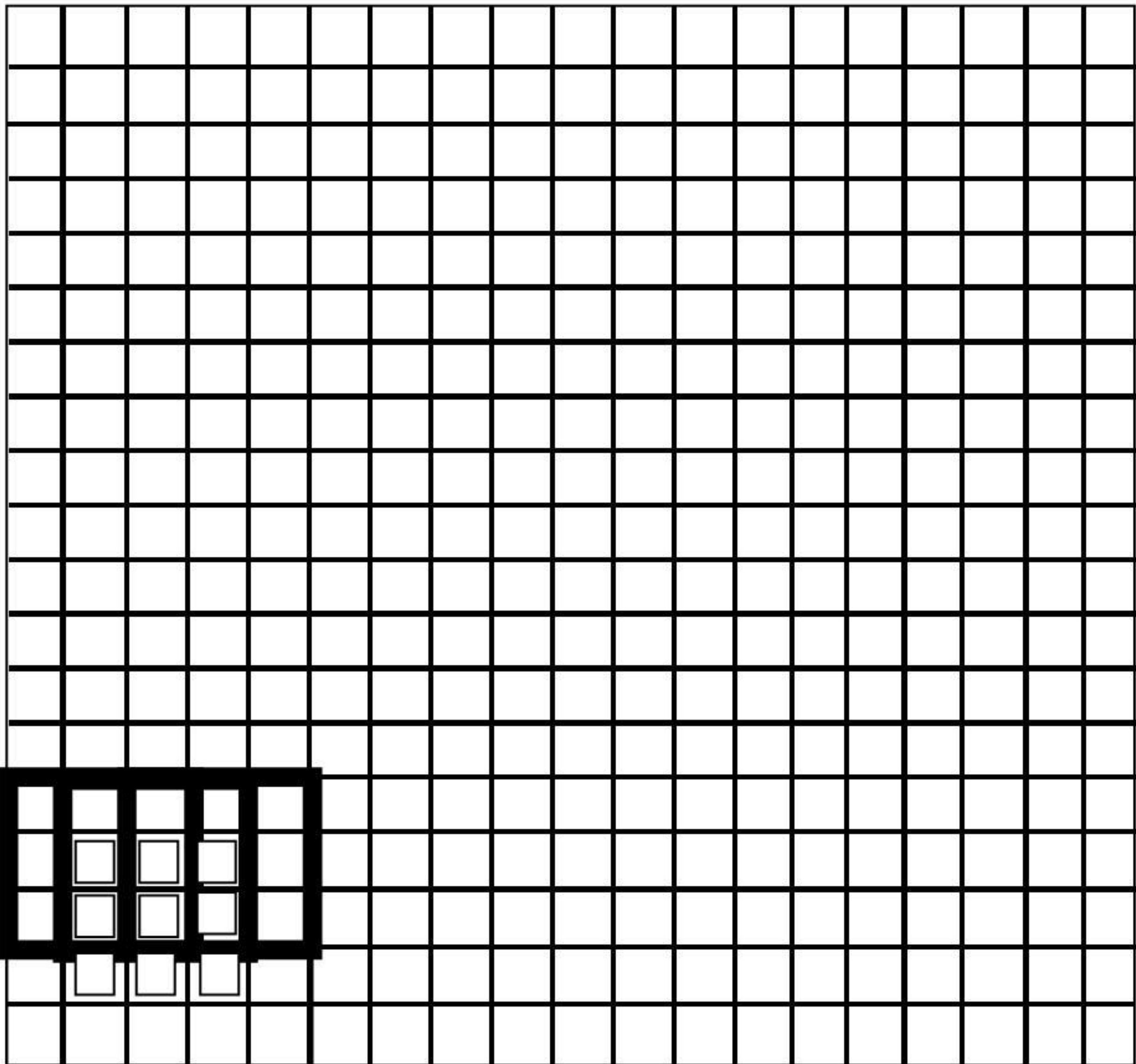
804



【圖 8b】

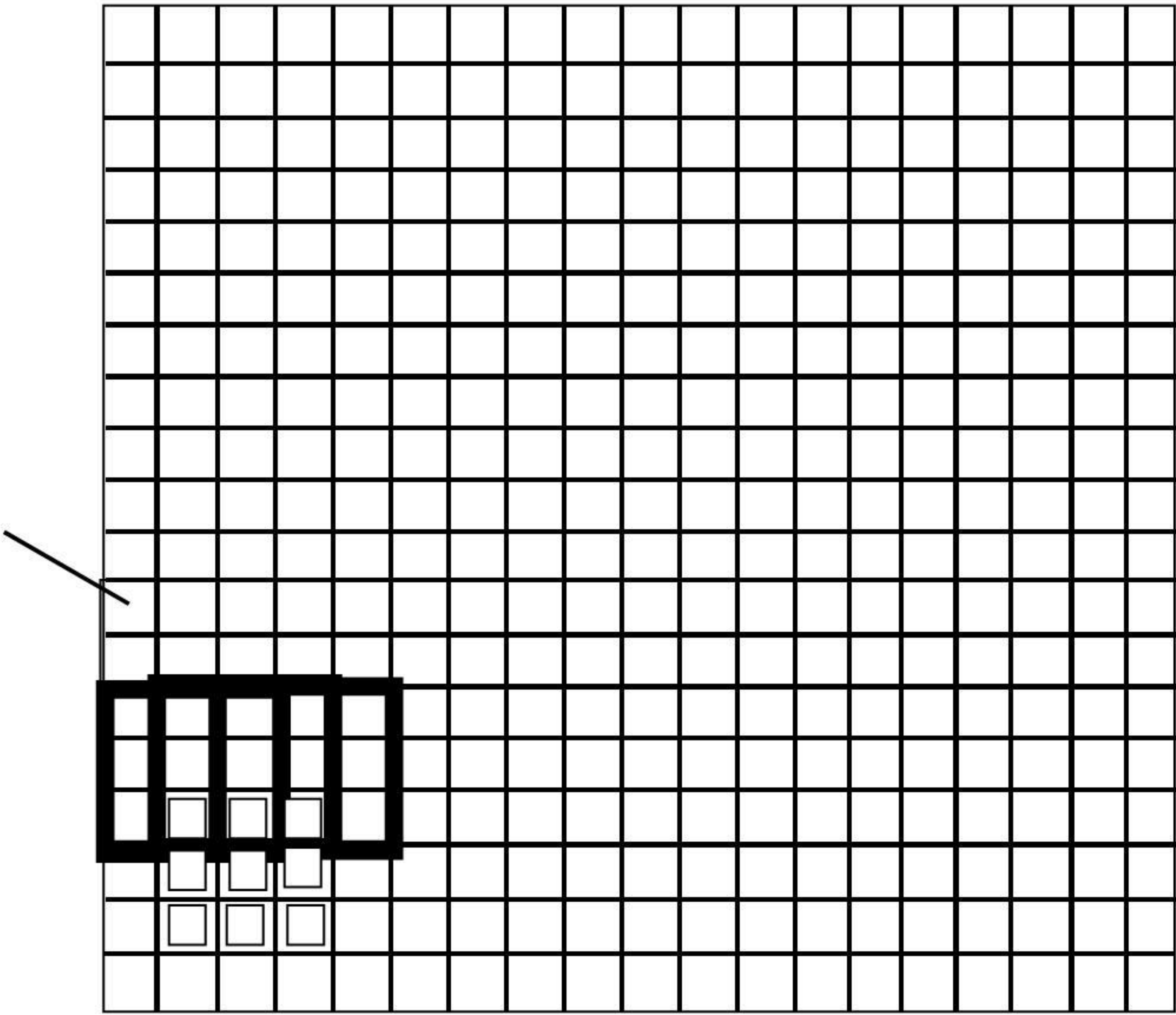


【圖 8c】

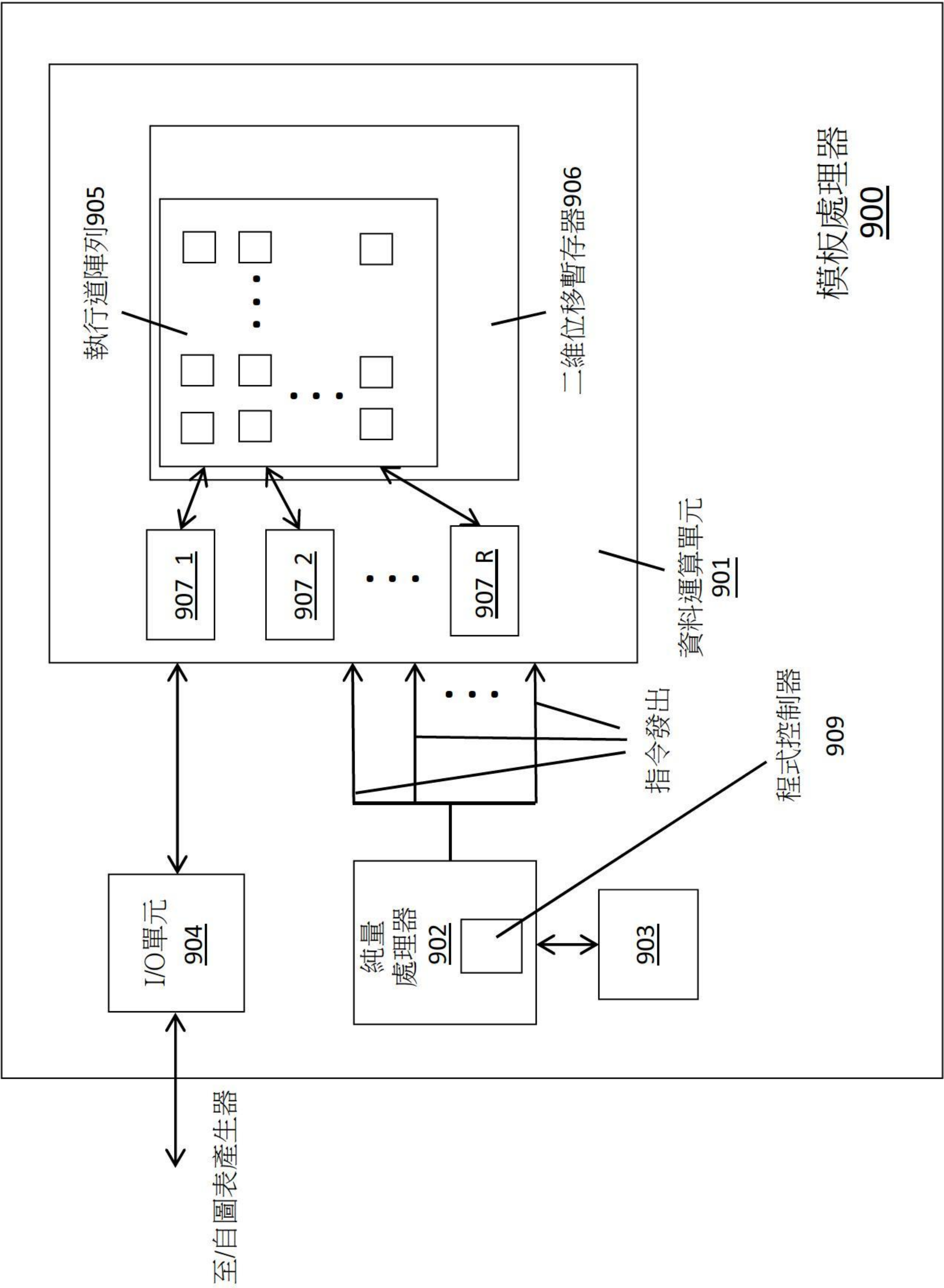


【圖8d】

805



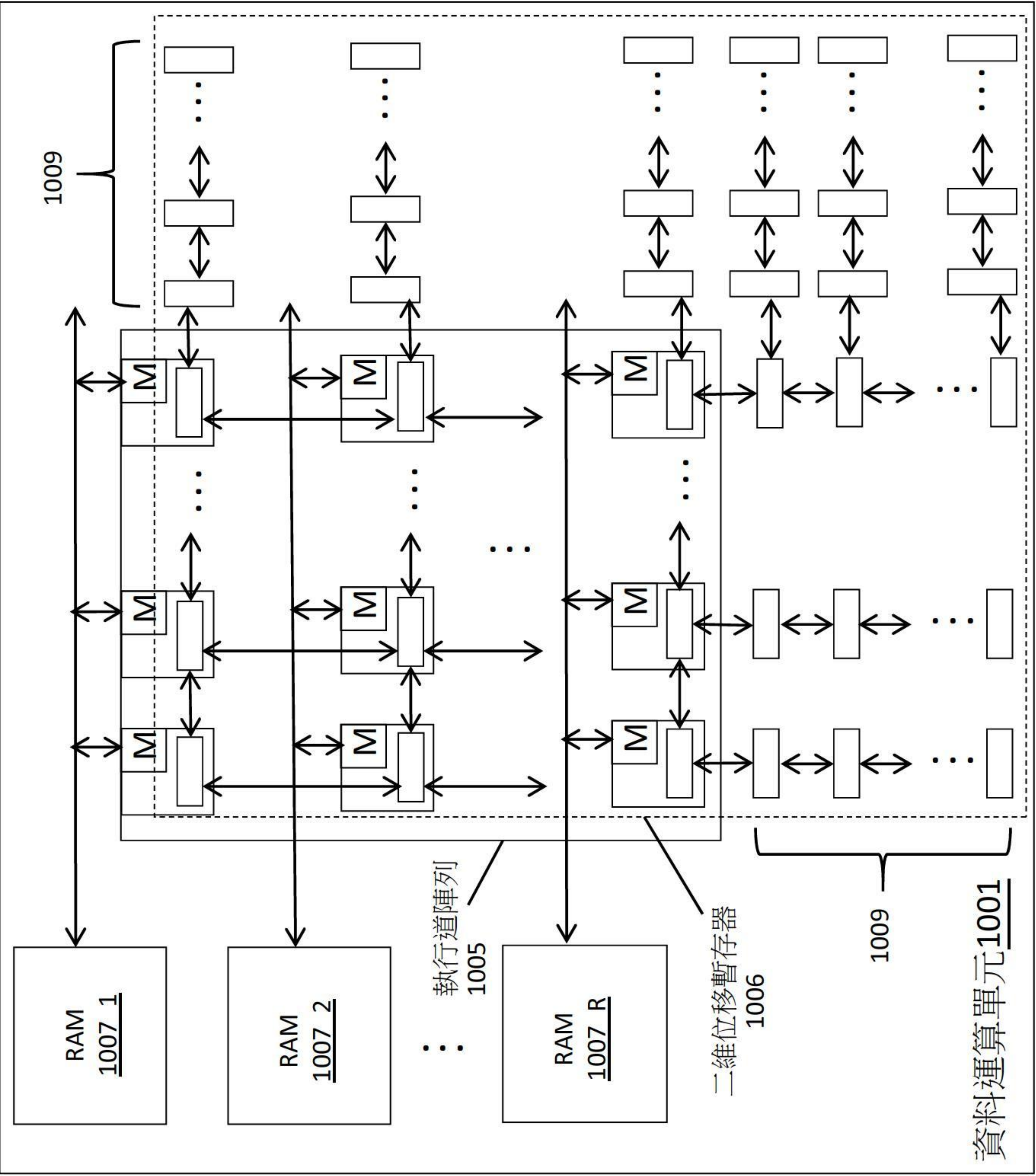
【圖8e】



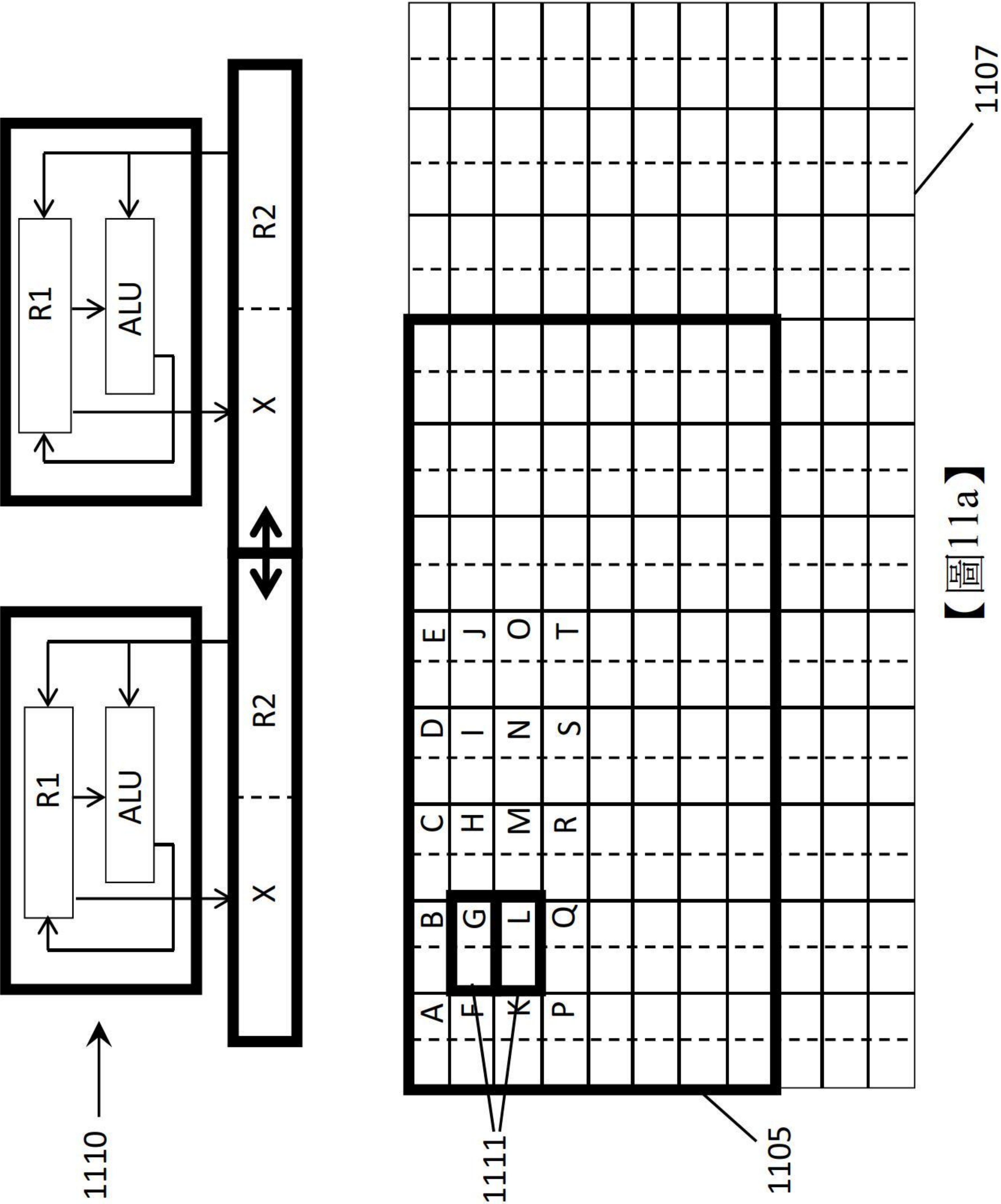
【圖9a】

|                    |                        |                           |                     |
|--------------------|------------------------|---------------------------|---------------------|
| 純量指令<br><u>951</u> | 2D ALU指令<br><u>952</u> | 記憶體<br>存取指令<br><u>953</u> | 立即運算元<br><u>954</u> |
|--------------------|------------------------|---------------------------|---------------------|

【圖9b】



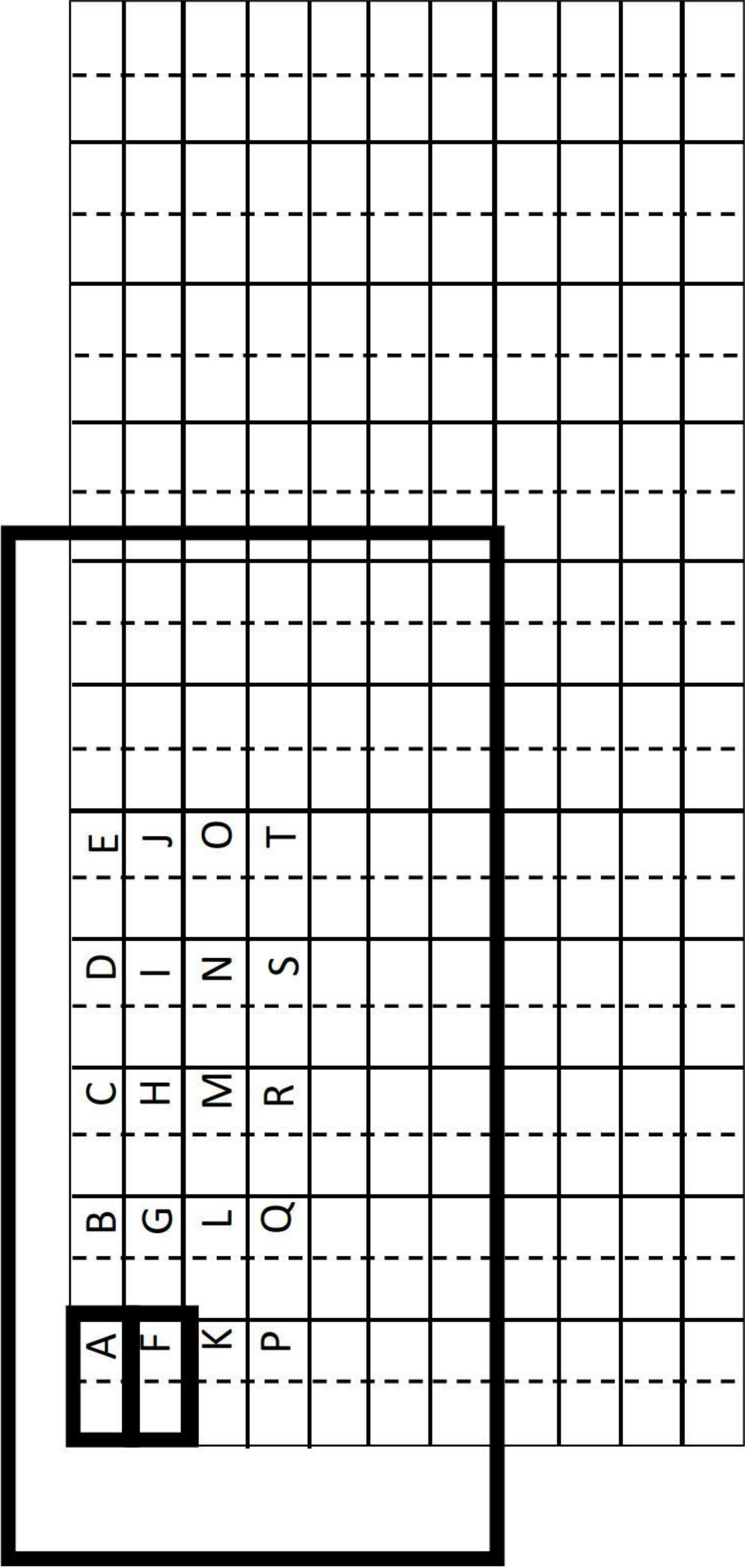
【圖10】



【圖11a】

//執行緒X2：處理模板2//  
下移1  
右移1  
載入//將F放入R1中

//執行緒X1：處理模板1//  
下移1  
右移1  
載入//將A放入R1中



【圖11b】

```
//執行緒X1：處理模板1//
下移1
右移1
載入//將A放入R1中
左移1
R1<= ADD R1, R2 // add A, B

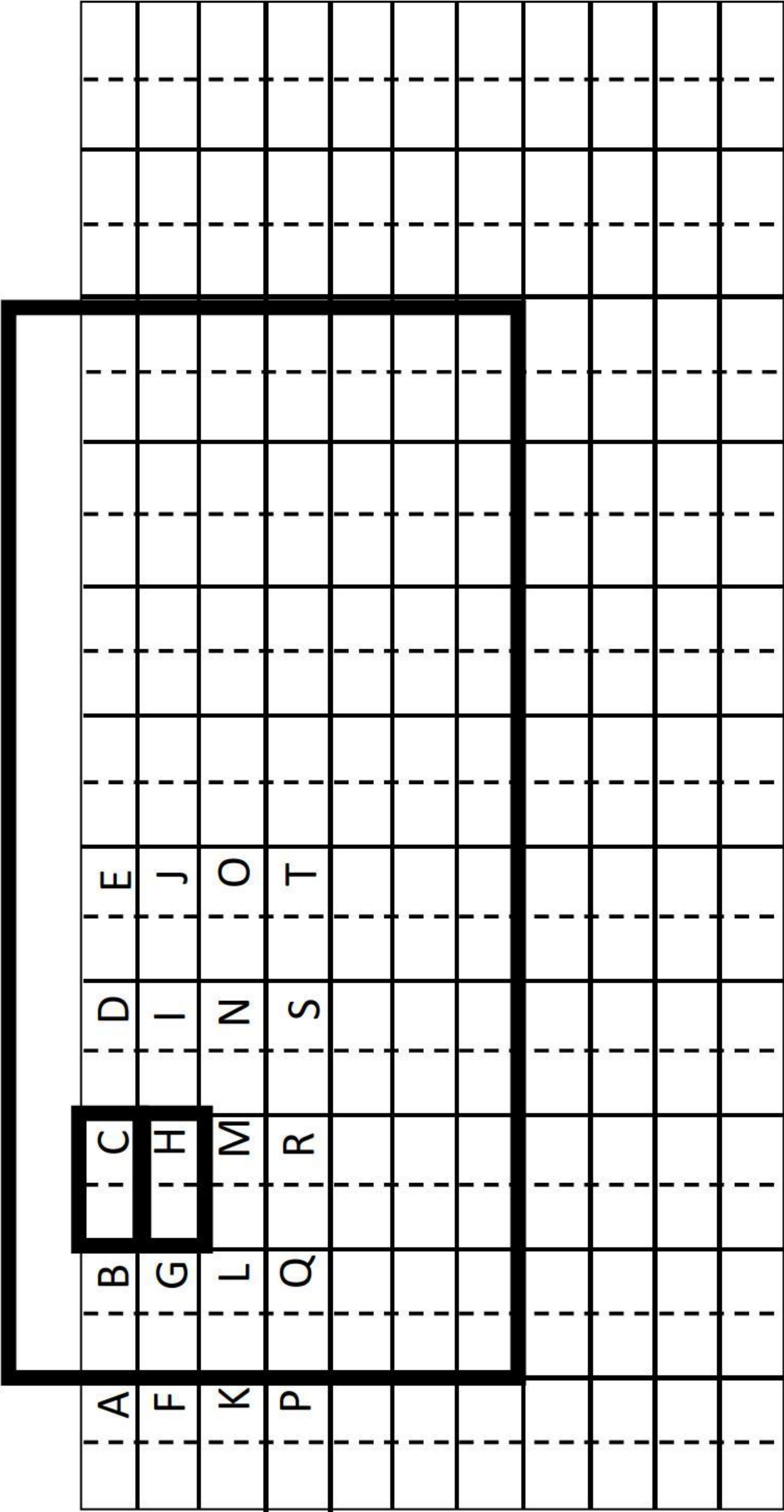
//執行緒X2：處理模板2//
下移1
右移1
載入//將F放入R1中
左移1
R1<= ADD R1, R2 // add F, G
```

|   |   |   |   |   |
|---|---|---|---|---|
| A | B | C | D | E |
| F | G | H | I | J |
| K | L | M | N | O |
| P | Q | R | S | T |

【11c】

//執行緒X1：處理模板1//  
...  
R1<= ADD R1, R2 // add A, B  
左移1  
R1<= ADD R1, R2 // add C

//執行緒X2：處理模板2//  
...  
R1<= ADD R1, R2 // add F, G  
左移1  
R1<= ADD R1, R2 // add H



【圖11d】



```
//執行緒X1：處理模板1//
...
右移1
R1<= ADD R1, R2 // ADD G

//執行緒X2：處理模板2//
...
右移1
R1<= ADD R1, R2 // ADD L
```

|   |   |   |   |   |
|---|---|---|---|---|
| A | B | C | D | E |
| F | G | H | I | J |
| K | L | M | N | O |
| P | Q | R | S | T |

【圖 11f】

```
//執行緒X1：處理模板1//
...
右移1
R1<= ADD R1, R2 // ADD F
```

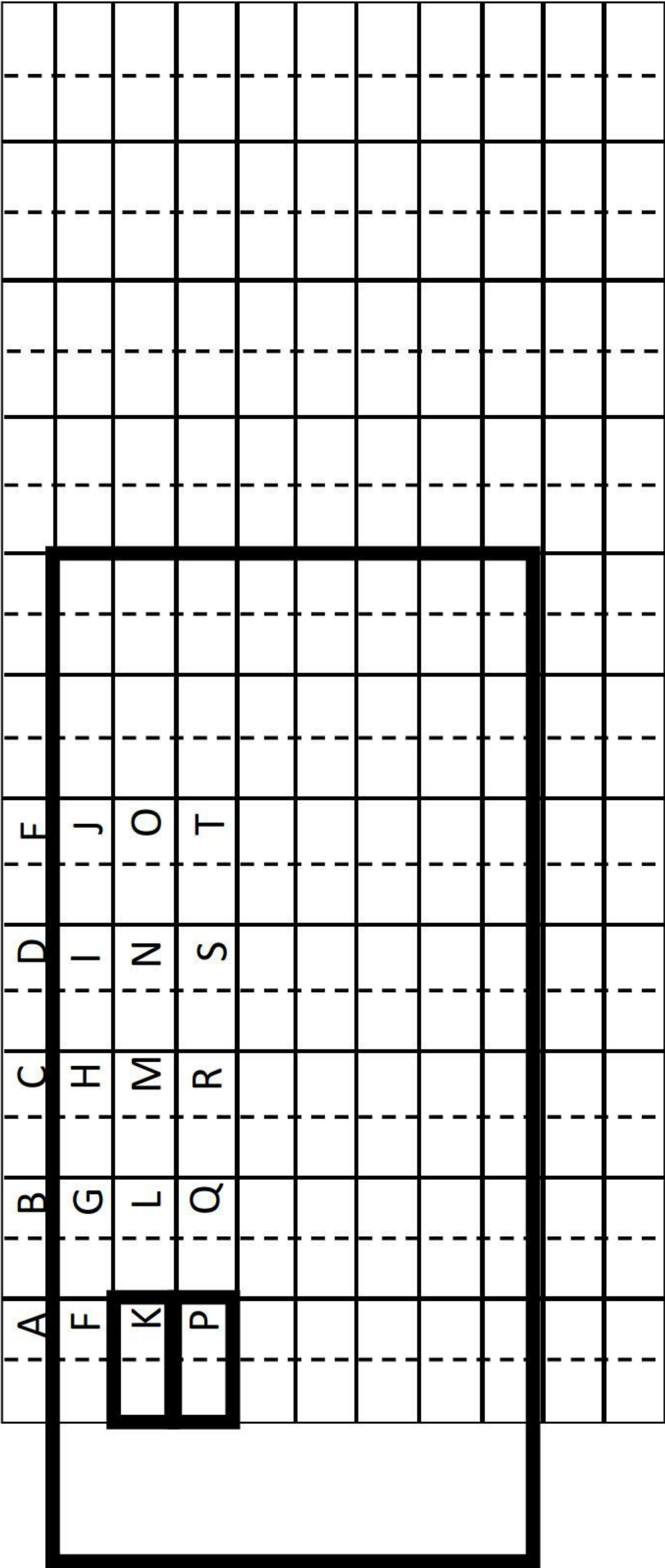
```
//執行緒X2：處理模板2//
...
右移1
R1<= ADD R1, R2 // ADD K
```

[illegible]

【115】

//執行緒X1：處理模板1//  
...  
上移1  
R1<= ADD R1, R2 // ADD K

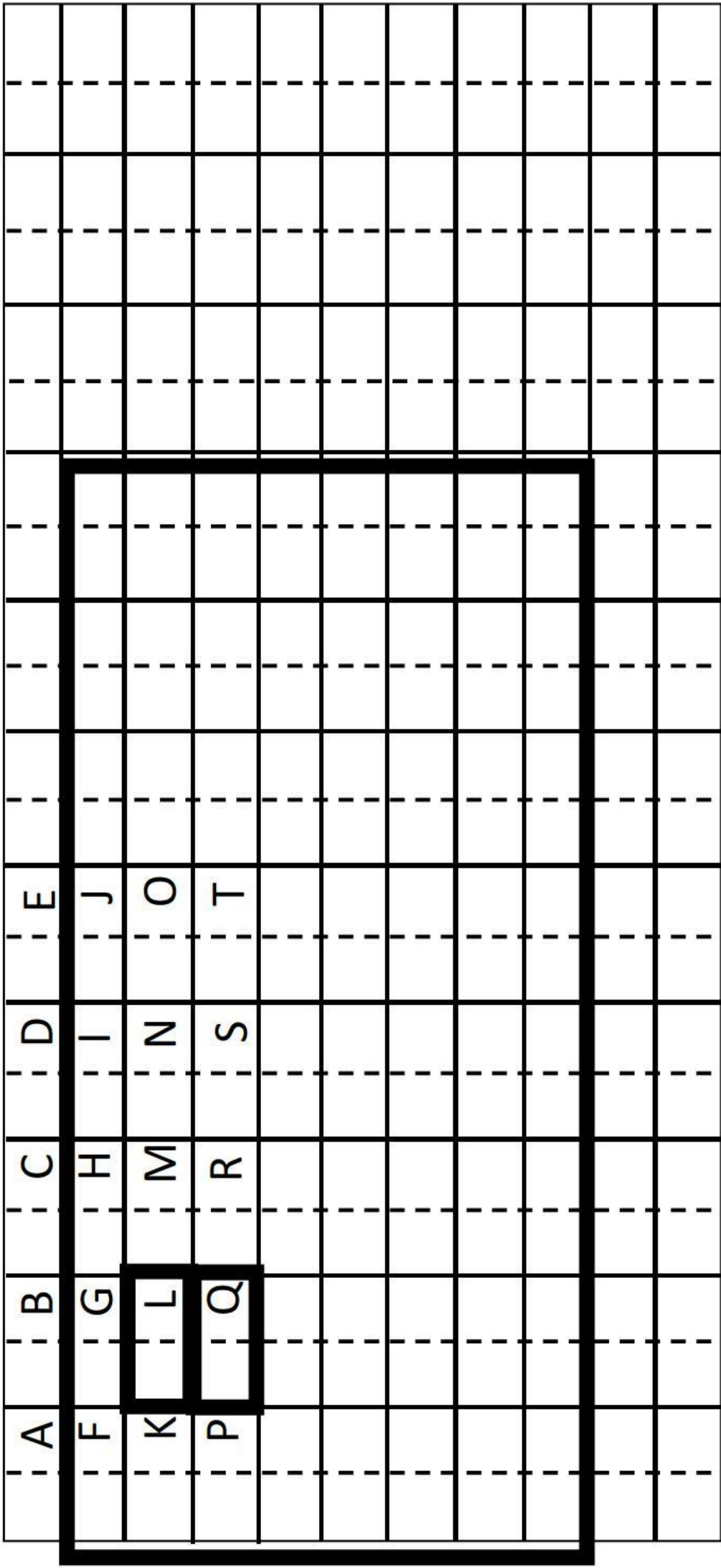
//執行緒X2：處理模板2//  
...  
上移1  
R1<= ADD R1, R2 // ADD P



【圖11h】

//執行緒X1：處理模板1//  
...  
左移1  
R1<= ADD R1, R2 // ADD L

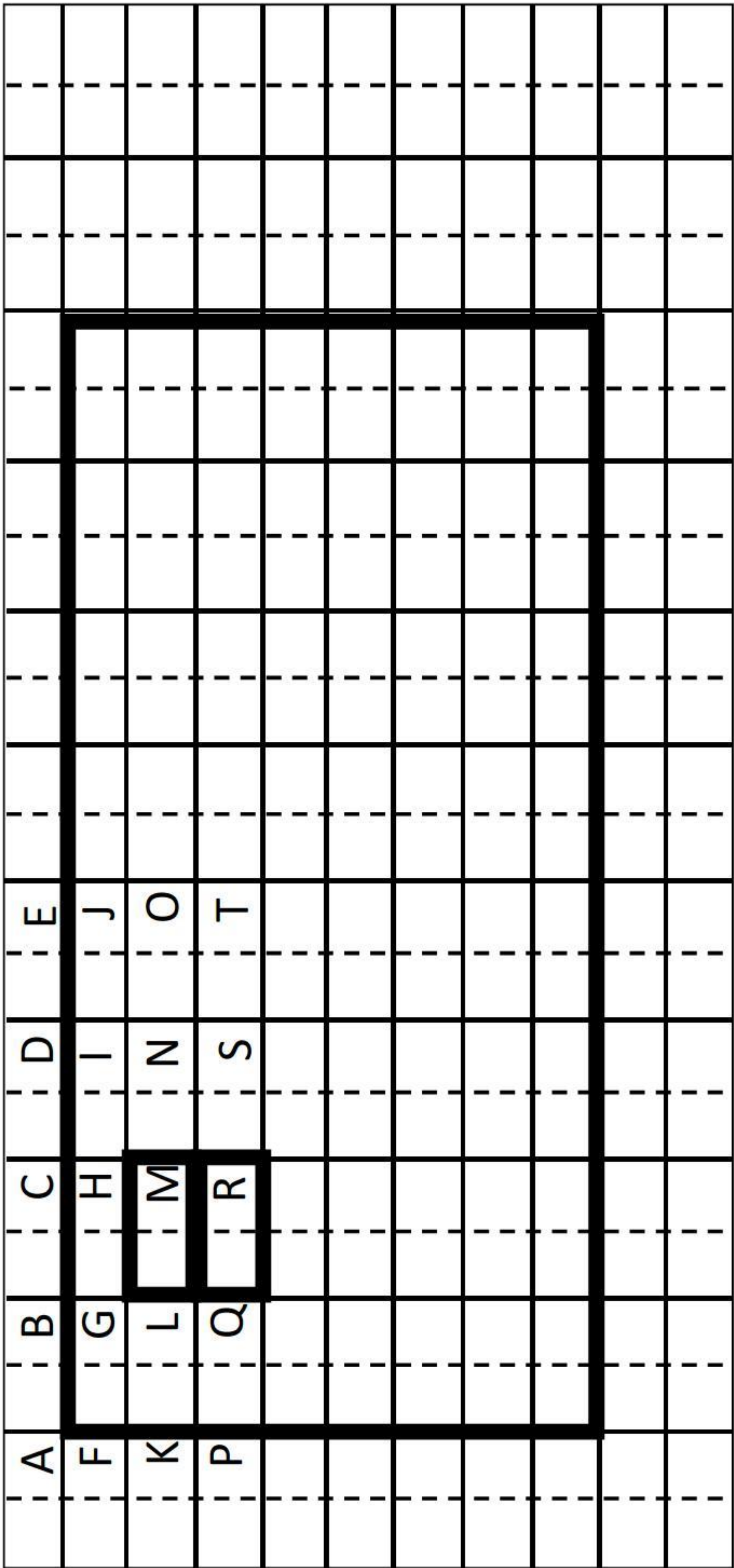
//執行緒X2：處理模板2//  
...  
左移1  
R1<= ADD R1, R2 // ADD Q



【圖11i】

// 執行緒X1：處理模板1//  
...  
左移1  
R1<= ADD R1, R2 // ADD M  
R1<= DIV R1, 9

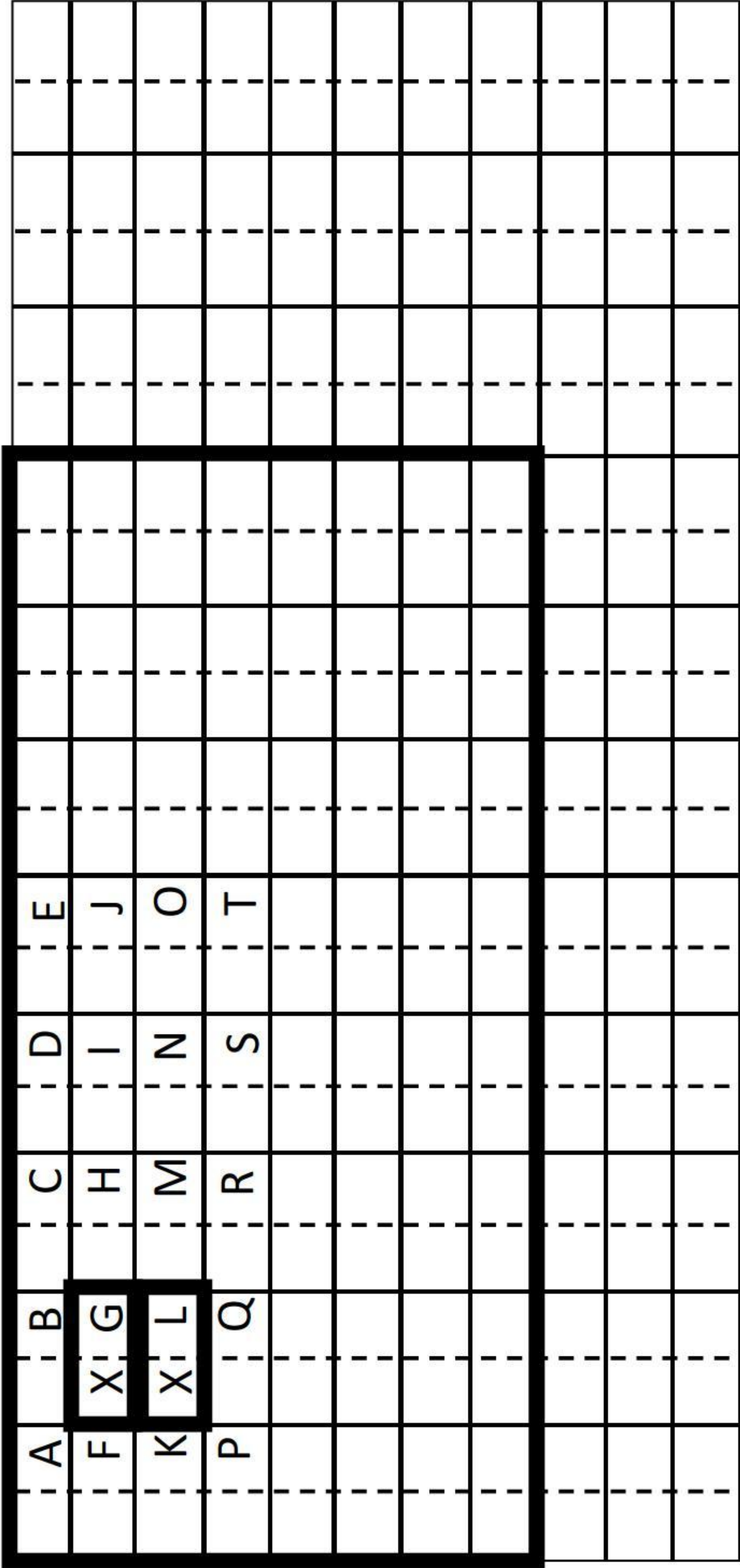
// 執行緒X2：處理模板2//  
...  
左移1  
R1<= ADD R1, R2 // ADD R  
R1<= DIV R1, 9



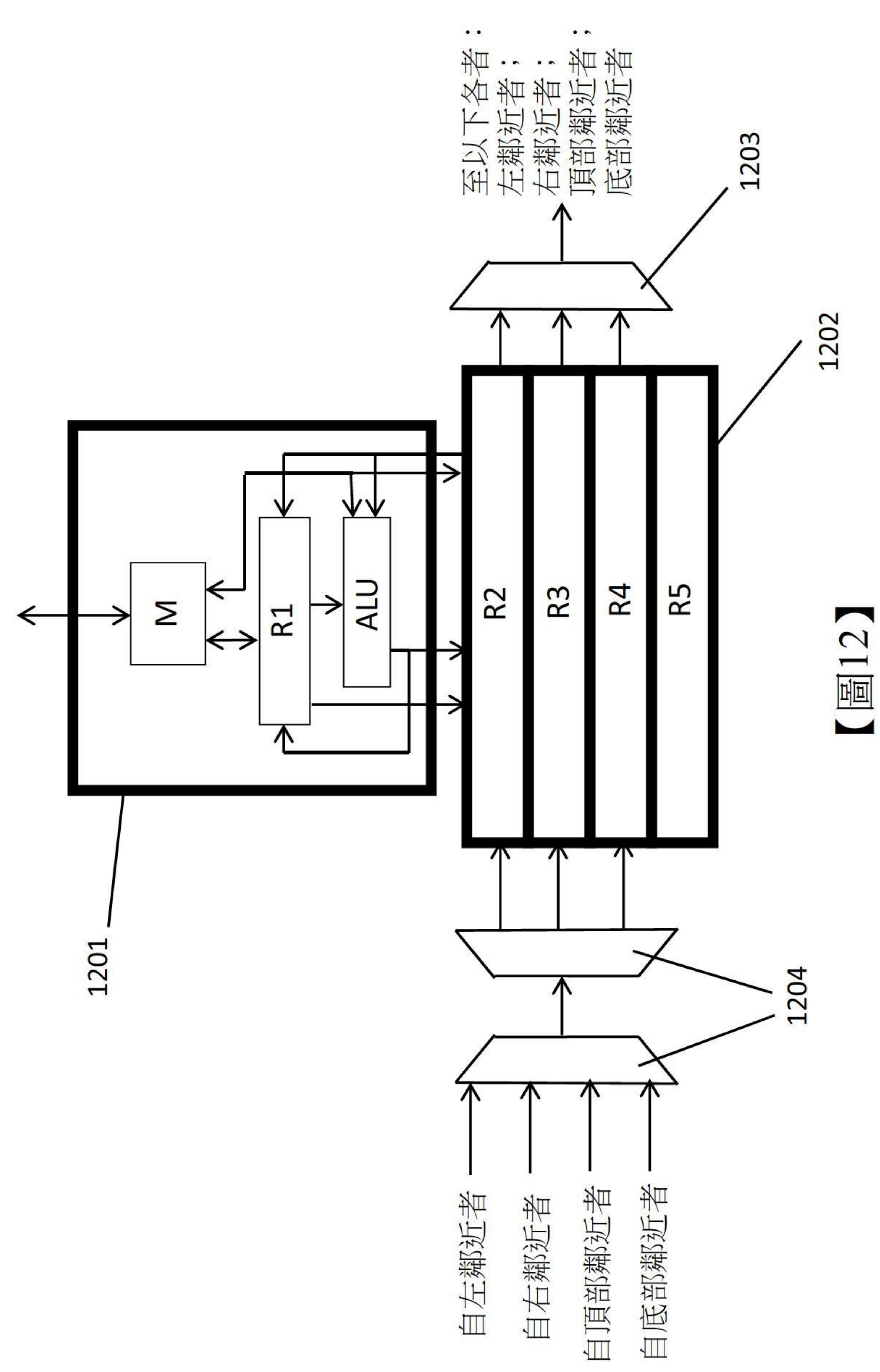
【圖11j】

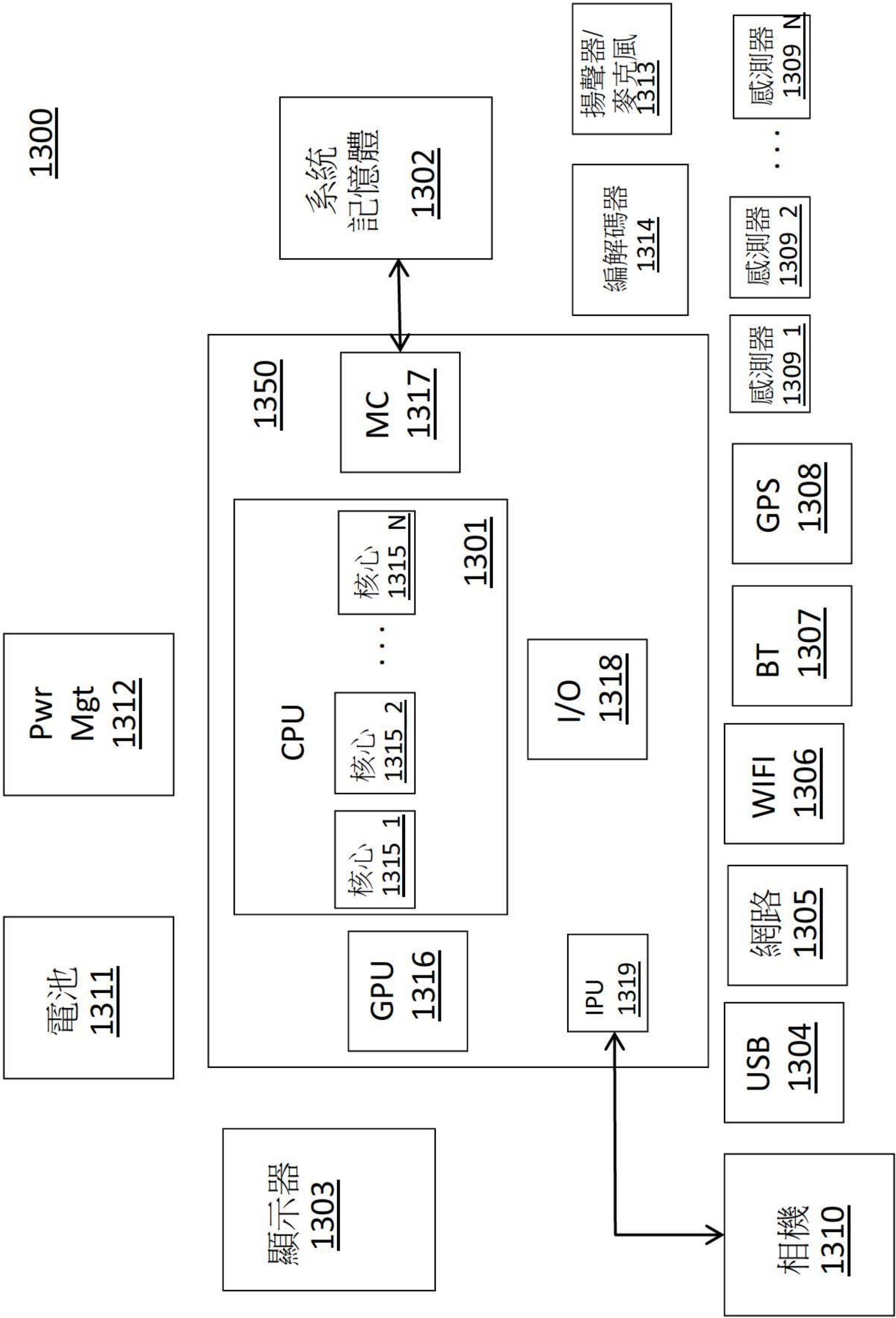
// 執行緒X1：處理模板1//  
...  
右移1  
下移1  
X<= store R1

// 執行緒X2：處理模板2//  
...  
右移1  
下移1  
X<=store R1



【圖11k】





【圖13】