

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 19 年 1 月 11 日 (2007.1.11)

【公表番号】特表 2006-520089 (P2006-520089A)

【公表日】平成 18 年 8 月 31 日 (2006.8.31)

【年通号数】公開・登録公報 2006-034

【出願番号】特願 2005-500831 (P2005-500831)

【国際特許分類】

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 1 L 27/00 (2006.01)

H 0 1 L 25/065 (2006.01)

H 0 1 L 25/07 (2006.01)

H 0 1 L 25/18 (2006.01)

【F I】

H 0 1 L 27/04 U

H 0 1 L 27/00 3 0 1 H

H 0 1 L 25/08 Z

【手続補正書】

【提出日】平成 18 年 11 月 15 日 (2006.11.15)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

垂直の微小電気機械装置を製造する方法であって、バルク性基板の提供ステップ；前記基板上での強い結合領域作成および弱い結合領域の選択的な作成ステップ；前記基板上での垂直に支持される第 1 の接合された半導体層の提供ステップ；前記第 1 の接合された半導体層上での電極の作成ステップであって、前記電極は、前記弱い結合領域に対応する；前記電極の反対側に配置された作動可能な要素の作成するステップ；前記バルク性基板から前記第 1 の半導体層の除去ステップ；および第 2 の半導体層への前記第 1 の半導体層の結合ステップからなる方法。

【請求項 2】

請求項 1 の方法であって、前記第 1 の半導体層を同様に配置された電極を有する前記第 2 の半導体層に整列配置するステップをさらに含み、該整列配置ステップは光学的な整列である方法。

【請求項 3】

請求項 1 の方法であって、前記バルク性基板で垂直に支持される N 番目の半導体層の提供ステップであって、前記 N 番目の半導体層は、強い結合領域および弱い結合領域を有する；前記 N 番目の半導体層上での電極の作成ステップであって、前記電極は、前記弱い結合領域に対応する；前記バルク性基板からの前記 N 番目の半導体層の除去ステップ；および (N - 1) 番目の半導体層への前記 N 番目の半導体層の結合ステップをさらに含む方法。

【請求項 4】

ダイの上に形成された垂直の M E M S 装置であって、ウェーハ上のバルク性基板；前記基板上で垂直に支持される第 1 の選択的に接合された半導体層であって、前記接合された半導体層は弱い結合領域および強い結合領域を含む；前

記第 1 の選択的に接合された半導体層上で、垂直に支持される第 2 の選択的に接合された半導体層；から構成され、

ここにおいて、要素および作動可能な要素は、前記弱い結合領域において、またはその中で作成される；またここにおいて、前記要素および前記作動可能な要素は、前記第 1 の選択的に接合された半導体層および前記第 2 の選択的に接合された半導体層において垂直にわたり、そして、前記ダイは、前記接合された半導体層をダイシングすることによって形成される垂直の M E M S 装置。

【請求項 5】

請求項 4 の回路であって、前記ダイが配線スタックを形成するためその垂直軸の周りで回転する回路。

【請求項 6】

請求項 1 の方法であって、前記バルク性基板が埋込み酸化物層を含む方法。

【請求項 7】

請求項 6 の方法であって、前記埋込み酸化物層がイオン注入によって形成される方法。

【請求項 8】

多層微小流体素子を製造する方法であって、バルク性基板の提供ステップ；前記基板上への強い結合領域およびの弱い結合領域の選択的な作成ステップ；前記基板上への垂直に支持される第 1 の接合層の提供ステップ；前記第 1 の接合層上でのポートの作成であって、前記ポートは前記弱い結合領域に対応する；前記ポートに機械的に連結するチャンネルの作成ステップ；前記バルク性基板からの前記第 1 の層の除去ステップ；および第 2 の層への前記第 1 の層の結合ステップからなる方法。

【請求項 9】

請求項 8 の方法であって、前記バルク性基板で垂直に支持される N 番目の層の提供ステップであって、前記 N 番目の層は、強い結合領域および弱い結合領域を有する；前記 N 番目の層上でのポートの作成ステップであって、前記ポートは、前記弱い結合領域に対応する；前記バルク性基板からの前記 N 番目の層の除去ステップ；および ( N - 1 ) 番目の層への前記 N 番目の層の結合ステップをさらに含む方法。

【請求項 10】

多層微小流体素子であって、ウェーハ上のバルク性基板；前記基板上に垂直に支持される第 1 の選択的に接合された層であって、前記接合された層は、前記弱い結合領域および前記強い結合領域を含む；前記第 1 の接合層上で垂直に支持される第 2 の選択的に接合された層からなり、；ここにおいて、分解されたポートおよび分解されたチャンネルは、前記弱い結合領域においてまたはその中で、作成される、そして、前記ポートおよびチャンネルは、前記第 1 の選択的に接合された層および前記第 2 の選択的に接合された層に垂直にわたる多層微小流体素子。

【請求項 11】

垂直に集積化された回路を製造する方法であって、バルク性基板の提供ステップ；前記基板上への強い結合領域およびの弱い結合領域の選択的な作成ステップ；前記基板上への垂直に支持される第 1 の接合された半導体層の提供ステップ；前記第 1 の接合された半導体層上での半導体デバイス部の作成であって、前記半導体デバイス部は前記弱い結合領域に対応する；前記バルク性基板からの前記第 1 の半導体層の除去ステップ；および第 2 の半導体層への前記第 1 の半導体層の結合ステップからなる方法。

【請求項 12】

請求項 11 の方法であって、前記第 1 の半導体層を同様に配置された半導体素子部を有する前記第 2 の半導体層に整列配置するステップをさらに含む方法。

【請求項 13】

請求項 11 の方法であって、前記バルク性基板で垂直に支持される N 番目の半導体層の提供ステップであって、前記 N 番目の半導体層は、強い結合領域および弱い結合領域を有する；前記 N 番目の半導体層上での半導体素子部の作成ステップであって、前記半導体素子部は、前記弱い結合領域に対応する；前記バルク性基板からの前記 N 番目の半導体層の除

去ステップ；および（ $N - 1$ ）番目の半導体層への前記 $N$ 番目の半導体層の結合ステップをさらに含む方法。

【請求項 14】

垂直の集積回路であって、ウェーハ上のバルク性基板；前記基板上に垂直に支持される第1の選択的に接合された半導体層であって、前記接合された半導体層は、前記弱い結合領域および前記強い結合領域を含む；前記第1の接合された半導体層上で垂直に支持される第2の選択的に接合された半導体層からなり、；ここにおいて、分解された半導体素子部は、前記弱い結合領域においてまたはその中で、作成される、そして、前記半導体素子部は、前記第1の選択的に接合された半導体層および前記第2の選択的に接合された半導体層に垂直にわたる集積回路。

【請求項 15】

所定の装置の生産イールドを増加させる方法であって、前記装置は1つまたはそれ以上の多層ダイからなり、前記多層ダイの各々の機能している層の数を診断により決定するステップ；および、前記機能している層の数に基づいた前記多層ダイの各々をソートするステップからなる方法。

【請求項 16】

請求項15の方法であって、前記多層ダイの2つまたはそれ以上の結合をさらに含み、前記多層ダイの各々の機能している層が互いに相互連結する方法。

【請求項 17】

請求項15の方法であって、前記決定ステップは、1つまたはそれ以上の前記多層ダイのエッジ相互接続の試験によって実行される方法。

【請求項 18】

請求項15の方法であって、1つまたはそれ以上の層または1つまたはそれ以上の層の一部の上に前記多層ダイの各々と関連する健康データの格納をさらに含む方法。

【請求項 19】

請求項15の方法であって、前記少なくとも1つの前記多層ダイは基板で垂直に支えられる第1の選択的に接合された半導体層であって、前記接合された半導体層は、前記弱い結合領域および前記強い結合領域を含み；前記第1の接合された半導体層上で垂直に支持される第2の選択的に接合された半導体層からなり、；ここにおいて、半導体素子部は、前記弱い結合領域においてまたはその中で作成され、またここで、前記半導体素子部は、前記第1の選択的に接合された半導体層および前記第2の選択的に接合された半導体層に垂直にわたり、そして、前記ダイは前記接合された半導体層をダイシングすることによって形成される方法。

【請求項 20】

少なくとも所定数の周知の良好な層を有する素子を提供する方法において、前記装置は1つまたはそれ以上の多層ダイから構成される方法であって、  
前記多層ダイの各々の機能している層の数の診断による決定ステップ；  
複数のピンへの前記機能している層の数に基づいた前記多層ダイの各々のソートステップであって、各々のピンは、関連する最小の数の周知の良好な層を有し、；  
および、前記所定数の周知の良好な層と少なくとも等しい関連する最小の数の周知の良好な層を有する前記ピンの1つから前記所定数の周知の良好な層を有する前記多層ダイの1つの選択ステップからなる方法。

【請求項 21】

請求項20の方法であって、前記少なくとも1つの前記多層ダイは、基板で垂直に支えられる第1の選択的に接合された半導体層であって、前記接合された半導体層は、前記弱い結合領域および前記強い結合領域を含み、；前記第1の接合された半導体層上で垂直に支持される第2の選択的に接合された半導体層からなり、；ここにおいて、半導体素子部は、前記弱い結合領域においてまたはその中で、作成される、またここで、前記半導体素子部は、前記第1の選択的に接合された半導体層および前記第2の選択的に接合された半導体層に垂直にわたり、；そして前記ダイは、前記接合された半導体層をダイシングするこ

とによって形成される方法。

【請求項 2 2】

少なくとも所定数の周知の良好な層を有する素子を提供する方法において、前記装置は 1 つまたはそれ以上の多層ダイから構成される方法であって、前記多層ダイの各々の機能している層の数の診断による決定ステップ；複数のピンへの前記機能している層の数に基づいた前記多層ダイの各々のソートステップであって、各々のピンは、関連する最小の数の周知の良好な層を有し、；前記所定数の周知の良好な層と少なくとも等しい周知の良好な層の合計を有する前記複数の多層ダイの選択ステップ；および、少なくとも前記所定数の周知の良好な層に等しい周知の良好な層数を有する結合されたダイを形成するため、前記選択された複数の多層ダイの結合ステップからなる方法。

【請求項 2 3】

請求項 2 2 の方法であって、前記選択された複数の多層ダイは、水平に結合され、前記選択された複数の多層ダイの各々の上の 1 つまたはそれ以上のエッジ相互接続を通じて相互に連結する方法。

【請求項 2 4】

請求項 2 2 の方法であって、前記選択された複数の多層ダイは、垂直に結合される方法。

【請求項 2 5】

請求項 2 2 の方法であって、前記少なくとも 1 つの前記多層ダイは、基板で垂直に支えられる第 1 の選択的に接合された半導体層からなり、前記接合された半導体層は、弱い結合領域および強い結合領域を含み；前記第 1 の選択的に接合された半導体層で、垂直に支えられる第 2 の選択的に接合された半導体層からなり；ここにおいて、半導体素子部は、前記弱い結合領域においてまたはその中で、作成される、またここで、前記半導体素子部は、前記第 1 の選択的に接合された半導体層および前記第 2 の選択的に接合された半導体層に垂直にわたり、；そして、前記ダイは、前記接合された半導体層をダイシングすることによって形成される方法。

【請求項 2 6】

垂直に集積化された回路を製造する方法であって、バルク性基板の提供ステップであって、前記バルク性基板は、埋込み酸化物層を含み；前記基板上での弱い結合領域および強い結合領域の選択的な作成ステップ；前記基板で垂直に支えられる第 1 の接合された半導体層の提供ステップ；前記第 1 の接合された半導体層での半導体素子部の作成ステップであって、前記半導体素子部は、前記弱い結合領域に対応する；前記バルク性基板からの前記第 1 の半導体層の除去ステップ；および、前記第 1 の半導体層と前記第 2 の半導体層との接合ステップからなる方法。

【請求項 2 7】

垂直に集積化された回路を製造する方法であって、バルク性基板の提供ステップ；前記基板上での強い結合領域および弱い結合領域の選択的な作成ステップ；前記基板で垂直に支えられる第 1 の接合された半導体層の提供ステップ；前記第 1 の接合された半導体層での半導体素子部の作成ステップであって、前記半導体素子部は、前記弱い結合領域に対応する；前記第 1 の半導体層と前記バルク性基板と間の界面で埋込み酸化物層を形成ステップ；前記バルク性基板からの前記第 1 の半導体層の除去ステップ；および、前記第 1 の半導体層と前記第 2 の半導体層との接合ステップからなる方法。