

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號： P3136PPT

※申請日期： P3-11-30

※IPC 分類： G06F 13/36 (2006.01)

一、發明名稱：(中文/英文)

匯流排仲裁器、匯流排裝置、與匯流排仲裁方法 /

BUS ARBITER, BUS DEVICE, AND BUS ARBITRATING METHOD

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

瑞昱半導體股份有限公司 / REALTEK SEMICONDUCTOR CORP.

代表人：(中文/英文)

葉博任 / YEH, PO-LEN

住居所或營業所地址：(中文/英文)

新竹科學園區工業東九路二號 /

2 Industry E. Rd. IX, Science-Based Industrial Park, HsinChu, Taiwan,
R.O.C.

國籍：(中文/英文)

中華民國 / TWN

三、發明人：(共 3 人)

姓名：(中文/英文)

1. 彭世緯 / PENG, SHIH-WEI

2. 陳柔萍 / CHEN, ZOU-PING

3. 陳德卉 / CHEN, DEHUEI

國 籍：(中文/英文)

1. 中華民國 /TWN
2. 中華民國 /TWN
3. 中華民國 /TWN

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其

事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係有關於匯流排控制，尤指一種匯流排仲裁器（bus arbiter）、匯流排裝置、與匯流排仲裁方法。

【先前技術】

在習知的匯流排系統（bus system）中，當有數個主控（master）裝置同時要求使用一匯流排時，該匯流排系統往往依據固定的優先順序來決定哪一個主控裝置可以使用該匯流排，如美國專利號 6,633,939 之專利「Variable-priority arbitration method and respective system」所示。由於每次使用該匯流排時總是由優先順序較高的主控裝置先得到該匯流排的使用權，於是造成有些優先順序較低的主控裝置可能沒有機會使用該匯流排。

在相關技術中，有人以循環式（round robin）的控制輪流賦予每個主控裝置最高的優先順序，如美國專利號 6,665,760 之專利「Group shifting and level shifting rotational arbiter system」所示。然而，當某個主控裝置要求使用匯流排的時間點恰巧在該主控裝

置輪到最高的優先順序的時間點之後，則該主控裝置必須與其他主控裝置競爭以取得該匯流排的使用權，甚至必須等到再度輪到最高的優先順序才能取得該匯流排的使用權。

【發明內容】

因此本發明之目的之一在於提供一種匯流排仲裁器 (bus arbiter)、匯流排裝置、與匯流排仲裁方法，以解決上述問題。

本發明提供一種匯流排仲裁器，其具有：複數個計數器 (counter)，用來依據複數個主控裝置使用一匯流排之次數來產生複數個輸出值；以及一控制電路，耦接至該些計數器，用來依據該複數個輸出值使該些主控裝置其中之一使用該匯流排。

本發明另提供一種匯流排裝置，其具有：一匯流排，用來傳輸訊號；以及一匯流排仲裁器。該匯流排仲裁器具有：複數個計數器，用來依據複數個主控裝置使用該匯流排之次數來產生複數個輸出值；以及一控制電路，耦接至該複數個計數器，用來依據該複數個輸出值控制該複數個主控裝置使用該匯流排之順序。

本發明另提供一種匯流排仲裁方法，其步驟包含：依據複數個

主控裝置使用一匯流排之次數來產生複數個輸出值；以及依據這些輸出值使該複數個主控裝置其中之一使用該匯流排。

【實施方式】

請同時參考第 1 圖與第 2 圖，第 1 圖為本發明匯流排系統 (bus system) 100 的示意圖，第 2 圖為依據本發明一第一實施例之匯流排仲裁器 (bus arbiter) 104 的示意圖。匯流排系統 100 具有一匯流排 102、該匯流排仲裁器 104、一暫存器 108、複數個主控 (master) 裝置 111 ~ 113、以及複數個附屬 (slave) 裝置 121 ~ 123。主控裝置 111 ~ 113 與附屬裝置 121 ~ 123 之間的存取訊號，如控制訊號與資料流，皆可透過匯流排 102 來傳輸。

如第 2 圖所示，匯流排仲裁器 104 可區分為一計數器電路 210 與一控制電路 220，其中計數器電路 210 具有複數個計數器 211 ~ 213，而控制電路 220 則具有複數個除法器 221 ~ 223、複數個比較器 225 ~ 227、一邏輯電路 229、與一控制器 230。依據本實施例，匯流排系統 100 係設置於一電腦系統 (computer system) 中，此並非對本發明之限制，在不影響本發明實施的情況下，本發明亦適用於消費性電子產品之嵌入式系統 (embedded system)。

【主要元件符號說明】

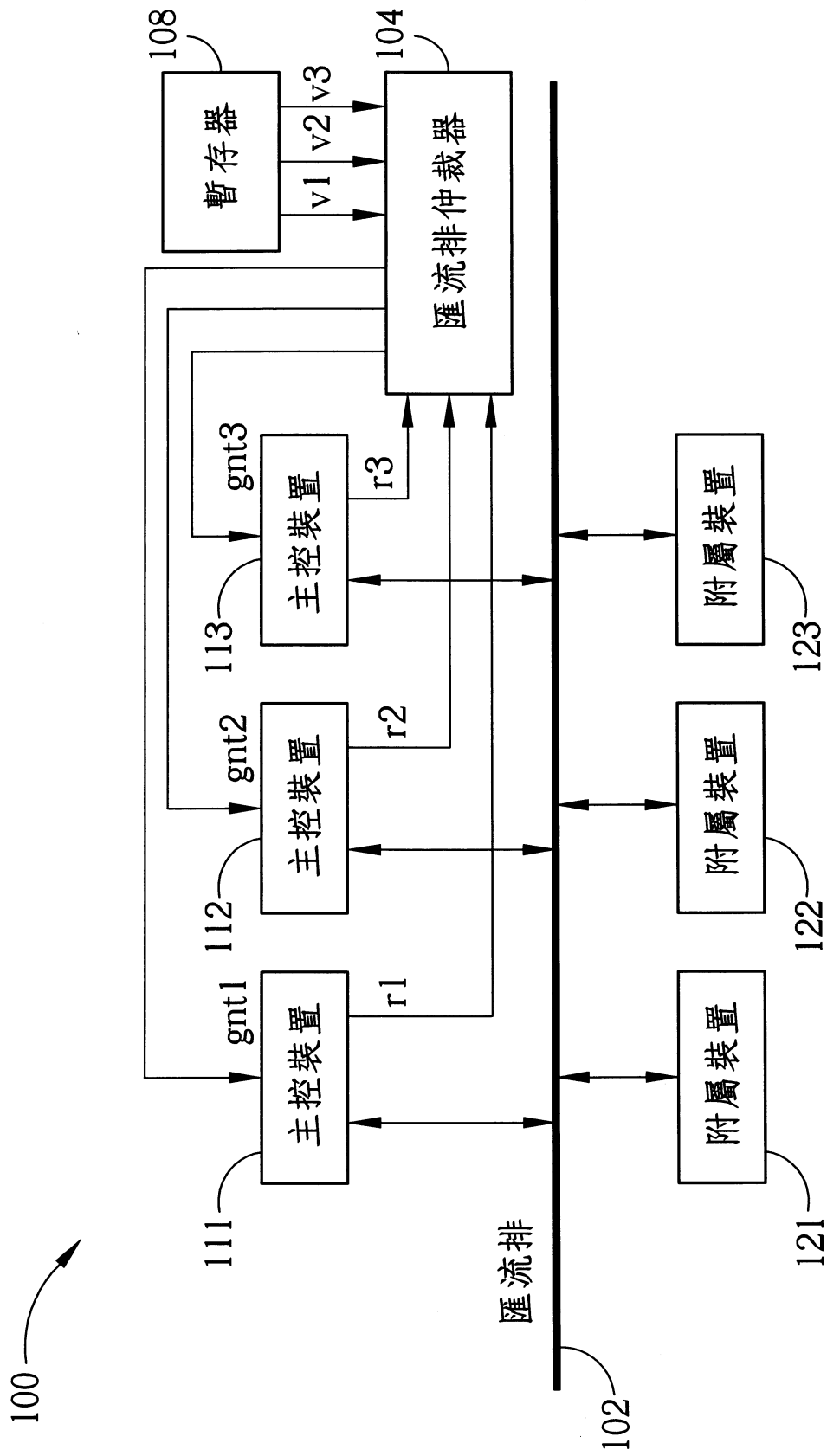
100	匯流排系統
102	匯流排
104, 106	匯流排仲裁器
108	暫存器
111 ~ 113	主控裝置
121 ~ 123	附屬裝置
210	計數器電路
211, 212, 213	計數器
220, 224	控制電路
221, 222, 223	除法器
225, 226, 227	比較器
229	邏輯電路
230	重置控制器

五、中文發明摘要：

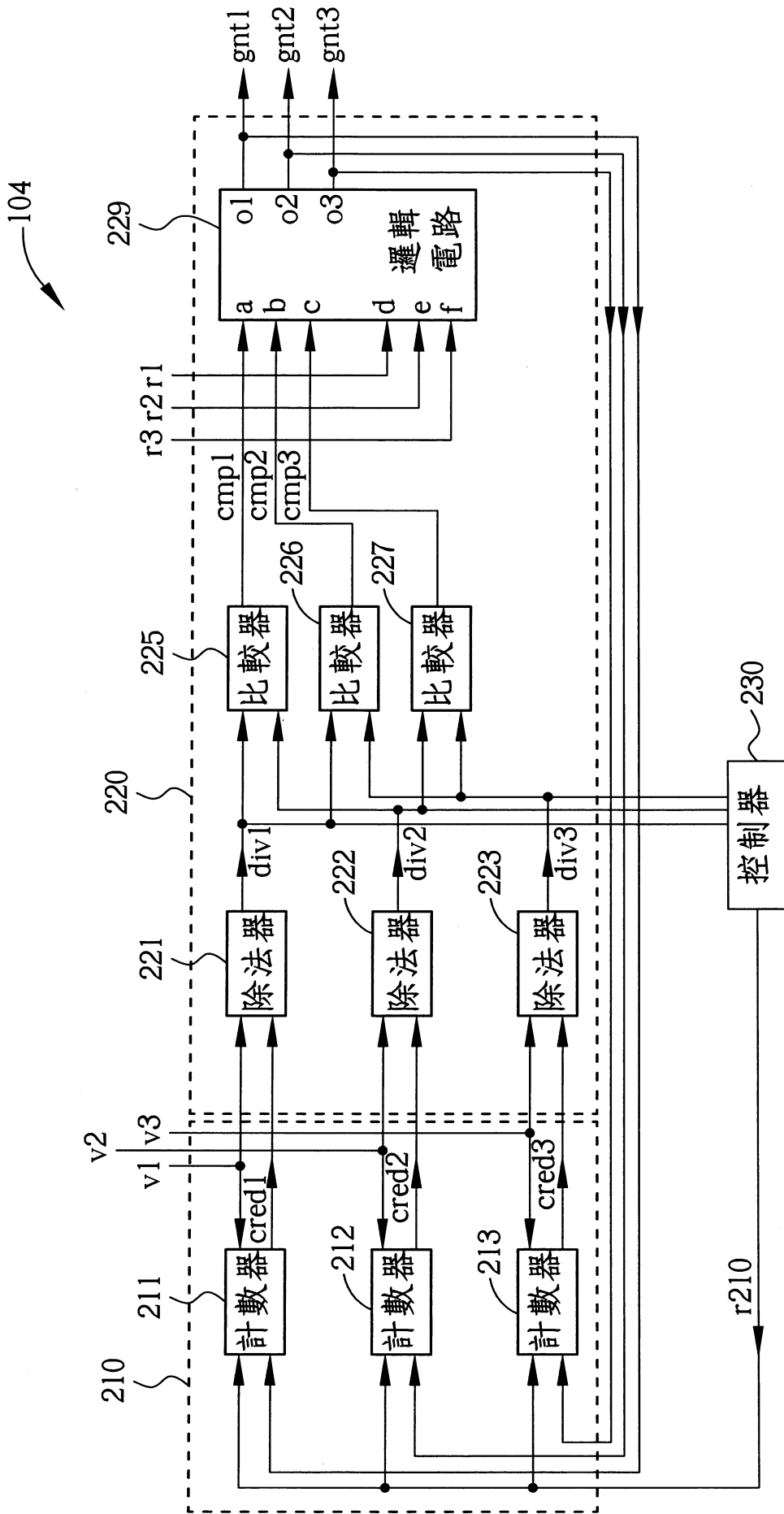
一種匯流排仲裁器具有：複數個計數器，用來依據複數個主控裝置使用一匯流排之次數來產生複數個輸出值；以及一控制電路，耦接至該些計數器，用來依據該複數個輸出值使該些主控裝置其中之一使用該匯流排。

六、英文發明摘要：

A bus arbiter includes: a plurality of counters for generating a plurality of output values according to the numbers of times of using a bus by a plurality of master devices, respectively; and a control circuit coupled to the counters. According to the plurality of output values, the control circuit makes one of the master devices utilize the bus.



第1圖

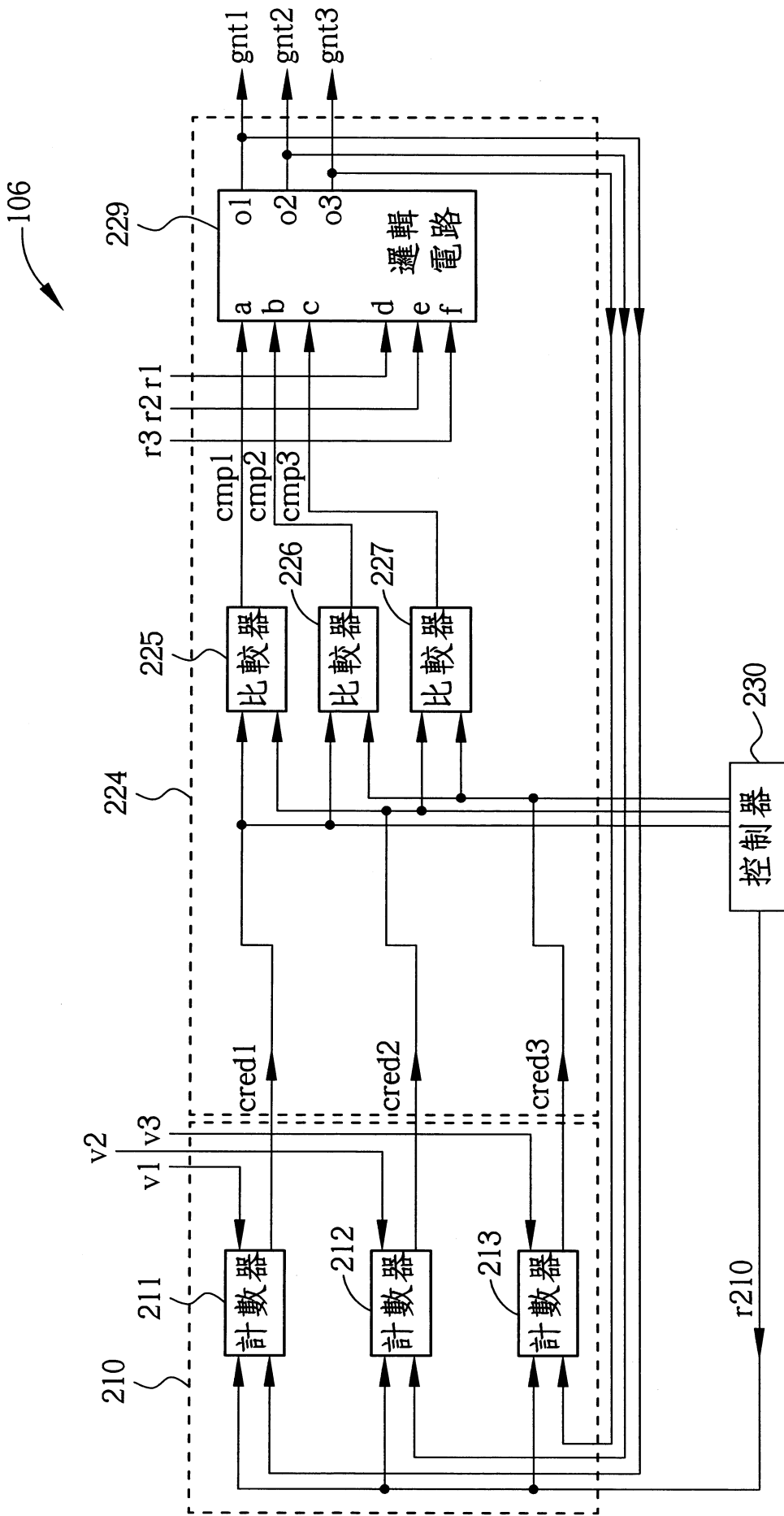


第2圖

300

cmp1	cmp2	cmp3	r1	r2	r3	gnt1	gnt2	gnt3
x	x	x	0	0	0	0	0	0
x	x	x	1	0	0	1	0	0
x	x	x	0	1	0	0	1	0
x	x	x	0	0	1	0	0	1
1	x	x	1	1	0	1	0	0
0	x	x	1	1	0	0	1	0
x	x	1	0	1	1	0	1	0
x	x	0	0	1	1	0	0	1
x	1	x	1	0	1	1	0	0
x	0	x	1	0	1	0	0	1
1	1	x	1	1	1	1	0	0
0	x	1	1	1	1	0	1	0
x	0	0	1	1	1	0	0	1
1	0	1	1	1	1	0	0	0
0	1	0	1	1	1	0	0	0

第3圖



第4圖

七、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

104	匯流排仲裁器
210	計數器電路
211, 212, 213	計數器
220	控制電路
221, 222, 223	除法器
225, 226, 227	比較器
229	邏輯電路
230	重置控制器

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

當一主控裝置 111、112 或 113 需要使用匯流排 102 來和某個附屬裝置 121、122、或 123 溝通時，主控裝置 111、112 或 113 會將相對應之要求 (request) 訊號 r1、r2、或 r3 由一位準 r_L 驅動為一位準 r_H，例如，當主控裝置 111 需要使用匯流排 102 時，主控裝置 111 會將相對應之要求訊號 r1 由位準 r_L 驅動為位準 r_H。在本實施例中，位準 r_L 代表邏輯值 0，位準 r_H 代表邏輯值 1，然而位準 r_L 與位準 r_H 所分別對應之邏輯值係可替換為其它數值。

另外，匯流排仲裁器 104 會將同意 (grant) 訊號 gnt1 ~ gnt3 其中之一由一位準 g_L 驅動為一位準 g_H，藉此同意主控裝置 111、112 及 113 其中之一使用匯流排 102。例如，當匯流排仲裁器 104 同意主控裝置 111 使用匯流排 102 時，就會將相對應之同意訊號 gnt1 的位準由位準 g_L 驅動為位準 g_H。在本實施例中，位準 g_L 代表邏輯值 0，位準 g_H 代表邏輯值 1，然而位準 g_L 與位準 g_H 所分別對應之邏輯值係可替換為其它數值。

請繼續參照第 1 圖與第 2 圖，於本實施例中，一暫存器 108 儲存有複數個預定值 v1 ~ v3，其分別被輸出至計數器 211 ~ 213 與除法器 221 ~ 223。預定值 v1 ~ v3 分別代表主控裝置 111 ~ 113 於一回合 (round) 內需使用匯流排 102 之次數，該預定值 v1 ~ v3 可

透過測試主控裝置 111 ~ 113 使用匯流排 102 之機率來決定。例如，當 $(v1, v2, v3) = (5, 3, 2)$ ，代表主控裝置 111 ~ 113 於一回合內可分別使用匯流排 5 次、3 次、與 2 次。此外，雖然本實施例採用暫存器 108 來儲存預定值 $v1 \sim v3$ ，然而此非對本發明之限制，在不影響本發明實施的情況下，本發明亦可使用其它類型的儲存元件來取代暫存器 108。

依據本實施例，計數器 211 ~ 213 所儲存並輸出的數值 $cred1 \sim cred3$ 分別代表主控裝置 111 ~ 113 於這一回合內仍需使用匯流排 102 之次數。透過重設訊號 $r210$ 重設各計數器 211 ~ 213，計數器 211 ~ 213 中所儲存的數值 $cred1 \sim cred3$ 可分別被設定為預定值 $v1 \sim v3$ ，該數值 $cred1 \sim cred3$ 會隨著相對應的主控裝置 111 ~ 113 使用匯流排 102 的次數增加而減少。例如，當匯流排仲裁器 104 同意主控裝置 111 使用匯流排 102 之要求時，輸出至計數器 211 之同意訊號 $gnt1$ 的位準會由 g_L 被驅動為 g_H ，而計數器 211 在接收到位準為 g_H 之同意訊號 $gnt1$ 後，即會將所儲存的數值 $cred1$ 減 1。因此，在本實施例中，透過減少計數器 211 所儲存之數值 $cred1$ 之方式即可計數出主控裝置 111 尚需使用匯流排 102 之次數。計數器 212 與 213 之運作原理與計數器 211 相同，故不再贅述。

本實施例中，在判斷主控裝置 111 ~ 113 使用匯流排 102 的優先

順序時，除法器 221 ~ 223 會分別對預定值 $v1 \sim v3$ 與計數器 211 ~ 213 之輸出值 $cred1 \sim cred3$ 進行除法運算，以產生複數個運算結果 $div1 \sim div3$ ，該除法運算實施方式的其中之一如下列方程式所示：

$$div1 = cred1 / v1$$

$$div2 = cred2 / v2$$

$$div3 = cred3 / v3$$

另外，比較器 225 ~ 227 會比較運算結果 $div1 \sim div3$ 中任意兩運算結果以產生比較訊號 $cmp1 \sim cmp3$ 。以比較器 225 而言，若其接收之運算結果 $div1$ 大於或等於運算結果 $div2$ ，代表主控裝置 111 使用匯流排 102 的優先順序高於主控裝置 112，則比較器 225 輸出的比較訊號 $cmp1$ 會對應邏輯值 1；反之，比較器 225 輸出的比較訊號 $cmp1$ 會對應邏輯值 0。比較器 226 與 227 之運作原理與比較器 225 相同，故不再贅述。

本實施例中，在決定同意訊號 $gnt1 \sim gnt3$ 之位準或相對應之邏輯值時，匯流排仲裁器 104 之邏輯電路 229 係利用一如第 3 圖所示之真值表 300，以依據比較訊號 $cmp1 \sim cmp3$ 之邏輯值及要求訊號 $r1 \sim r3$ 之邏輯值來決定同意訊號 $gnt1 \sim gnt3$ 之邏輯值，其中真值表 300 記錄有比較訊號 $cmp1 \sim cmp3$ 、要求訊號 $r1 \sim r3$ 與同意訊號 $gnt1 \sim gnt3$ 。而主控裝置 111 ~ 113 則依據邏輯電路 229 所輸出之同意訊號 $gnt1 \sim gnt3$ 之邏輯值來判斷是否可使用匯流排 102。此外，

雖然本實施例之邏輯電路 229 係依據比較訊號 $cmp1 \sim cmp3$ 之邏輯值及要求訊號 $r1 \sim r3$ 之邏輯值來決定同意訊號 $gnt1 \sim gnt3$ 之邏輯值，此為設計上的選擇，並非對本發明之限制，在不影響本發明實施的情況下，本發明的其它實施例之邏輯電路可不必依據要求訊號 $r1 \sim r3$ 之邏輯值來決定同意訊號 $gnt1 \sim gnt3$ 之邏輯值，例如，本發明的其它實施例之邏輯電路可直接依據比較訊號 $cmp1 \sim cmp3$ 來決定同意訊號 $gnt1 \sim gnt3$ 之邏輯值。

綜合上述，在匯流排仲裁器 104 中，計數器 211~213 記錄有各主控裝置 111~113 仍需使用匯流排 102 之次數 $cred1 \sim cred3$ ；除法器 221~223 依據計數器 211~213 所輸出之數值 $cred1 \sim cred3$ 及各主控裝置 111~113 於一回合中需使用匯流排 102 之次數 $v1 \sim v3$ ，來得出運算結果 $div1 \sim div3$ ；比較器 225~227 將運算結果 $div1 \sim div3$ 相互比較來輸出比較訊號 $cmp1 \sim cmp3$ ；邏輯電路 229 依據比較訊號 $cmp1 \sim cmp3$ 及主控裝置 111~113 之要求訊號 $r1 \sim r3$ 來輸出同意訊號 $gnt1 \sim gnt3$ ；而主控裝置 111~113 即可根據同意訊號 $gnt1 \sim gnt3$ 來使用或不使用匯流排 102。

另外，在本實施例中，當所有的主控裝置 111~113 於這一回合內可使用匯流排 102 之次數都已經用完，或是有任一主控裝置 111、112 或 113 於這一回合內可使用匯流排 102 之次數不夠用

時，控制器 230 就產生重設訊號 r210 以重設計數器 211 ~213。

請參考第 4 圖，第 4 圖為本發明之匯流排仲裁器 106 之一第二實施例示意圖。第二實施例與第一實施例之差異在於：第二實施例省略了如第 2 圖所示的除法器 221 ~ 223，亦即第 4 圖中的比較器 225~227 係直接比較輸出值 cred1 ~ cred3 中兩輸出值，以決定比較訊號 cmp1 ~ cmp3 之位準。同樣地，在第二實施例中，當所有的主控裝置 111 ~ 113 於這一回合內可使用匯流排 102 之次數都已經用完，或是有任一主控裝置 111、112 或 113 於這一回合內可使用匯流排 102 之次數不夠用時，控制器 230 就產生重設訊號 r210 以重設計數器 211 ~ 213。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【圖式簡單說明】

第 1 圖為本發明匯流排系統的示意圖。

第 2 圖為依據本發明一第一實施例之匯流排仲裁器的示意圖。

第 3 圖為第 2 圖所示之邏輯電路所利用之真值表示意圖。

第 4 圖為依據本發明一第二實施例之匯流排仲裁器的示意圖。

十、申請專利範圍：

1. 一種匯流排仲裁器，包含有：

複數個計數器，用來依據複數個主控裝置使用一匯流排之次數來產生複數個輸出值；以及

一控制電路，耦接至該些計數器，用來依據該些輸出值及該複數個主控裝置所分別對應之複數個預定值，使該些主控裝置其中之一使用該匯流排，其中該控制電路包含有：

複數個包含除法器之運算器，分別耦接至該複數個計數器，用來對該複數個預定值與該複數個輸出值進行運算以產生複數個運算結果；

至少一比較器，耦接至該些包含除法器之運算器，用來比較該些運算結果中二運算結果以產生至少一比較訊號；以及

一邏輯電路，耦接至該比較器，用來依據該比較訊號使該些主控裝置其中之一使用該匯流排。

2. 如申請專利範圍第1項所述之匯流排仲裁器，其中該些計數器分別依據該些預定值進行計數以產生該些輸出值。

3. 如申請專利範圍第 1 項所述之匯流排仲裁器，其中該些包含除法器之運算器係對該些預定值與該些輸出值進行除法運算以產生該複數個運算結果。

4. 如申請專利範圍第 1 項所述之匯流排仲裁器，其中該邏輯電路係依據該比較訊號與該些主控裝置中至少其中之一所產生之至少一要求訊號，使該些主控裝置其中之一使用該匯流排。

5. 一種匯流排仲裁器，包含有：

複數個計數器，用來依據複數個主控裝置所分別對應之複數個預定值來計數該些主控裝置使用一匯流排之次數，以產生複數個輸出值；以及

一控制電路，耦接至該些計數器，用來依據該些輸出值使該些主控裝置其中之一使用該匯流排，其中該控制電路包含有：

至少一比較器，耦接至該些計數器，用來比較該些輸出值中二輸出值以產生至少一比較訊號；以及

一邏輯電路，耦接至該比較器，用來依據該比較訊號使該些主控裝置其中之一使用該匯流排。

6. 如申請專利範圍第 5 項所述之匯流排仲裁器，其中該些計數器係分別依據該些預定值來計數複數個同意訊號，以計數該些主控裝置使用該匯流排之次數。
7. 如申請專利範圍第 5 項所述之匯流排仲裁器，其中該邏輯電路係依據該比較訊號與該些主控裝置至少其中之一所產生之至少一要求訊號，使該些主控裝置其中之一使用該匯流排。
8. 一種匯流排裝置，其包含有：
 - 一匯流排，其耦接至複數個主控裝置；以及
 - 一匯流排仲裁器，其包含有：
 - 複數個計數器，用來依據該些主控裝置使用該匯流排之次數來產生複數個輸出值；以及
 - 一控制電路，耦接至該些計數器，用來依據該些輸出值控制該些主控裝置使用該匯流排之順序，其中該控制電路包含有：
 - 複數個包含除法器之運算器，分別耦接至該些計數器，用來對該些輸出值及該複數個主控裝置所分別對應之複數個預定值，進行運算以產生複數個運算結果；以及

一邏輯電路，耦接至該些包含除法器之運算器，用來依據該些運算結果來控制該些主控裝置使用該匯流排之順序。

9. 如申請專利範圍第 8 項所述之匯流排裝置，其中該些包含除法器之運算器係對該些預定值與該些輸出值進行除法運算以產生該些運算結果。

10. 如申請專利範圍第 8 項所述之匯流排裝置，其中該邏輯電路係依據該些運算結果與該些主控裝置中至少其中之一所產生之至少一要求訊號，使該些主控裝置其中之一使用該匯流排。

11. 如申請專利範圍第 8 項所述之匯流排裝置，其中該些計數器分別依據該些預定值進行計數以產生該些輸出值。

12. 一種匯流排裝置，其包含有：

一匯流排，其耦接至複數個主控裝置；以及

一匯流排仲裁器，其包含有：

複數個計數器，用來依據該些主控裝置所分別對應之

複數個預定值，來計數該些主控裝置使用該匯流

排之次數來產生複數個輸出值；以及
一控制電路，耦接至該些計數器，用來依據該些輸出
值控制該些主控裝置使用該匯流排之順序，其中
該控制電路包含有：

至少一比較器，耦接至該些計數器，用來比較該
些輸出值中二輸出值以產生至少一比較訊
號；以及
一邏輯電路，耦接至該比較器，用來依據該比較
訊號使該些主控裝置其中之一使用該匯流
排。

13. 如申請專利範圍第 12 項所述之匯流排裝置，其中該邏
輯電路係依據該比較訊號與該些主控裝置中至少其中
之一所產生之至少一要求訊號，使該些主控裝置其中之
一使用該匯流排。

14. 如申請專利範圍第 12 項所述之匯流排裝置，其中該些計數器
係分別依據該些預定值來計數複數個同意訊號以產生該些輸
出值。

15. 一種匯流排仲裁方法，其包含有：

依據一第一預定值來計數一第一主控裝置使用一匯流排之次數來產生一第一輸出值；

依據一第二預定值來計數一第二主控裝置使用一匯流排之次數來產生一第二輸出值；

依據該第一輸出值以及該第一主控裝置所對應之一第一預定值來進行運算，以產生一第一運算結果；

依據該第二輸出值以及該第二主控裝置所對應之一第二預定值來進行運算，以產生一第二運算結果；以及

依據該第一運算結果以及該第二運算結果決定該第一主控裝置與該第二主控裝置使用該匯流排之優先順序。

16. 如申請專利範圍第 15 項所述之方法，其中產生該第一輸出值之步驟包含：

依據該第一預定值來計數一第一同意訊號，以計數該第一主控裝置使用該匯流排之次數；

其中產生該第二輸出值之步驟包含：

依據該第二預定值來計數一第二同意訊號，以計數該第二主控裝置使用該匯流排之次數。

17. 如申請專利範圍第 15 項所述之方法，其中決定該第一主控裝置與該第二主控裝置使用該匯流排之優先順序之步驟進一步包含：

依據該些運算結果與該些主控裝置至少其中之一所對應之至少一要求訊號，使該些主控裝置其中之一使用該匯流排。

18. 一種匯流排仲裁方法，其包含有：

分別依據複數個主控裝置所分別對應之複數個預定值，來計數該些主控裝置使用一匯流排之次數，以產生複數個輸出值；以及

依據該些輸出值使該些主控裝置其中之一使用該匯流排，其中使該些個主控裝置其中之一使用該匯流排之步驟進一步包含：

比較該些輸出值中二輸出值來產生至少一比較訊號；以及

依據該比較訊號使該些主控裝置其中之一使用該匯流排。

19. 如申請專利範圍第 18 項所述之方法，其中產生該些輸出值之步驟包含：

依據該些預定值，分別計數複數個同意訊號以產生該

些輸出值。

20. 如申請專利範圍第 18 項所述之方法，其中依據該比較訊號使該些主控裝置其中之一使用該匯流排之步驟進一步包含：

依據該比較訊號與該些主控裝置至少其中之一所對應之至少一要求訊號，使該些主控裝置其中之一使用該匯流排。

十一、圖式：