(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년07월08일
(11) 등록번호 10-1417543
(24) 등록일자 2014년07월01일

(51) 국제특허분류(Int. Cl.)
H04L 12/70 (2013.01) *H04L 29/06* (2006.01)
(21) 출원번호 10-2012-7006228
(22) 출원일자(국제) 2010년08월06일
심사청구일자 2012년03월09일
(85) 번역문제출일자 2012년03월09일
(65) 공개번호 10-2012-0056271
(43) 공개일자 2012년06월01일
(86) 국제출원번호 PCT/US2010/002186
(87) 국제공개번호 WO 2011/019372
국제공개일자 2011년02월17일
(30) 우선권주장
12/538,607 2009년08월10일 미국(US)
(56) 선행기술조사문헌
US20090103511 A1*
US20060187955 A1*
WO2008128597 A1*
JP2001308947 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
마이크론 테크놀로지, 인크.
미국, 아이다호, 보이세, 사우스 페더럴 웨이 8000
(72) 발명자
라드케, 윌리엄, 에이치.
미국 95030 캘리포니아주 로스 가토스 클리렌드 애비뉴 90
티사이, 빅터, 와이.
미국 94303 캘리포니아주 팔로 알토 로쓰 로드 3806
(뒷면에 계속)
(74) 대리인
백만기, 양영준

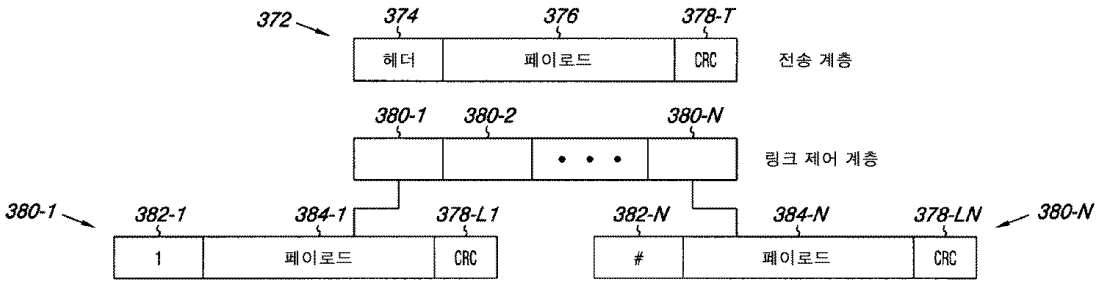
전체 청구항 수 : 총 29 항 심사관 : 이동하

(54) 발명의 명칭 **패킷 해체/재구성 및 링크-제어**

(57) 요 약

본 명세서는 패킷을 처리하는 방법들, 장치들, 및 시스템들을 포함한다. 패킷 흐름 제어를 위한 하나의 방법 실시예는 전송 계층 패킷을 다수의 링크-제어 계층 패킷들로 해체하는 단계로서, 상기 링크-제어 계층 패킷들의 각각은 연관 시퀀스 번호를 갖는 단계와, 상기 다수의 링크-제어 계층 패킷들을 복수개의 주변 장치들에 대한 공통 물리 연결부를 경유하여 전달하는 단계와, 또한 상기 전달 시 다수의 미처리 링크-제어 계층 패킷들을 제한하는 단계를 포함한다.

대 표 도



(72) 발명자

필리, 피터

미국 83716 아이다호주 보이스 사우쓰 롱리프 애비뉴 3356

갈보, 닐, 에이.

미국 33498 플로리다주 보카 라톤 아일랜드 레이크 레인 11580

레이보위츠, 로버트, 엔.

미국 83706 아이다호주 보이스 파크리버 2635

특허청구의 범위

청구항 1

패킷들을 처리하기 위한 방법으로서,

전송 계층 패킷을 다수개의 링크-제어 계층 패킷들로 해체하는 단계로서, 상기 링크-제어 계층 패킷들의 각각은 연관된 시퀀스 번호를 가지는, 상기 해체하는 단계;

상기 다수개의 링크-제어 계층 패킷들의 각각의 헤더의 x-비트 필드에 상기 연관된 시퀀스 번호를 첨부하는 단계;

복수의 주변 장치들에 대한 공통 물리 연결부를 경유하여 상기 다수개의 링크-제어 계층 패킷들을 전달하는 단계;

상기 전달 시 다수의 미처리(outstanding) 링크-제어 계층 패킷들을 제한하는 단계; 및

상기 다수의 미처리 링크-제어 계층 패킷들을 $\frac{2^x}{2}$ 링크-제어 계층 패킷들 이하로 제한하는 단계

를 포함하는, 패킷들을 처리하기 위한 방법.

청구항 2

삭제

청구항 3

청구항 1에 있어서,

상기 방법은 적어도 x 링크-제어 계층 패킷들을 전달한 후 상기 시퀀스 번호를 재순환하는 단계를 포함하고,

상기 시퀀스 번호를 재순환하는 단계는 상기 시퀀스 번호를 적어도 2개의 링크-제어 계층 패킷들에 첨부하는 단계를 포함하는, 패킷들을 처리하기 위한 방법.

청구항 4

청구항 1에 있어서,

상기 다수의 미처리 패킷들을 제한하는 단계는 재전송 요청 비트로서 상기 x-비트 필드의 1 비트를 이용하는 단계를 포함하는, 패킷들을 처리하기 위한 방법.

청구항 5

청구항 1에 있어서,

상기 방법은 특정 링크-제어 계층 패킷의 최초 전송이 부정적으로 승인(acknowledge)되거나 승인되지 않을 때 상기 특정 링크-제어 계층 패킷을 재전달하는 단계를 포함하는, 패킷들을 처리하기 위한 방법.

청구항 6

청구항 1에 있어서,

상기 방법은 각 링크-제어 계층 패킷과 연관된 개별 시퀀스 번호에 관한 시퀀스에서 벗어나 상기 다수의 링크-제어 계층 패킷들을 전달하는 단계를 포함하는, 패킷들을 처리하기 위한 방법.

청구항 7

청구항 1에 있어서,

상기 전송 계층 패킷은 헤더 및 페이로드를 포함하고,

상기 전송 계층 패킷을 해체하는 단계는 상기 헤더와 상기 페이로드 간의 구별에 상관없이 상기 헤더와 상기 페

이로드를 링크-제어 계층 패킷들로 해체하는 단계를 포함하는, 패킷들을 처리하기 위한 방법.

청구항 8

패킷들을 처리하기 위한 방법으로서,

메모리 장치의 캐시 라인을 다수의 링크-제어 계층 패킷들의 각각으로 채우고 비우는 단계로서, 상기 링크-제어 계층 패킷들의 각각의 페이로드는 수신 메모리 장치의 캐시 라인과 동등한 크기인, 상기 채우고 비우는 단계;

상기 다수의 링크-제어 계층 패킷들의 각각을 승인하는 단계;

상기 다수의 링크-제어 계층 패킷들의 각각에 연관된 시퀀스 번호에 따라 상기 다수의 링크-제어 계층 패킷들로부터 전송 계층 패킷을 재구성하는 단계; 및

상기 전송 계층 패킷의 페이로드를 상기 메모리 장치에 저장하는 단계

를 포함하는, 패킷들을 처리하기 위한 방법.

청구항 9

청구항 8에 있어서,

상기 전송 계층 패킷을 재구성하는 단계는 상기 다수의 링크-제어 계층 패킷들의 각각에 연관된 상기 시퀀스 번호에 따라 버퍼로 상기 링크-제어 계층 패킷들의 각각을 로딩하는 단계를 포함하는, 패킷들을 처리하기 위한 방법.

청구항 10

청구항 8에 있어서,

상기 방법은 상기 전송 계층 패킷을 재구성하는 단계 전에 상기 다수의 링크-제어 계층 패킷을 상기 전송 계층 패킷의 콘텍스트에 기술된 목적지에 전달하는 단계를 포함하는, 패킷들을 처리하기 위한 방법.

청구항 11

청구항 10에 있어서,

상기 방법은 초기 링크-제어 계층 패킷에 관련하여 상기 전송 계층 패킷의 헤더로부터 상기 전송 계층 패킷의 상기 콘텍스트를 유도하는 단계를 포함하는, 패킷들을 처리하기 위한 방법.

청구항 12

청구항 11에 있어서,

상기 방법은 상기 초기 링크-제어 계층 패킷에 관련하여 상기 전송 계층 패킷의 전체 헤더를 수신하는 단계를 포함하는, 패킷들을 처리하기 위한 방법.

청구항 13

패킷 해체 및 링크-제어를 위해 구성된 장치로서,

데이터 입력 포트;

데이터 출력 포트;

상기 데이터 입력 포트와 상기 데이터 출력 포트에 결합된 제어 회로를 포함하고,

상기 제어 회로는,

전송 계층 패킷을 다수의 링크-제어 계층 패킷들로 해체하고;

상기 다수의 링크-제어 계층 패킷들을 상기 데이터 출력 포트를 경유하여 전달하고;

상기 데이터 입력 포트를 경유하여 수신된 다수의 승인들을 모니터하는데, 특정 승인이 특정 링크-제어 계층 패킷에 대응하고;

상기 데이터 입력 포트를 경유하여 수신된 상기 다수의 승인들에 관하여 상기 데이터 출력 포트를 경유하여 전달된 상기 다수의 링크-제어 계층 패킷들을 제한하도록 구성되는, 패킷 해체 및 링크-제어를 위해 구성된 장치.

청구항 14

청구항 13에 있어서,

상기 제어 회로는 시퀀스 번호를 상기 다수의 링크-제어 계층 패킷들의 각각에 할당하도록 구성되고,

상기 다수의 링크-제어 계층 패킷들 중 하나의 상기 특정 링크-제어 계층 패킷이 성공적으로 전달되었음을 상기 특정 승인이 표시한 후에, 상기 제어 회로가 특정 시퀀스 번호를 재순환하도록 구성되는, 패킷 해체 및 링크-제어를 위해 구성된 장치.

청구항 15

청구항 13에 있어서,

상기 제어 회로는 상기 다수의 링크-제어 계층 패킷들의 각각에 목적지 어드레스를 할당하도록 구성되고, 또한 상기 목적지 어드레스는 상기 전송 계층 패킷의 헤드와 관련된 목적지 어드레스에 대응하는, 패킷 해체 및 링크-제어를 위해 구성된 장치.

청구항 16

청구항 13에 있어서,

상기 제어 회로는 하나 이상의 그룹에 따라 상기 전송 계층 패킷을 해체하도록 구성되고, 상기 하나 이상의 그룹은,

상기 전송 계층 패킷과 연관된 우선 사항; 및

상기 전송 계층 패킷이 상기 제어 회로에 의해 수신된 순서를 포함하는, 패킷 해체 및 링크-제어를 위해 구성된 장치.

청구항 17

청구항 13에 있어서,

상기 제어 회로는 상기 데이터 입력 포트로부터 수신된 다수의 다른 링크-제어 계층 패킷들로부터 다른 전송 계층 패킷을 재구성하도록 구성되는, 패킷 해체 및 링크-제어를 위해 구성된 장치.

청구항 18

청구항 14에 있어서,

상기 전송 계층 패킷은 제 1에러 검출 요소를 포함하고,

상기 제어 회로는 상기 다수의 링크-제어 계층 패킷들의 각각에 대한 제 2에러 검출 요소를 생성하도록 구성되고, 상기 제 2 에러 검출 요소는 상기 제 1에러 검출 요소와 별개인, 패킷 해체 및 링크-제어를 위해 구성된 장치.

청구항 19

패킷 해체 및 링크-제어를 위해 구성된 장치로서,

업스트림 데이터 출력 포트;

다운스트림 데이터 입력 포트;

다운스트림 데이터 출력 포트; 및

상기 업스트림 데이터 출력 포트, 상기 다운스트림 데이터 입력 포트, 및 다운스트림 데이터 출력 포트에 결합된 제어 회로를 포함하고,

상기 제어 회로는,

상기 업스트림 데이터 출력 포트를 경유하여 인터럽트 링크-제어 계층 패킷을 전달하고;

제 1전송 계층 패킷을 다수의 제 1링크-제어 계층 패킷들로 해체하고;

상기 업스트림 데이터 출력 포트를 경유하여 상기 다수의 제 1링크-제어 계층 패킷들을 전달하고;

상기 다운스트림 데이터 입력 포트로부터 상기 업스트림 데이터 출력 포트로 다수의 제 2링크-제어 계층 패킷들을 통과하도록 구성되는, 패킷 해체 및 링크-제어를 위해 구성된 장치.

청구항 20

청구항 19에 있어서,

상기 장치는 상기 제어 회로에 결합된 업스트림 데이터 입력 포트를 포함하고,

상기 제어 회로는 상기 업스트림 데이터 입력 포트를 경유하여 수신된 다수의 제 3링크-제어 계층 패킷들로부터 제 2 전송 계층을 재구성하도록 구성되는, 패킷 해체 및 링크-제어를 위해 구성된 장치.

청구항 21

청구항 20에 있어서,

상기 장치는 상기 업스트림 데이터 입력 포트에 결합된 버퍼를 포함하고,

상기 제어 회로는 상기 다수의 제 3 링크-제어 계층 패킷들의 각각에 연관된 시퀀스 번호에 따라 버퍼에서 상기 다수의 제 3 링크-제어 계층 패킷들을 로드하도록 구성되는, 패킷 해체 및 링크-제어를 위해 구성된 장치.

청구항 22

청구항 19에 있어서,

상기 장치는 상기 제어 회로에 결합된 업스트림 데이터 입력 포트를 포함하고,

상기 장치는 장치 식별자(DID) 혹은 논리 유닛 번호(LUN)와 연관되고,

다수의 제 3 링크-제어 계층 패킷들이 상기 DID 혹은 LUN과 연관될 때에, 상기 제어 회로는 상기 업스트림 데이터 입력 포트를 경유하여 수신된 상기 다수의 제 3 링크-제어 계층 패킷들로부터 제 2 전송 계층 패킷을 재구성하도록 구성되고,

상기 다수의 제 3 링크-제어 계층 패킷들이 상기 DID 혹은 LUN과 연관되지 않을 때에, 상기 제어 회로는 상기 업스트림 데이터 입력 포트로부터 상기 다운스트림 데이터 출력 포트로 상기 다수의 제 3 링크-제어 계층 패킷들을 통과하도록 구성되는, 패킷 해체 및 링크-제어를 위해 구성된 장치.

청구항 23

청구항 19에 있어서,

상기 장치는 상기 제어 회로에 결합된 무선 주파수(RF) 송수신기를 포함하고,

상기 제어 회로는 상기 RF 송수신기로부터 상기 제 1 전송 계층 패킷을 수신하도록 구성되는, 패킷 해체 및 링크-제어를 위해 구성된 장치.

청구항 24

청구항 23에 있어서,

상기 제어 회로는 상기 RF 송수신기로부터 수신되는 상기 제 1 전송 계층 패킷에 응해서 상기 인터럽트 링크-제어 계층 패킷을 이동하도록 구성되고,

상기 인터럽트 링크-제어 계층 패킷은 상기 제 1 전송 계층 패킷의 콘텍스트를 포함하는, 패킷 해체 및 링크-제어를 위해 구성된 장치.

청구항 25

패킷 해체 및 링크-제어를 위해 구성된 시스템으로서,

호스트 제어 회로를 포함하는 호스트; 및

장치 제어 회로를 각각 포함하고 공통 물리 연결부를 경유하여 상기 호스트에 결합된 복수개의 주변 장치들을 포함하고,

상기 호스트 제어 회로 및 상기 장치 제어 회로는,

전송 계층 패킷을 다수의 링크-제어 계층 패킷들로 해체하고;

상기 다수의 링크-제어 계층 패킷들을 상기 공통 물리 연결부를 경유하여 전달하고;

상기 다수의 링크-제어 계층 패킷들로부터 상기 전송 계층 패킷을 재구성하도록 각각 구성되고,

상기 호스트 제어 회로는 상기 공통 물리 연결부에 대한 패킷 흐름 제어를 유지하도록 구성되는, 패킷 해체 및 링크-제어를 위해 구성된 시스템.

청구항 26

삭제

청구항 27

청구항 25에 있어서,

상기 호스트 제어 회로는,

상기 전송 계층 패킷을 특정 주변 장치의 캐시 라인 크기와 동등한 페이로드 크기를 각각 갖는 다수의 링크-제어 계층 패킷들로 해체하고;

상기 다수의 링크-제어 계층 패킷들을 상기 공통 물리 연결부를 경유하여 상기 특정 주변 장치에 전달하도록 구성되는, 패킷 해체 및 링크-제어를 위해 구성된 시스템.

청구항 28

청구항 25에 있어서,

상기 복수개의 주변 장치들은 상기 공통 물리 연결부를 경유하여 상기 호스트에 체인 구조로 결합되는, 패킷 해체 및 링크-제어를 위해 구성된 시스템.

청구항 29

청구항 25에 있어서,

상기 장치 제어 회로는 상기 호스트로부터 이전에 수신된 명령으로부터 지연 기간 후 상기 호스트로 인터럽트 링크-제어 계층 패킷을 전달하도록 구성되는, 패킷 해체 및 링크-제어를 위해 구성된 시스템.

청구항 30

청구항 29에 있어서,

상기 인터럽트 링크-제어 계층 패킷은 상기 명령 표시를 포함하는, 패킷 해체 및 링크-제어를 위해 구성된 시스템.

청구항 31

청구항 29에 있어서,

상기 명령에 연관된 데이터가 전달될 준비가 되었을 때 상기 장치 제어 회로는 상기 인터럽트 링크-제어 계층 패킷을 전달하도록 구성되는, 패킷 해체 및 링크-제어를 위해 구성된 시스템.

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

명 세 서

기 술 분 야

[0001] 본 명세서는 일반적으로 전자 장치들, 시스템들, 및 방법들에서 패킷 처리에 관한 것이고, 보다 구체적으로는, 패킷 해체/재구성 및 링크-제어에 관한 것이다.

배 경 기 술

[0002] 메모리 장치들은 각종 다른 전자장치들 중에서 전형적으로 컴퓨터들, 개인용 휴대단말기들(PDAs), 디지털 카메라들, 및 휴대폰들에서 내부, 반도체, 집적 회로들 및/또는 외부 제거 가능한 장치들로서 제공된다. 다른 것들

중 랜덤 액세스 메모리(RAM), 읽기전용 메모리(ROM), 동적 랜덤 액세스(dynamic random access memory; DRAM), 동기식 동적 랜덤 액세스 메모리(SDRAM), 위상 변경 랜덤 액세스 메모리(PCRAM), 및 플래시 메모리를 포함하는 많은 상이한 타입의 메모리들이 있다.

[0003] 시스템은 호스트, 호스트 시스템 메모리, 및 메모리 장치들과 같은 다수의 주변 장치들을 포함할 수 있다. 호스트는 하나 이상의 다수의 프로세서, 호스트 컨트롤러, 호스트 컨트롤러 상에 위치된 호스트 컨트롤러 메모리, 및 다수의 내부 메모리 장치들을 포함하는 제어 회로를 가질 수 있다. 호스트는 주변 장치들과 통신하여, 장치들로부터 호스트 시스템까지 데이터를 수신하거나 혹은 호스트 시스템으로부터 주변 장치들로 데이터를 전송하는 동작을 주변 장치들에서 수행할 수 있다. 데이터의 수신 및/또는 전송을 제어하는 명령들이 호스트 시스템에 의해 제기될 수 있다.

[0004] 데이터는 호스트와 하나 이상의 주변 장치들 사이에서 패킷들의 흐름을 이용하여 통신, 예를 들어, 전송 및/또는 수신될 수 있다. 그러한 패킷들은 전송 계층 프로토콜, 예를 들어, 호스트와 하나 이상의 주변 장치들 모두가 이해하는 통신/전송 계층 프로토콜에 의해 생성될 수 있다. 그러한 전송 계층 패킷들의 생성은 패킷들의 통신 방법과는 별개일 수 있다. 호스트와 특정 주변 장치가 직접 연결되는 경우, 전송 계층 프로토콜에 의해 생성된 데이터 흐름 패킷들은 호스트와 특정 주변 장치 사이에서 직접적으로 전달될 수 있다. 그러나, 하나 이상의 주변 장치가 공통 물리 연결부에 연결된 경우, 링크-제어 계층은 호스트와 주변 장치들 사이에서 동시적 데이터 전달을 위한 흐름 제어를 제공하기 위해 이용될 수 있다.

도면의 간단한 설명

[0005] 도 1은 본 명세서의 하나 이상의 실시예들에 따른 컴퓨팅 시스템의 블록도.

도 2는 본 명세서의 하나 이상의 실시예들에 따른 컴퓨팅 시스템의 블록도.

도 3a는 본 명세서의 하나 이상의 실시예들에 따른 계층화된 인터페이스용 아키텍처의 블록도.

도 3b는 본 명세서의 하나 이상의 실시예들에 따른 계층화된 아키텍처에서의 다수 패킷들의 블록도.

발명을 실시하기 위한 구체적인 내용

[0006] 본 명세서는 패킷 처리용 방법들, 장치들, 및 시스템들을 포함한다. 패킷 처리용 방법의 하나의 실시예는 관련된 시퀀스 번호를 각각 갖는 다수의 링크-제어 계층 패킷으로 전송 계층 패킷을 해체하는 것과, 복수의 주변 장치들에 대해 공통 물리적 연결을 경유하여 다수의 링크-제어 계층 패킷들을 전달하는 것과, 전달 시 다수의 현저한 링크-제어 계층 장치들을 제한하는 것을 포함한다.

[0007] 본 명세서의 다음의 상세한 설명에서, 본원의 일부를 형성하는 첨부한 도면들을 참조하고, 여기에 예로서 본 명세서의 하나 이상의 실시예들이 어떻게 실시될 수 있는지를 보인다. 이러한 실시예들은 당업자가 본 명세서의 실시예들을 실시할 수 있도록 충분히 상세히 설명되어 있고, 다른 실시예들이 사용될 수 있고 본 명세서의 범위를 벗어나지 않고 공정, 전기, 및/또는 기계적 변경들이 이루어질 수 있음을 이해해야 한다. 도면에서 참조부호에 관하여 특히 사용된 식별기호 "N"은 표시된 다수의 특정한 특징이 하나 이상의 본 명세서의 실시예들에 포함될 수 있음을 나타낸다. 식별기호들은 특정한 특징의 동일 혹은 상이한 번호를 의미할 수 있다.

[0008] 도면들에서 표시한 숫자는 앞에 숫자 또는 숫자들은 도면 번호에 대응하는 것이고 그 뒤에 숫자들은 도면에서 구성요소 혹은 성분을 나타낸다. 상이한 도면들 간에 유사한 구성요소들 혹은 성분들은 유사한 숫자들을 사용하여 식별될 수 있다. 예를 들어, 110은 도 1에서 참조 구성요소가 "10"일 수 있고, 또한 유사한 구성요소는 도 2에서 210으로서 참조될 수 있다. 이해되는 바와 같이, 본 명세서의 다양한 실시예들에 도시된 구성요소들은 본 명세서의 다수의 추가 실시예들을 제공하기 위해 추가, 교환, 및/또는 제거될 수 있다. 또한, 이해할 수 있듯이, 도면에서 제공된 구성요소들의 상대적인 축척과 비율은 본 명세서의 실시예들을 예시하고자 하는 것이고 제한하는 의미로 이해하지 않아야 한다.

[0009] 도 1은 본 명세서의 하나 이상의 실시예들에 따른 시스템(100)의 블록도이다. 도 1에서, 호스트(110)가 도시되었다. 하나 이상의 실시예들에서, 호스트는 기타 컴퓨팅 장치 유형들 중에서 퍼스널 컴퓨터와 같은 컴퓨팅 장치일 수 있다. 호스트(110)의 일례로, 기타 예들 중에서, 랩탑 컴퓨터들, 퍼스널 컴퓨터들, 이동 전화, 디지털 카메라들, 디지털 녹음 및 재생 장치들, PDA, 메모리 카드 리더기들, 및 인터페이스 허브들을 포함한다.

[0010] 도 1의 호스트(110)는 도시되지 않은 기타 호스트 구성요소들 중에서 호스트 제어 회로(102)를 포함한다. 호스트 제어 회로(102)는 하나 이상의 프로세서, 호스트 제어기, 및/또는 호스트 메모리를 포함할 수 있다. 하나

이상의 실시예들에서, 호스트 제어 회로(102)는 다수의 주변 장치들(120-1, 120-2,…, 120-N)과 호스트(110)와 같은 다른 장치와의 사이에서 정보를 전달하는데 사용될 수 있다. 당업자들은 "프로세서"가 병렬 처리 시스템과, 다수의 보조프로세서(coprocessor) 등과 같이 하나 이상의 프로세서를 의미한다는 것을 이해할 것이다.

[0011] 호스트(110)는 전송 계층, 예를 들어, 호스트 제어 회로와 연관될 수 있는 통신/전송 계층, 링크-제어 계층, 및/또는 물리적 계층을 포함할 수 있다. 호스트 제어 회로(102)는 주변 장치들(120-1, 120-2,…, 120-N)에 결합될 수 있다. 일부 실시예들에서, 호스트 제어 회로(102)는 프로세서 개입 없이 전송, 링크, 및 물리적 계층 활동을 관리하고 또한 프로세서 개입 없이 명령 재시행을 관리할 수 있다. 전송 계층이 각종 표준들에 의해 관용되는 바와 같이 트랜잭션 계층(transaction layer)과 유사할 수 있음을 당업자들은 이해할 것이다.

[0012] 하나 이상의 실시예들에서, 호스트 제어 회로(102)는 표준화된 인터페이스에 결합될 수 있다. 예를 들어, 호스트 제어 회로(102)는 기타 인터페이스들 중에서 UFS(Universal Flash Storage) 표준에 따라 동작된 인터페이스에 결합될 수 있다. 일반적으로, 호스트 제어 회로(102)는 주변 장치들(120-1, 120-2,…, 120-N)과, 호스트(110)와, 및/또는 기타 장치들과 사이에서 제어, 어드레스, 데이터 및 기타 신호들을 전달하는, 예를 들어, 보내기 위한 인터페이스에 결합될 수 있다.

[0013] 하나 이상의 실시예들에서, 주변 장치들(120-1, 120-2,…, 120-N)은 호스트(110)로부터 주변장치들(120-1, 120-2,…, 120-N)에게 전달된 다른 동작들 중에서 메모리 장치들에 대한 판독, 기입, 및/또는 소거 명령들과 같은 동작을 용이하게 하도록 사용될 수 있는 주변장치 제어회로(104-1, 104-2,…, 104-N)를 포함할 수 있다. 하나 이상의 주변 장치들은 제어 회로, 예를 들어, 제어 회로(104-N)에 연결된 RF 송수신기(108)로 구성 및/또는 RF 송수신기(108)를 포함할 수 있다. 비록 도 1에는 RF 송수신기(108)를 갖는 주변 장치(120-N)만이 도시되었지만, 실시예들은 그와 같은 송수신기를 포함할 수 있는 주변 장치들의 개수를 제한하지 않는다. RF 송수신기(108)는 데이터를 무선 장치(미도시)에 및/또는 무선 장치(미도시)로부터 송신 및/또는 수신할 수 있다. 예를 들어, RF송수신기(108)는 무선 장치로부터 전송 계층 패킷을 수신할 수 있다.

[0014] 주변 장치들(120-1, 120-2,…, 120-N)은 호스트(110)에 공통 물리 연결부(105)를 공유할 수 있다. 공통 물리 연결부(105)는 호스트(110)와 주변 장치들(120-1, 120-2,…, 120-N) 사이에 업스트림 및/또는 다운스트림 연결부를 포함할 수 있다. 예를 들어, 주변 장치들(120-1, 120-2,…, 120-N)은 체인 구조로, 예를 들어, 함께 묶여 호스트(110)에 결합될 수 있다. 일부 실시예들에서, 하나 이상의 주변 장치들, 예를 들어, 주변 장치(120-N)는 체인에서 제거될 수 있다. 하나 이상의 실시예들에서, 주변장치 제어회로(104-1, 104-2,…, 104-N)들은 호스트(110)와 주변 장치들(120-1, 120-2,…, 120-N) 사이에 변환 계층을 제공할 수 있다. 그러므로, 주변장치 제어회로는 주변 장치의 I/O 커넥터(도 1에 도시되지 않음)를 선택적으로 결합하여 적절한 시간에 적절한 I/O 연결부에서 적절한 신호를 수신할 수 있다. 유사하게, 호스트(110)와 주변 장치들(120-1, 120-2,…, 120-N) 사이 통신 프로토콜은 주변 장치들(120-1, 120-2,…, 120-N)로 액세스하는데 요구되는 것과 상이할 수 있다. 그런 후, 주변장치 제어회로(104-1, 104-2,…, 104-N)는 호스트(110)로부터 수신된 명령 시퀀스를 적절한 명령 시퀀스로 변환하여 주변 장치들(120-1, 120-2,…, 120-N)로 소정의 액세스를 달성할 수 있다. 각 변환은 명령 시퀀스뿐만 아니라 신호 전압 레벨들의 변경을 더 포함할 수 있다.

[0015] 여기에 사용된 바와 같이, 하나 이상의 실시예들에서, 체인된 주변 장치들(예를 들어, 120-1, 120-2,…, 120-N)은 호스트의 공유 인터페이스 포트와 같은 공통 물리 연결부를 경유하여 (예를 들어, 호스트 제어 회로(102)의 동일 인터페이스 포트를 경유하여) 호스트(예를 들어, 호스트(110))에 통신 가능하게 결합된 주변 장치들을 나타낼 수 있다. 특정 호스트 인터페이스 포트는 데이터 입력 포트 및 데이터 출력 포트를 포함할 수 있다. 따라서, 호스트(110)와 체인된 주변 장치들(120-1, 120-2,…, 120-N) 사이에서 호스트(110)의 동일한 단일 인터페이스 포트를 경유하여 데이터가 전달될 수 있다. 호스트 혹은 주변 장치들 상의 특정 포트들의 이용에 관해서는 도 2와 관련하여 더욱 상세히 설명된다.

[0016] 도 1의 실시예들은 본 명세서의 실시예들을 불명확하게 하지 않도록 미도시된 추가 회로를 포함할 수 있다. 예를 들어, 주변 장치들(120-1, 120-2,…, 120-N)이 메모리 장치들인 하나 이상의 실시예들에서, 메모리 장치들은 I/O 회로를 통해 I/O 커넥터들에 제공된 어드레스 신호들을 래치하는 어드레스 회로를 포함할 수 있다. 어드레스 신호들은 행 디코더(row decoder) 및 열 디코더(column decoder)에 의해 수신되고 디코드되어 메모리 장치들에 액세스될 수 있다. 어드레스 입력 커넥터들의 개수가 메모리 장치들의 밀도 및 아키텍처에 의존한다는 것을 당업자들은 이해할 것이다. 또한, 하나 이상의 실시예들에서, 호스트 및/또는 주변 장치는 기타 동작들 중에서 예를 들어 프로세싱하기 전에 들어오는 데이터를 배열 및/또는 데이터를 저장하는 하나 이상의 캐시 라인들을 포함할 수 있다.

[0017] 도 2는 본 명세서의 하나 이상의 실시예들에 따른 시스템(200)의 블록도이다. 시스템(200)은 본 명세서의 하나 이상의 실시예들에 따른 주변 장치들, 예를 들어, 메모리 장치들의 체인을 포함한다. 비록 메모리 장치들이 예로서 사용되지만, 다른 유형의 주변 장치들 혹은 주변 장치들의 조합들은 또한 본 명세서의 범위 내이다. 다른 주변 장치들의 예로서, 프린터들, 스캐너들, 카메라들, 블루투스 혹은 WiFi 장치들과 같은 무선 통신 주변장치들, 외부 하드 드라이브들, 고상 드라이브들(solid state drives), 플래시 드라이브들 등이 있지만 이에 제한되지 않는다. 메모리 장치들의 예로서, 플래시 메모리, DRAM, SRAM, 하나 이상의 NAND 장치들 혹은 매니지드 NAND(Managed NAND) 구현, 예를 들어, NAND 제어기 및 하나 이상의 NAND 장치들, 또는 데이터를 저장하는 기타 주변 장치들이 있다.

[0018] 도 2에서, 호스트(210)는 데이터 출력 포트(212), 데이터 입력 포트(214), 및 버퍼(206)를 갖는 것으로 도시되었다. 호스트(210)는 도 1에 도시된 호스트(110)와 유사하고 도 1에 도시된 제어 회로(102)와 같은 제어 회로를 포함할 수 있다. 주변 장치들을 단일 데이터 출력 포트(212) 및 단일 데이터 입력 포트(214)에 결합하는 것은 호스트(210) 상에 포함되지 않는 핀들의 개수를 줄일 수 있다. 그러한 실시예들은 장치 비용을 줄이는데 도움을 주고 제작을 간소화하는데 도움을 줄 수 있다. 하나 이상의 실시예들에서, 단일 데이터 출력 포트(212) 혹은 단일 데이터 입력 포트(214)와 같은 단일 데이터 포트들은 다수의 데이터 레인들을 각각 포함할 수 있다. 단일 데이터 포트라는 용어는 호스트 상의 각 주변 장치에 대한 병렬 연결에 대비하여 다수의 주변 장치들에 대한 호스트로의 단일 시리얼 연결부를 나타내기 위해 사용된다.

[0019] 여기에 상술된 바와 같이, 호스트(210)는 전송 계층 패킷을 다수의 링크-제어 계층 패킷들로 해체하도록 또한 다수의 링크-제어 계층 패킷들을 데이터 출력 포트(212)를 경유하여 전달하도록 구성될 수 있다. 호스트는 데이터 입력 포트(214)를 경유하여 수신된 다수의 링크-제어 계층 패킷들에 대응하는 다수의 승인을 모니터할 수 있다. 다수의 승인은 호스트에 의해 사용되어 여기에 설명된 바와 같이 데이터 출력 포트(214)를 경유하여 전달된 다수의 링크-제어 계층 패킷들을 제한할 수 있다. 호스트(210)는 데이터 입력 포트(214)를 경유하여 수신된 다수의 링크-제어 계층 패킷들로부터 전송 계층 패킷을 재구성할 수 있다.

[0020] 제 1 주변 장치(220-1)는 체인 구성으로 결합된 제 2 주변 장치(220-2) 및 N번째 주변 장치(220-N)와 함께 도시되었다. 도 2에 도시된 바와 같이, 체인된 주변 장치 구성은 포인트대 포인트 시그널링을 수행할 수 있다. 도시된 구성을 이용하여, 주변 장치들의 체인은 여기에 설명된 바와 같이 복잡한 어드레싱 회로를 사용하지 않고 임의적으로 길 수 있다. 도 2에 도시된 주변 장치들(220-1, 220-2,…, 220-N)은 도 1에 도시된 주변 장치들(120-1, 120-2,…, 120-N)과 유사하고 도 1에 도시된 제어 회로(104-1, 104-2,…, 104-N)와 같은 제어 회로를 포함할 수 있다. 각각의 주변 장치(220-1, 220-2,…, 220-N)는 하나 이상의 장치 식별자(DID) 및/또는 논리 유닛 번호 (LUN)와 연관될 수 있다. 예를 들어, 특정 주변 장치는 하나의 DID 및 2개 이상의 LUN을 가질 수 있었다.

[0021] 주변 장치들(220-1, 220-2,…, 220-N)은 업스트림 측면(222-1, 222-2,…, 222-N) 및 다운스트림 측면(224-1, 224-2,…, 224-N)과 함께 도시되었다. 주변 장치들은 업스트림 데이터 입력 포트(226-1, 226-2,…, 226-N)와, 다운스트림 데이터 출력 포트(228-1, 228-2,…, 228-N)와, 다운스트림 데이터 입력 포트(230-1, 230-2,…, 230-N)와, 그리고 업스트림 데이터 출력 포트(232-1, 232-2,…, 232-N)를 포함할 수 있다. 특정 주변 장치에 대한 각 데이터 포트는 특정 주변 장치에 대한 제어 회로에 결합될 수 있다. 동작에서, 어드레스 할당, 데이터 요청 등과 같은 데이터 혹은 장치 명령들은 주어진 장치를 통해 업스트림 데이터 입력 포트로부터 다운스트림 데이터 출력 포트까지 화살표(234-1, 234-2,…, 234-N)를 따라 통과할 수 있다. 데이터/명령들은 주어진 주변 장치 내에서 화살표(238-1, 238-2,…, 238-N)를 따라 업스트림 데이터 입력 포트(226-1, 226-2,…, 226-N)로부터 업스트림 데이터 출력 포트(232-1, 232-2,…, 232-N)까지 내부적으로 통과할 수 있다. 데이터/명령들은 리턴 경로(return path)상의 주어진 주변 장치를 통해 화살표(236-1, 236-2,…, 236-N)로 도시된 바와 같이 다운스트림 데이터 입력 포트(230-1, 230-2,…, 230-N)로부터 업스트림 데이터 출력 포트(232-1, 232-2,…, 232-N)까지 직접적으로 통과할 수 있다. 주변 장치들(220-1, 220-2,…, 220-N)은 개별 주변 장치의 제어 회로에 결합된 버퍼(206-1, 206-2,…, 206-N)를 포함할 수 있다. 각각의 개별 주변 장치용 버퍼는 하나 이상의 업스트림 및 다운스트림 데이터 입력 및 출력 포트들에 결합될 수 있다. 비록 3개의 주변 장치들이 시스템(200) 내에 도시되어 있지만, 본 명세서는 이에 한정되지 않는다. 도시된 구성을 이용하여, 다소간의 주변 장치들이 포함될 수 있다.

[0022] 설명된 바와 같이, 주변 장치(220-1, 220-2,…, 220-N)는 전송 계층 패킷을 다수의 링크-제어 계층 패킷들로 해체하여 상기 다수의 링크-제어 계층 패킷들을 하나 이상의 업스트림 데이터 출력 포트(232-1, 232-2,…, 232-N) 및 다운스트림 데이터 출력 포트(228-1, 228-2,…, 228-N)를 경유하여 통신, 예를 들어, 전달하도록 구성될 수

있다. 주변 장치(220-1, 220-2,…, 220-N)는 업스트림 데이터 출력 포트(232-1, 232-2,…, 232-N)를 경유하여, 예를 들어, 호스트(210)로 인터럽트 링크-제어 계층 패킷을 전달할 수 있다. 주변 장치는 설명된 바와 같이 업스트림 혹은 다운스트림 중 어느 하나의 입력 포트로부터 출력 포트까지 다수의 링크-제어 계층 패킷들을 통해 통과할 수 있다. 주변 장치(220-1, 220-2,…, 220-N)는 하나 이상의 업스트림 데이터 입력 포트(226-1, 226-2,…, 226-N) 및 다운스트림 데이터 입력 포트(230-1, 230-2,…, 230-N)를 경유하여 수신된 다수의 링크-제어 계층 패킷들로부터 전송 계층 패킷을 재구성할 수 있다.

[0023] 특정 주변 장치, 예를 들어 주변 장치(220-N)용 제어 회로는 링크-제어 계층 패킷들이 주변 장치(220-N)에 대한 목적지 어드레스, 예를 들어, DID 혹은 LUN과 관련될 때 특정 데이터 입력 포트를 경유하여 수신된 링크-제어 계층 패킷들로부터 전송 계층 패킷을 재구성하도록 구성될 수 있다. 수신된 링크-제어 계층 패킷들이 상이한 주변 장치에 대한 목적지 어드레스, 예를 들어, 주변 장치(220-2)와 연관된 어드레스와 연관될 때, 수신하는 주변 장치(220-N)는 업스트림 혹은 다운스트림 방향으로 다수의 링크-제어 계층 패킷들을 통해, 예를 들어, 적절한 출력 포트를 통해 다수의 링크-제어 계층 패킷들과 연관된 목적지 어드레스쪽으로 통과할 수 있다. 하나 이상의 실시예들에서, 링크-제어 계층은 라우트 패킷들(route packets)에 사용되지 않을 수 있다.

[0024] 호스트(210)는 호스트(210)와 복수개의 주변 장치들(220-1, 220-2,…, 220-N) 사이에서 공통 물리 연결부, 예를 들어, 도 1의 공통 물리 연결부(105) 상의 패킷 흐름 제어를 유지하도록 구성될 수 있다. 따라서, 주변 장치(220-1, 220-2,…, 220-N)는 인터럽트 링크-제어 계층 패킷을 호스트(210)에, 예를 들어, 업스트링 방향의 호스트(210)에 전달하도록 구성될 수 있다. 인터럽트 링크-제어 계층 패킷은 주변 장치(220-1, 220-2,…, 220-N)가 공통 물리 연결부를 경유하여 데이터를 전달할 준비가 되었음을 호스트(210)에게 통지하는 역할을 할 수 있다. 예를 들어, 주변 장치(220-1, 220-2,…, 220-N)가 데이터, 예를 들어, 하나 이상의 인터럽트-링크-제어 계층 패킷들을 RF 송수신기(108)를 경유하여 수신하고 있음을 인터럽트 링크-제어 계층 패킷이 표시할 수 있다. 인터럽트 링크-제어 계층 패킷은 공통 물리 연결부를 경유하여 전달되는 데이터의 콘텍스트(context)를 포함할 수 있다.

[0025] 하나 이상의 실시예들에서, 주변 장치(220-1, 220-2,…, 220-N)는 호스트(210)로부터 이전에 수신된 명령으로부터 지연 기한 후 인터럽트 링크-제어 계층 패킷을 호스트(210)로 전달하도록 구성될 수 있다. 인터럽트 링크-제어 계층 패킷은 명령 표시를 포함할 수 있다. 명령과 연관된 데이터가 공통 물리 연결부를 경유하여 전달되도록 준비될 때에 인터럽트 링크-제어 계층 패킷을 전달하도록 주변 장치(220-1, 220-2,…, 220-N)가 구성될 수 있다.

[0026] 도 1 및 도 2에 도시된 실시예들은 고정 배선 장치들(hard wired devices)을 포함할 수 있거나 조립용 혹은 확장성을 위한 소켓을 포함할 수 있다. 하나 이상의 실시예들은 다수의 팽창 소켓을 포함하는데, 최종 주변장치의 소켓 다운스트림을 체인으로 여전히 이용가능하다. 그러한 구성에서, 마지막 주변 장치, 예를 들어, 주변 장치(220-N)는 제거되고 추가적인 주변 장치가 체인에 놓여진 후, 마지막 주변 장치는 새롭게 연장된 체인의 단부에 재삽입될 수 있다. 일부 실시예들에서, 추가적인 주변 장치들은 체인에서 전용 최후 주변 장치를 제거 및 재설치하지 않고서 팽창 목적용 체인의 단부에 추가될 수 있다.

[0027] 도 3a는 본 명세서의 하나 이상의 실시예에 따른 인터페이스에 대한 계층화된 아키텍처의 블록이다. 예를 들어, 그러한 계층화된 아키텍처는 본 명세서의 하나 이상의 실시예들에 따른 호스트 제어 회로, 예를 들어 도 1의 호스트 제어 회로(102) 및/또는 장치 제어 회로, 예를 들어, 장치 제어 회로(104-1, 104-2,…, 104-N)에서 구현될 수 있다.

[0028] 계층화된 아키텍처는 다른 계층들 중에서 전송 계층(356), 링크-제어 계층(354), 및 물리 계층(352)을 포함할 수 있다. 호스트와 하나 이상의 장치들 사이 데이터 흐름 패킷은, 예를 들어, 호스트와 장치들의 프로토콜을 이용하여 전송 계층에 의해 생성될 수 있다. 그러한 프로토콜은 패킷의 데이터 흐름의 전송 방법, 예를 들어, 유선, 무선 등과는 별개일 수 있다. 장치가 호스트에 직접 부착되는 경우, 전송 계층(356)에 의해 생성된 데이터 흐름 패킷들은 호스트와 장치 사이에서 직접 전달될 수 있다.

[0029] 하나 이상의 장치들이 공통 물리 연결부를 경유하여 호스트에 부착되는 경우, 호스트와 장치들 사이 데이터 흐름 연결의 이용을 개선하고 호스트와 다수 장치들 사이 동시 데이터 전달을 위한 흐름 제어를 제공하기 위해 링크-제어 계층(354)이 설치될 수 있다. 링크-제어 계층(354)이 구현되어 호스트와 하나 이상의 장치들 사이 데이터 전달을 모니터 및/또는 조절할 수 있다. 설명된 바와 같이, 링크-제어 계층(354)은 호스트와 장치들 사이 전송 계층(356)에 의해 생성된 데이터 패킷들을 해체 및 재구성하여 패킷 사이즈의 보다 미세한 제어와 흐름 제어를 행사할 수 있다.

[0030] 도 3b는 본 명세서의 하나 이상의 실시예들에 따른 계층화된 아키텍처에서 다수 패킷들의 블록도이다. 하나 이상의 실시예들에서, 호스트로부터 타겟 장치로의 데이터 흐름, 혹은 장치로부터 호스트로의 데이터 흐름은 링크-제어 계층 패킷들로 해제될 수 있으며 또한 원래 데이터 흐름, 예를 들어, 전송 계층 패킷들로 재구성될 수 있다.

[0031] 도 3b에 도시된 바와 같이, 전송 계층 패킷(372)은 하나 이상의 헤더(header, 374), 페이로드(payload, 376), 및 순환 중복 확인(CRC)값, 검사합, 혹은 에러 정정 코드(ECC) 패리티 값과 같은 에러 검출요소(378-T)를 포함할 수 있다. 하나 이상의 실시예들에서, 에러 검출 요소(378-T)는 페이로드(376)의 일부일 수 있다. 헤더(374)는 콘텍스트(context), 예를 들어, 전송 계층 패킷(372)의 목적지 어드레스를 내포할 수 있다. 예를 들어, 헤더(374)는 명령 타입, 타겟 장치 ID (DID), 논리 유닛 번호 (LUN), 상황(status), 및/또는 기타 콘텍스트들과 연관한 정보를 내포할 수 있다. 전송 계층 패킷(372)의 페이로드(376)는 데이터 및/또는 명령들을 포함할 수 있다.

[0032] 전송 계층 패킷(372)은 다수의 링크-제어 계층 패킷들, 예를 들어, 링크-제어 계층 패킷들(380-1, 380-2,…, 380-N)로 해체될 수 있다. 전송 계층 패킷(372)은, 예를 들어, 다수의 기타 전송 계층 패킷들에 관하여 전송 계층 패킷(372)과 연관된 우선사항 및/또는 순서에 따라 해체될 수 있다. 일부 실시예들에서, 전송 계층 패킷(372)은, 예를 들어, 호스트로부터 주변 장치로, 주변 장치로부터 호스트로, 혹은 제 1주변장치로부터 제 2주변장치로 공통 물리 연결부를 통한 전달 전에 다수의 링크-제어 계층 패킷들(380-1, 380-2,…, 380-N)로 해체될 수 있다. 하나 이상의 실시예들에서, 설명된 바와 같이, 전송 계층 패킷이 링크-제어 계층 패킷들(380-1, 380-2,…, 380-N)로 해체되기 전에, 전체 전송 계층 패킷(372)은 버퍼, 예를 들어, 도 1에 도시된 호스트 버퍼(106) 혹은 주변 장치 버퍼(106-1, 106-2,…, 106-N)에 로드(load)될 수 있다. 대안으로, 전송 계층(356)으로부터 링크-제어 계층(354)으로 전송 계층 패킷이 진입함에 따라, 전송 계층 패킷은 해체될 수 있다.

[0033] 예를 들어 링크-제어 계층 패킷(380-1)과 같은 각 링크-제어 계층 패킷은 링크-제어 계층 패킷이 해체되는 전송 계층 패킷(372)과 같은 전송 계층 패킷 보다, 예를 들어 더 적은 비트를 포함하는 것과 같이 더 작을 수 있다. 본 출원의 하나 이상의 실시예에 따른 전송 계층 패킷 해체는 공통 물리 연결을 통해 예를 들어 데이터의 보다 유효한 전달을 제공한다.

[0034] 하나 이상의 실시예에서, 각 링크-제어 계층 패킷과 같은 링크-제어 계층 패킷은 그에 첨부된 링크-제어 계층 패킷(380-1) 내의 시퀀스 번호 "1"(382-1)과 같은 시퀀스 번호가 있다. 일부 실시예에서, 전송 계층 패킷부터 해체된 각 링크-제어 계층 패킷은 예를 들어 1부터 N까지 링크-제어 계층 패킷을 나타내는 전송 계층 패킷의 순차적인 부분에 상응하는 순서에 삽입되는 시퀀스 번호가 있다. 도 3b에 도시된 바와 같이, 마지막 링크-제어 계층 패킷(380-N)은 시퀀스 번호 "N"(382-N)을 포함할 수 있다. 시퀀스 번호들은 링크-제어 계층 패킷 순서 유지를 도울 수 있고 원래 전송 계층 패킷의 재구성을 도울 수 있다.

[0035] 시퀀스 번호는 x 번호의 비트들을 저장할 수 있는 필드와 같은 링크-제어 계층 패킷들의 헤더의 x-비트 필드 내의 링크-제어 계층 패킷들에 부가될 수 있다. 사용 가능한 시퀀스 번호들의 전체 숫자가 시퀀스 번호들이 부가되는 필드의 크기에 대한 제한으로 제한될 수 있으므로, 시퀀스 번호들은 재순환될 수 있다. 즉, 2^x 링크-제어 계층 패킷이 시퀀스 번호들을 특정 데이터 흐름에 할당되도록 한 후와 같이, 2^x 시퀀스 번호들이 사용된 후, 시퀀스 번호들은 예를 들어 재사용과 같이 재순환될 수 있다. 예를 들어, 시퀀스 번호들이 1,2,3 및 4를 포함하는 세트에 제한된다면, 4개의 시퀀스 번호 모두 한번씩 사용된 후, 번호들은, 제1 및 제5 링크-제어 계층 패킷 모두에 시퀀스 번호 1이 할당될 수 있는 것과 같이 다시 사용될 수 있다. 링크-제어 계층 패킷은 부가되는 시퀀스 번호에 대한 시퀀스에서 벗어나 전달될 수 있다.

[0036] 하나 이상의 실시예에서 다수의 주변 장치 들에 대한 공통 물리 연결부를 통해 전달되는 미처리(outstanding) 링크-제어 계층 패킷들의 수가 제한될 수 있다. 미처리 링크-제어 계층 패킷들의 수를 제한하는 단계는 $\frac{2^x}{2}$ 링크-제어 계층 패킷 이하로 미처리 패킷들의 수를 제한하는 단계를 포함할 수 있다. 즉, 예를 들어, 도 1의 호스트 제어 회로(102)와 같은 제어 회로는 시퀀스 번호들의 전체 숫자의 반 이상 가치의 링크-제어 계층 패킷들이 추가 링크-제어 계층 패킷을 전달하기 전에 인식된다는 것을 확인할 수 있다. 예를 들어, 16개의 시퀀스 번호가 사용가능한 경우, 제어 회로는 링크-제어 계층 패킷의 미처리 숫자를 8로 제한하도록 설정될 수 있다.

[0037] 미처리 패킷은 예를 들어, 승인 부정인 재전송 요청과 같은 승인을 수신한 패킷들 및/또는 승인되지 않은 패킷들을 포함할 수 있다. 따라서, 하나 이상의 실시예에서, 미처리 링크-제어 계층 패킷들의 수를 제한하는 단계

는 재전송 요청 비트로 x-비트 필드의 비트를 사용하는 단계를 포함할 수 있다. 특정 링크-제어 계층 패킷은 송신하는 장치가 특정 링크-제어 계층 패킷에 대한 승인을 수신하지 않는 경우 또는 송신하는 장치가 승인 부정을 수신하는 경우 다시 전달될 수 있다. 그러한 실시예들은 특정 시퀀스 번호가 성공적으로 수신된 특정 시퀀스 번호와 연관된 특정 링크-제어 계층 패킷 전에 재순환되기 때문에 패킷 에러를 방지하는데 도움이 된다.

[0038] 본 발명의 하나 이상의 실시예에 따라, 링크-제어 계층은 데이터 페이로드로서 헤더(374), 페이로드(376), 및 에러 검출 요소(378-T)와 같은 전송 계층 패킷(372)에서 전체 데이터를 다룰 수 있다. 즉, 전체 전송 계층 패킷(372)은 헤더(374)와 페이로드(376) 사이의 구분과 관계 없이 링크-제어 계층 패킷들(380-1, 380-2,…, 380-N)에 적합한 더 작은 부분으로 잘라질 수 있다. 예를 들어, 링크-제어 계층 패킷(380-1)은 전송 계층 패킷(372)의 헤더(374)의 일부를 포함하거나, 전체 헤더(374)를 포함하거나, 적어도 헤더(374)의 일부와 페이로드(376)의 일부를 포함할 수 있다.

[0039] 전송 계층 패킷이 다수의 링크-제어 계층 패킷들로 해체되더라도, 각 링크-제어 계층 패킷은 업스트림 또는 다운스트림과 같은 데이터 전송의 방향 및/또는 단부, 예를 들어 DID 또는 LUN과 같은 타겟인 데이터 방향, 및 예를 들어 패킷 시퀀스 번호(380-1)인 패킷 시퀀스 번호를 유지 및/또는 표현할 수 있다. 즉, 각 링크-제어 계층 패킷은 전송 계층 패킷이 전송 계층 안에 가지게 된 링크-제어 계층 안에 동일한 데이터 전송의 방향 및/또는 단부를 가질 수 있다. 예를 들어, 데이터 전송의 방향 및/또는 단부는 데이터를 전송하는 장치의 제어 회로에 의해 할당되는 바에 따라 링크-제어 계층 패킷의 헤더 안에서 유지되거나 및/또는 표현될 수 있다.

[0040] 하나 이상의 실시예는 전송 계층 패킷(372)을 다수의 링크-제어 계층 패킷들(380-1, 380-2,…, 380-N)로 해체하는 단계를 포함하여 링크-제어 계층 패킷들(380-1, 380-2,…, 380-N)의 수는 수신하는 장치의 캐시 라인 크기와 동일한 페이로드(384-1,…, 384-N) 크기를 가지게 된다. 그러한 실시예들은 유효한 데이터 접수와 전송 계층 패킷들(372)의 재구성을 위해 제공될 수 있다. 즉, 수신하는 장치의 캐시 라인은 각각의 수신된 링크-제어 계층 패킷 페이로드(384-1,…, 384-N)로 채워지고 비워질 수 있고, 그에 의해 캐시 라인의 부분 로딩 또는 캐시 라인의 다중 로드들에 대한 개별 패킷들의 분열과 연관된 비효율을 방지할 수 있다. 본 명세서에 따른 캐시 라인에 대한 사이즈들의 예는 32 바이트 또는 64 바이트를 포함하지만 실시예들은 이에 제한되지는 않는다. 재구성 후, 수신하는 장치는, 경우에 따라서, 데이터의 하나의 섹터로 전송 계층 패킷(372) 페이로드(376)를 저장할 수 있다. 데이터의 하나의 섹터에 대한 크기의 예는 512 바이트가 될 수 있으나 실시예들은 이에 제한되지는 않는다.

[0041] 각각의 링크-제어 계층 패킷(380-1, 380-2,…, 380-N)은 각각의 에러 검출 요소(378-L1,…, 378-LN)를 포함한다. 패킷(380-1)과 같은 링크-제어 계층 패킷에 대한 예를 들어 CRC(378-L1)인 에러 검출 요소는 링크-제어 계층 패킷이 해체되는 전송 계층 패킷(372)과 연관된 CRC(378-T)와 같은 에러 검출 요소와 별개로 링크-제어 계층 패킷을 위해 생성될 수 있다. 도 3b에 도시된 바와 같이, 링크-제어 계층 패킷(380-1)에 대하여, 페이로드(384-1)가 원 전송 계층 패킷(372)으로부터의 데이터를 포함하는 동안, 시퀀스 번호(382-1)와 에러 검출 요소(378-L1)는 링크-제어 계층에 의해 생성된다. 특정 링크-제어 계층 패킷(380-1)에 대한 시퀀스 번호(382-1)와 에러 검출 요소(378-L1)는 재전달, 흐름 제어, 등을 위해 링크-제어에 의해 사용될 수 있다. 전술된 바와 같이, 특정 링크-제어 계층 패킷(380-1)의 페이로드(384-1)는 상응하는 전송 계층 패킷(372)의 하나 이상의 헤더(374), 페이로드(376), 및/또는 에러 검출 요소(378-T)로부터의 데이터를 포함할 수 있다.

[0042] 전송 계층 패킷(372)은 예를 들어, 각각의 링크-제어 계층 패킷들(380-1, 380-2,…, 380-N)과 연관된 시퀀스 번호에 따라 다수의 링크-제어 계층 패킷들(380-1, 380-2,…, 380-N)로부터 재구성될 수 있다. 링크-제어 계층 패킷들(380-1, 380-2,…, 380-N)의 번호를 수신하는 장치는 링크-제어 계층 패킷들의 번호 각각을 승인하도록 설정될 수 있다. 대안적으로, 링크-제어 계층 패킷들(380-1, 380-2,…, 380-N)의 번호를 수신하는 장치는 일단 재구성되면 전송 계층 패킷(372)을 승인하도록 설정될 수 있다.

[0043] 하나 이상의 실시예에서, 장치 또는 호스트는 수신된 링크-제어 계층 패킷들을 링크-제어 계층 패킷(380-1)과 연관된 시퀀스 번호(382-1)인 각 패킷과 연관된 시퀀스 번호에 따라 순차적인 순서로 버퍼에 로딩할 수 있다. 일단 전체 전송 계층 패킷이 재구성되면, 데이터는 예를 들어 재구성된 패킷의 헤더(374)에 저장된 바와 같이 재구성된 패킷과 연관된 어드레스 정보에 따른 방향으로 전달될 수 있다.

[0044] 하나 이상의 실시예에서, 전송 계층 패킷(372)으로부터 해체된 제 1 링크-제어 계층 패킷(380-1)의 페이로드(384-1)는 전송 계층 패킷(372)의 헤더(374)를 저장할 수 있다. 헤더(374)는 전송 계층 패킷(372)에 대한 목적지 정보를 나타내는 콘텍스트를 포함할 수 있다. 목적지 정보와 같은 콘텍스트는 제1 링크-제어 계층 패킷(380-1)과 연관되어 수신된 전송 계층 패킷(372)의 헤더로부터 도출될 수 있다. 콘텍스트는 제 1 링크-제어 계

층 패킷(380-1) 및/또는 후속 링크-제어 계층 패킷들(380-2,…, 380-N)과 같은 링크-제어 계층 패킷들을 전송하기 전에 수신하는 장치의 버퍼로 로딩될 수 있다.

[0045] 전송 계층 패킷(372)으로부터 해체된 제 1 링크-제어 계층 패킷(380-1)을 수신하는 장치의 링크-제어 계층은 그 목적지로 제 1 링크-제어 계층 패킷(380-1)을 전송할 수 있다. 후속 링크-제어 계층 패킷들(380-2,…, 380-N)은 전송 계층 패킷(372)을 재구성하지 않고 전송될 수 있다. 그러한 실시예에서, 후속 링크-제어 계층 패킷들(380-2,…, 380-N)은 수신하는 장치에 의해 수신된 순서로 목적지로 전송될 수 있다. 후속 링크-제어 계층 패킷들(380-2,…, 380-N)은 버퍼 내의 콘텍스트에 따라 전송될 수 있다. 경우에 따라서, 수신된 순서에 따라 후속 링크-제어 계층 패킷들(380-2,…, 380-N)을 전송하는 단계는 예를 들어 링크-제어 계층 패킷(380-N)과 연관된 시퀀스 번호(382-N)와 같이, 각 링크-제어 계층 패킷과 연관된 시퀀스 번호에 관한 순서에서 벗어나 후속 링크-제어 계층 패킷들(380-2,…, 380-N)을 전송하는 단계를 포함할 수 있다. 수신하는 장치가 링크-제어 계층 패킷들(380-1, 380-2,…, 380-N)을 전송하는 장치인 목적지 장치는 전송 계층 패킷(372)을 재구성할 수 있다.

[0046] 하나 이상의 실시예에 따라, 수신하는 장치는 예를 들어 목적지 장치로 전송 계층 패킷(372)의 콘텍스트로 설명된 방향으로 전송 계층 패킷(372)을 재구성하고 전송할 수 있다. 예를 들어, 호스트는 일반적으로 주변 장치로부터 수신된 다수의 링크-제어 계층 패킷들(380-1, 380-2,…, 380-N)로부터 재구성된 전송 계층 패킷(372)을 위해 수신하는 장치가 될 수 있지만, 전송 계층 패킷(372)은 예를 들어 전송 계층 패킷 헤더(374) 안에서 그와 연관된 콘텍스트로 설명된 보다 특정한 방향을 가질 수 있다. 보다 특정한 방향 어드레스는 다른 특정 방향 어드레스들 중에 호스트와 연관된 메모리 어드레스가 될 수 있다. 또한, 예를 들어 도 2의 주변 장치(220-2)와 같은 주변 장치는 전송 계층 패킷(372)의 콘텍스트로 설명된 방향으로 재구성된 전송 계층 패킷(372)을 전송할 수 있는 수신하는 장치가 될 수 있고, 여기서 상기 방향은 도 2에 도시된 주변 장치(220-1)와 같은 다른 주변 장치이다. 경우에 따라서, 수신하는 장치가 목적지 장치가 될 수 있다.

[0047] 결론

[0048] 본 명세서는 패킷 처리를 위한 방버들, 장치들, 및 시스템들을 포함한다. 패킷 처리를 위한 하나의 방법 실시예는 전송 계층 패킷을 다수의 링크-제어 계층 패킷들로 해체하는 단계로서, 상기 링크-제어 계층 패킷들의 각각은 연관 시퀀스 번호를 갖는 단계와, 상기 다수의 링크-제어 계층 패킷들을 복수개의 주변 장치들에 대한 공통 물리 연결부를 경유하여 전달하는 단계와, 또한 상기 전달 시 다수의 미처리(outstanding) 링크-제어 계층 패킷들을 제한하는 단계를 포함한다.

[0049] 구성요소(elements)가 다른 구성요소의 "위(on)", 다른 구성요소에 "연결된(connected to)" 또는 다른 구성요소와 "결합된(coupled with)"에 있다고 지칭되는 것은 다른 구성요소 또는 다른 구성요소를 개재한 경우를 모두 포함한다. 반면, 구성요소가 다른 구성요소의 "바로 위(directly on)", 다른 구성요소에 "직접 연결된(directly connected to)" 또는 다른 구성요소와 "직접 결합된(directly coupled with)"에 있다고 지칭되는 것은 중간에 다른 구성요소들 또는 층들을 개재하지 않은 경우를 나타낸다. 사용된 용어 "및/또는"은 하나 이상의 연관 목록 항목들 중 임의의 하나 및 모든 조합들을 포함한다.

[0050] 사용된 용어 "및/또는"은 하나 이상의 연관 목록 항목들 중 임의의 하나 및 모든 조합들을 포함한다. 사용된 용어 "또는"는 달리 언급되지 않았지만 논리적으로 포괄적임을 의미한다. 즉, "A 또는 B"는 (단지 A), (단지 B), 또는 (A와 B 모두)를 포함할 수 있다. 다시 말해, "A 또는 B"는 "A 및/또는 B" 혹은 "하나 이상의 A 및 B"를 의미할 수 있다.

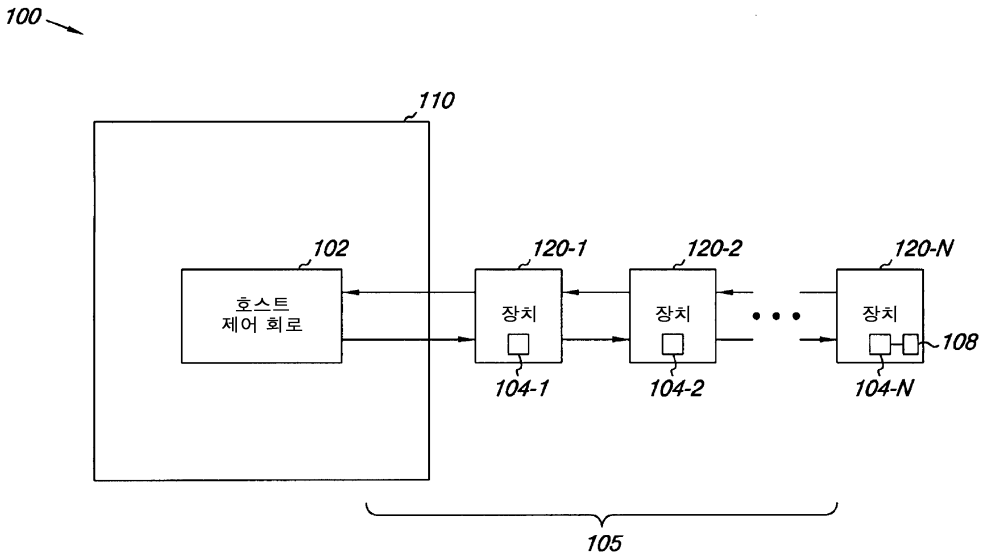
[0051] 본 명세서에서 제 1, 제 2 등의 용어가 다양한 구성요소들을 기술하기 위해서 사용되었지만, 이러한 구성요소들이 이 같은 용어들에 의해서 한정되지 않아야 한다. 이러한 용어들은 단지 상기 구성요소들을 서로 구별시키기 위해서 사용되었을 뿐이다. 그러므로, 제 1 구성요소는 본 명세서의 사상을 벗어나지 않고서 제 2 구성요소로 칭해질 수 있다.

[0052] 비록 특정 실시예들이 본 명세서에 예시 및 설명되었지만, 당업자는 동일한 결과들을 달성하게 계산된 배치(arrangement)들이 도시된 특정 실시예들에 대해 대체될 수 있음을 이해할 것이다. 본 명세서는 다양한 실시예들의 적용들 또는 변형예들을 포괄하고자 한다. 상술한 설명은 예시적 방식으로 이루어졌고, 제한하는 방식이 아님을 이해할 것이다. 상기 실시예들, 및 본 명세서에 상세히 설명하지 않은 다른 실시예들의 조합이 상기 설명을 검토시 당업자에게 명백할 것이다. 본 발명의 다양한 실시예들의 범위는 상기 구조물들과 방법들이 사용되는 다른 응용예들을 포함한다. 그러므로, 본 발명의 다양한 실시예들의 범위는 이러한 청구범위의 권한이 있는 등가물들의 전체 범위와 함께, 첨부된 청구범위를 참조하여 결정되어야 한다.

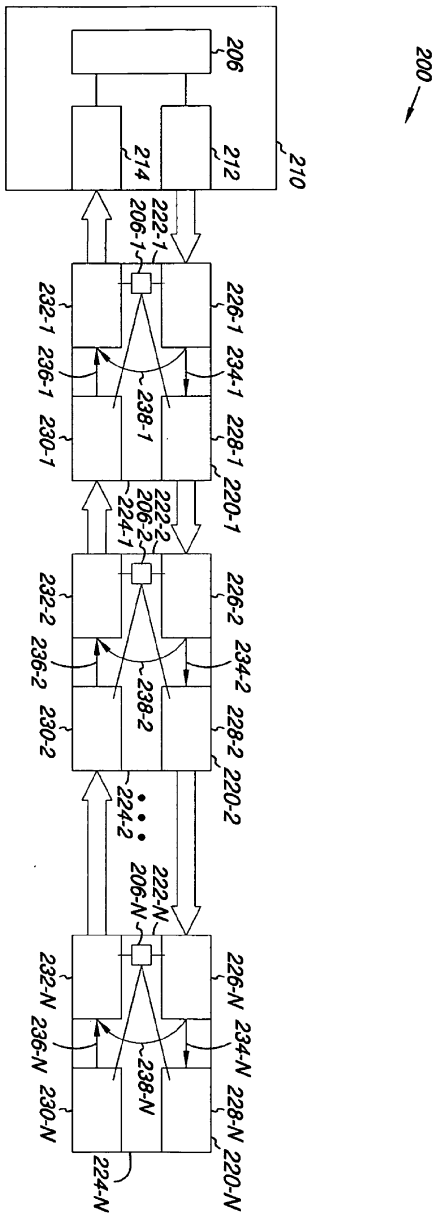
[0053] 상기 상세한 설명에서, 다양한 특징들이 본원을 간소화(streamlining)하기 위해 단일 실시예에서 함께 그룹화되어 있다. 본 명세서의 방법은 본 명세서의 개시된 실시예들이 각각의 청구항에 명시적으로 언급된 것보다 많은 특징들을 사용하여야 한다는 의도를 반영하는 것으로 해석되지 않아야 한다. 오히려, 하기의 청구범위가 나타내는 바와 같이, 본 발명의 주제는 개시된 단일 실시예의 모든 특징들보다 적게 존재한다. 그러므로, 하기의 청구범위는 이에 의해 상세한 설명에 포함되고, 각각의 청구범위는 그 자체가 별개의 실시예로서 유효하다.

도면

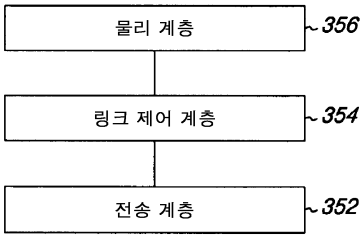
도면1



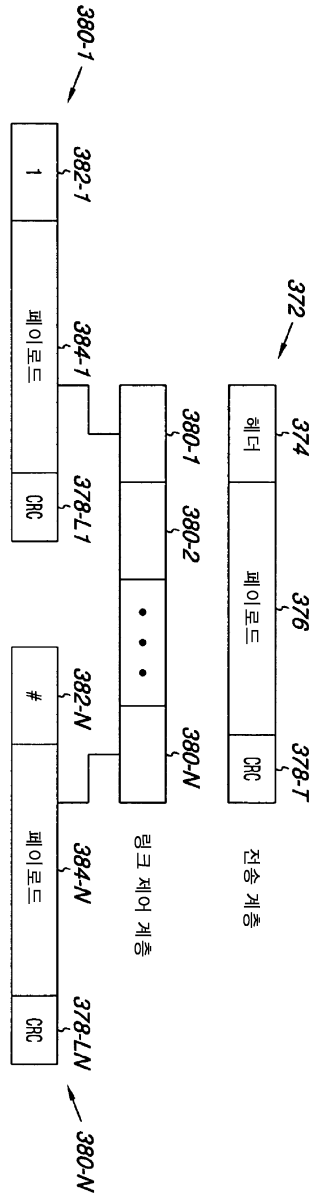
도면2


200
206
210
214
212
222-1
206-1
232-1
236-1
230-1
238-1
226-1
234-1
228-1
220-1
224-1
222-2
206-2
232-2
236-2
230-2
238-2
226-2
234-2
228-2
220-2
224-2
222-N
206-N
232-N
236-N
230-N
238-N
226-N
234-N
228-N
220-N
224-N

도면3a


물리 계층
356
링크 제어 계층
354
전송 계층
352

도면3b


372
374
헤더
376
페이로드
378-T
CRC
전송 계층
380-1
380-2
380-N
링크 제어 계층
380-1
382-1
1
384-1
페이로드
378-L1
CRC
380-N
382-N
#
384-N
페이로드
378-LN
CRC
380-N