

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4092792号
(P4092792)

(45) 発行日 平成20年5月28日 (2008. 5. 28)

(24) 登録日 平成20年3月14日 (2008. 3. 14)

(51) Int. Cl.

F 1

H O 1 J 11/02 (2006. 01)

H O 1 J 11/02 B

H O 1 J 9/02 (2006. 01)

H O 1 J 9/02 F

請求項の数 4 (全 19 頁)

(21) 出願番号	特願平10-298185	(73) 特許権者	000003159
(22) 出願日	平成10年10月20日 (1998. 10. 20)		東レ株式会社
(65) 公開番号	特開2000-123744 (P2000-123744A)		東京都中央区日本橋室町2丁目1番1号
(43) 公開日	平成12年4月28日 (2000. 4. 28)	(72) 発明者	真多 淳二
審査請求日	平成17年10月19日 (2005. 10. 19)		滋賀県大津市園山1丁目1番1号 東レ株
前置審査			式会社滋賀事業場内
		(72) 発明者	井口 雄一朗
			滋賀県大津市園山1丁目1番1号 東レ株
			式会社滋賀事業場内
		(72) 発明者	出口 雄吉
			滋賀県大津市園山1丁目1番1号 東レ株
			式会社滋賀事業場内
		審査官	小林 紀史
			最終頁に続く

(54) 【発明の名称】 プラズマディスプレイ背面板およびプラズマディスプレイパネル

(57) 【特許請求の範囲】

【請求項 1】

複数のアドレス電極と、各アドレス電極の間にアドレス電極に平行して設けられた複数の隔壁と、該隔壁の間に設けられた蛍光体層を有するプラズマディスプレイ背面板において、前記隔壁および前記蛍光体層が導電性粒子を含有することを特徴とするプラズマディスプレイ背面板。

【請求項 2】

前記導電性粒子として、金属粒子を隔壁中に 0. 5 ～ 5 w t % 含有する請求項 1 に記載のプラズマディスプレイ背面板。

【請求項 3】

前記導電性粒子として、導電性酸化物を隔壁中に 0. 1 ～ 2 0 w t % 含有する請求項 1 に記載のプラズマディスプレイ背面板。

【請求項 4】

基板上に透明電極およびバス電極ならびにこれらを覆う誘電体層および Mg O からなる保護層を有する表示側基板と、請求項 1 ～ 3 のいずれかに記載のプラズマディスプレイ背面板とを組み合わせるプラズマディスプレイパネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、プラズマディスプレイ（以下 P D P と称する）および P D P 背面板並びにそれ

らの製造方法に関し、特にＡＣ方式ＰＤＰの異常放電を防止し、パネルの信頼性向上を高めたＰＤＰ、ＰＤＰ背面板および製造方法に関する。

【０００２】

【従来の技術】

薄型・大型テレビに使用できるディスプレイとして、ＰＤＰが注目されている。特に、ＡＣ方式ＰＤＰは、構造が簡便で製造コストが安価にできる可能性があり、輝度や表示品位を高くできるメリットがある。ＡＣ方式ＰＤＰは、誘電体表面に形成した壁電荷を利用して、異なるスキャン電極間で放電することにより表示するディスプレイである。アドレス電極もスキャン電極の放電位置を決めるために放電に関与する。

【０００３】

しかし、スキャンやアドレスのために形成した壁電荷の一部は表示後も誘電体表面に残存壁電荷として残り、この壁電荷により局部的に集中して放電する異常放電が生じる。この異常放電（偶発放電とも言う）を防止するために、特開平１０－６４４３４号公報では、誘電体の表面抵抗値を低くすることにより、残存壁電荷をなくす方法が見いだされている。誘電体の表面抵抗率を低減することにより、異常放電の大半は防止することができる。

【０００４】

【発明が解決しようとする課題】

しかし、残存壁電荷は誘電体表面だけにとどまらず、隔壁表面や蛍光体層表面にも蓄積される。このため、隔壁表面や蛍光体層表面に残存した壁電荷により異常放電が生じ、前面板誘電体を破壊したり、アドレス駆動回路を劣化もしくは破壊する問題が生じる。特に、誘電体の表面抵抗率を低くして残存壁電荷を解消すればするほど、隔壁表面や蛍光体表面の残存壁電荷が問題になる。

【０００５】

また、残存壁電荷による異常放電は、ＰＤＰ内部の異常点で顕在化する。つまり、誘電体や隔壁や蛍光体層の形状が異なる部分で局部的に発生し、その部分に集中的に放電が局在化する傾向がある。このため、異常放電を防止するためには、隔壁の高さ・幅・形状や、蛍光体層の厚み・形状などを高精度に管理する必要がある。このため、ＰＤＰのコスト低減には障害になってきた。

【０００６】

そこで、本発明はこの異常放電を防止し、信頼性に優れたＰＤＰを提供することを目的とする。

【０００７】

さらに、本発明の目的は、各放電セル内に蓄積される残存壁電荷を低減もしくは解消し、異常放電の原因となる残存壁電荷をなくすことができるＰＤＰおよびその製造方法を提供することにある。

【０００８】

【課題を解決するための手段】

すなわち、本発明は、複数のアドレス電極と、各アドレス電極の間にアドレス電極に平行して設けられた複数の隔壁と、該隔壁の間に設けられた蛍光体層を有するプラズマディスプレイ背面板において、前記隔壁および前記蛍光体層が導電性粒子を含有することを特徴とするプラズマディスプレイ背面板である。

【０００９】

これら隔壁、蛍光体層に若干の導電性を持たせることにより、プラズマ放電によって生じ局在化して蓄積していた電荷をリークさせることができ、偶発放電に至る程度の電荷が蓄積されなくなる。

【００１０】

【発明の実施の形態】

以下、本発明の実施の形態の具体例について説明する。しかし、本発明がこの実施の形態に限定されるものではない。

10

20

30

40

50

【0011】

図1は本発明の実施の形態のPDPの分解斜視図である。また図2は、そのPDPの断面図である。両方の図を参照してその構造についてその構造について説明する。

【0012】

10は表示側のガラス基板で、図2に示した方向に光がでていく。20は、背面側のガラス基板である。表示側のガラス基板10上には、透明電極11とその上（図面上は下）に形成された導電性の高いバス電極12からなるX電極とY電極13Yが形成され、誘電体層14とMgOからなる保護層15で覆われている。バス電極12は、透明電極11の導電性を補うために、X電極とY電極の反対側端部に沿って設けられる。

【0013】

背面ガラス基板20上には、例えばシリコン酸化膜からなる下地のパッシベーション膜21上にストライプ状のアドレス電極A1、A2、A3が設けられ、誘電体層22で覆われている。また、アドレス電極A1、A2、A3に隣接するようにストライプ状の隔壁（リブ）23が形成される。この隔壁23は、アドレス放電時の隣接セルへの影響を絶つためと光のクロストークを防ぐための二つの機能を有する。隣接するリブ23毎に赤、青、緑の蛍光体24R、24G、24Bがアドレス電極上およびリブ隔面を被覆するように塗り分けられる。

【0014】

また、図2に示されるとおり、表示側基板を10と背面側基板20とは約100 μ mのギャップを保って組み合わせられ、その間の空間25にはNe+Xeの放電用の混合ガスが封入される。

【0015】

図3は、上記の3電極面放電型のPDPのX、Y電極とアドレス電極との関係を示すパネルの平面図である。X電極X1～X10は横方向に並行して配列されかつ基板端部において共通接続され、Y電極Y1～Y10はX電極の間にそれぞれ設けられ、かつ個別に基板端部に導出されている。これらのX、Y電極はそれぞれ対になって表示ラインを形成し、表示のための維持放電電圧が交互に印加される。尚、XD1、XD2およびYD1、YD2はそれぞれ有効表示領域の外側に設けられるダミー電極であり、パネルの周辺部分の非線形性の特性を緩和するために設けられている。背面基板20上に設けられるアドレス電極A1～A14は、X、Y電極と直交して設けられる。

【0016】

X、Y電極はペアになって維持放電電圧が交互に印加されるが、Y電極は情報を書き込むときのスキャン電極としても利用される。アドレス電極は、情報を書き込むときに利用され、情報に従ってアドレス電極とスキャン対象のY電極との間でプラズマ放電が発生される。従って、アドレス電極にはセル1個分の放電電流しか流す必要がない。また、その放電電圧は、Y電極との組み合わせで決まるので、比較的低電圧での駆動が可能である。このような低電流、低電圧駆動が、大画面表示を可能にしている。

【0017】

図4は、具体的なPDPの駆動方法を説明するための電極印加電圧波形図である。それぞれの電極に印加される電圧は、例えば、 $V_w = 130V$ 、 $V_s = 180V$ 、 $V_a = 50V$ 、 $-V_{sc} = -50V$ 、 $-V_y = -150V$ であり、 V_{aw} 、 V_{ax} はそれぞれの他の電圧に印加される電圧の中間電位に設定される。

【0018】

3電極面放電型のPDPの駆動では、1つのサブフィールドがリセット期間、アドレス期間、および維持放電期間（表示期間）から構成される。

【0019】

リセット期間では、時刻a～bにて共通接続されたX電極に全面書き込みパルスが印加され、パネル全面でXY電極間で放電が発生する（図中W）。この放電で空間25に発生した電荷のうち正電荷が電圧の低いY電極側に引き寄せられ、負電荷が電圧の高いX電極側に引き寄せられる。その結果書き込みパルスがなくなる時刻bにて、今度はX電極とY電

10

20

30

40

50

極間に上記の引き寄せられて誘電体層 1 4 に蓄積された電荷による高電界により、再度放電が発生する（図中 C）。その結果、全ての X、Y 電極上の電荷が中和してしまい、パネル全体のリセットが終了する。期間 b - c はその電荷の中和に要する時間である。

【0020】

次に、アドレス期間では、Y 電極に -50 V ($-V_{sc}$)、X 電極に 50 V (V_a) を印加し、Y 電極に対してスキャンパルス -150 V ($-V_y$) を順に印加しながら、アドレス電極に表示情報に従ったアドレスパルス 50 V (V_a) を印加する。この結果アドレス電極とスキャン電極との間に 200 V の大電圧が印加され、プラズマ放電が発生する。しかし、リセット時の全面書き込みパルスほどは大きな電圧およびパルス幅ではないので、パルスの印加が終了しても蓄積電荷による反対の放電は生じない。そして、放電によって発生した空間電荷は、 50 V 印加の X 電極側およびアドレス電極側に負電荷が、 -50 V 印加の Y 電極側に正電荷がそれぞれの誘電体層 1 4、2 2 上に蓄積される。

10

【0021】

この点は、図 5 の偶発放電の説明図により理解される。このようにして発生し蓄積される X 電極と Y 電極上の蓄積電荷は、後の維持放電期間での維持放電のためのメモリ機能を果たす。すなわち、後の維持放電電圧が X、Y 電極間に印加されると、アドレス期間に放電して電荷が蓄積されているセルの X、Y 電極間に、その維持パルス電圧と蓄積電荷の電圧とが重畳されて、維持放電が X、Y 電極間で発生する。

【0022】

更に、スキャンパルス ($-V_y$) が Y 電極を移動していくに従い、空間電荷の例えば正電荷が図 5 の左側に移動し、負電荷は右側に移動し、両端でそれぞれ蓄積されるものと思われる。そして、上記のメモリ機能として利用されないアドレス電極上の電荷は、その後の維持放電期間でも放電せず、蓄積され（図 5 (C)）、やがて偶発的に放電を発生させる。（図 5 (D)）。

20

【0023】

最後に、維持放電期間ではアドレス期間で記憶された壁電荷を利用して、表示の輝度に応じた表示の放電が行われる。すなわち、X、Y 電極間に、壁電荷があるセルでは放電するが壁電荷のないセルでは放電しない程度の維持パルスが印加される。その結果、アドレス期間で壁電荷が蓄積されたセルでは X、Y 電極間で交互に放電が繰り返される。この放電パルスの数に応じて、表示の輝度が表現される。従って、このサブフィールドを複数回にわたり重み付けした維持放電期間で繰り返すことで多段階調表示を可能にする。そして RGB のセルで組み合わせることでフルカラー表示を実現できる。

30

【0024】

〔偶発放電対策〕図 5 に示されるとおり、X、Y 電極上に形成された誘電体 1 4 上には、壁電荷が蓄積維持放電期間での放電に利用される。しかしアドレス電極上に形成された誘電体層 2 2 上の電荷は、かかる利用がなく、本来このような大量の電荷を蓄積しておく積極的な理由がない。こうして溜まった電荷は誘電体表面にとどまらず、セル内部表面の隔壁の側面や、蛍光体層表面にも蓄積されていく。この大量に蓄積された電荷は、やがて、図 5 (D) の用に偶発放電の原因となる。

【0025】

そこで、このセル内部表面、特にアドレス電極上付近に蓄積される電荷を少しずつリークしてやることで、セル内部表面に偶発放電に至るほど大量に電荷が蓄積するのを防止する、すなわち、具体的なリークの手段として、隔壁 2 3 や蛍光体層 2 4 に電荷をリークさせる程度の導電性を付与させることが必要である。あるいは、隔壁 2 3 または蛍光体層 2 4 または誘電体層 2 2 の抵抗を電荷がリークする程度に低下させることも有効である。その結果、セル内部表面上に蓄積された電荷は偶発放電を生じるほどまで蓄積されることはなくなる。その場合、誘電体層 2 2 においてはアドレス電極間の絶縁性を十分保つ程度に高い抵抗にする必要がある。

40

【0026】

図 6、図 7 は、その様に導電性粒子を混ぜ込んだ隔壁 2 3、蛍光体層 2 4、誘電体層 2 2

50

を説明するためのPDPの断面図である。図6がアドレス電極A1、A2、A3に沿った断面図で、図7がX、Y電極に沿った断面図である。図1と同じ部分には同じ番号を付している。隔壁23、蛍光体層24、誘電体層22には図示されるとおり所定量の導電性粒子30が混入されており、それらの本来必要な絶縁性を保持したまま、隔壁側面や蛍光体層表面や第一の誘電体表面に局在化した電荷をリークさせるのに十分な導電性を持つことになる。特に、隔壁、蛍光体層、誘電体層に導電材料が含まれている場合には、電荷は隔壁、蛍光体層、誘電体層に混入されている導電性粒子を介して常時少量ずつアドレス電極にリークする。

【0027】

本発明において導電性粒子は、金属粒子の場合は酸化しにくいNiかCr、またはこれらの合金であることが好ましい。本発明において導電性粒子が金属粒子である場合、平均粒径が1～8μmであることが好ましく、金属粒子の、隔壁または蛍光体層における含有率が0.5～5wt%、好ましくは0.5～2wt%であることが好ましい。あるいは、導電性粒子として導電性酸化物を用いてもよい。導電性酸化物は、酸化インジウム、酸化すず、酸化チタン等の金属酸化物に不純物をドーピングした半導体物質が好ましく用いられる。導電性酸化物の、隔壁または蛍光体層における含有率は0.1～20wt%、好ましくは2～10wt%であることが好ましい、

また、本発明においてはアドレス電極を被覆する誘電体層を設け、さらに該誘電体層が導電性粒子を含有することが好ましい。ここで導電性粒子が導電性酸化物である場合、誘電体層の表面抵抗は $1 \times 10^{10} \sim 5 \times 10^{13} \Omega / \text{cm}^2$ 、好ましくは $1 \times 10^{11} \sim 1 \times 10^{13} \Omega / \text{cm}^2$ であることが好ましい。また

この導電性粒径は、後述する範囲の平均粒径(D50)にするのが好ましい。図6、7では、模擬的に粒子の大きさが誘電体膜22と同等になっているが、膜厚より小さくても膜厚方向の抵抗は低下するので問題はない。しかし、隔壁の線幅や蛍光体層の厚みや、誘電体層の膜厚やを越える粒径の導電粒子は、電荷の局在化をなくすことはできるものの、隔壁や蛍光体層に部分的に形状の異なる箇所を作り、パネル点灯時に点欠陥として現れるのでなので好ましくない。特に、平均粒径が10μmを越える場合には、導電性粒子中に15μm以上粒径を持つ粒子が含まれてくる為、この粒子が点欠陥発生の原因となるので好ましくない。

【0028】

そして、粒径の導電性粒子の添加量は、適切な範囲の量を混ぜ込むことで、隔壁23や蛍光体層24や誘電体層22の本来の機能を損なわずに、蓄積電荷をリークさせる効果を持たせることができる。

【0029】

本発明において導電粒子は、金属粒子の場合は酸化しにくいNiかCr、またはこれらの合金であることが好ましい。あるいは、導電性粒子として導電性酸化物を用いても良い。導電性酸化物は、酸化インジウム、酸化すず、酸化チタンなどの金属酸化物に不純物をドーピングした半導体物質が好ましく用いられる。

【0030】

導電性粒子の添加量は、隔壁や蛍光体層や誘電体層の形成性に影響を及ぼさない程度であることが必要である。すなわち隔壁に添加する場合には、焼結性の低下による隔壁強度の低下を招かない程度にすることが必要であり、蛍光体層に添加する場合は、その焼結性や輝度の低下に影響を与えない程度に添加することが必要である。誘電体層に添加する場合には、隔壁と同様に焼結性の低下によって膜強度が低下したり、ポーラスになることで不純ガスが発生したり、ポーラスになることで放電ガスがリークしたりしない程度に添加することが必要である。特に誘電体層に導電性粒子を添加する場合には、隣接するアドレス電極間にリークが生じるほどの高い密度で混入されるのは好ましくない。

【0031】

かくして導電性粒子の粒径と添加量を鑑みて導電性粒子の処方を決めることができ、決めた処方の評価方法として、ガス封入まで行ったパネルを点灯させて偶発放電の回数を数え

10

20

30

40

50

る方法がある。また、パネルを封着・点灯までせずに、表面上にアドレス電極と第1の誘電体層と隔壁と蛍光体層をこの順に形成した背面板のみを用いて、該背面板の表面に蓄積させた電荷がどれくらい早く減少していくかを測定する簡易的な方法で評価することができる。表1は、導電性粒子を添加した背面板と添加していない背面板を用いて、上記の両評価方法で得られた結果を示したものである。

【0032】

【表1】

表1

	誘電体層	隔壁	蛍光体層	偶発放電回数	ラップ回数	電荷半減時間	パネル使用の可否
パネルA	—	—	—	30回	6回	>60秒	×
パネルB	Ni 2wt%	—	—	1回	0回	5秒	△
パネルC	Ni 2wt%	TiO ₂ 5wt	—	0回	0回	<1秒	○
パネルD	Ni 2wt%	—	Ni 2wt%	0回	0回	<1秒	○

【0033】

表1に示した点灯パネルは42インチのPDPであり、背面板のみで評価したサンプルは

10

20

30

40

50

点灯させたパネルの表示部分を50mm四方に切断したものである。サンプルAからサンプルEまで隔壁形状や蛍光体層厚み、誘電体層厚みは同一である。隔壁は高さが100 μ m、線幅が50 μ m、蛍光体層厚みは底部、側面共に20 μ m、誘電体層の厚みが電極上10 μ mである。パネルAは導電性粒子を添加していないもの、パネルBは誘電体層のみに導電材料を添加したもの、パネルCは隔壁と誘電体層に導電性粒子を添加したもの、パネルDは隔壁、蛍光体層、誘電体層に導電性粒子を添加したもの、パネルEは蛍光体層と誘電体層に導電性粒子を添加したものである。導電性粒子として、蛍光体層と誘電体層にはNiを2wt%、隔壁には導電性酸化チタン5wt%を添加して評価した。

【0034】

ここで注目すべき点は、誘電体層に導電性粒子を添加することで偶発放電の回数を著しく減少させることができる点である。導電性粒子を添加していないサンプルAでは、1分間に30回発生し、時には前面板の誘電体を破壊するほどの放電が発生していたが、Niを2wt%含有させた誘電体層を持つサンプルBでは1回までに減少させることができた。

【0035】

しかし、偶発放電が1分に1回程度発生するということは、パネルや回路の破壊にまでつながる大きな放電にはなかなか至らないが、長い期間点灯させる状況では、大きな放電が発生しないという保証を与えるものでは決していない。

【0036】

本発明者らは、より偶発放電が発生しないと保証できる方法として、隔壁中に導電性粒子を混在させる方法、または蛍光体層中に導電性粒子を混在させる方法、または隔壁と蛍光体層中の両方に導電性粒子を混在させることが有効であることを見出した。すなわち本発明においては、基板上に設けた複数のアドレス電極と、該アドレス電極を被覆する誘電体層と、該誘電体層上の各アドレス電極の間にアドレス電極に平行して設けられた複数の隔壁と、該隔壁の間に設けられた蛍光体層とからなる背面板において、該背面板表面に電圧をかけて電荷を蓄積させ、電圧をかけるのを止めてからの蓄積電荷の半減に要する時間が1秒以下であることが好ましい。

【0037】

サンプルC～Eはかかる発明を実証した結果である。何れのサンプルにおいても偶発放電の回数が1分間で0回になっている。この結果を裏付けるように、背面板に蓄積させた電荷の半減時間も早くなっていることがわかる。

【0038】

背面板に蓄積させた電荷の減衰はオネストメーターを用いて測定する。本装置は、高電圧をかけて背面板表面に電荷を蓄積させ、電圧をかけるのをストップした時点から、この蓄積電荷がどれだけ早く減衰するかをみるものである。具体的には10kVの電圧をかけ、0.1～1.0Vに蓄積した電荷が半減するまでの時間を測定した。表1の結果が示すとおり、電荷の半減が早いサンプルほど偶発放電の回数が減少している。後で示す導電性粒子の選定や粒径の選定、添加量の最適化などは本評価方法を用いて行った。

【0039】

図8は、誘電体層に最適化された粒径を持つ導電性粒子の添加量を検討した実験結果を示すグラフである。また、図9は表面抵抗を測定するためのサンプルの構造を示す。この実験では誘電体層106にNiなどの導電性粒子を混入させたときの、膜厚方向の導電性を調べることを目的としている。そこで、実験サンプルとして、図9に示されるとおり、ガラス基板100上に銀(Ag)の電極層102、104を約80 μ mの幅で約280 μ m離して設け、その上に10 μ m程度の粒径のNi108を混入した酸化ビスマスの誘電体106を約10 μ mの厚みで形成し、更に銀(Ag)ペースト層110を形成したものを準備する。そして銀ペースト層110と電極層102との間の抵抗値を測定した。

【0040】

図8は、上記の銀ペースト層110と電極層102との間の抵抗値を、粒子の個数を変えた実験サンプルについて測定したグラフである。粒子の個数は、図8に示した80×80×10 μ mの直方体の体積中に存在する数を表すが、導電粒子の粒径を5 μ m、比重を7

10

20

30

40

50

～8とし、誘電体層のガラス等の成分のトータルの比重を4として計算してある。図中、黒丸はNiの粒子108を含有させた誘電体層106をスクリーン印刷して焼成し、その上に銀ペースト層を形成した状態で抵抗を測定したときの結果である。それに対して、白丸は銀ペースト層110と電極層102との間に約20Vの直流電圧を印加した後に抵抗を測定した時の結果である。Niの粒子を混入させた誘電体膜106を焼成した状態では、Ni粒子の表面に極薄い低融点ガラスが存在しており、ある程度の直流電圧を印加することにより、その薄い膜が破られるため、図8の如く抵抗値が大きく低下したものと思われる。

【0041】

この実験結果から明らかなとおり、膜厚相当の粒径を持つNi粒子が、図8に示した直方体体積中に存在する数が1個から100個程度であれば、ある程度の抵抗値を持つが膜厚方向に電荷をリークすることができる誘電体層を形成することが可能である。前述したとおり、粒子の個数があまりに多くなると誘電体層自体の膜の緻密性が損なわれ、周縁部での気密封止性を損なわせることになり好ましくない。

【0042】

図10は、図8で示した結果を、導電粒子の添加重量の割合と表面抵抗率の関係に改めたものである。

【0043】

以上、導電材料の粒子としては上記ではNiと導電性酸化チタンを一例として示したが、金属材料ではCrや、NiやCrを含む合金などの酸化しにくい金属材料も使用できる。しかし、誘電体層、隔壁、蛍光体層の焼成工程などで表面が酸化され、導電性が低下する様な材料は、その電荷のリーク作用をなくすことになるので好ましくない。

【0044】

[PDPの製造方法] 次に、本発明のPDPの製造方法について簡単に説明する。まず、導電性粒子が混入される背面側のガラス基板20側から説明する。プロセス工程自体は簡単であるので、完成した構造を示している図6、7を参照しながら説明する。

【0045】

最初に、ガラス基板20の表面を洗浄した後に、下地誘電体層21をスクリーン印刷と焼成により形成し、その表面にアドレス電極を感光性ペースト法により3μm程度の厚みで形成する。ここでの感光性ペースト法は感光性銀ペーストを用い、スクリーン印刷・パターン露光・現像・焼成の工程で行う。

【0046】

そして、Niなどの導電性粒子を混入させた酸化ビスマス主成分とする低融点ガラスペーストをスクリーン印刷法によりアドレス電極A1～A3上に形成する。この導電性粒子は、後述する範囲の平均粒子径を持つことが好ましい。そのために、Ni粒子を所定のメッシュ径を持つメッシュを通過させ、更にその透過した粒子を今度は更に小さいメッシュ径を持つ透過させ、その透過しなかったNi粒子を利用する。また、粒径5μm未満のNi粒子を用意する場合には、Ni粒子を湿式還元して製造するときの還元剤の添加量を多くするなどして、ねらい通りの粒径を持つ粒子を得ることができる。そして、かかるNi粒子を、無機成分に対して0.5～5wt%程度の割合で添加した誘電体ペーストを作製し、そして、スクリーン印刷法し焼成する。

【0047】

隔壁も感光性ペースト法により形成する。まず乾燥後150μm程度の厚みになるように感光性ガラスペーストを前記誘電体層の上に塗布する。そしてパターン露光・現像・焼成によって隔壁を形成する。なお、隔壁に導電材料を含有させる場合には、原料調合の段階で添加するので従来と工程数を増やすことなく形成できる。また、導電性粒子の添加量が体積比に換算するとフォトリソグラフィに影響がでない程度なので、露光・現像工程で問題なく隔壁パターンを形成することができる。

【0048】

蛍光体24は、有機バインダーで一旦蛍光体ペーストとし、隔壁23の間に注入・乾燥・

10

20

30

40

50

焼成することで形成する。蛍光体についても導電性粒子を含有させる場合には、原料調合時に添加するだけであるので従来と同様のプロセスで形成することができる。こうして、背面側ガラス基板のプロセスを終える。

【0049】

一方、表面側のガラス基板は、同様にガラス基板10上に、透明の導電膜(ITO)11形成、フォトリソグラフィによりパターンニング、その上にCr/Cu/Cr構造の金属導電膜を形成し、フォトリソグラフィによりパターンニングしてバス電極12を形成、誘電体層14を印刷と焼成で形成し、周縁部にシール用の低融点ガラスシール層26を形成し、保護膜(MgO)15を蒸着法で形成する。

【0050】

そして、両方の基板を組み立てて封止し、内部の排気をして放電用ガス(Ne+Xe)を封入し完成する。

【0051】

以上のようにして、本発明のPDPは、従来の製造方法とそれほど変わることなく形成することができる。

【0052】

[導電性酸化物の例] 上記の実施の形態例では、誘電体層22と蛍光体層24内にNiなどの酸化しにくい金属粒子を混入した。しかしながら、本発明はかかる金属粒子に限定されず、導電性酸化物の粒子を混入することでも良い。隔壁23では導電性酸化チタンを混入した例を述べた。例えば、隔壁23は酸化リチウム(Li₂O)と酸化ケイ素(SiO₂)を主成分とするガラス層であり、その製造工程においてガラスペーストを印刷し焼成することで隔壁23が形成される。その焼成工程は、例えば500～600℃の大気中で行われるため、焼成雰囲気によって金属酸化物の粒子の表面が酸化されて蓄積電荷のリークに必要な導電性が得られなくなる可能性がある。

【0053】

更に、粒子の周囲はガラス層で囲まれ、パネルの使用中の温度上昇で更に酸化が進むことが予想される。かかる点も、粒子の導電性低下を招く。そして、それらの酸化は不安定要素が多く、再現性に欠ける。

【0054】

金属粒子以外の導電性粒子を用いる例として、酸化インジウム(In₂O₃)、酸化スズ(SnO₂)、酸化チタン(TiO₂)などの金属酸化物にアンチモン(Sb)などの不純物をドーブした半導体が有用である。かかる、導電性を有する酸化物の場合は、ペースト中に粒子の形で混入させて焼成しても、粒子は酸化物であるので更に酸化されてもその導電性が変化することはほとんどない。

【0055】

図11は、Bi₂O₃-SiO₂-B₂O₃系の誘電体材料に導電性の酸化チタン(TiO₂)の粒子が混合された層の含有量と表面抵抗率との関係を示す図である。このサンプルは、平均粒径が0.2μmの導電性の酸化チタン粒子を混入させて、約10μmの誘電体層を上記の焼成温度で形成した。粒子の含有量を変化させてそれぞれのサンプルの表面抵抗率を測定した結果が図11に示されるグラフである。また、グラフ中に、クロム(Ni)の粒子2wt%混入した後述するサンプルの表面抵抗率の値も参考として付記した。

【0056】

このグラフから明らかなとおり、ニッケル(Ni)粒子を混入させたサンプルと同程度の表面抵抗率を得るように導電酸化物の含有率を調整するのが、同様の偶発放電を減らし放電によるラッチアップ現象を防止するためには好ましい。酸化チタン(TiO₂)の例では、含有率が0.5～20wt%の時にその表面抵抗率が $5 \times 10^{13} \sim 1 \times 10^{10} \Omega / \text{cm}^2$ にすることができる。グラフから理解されたとおり、アドレス電極間を絶縁するためには、表面抵抗率を下げすぎるのは問題である。更に、表面抵抗率を下げるためにその含有率を高くしすぎると見かけ上のガラスペーストの軟化点が上昇し、焼成温度が高くなり、焼結が困難になる傾向がある。従って、20wt%程度が含有率の上限である。一方含

10

20

30

40

50

有率の下限は蓄積電荷をある程度リークして偶発放電回数を減らし放電によるハード不良をなくす為に、余り表面抵抗が高くない含有量である0.5wt%である。

【0057】

そして、より好ましくは粒子の含有量が2~10wt%で、表面抵抗率が $1 \times 10^{13} \sim 1 \times 10^{11} \Omega / \text{cm}^2$ の範囲である。更に粒子の含有量が4~10wt%で表面抵抗率が $1 \times 10^{12} \sim 1 \times 10^{11} \Omega / \text{cm}^2$ の範囲がより好ましい。

【0058】

粒子の含有率と誘電体の表面抵抗率とは必ずしも一対一に対応しない。例えば、金属酸化物不純物ドーパ量によっても多少変化する場合もあるからである。しかしながら、上記した表面抵抗の率の好ましい範囲は、誘電体層の絶縁性と偶発放電の原因となる蓄積電荷のリーク効果という相対立する機能を達成できる範囲である。また、粒子含有量の好ましい範囲も、焼成温度を上昇させずに同様の機能を誘電体層に与える範囲である。

10

【0059】

また、上記の導電性酸化物の粒子の粒径は、平均粒径で数 μm 以下であればよい。特に酸化チタンを用いる場合は平均粒径が0.2 μm でも構わない。10 μm 程度の誘電体層22に対して大部分の粒子が内部に埋もれてしまうが、酸化ビスマス自体は高抵抗であるが混入された低抵抗の導電性粒子の存在により、膜厚方向の抵抗の合計は粒子を混入させない場合よりも低くすることができる。従って、蓄積電荷をある程度リークさせることができる。また、膜厚よりも大きい粒子が過剰に混入される場合は、誘電体層22の表面に突出する導電体が電界集中により放電電極として作用する場合がある。従ってその平均粒径は誘電体の膜厚より小さいことが好ましい。

20

【0060】

以上は、導電性酸化物の添加量と表面抵抗の関係を評価できる誘電体層について例を述べたが、隔壁や蛍光体層に導電性酸化物を加える場合も同様の実験を行うことができる。また、先述したオネストメーターを用いて評価する方法でも、表面抵抗の低いものほど蓄積電荷の減衰が早く、良い相関が得られる。

【0061】

【実施例】

図10と図11は導電材料の添加量と各部材の表面抵抗との関係を表したグラフである。図10では粒径5 μm のニッケルを、図11では導電性粒子として粒径0.2 μm の導電性酸化チタンを用いた。評価は先述したとおり、銀電極パターンの上に各部材を厚み10 μm で形成し、その上にまた銀電極層を設け両電極層間の抵抗値を測定する方法で行った。

30

【0062】

次に、導電性粒子の粒径を最適化について説明する。表2と表3は、導電性粒子の粒径を変えたときの、42インチのパネルの欠陥数と蓄積させた電荷の半減時間をまとめた表である。表2は導電性粒子としてニッケルを用いたとき、表3は導電性酸化チタンを用いたときの結果である。

【0063】

【表2】

40

表 2

Ni 粒子の添加箇所	評価項目	Ni の粒径			
		1.2 μ m	3 μ m	5 μ m	8 μ m
誘電体層のみに 5 μ m 径の Ni を 2wt% 添加	パネル欠陥* 電荷半減時間	なし 8 秒	なし 6 秒	なし 5 秒	なし 7 秒
誘電体層に 5 μ m 径の Ni を 5wt% 添加し、隔壁に右記 Ni を 5wt% 添加	パネル欠陥* 電荷半減時間	なし 1 秒	なし 1 秒	なし < 1 秒	なし 1 秒
誘電体層に 5 μ m 径の Ni を 5wt% 添加し、蛍光体層に右記 Ni を 2wt% 添加	パネル欠陥* 電荷半減時間	なし 1 秒	なし 1 秒	なし < 1 秒	なし 1 秒

* パネル欠陥：パネル点灯時に光らない箇所、および異常点灯する箇所

【 0 0 6 4 】

【表 3】

表 3

導電性酸化チタンの 添加箇所	評価項目	導電性酸化チタンの粒径	
		0.2 μm	4 μm
誘電体層のみに 酸化チタンを 10 wt% 添加	パネル欠陥* 電荷半減時間	なし 4 秒	なし 5 秒
誘電体層に 0.2 μm 径の 酸化チタンを 10wt% 添加 し、隔壁に右記酸化チタン を 5wt% 添加	パネル欠陥* 電荷半減時間	なし < 1 秒	なし < 1 秒
誘電体層に 0.2 μm 径の 酸化チタンを 10wt% 添加 し、蛍光体層に右記酸化チ タンを 5wt% 添加	パネル欠陥* 電荷半減時間	なし < 1 秒	なし < 1 秒

* パネル欠陥：パネル点灯時に光らない箇所、および異常点灯する箇所

【0065】

表2では、ニッケルの粒径として、1、2、3、5、8 μm のものをを用いており、いずれもパネル欠陥が発生しなかった。従って導電性粒子に金属粒子を用いる場合はその粒径が1～8 μm であることが好ましい。また、粒径によって電荷の半減時間が異なっているのは同量添加してもその添加効率が異なるためである。粒径が5 μm の粒子が最も効率が高かった。その他の粒子は5 μm の粒子に比べて効率が悪いものの添加量を増やすことでその電荷のリーク機能を補うことができる。以下の実験では、ニッケルは全て5 μm の粒子を用いることとした。

【0066】

表3には、導電性粒子に導電性酸化チタンを用いた場合の例を示した。この酸化チタンの平均粒径は0.2 μm と4 μm であるが、誘電体層に10 wt%、隔壁層に5 wt%、蛍光体層に5 wt%添加した系では、両者に余り違いは見られず、どちらの酸化チタンも良好であった。

【0067】

表4は、背面板の各部材に導電性粒子を混入したときの評価結果をまとめたものである。

【0068】

【表4】

表 4

	誘電体層	隔壁	蛍光体層	偶発放電回数	ラッチ アップ回数	電荷半減時間	パネルの 使用可否
パネルA	—	—	—	30回	6回	> 60秒	×
パネルB	Ni 2wt%*	—	—	1回	0回	5秒	△
パネルC	Ni 2wt%*	TiO ₂ 5wt*	—	0回	0回	< 1秒	○
パネルD	Ni 2wt%*	—	Ni 2wt%*	0回	0回	< 1秒	○
パネルE	Ni 2wt%*	Ni 2wt%*	Ni 2wt%*	0回	0回	< 1秒	○
パネルF	TiO ₂ 10wt*	—	—	1回	0回	3秒	△
パネルG	TiO ₂ 10wt*	TiO ₂ 5wt*	—	0回	0回	< 1秒	○
パネルH	TiO ₂ 10wt*	—	TiO ₂ 5wt*	0回	0回	< 1秒	○
パネルI	TiO ₂ 10wt*	TiO ₂ 5wt*	TiO ₂ 5wt*	0回	0回	< 1秒	○
パネルJ	—	TiO ₂ 5wt*	—	0回	0回	1秒	○
パネルK	—	—	TiO ₂ 5wt*	0回	0回	1秒	○

* 平均粒径：Ni粒子は5 μm、TiO₂粒子は0.2 μm

【0069】

導電性粒子には金属粒子には粒径5 μmのニッケルを2wt%添加し、金属酸化物には粒径0.2 μmの導電性酸化チタンを5wt%もしくは10wt%添加して使用した。各部材への添加量と組み合わせを示したのがサンプルC～EとG～Kである。サンプルAとBとFは従来品の比較例として記載した。評価項目には偶発放電回数とラッチアップ回数と電荷の半減時間を示し、その結果から信頼のおけるパネルとしての使用可否を○、△、×で示した。

【0070】

このサンプルA～Kは42インチのPDPであり、評価は、400ラインを点灯した時の1分当たりの偶発放電の回数、と10分間当たりのラッチアップの回数である。なお、ラッチアップ現象とは、蓄積された電荷により発生する大きな放電現象であり、通常アドレス電極に沿って発生し、アドレス電極の動作不良を招くものであり、ハードウェア自体の破壊を伴うものと考えられる。従って、かかる現象はなくすることが必要である。偶発放電は、それよりも比較的小さな放電であるが表示上体を悪化させる原因となり、できるだけ減らすことが必要である。

【0071】

この評価結果から得られる結論は、誘電体層のみならず隔壁または蛍光体層に導電性粒子を添加することで、または隔壁と蛍光体層の両方に導電性粒子を添加することで偶発放電やラッチアップの回数を皆無にすることができるということである。

10

【0072】

以上、実施例を説明したが、金属粒子や導電性酸化物の粒子を混入させた隔壁23や蛍光体層24や誘電体層22を形成することで、導電性粒子を含有しない場合よりも各部材の抵抗は低下する。そして、その低下により偶発放電や上記ラッチアップの原因となる蓄積電荷を適度にリークすることができる。しかも、その平均粒径と含有率を上記した範囲に設定することで、ほぼ従来通りの製造工程や焼成工程でパネルを提供することができる。しかも、隔壁や誘電体層の膜質も放電ガスを封止するに十分緻密なものに維持することができる。

【0073】

20

更に本発明は、上記の評価結果から隔壁23や蛍光体層24や誘電体層22にその抵抗を下げることができる物質を含ませることで、望ましくない放電の回数を減らすことができる。本発明の目的の偶発放電の原因となる蓄積電荷のリーク機能を達成することができる。

【0074】

【発明の効果】

本発明によれば、アドレス期間内の放電により発生して背面板の放電セル内部表面に蓄積していた電荷が、適宜リークすることになり、従来のように電荷が過剰に蓄積し偶発放電が発生する回数を著しく減少させることができ、更に偶発放電に伴うラッチアップ現象を防止することができる。

30

【0075】

【図面の簡単な説明】

【0076】

【図1】本発明の実施の一形態のPDPの分解斜視図

【0077】

【図2】本発明の実施の一形態のPDPの断面図

【0078】

【図3】3電極面放電型のPDPの表示電極対

【0079】

【図4】PDPの駆動方法を説明するための電極印加電圧波形図

40

【0080】

【図5】偶発放電の説明図

【0081】

【図6】導電性粒子を混ぜ込んだ誘電体層、隔壁、蛍光体層を説明するためのPDPの断面図

【0082】

【図7】導電性粒子を混ぜ込んだ誘電体層、隔壁、蛍光体層を説明するためのPDPの断面図

【0083】

【図8】導電性粒子の最適化を検討したグラフ

50

【0084】

【図9】表面抵抗の測定方法を表す図

【0085】

【図10】Niの添加量と表面抵抗率の関係を表すグラフ

【0086】

【図11】導電性酸化チタンの添加量の最適化を検討した結果を表すグラフ

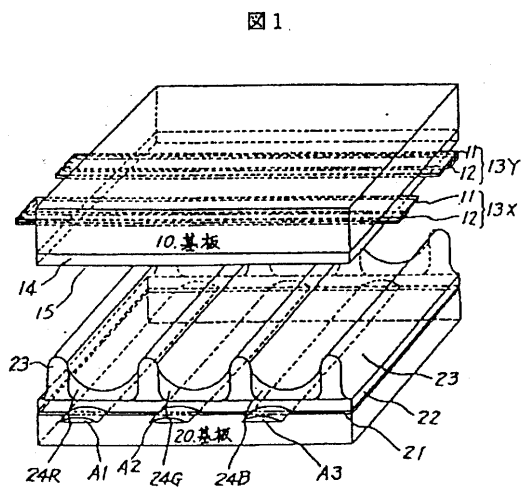
【0087】

【符号の説明】

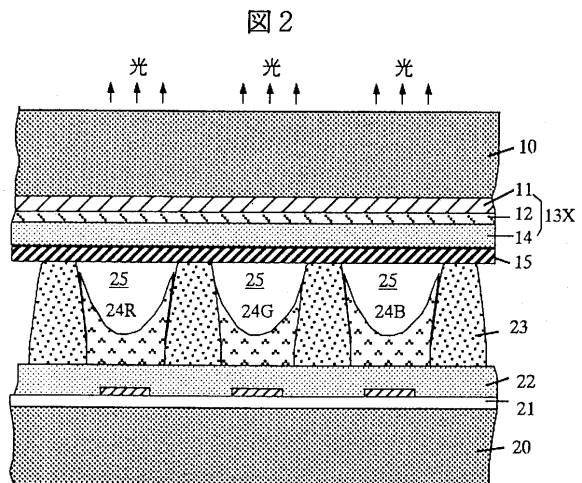
- 10 第二の基板
- 13 表示電極対
- 14 第二の誘電体層
- 20 第一の基板
- 22 第一の誘電体層
- A1～A3 アドレス電極
- 30 導電性粒子

10

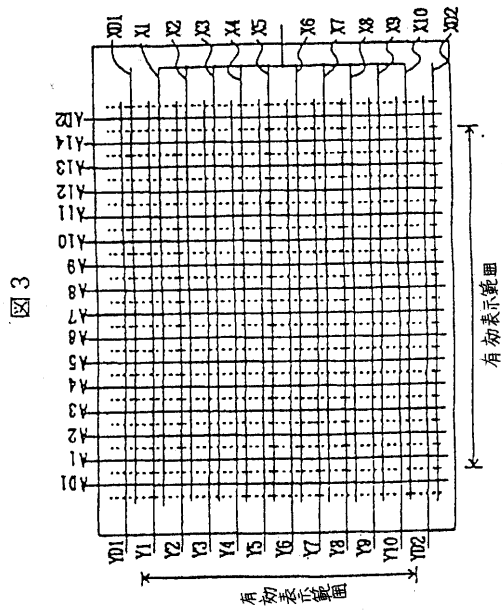
【図1】



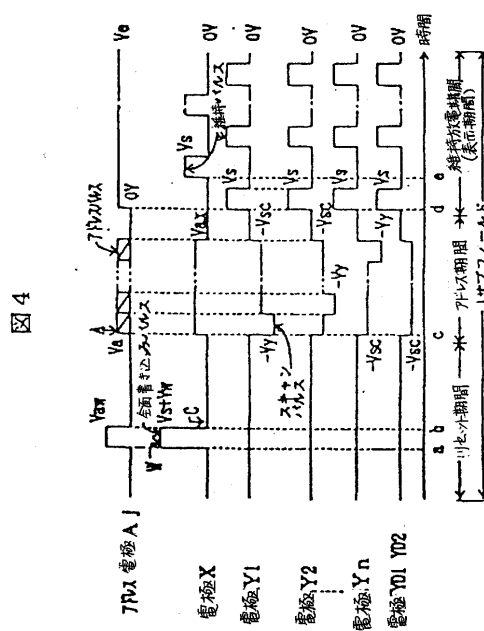
【図2】



【図 3】

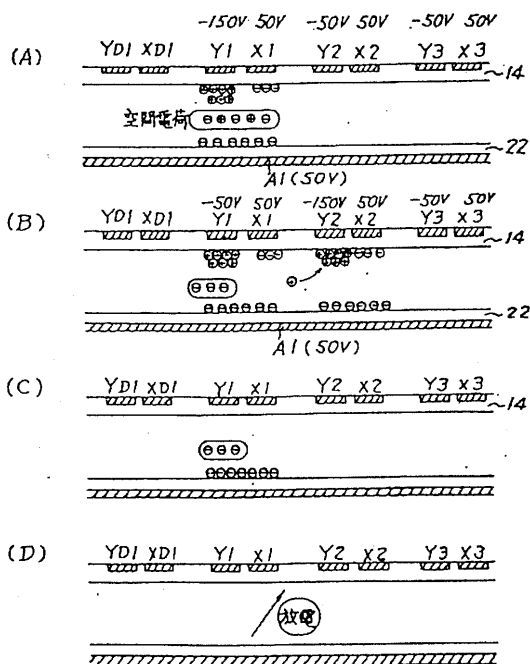


【図 4】



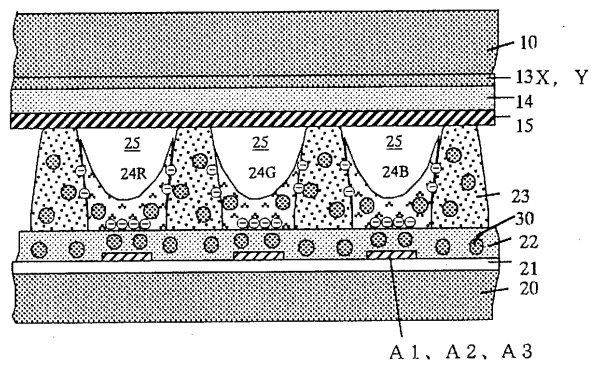
【図 5】

図 5

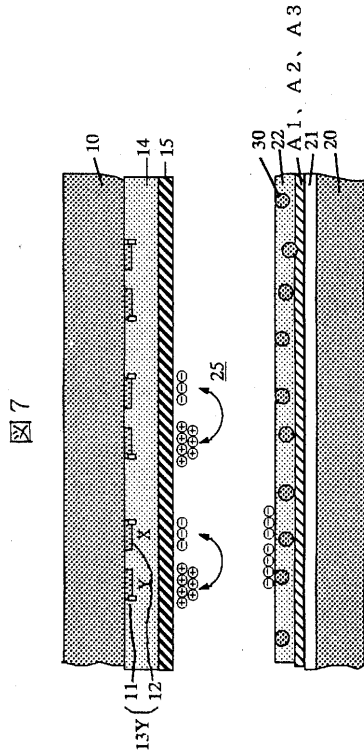


【図 6】

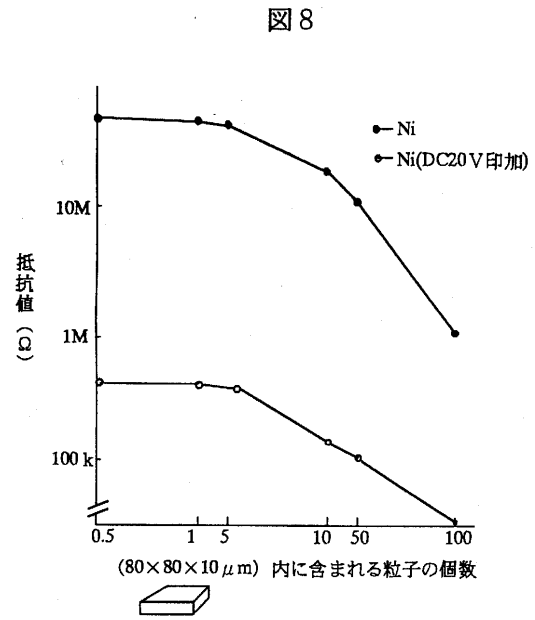
図 6



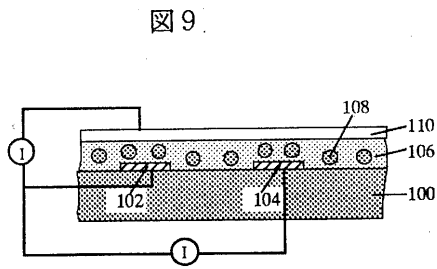
【図 7】



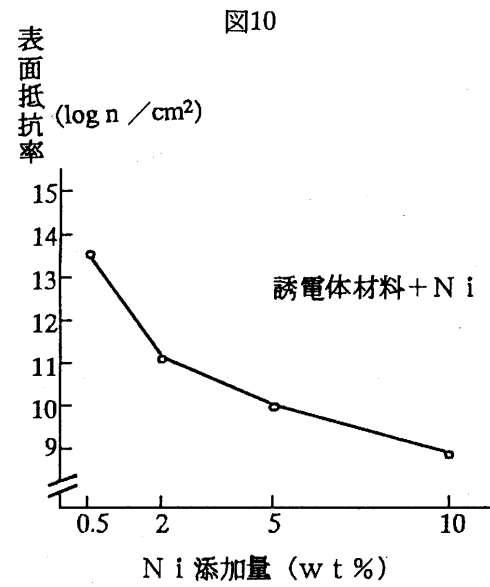
【図 8】



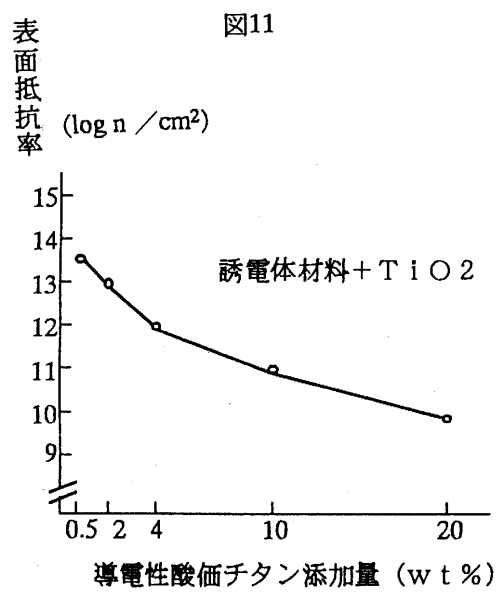
【図 9】



【図 10】



【図 1 1】



フロントページの続き

- (56)参考文献 特開平05-151901 (JP, A)
特開平10-064434 (JP, A)
特開平03-078936 (JP, A)
特開平04-239585 (JP, A)
特開昭55-113237 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H01J 11/00-17/64