

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5717763号  
(P5717763)

(45) 発行日 平成27年5月13日 (2015. 5. 13)

(24) 登録日 平成27年3月27日 (2015. 3. 27)

(51) Int. Cl.	F I
HO 1 L 29/786 (2006. 01)	HO 1 L 29/78 6 1 6 S
HO 1 L 21/336 (2006. 01)	HO 1 L 29/78 6 1 6 L
	HO 1 L 29/78 6 1 6 T
	HO 1 L 29/78 6 2 1

請求項の数 5 (全 13 頁)

(21) 出願番号	特願2012-548085 (P2012-548085)	(73) 特許権者	390009531
(86) (22) 出願日	平成23年1月5日 (2011. 1. 5)		インターナショナル・ビジネス・マシーンズ・コーポレーション
(65) 公表番号	特表2013-516793 (P2013-516793A)		INTERNATIONAL BUSINESS MACHINES CORPORATION
(43) 公表日	平成25年5月13日 (2013. 5. 13)		アメリカ合衆国10504 ニューヨーク州 アーモンク ニュー オーチャードロード
(86) 国際出願番号	PCT/US2011/020173	(74) 代理人	100108501
(87) 国際公開番号	W02011/084975		弁理士 上野 剛史
(87) 国際公開日	平成23年7月14日 (2011. 7. 14)	(74) 代理人	100112690
審査請求日	平成25年10月4日 (2013. 10. 4)		弁理士 太佐 種一
(31) 優先権主張番号	12/683, 634	(74) 代理人	100091568
(32) 優先日	平成22年1月7日 (2010. 1. 7)		弁理士 市位 嘉宏
(33) 優先権主張国	米国 (US)		
早期審査対象出願			

最終頁に続く

(54) 【発明の名称】 非対称N型電界効果トランジスタおよびこれを形成するための方法

(57) 【特許請求の範囲】

【請求項1】

シリコン・オン・インシュレータ非対称N型電界効果トランジスタであって、  
インシュレータ層まで延びるトレンチ分離により分離された活性領域内で前記インシュレータ層まで延びるドレイン領域と、

前記活性領域内で前記インシュレータ層の上のチャンネルと、

前記活性領域内で前記チャンネルを介して前記ドレイン領域に結合され前記インシュレータ層まで延びるソース領域と、

前記チャンネルの少なくとも一部分の上に重なるゲート構造体と、

前記活性領域内で少なくとも部分的に前記チャンネル内に配置されたハロー注入であって、  
前記ドレイン領域より前記ソース領域の近くに配置されたハロー注入と、

前記チャンネルに結合されたボディタイと

を含み、

前記ハロー注入は、部分的に前記ソース領域内に配置され、

前記活性領域内でソース拡張注入およびドレイン拡張注入をさらに含み、前記ソース拡張注入は前記ソース領域に結合され、前記ドレイン拡張注入は前記ドレイン領域に結合され、前記ソース拡張注入および前記ドレイン拡張注入は非対称に配置され、前記ソース拡張注入が前記ドレイン拡張注入よりもサイズあるいはドーピングまたはその両方が大きい

非対称N型電界効果トランジスタ。

**【請求項 2】**

前記ハロー注入が角度付き注入手順によって形成される、請求項 1 記載の非対称 N 型電界効果トランジスタ。

**【請求項 3】**

前記ボディタイが、Hゲート、Tゲート、ショットキー構造体、およびボディ・ソース・タイのうちの少なくとも 1 つを含む、請求項 1 記載の非対称 N 型電界効果トランジスタ。

**【請求項 4】**

シリコン・オン・インシュレータ非対称 N 型電界効果トランジスタであって、インシュレータ層まで延びるトレンチ分離により分離された活性領域内で前記インシュレータ層まで延びるソース領域と、前記活性領域内で前記インシュレータ層まで延びるドレイン領域と、前記活性領域内で前記インシュレータ層の上の P 型チャンネルと、前記活性領域内で少なくとも部分的に前記 P 型チャンネル内に配置されたハロー注入と、前記活性領域内のソース拡張注入と、前記活性領域内のドレイン拡張注入と、ゲート構造体と、ボディタイとを含み、前記ハロー注入が前記ドレイン領域より前記ソース領域の近くに配置され、前記ハロー注入は、部分的に前記ソース領域内に配置されており、前記ソース拡張注入は前記ソース領域に結合され、前記ドレイン拡張注入は前記ドレイン領域に結合され、前記ソース拡張注入および前記ドレイン拡張注入は非対称に配置され、前記ソース拡張注入が前記ドレイン拡張注入よりもサイズあるいはドーピングまたはその両方が大きい、非対称 N 型電界効果トランジスタ。

**【請求項 5】**

前記ボディタイが、Hゲート、Tゲート、ショットキー構造体、およびボディ・ソース・タイのうちの少なくとも 1 つを含む、請求項 4 記載の非対称 N 型電界効果トランジスタ。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明の模範的な諸実施形態は、一般に、電界効果トランジスタ (FET) に関し、より具体的には、ボディタイド (body-tied) FET に関する。

**【背景技術】****【0002】**

半導体および集積回路チップは、そのコストおよびサイズが絶えず減少しているために、多くの製品内で広く普及している。マイクロエレクトロニクス業界ならびに微小構造体 (たとえば、マイクロマシン、磁気抵抗ヘッドなど) の構築を伴うその他の業界では、構造機構およびマイクロ電子デバイスのサイズを低減するか、あるいは所与のチップ・サイズについてより多くの量の回路を設けるか、またはその両方を行いたいという要望が継続している。一般に、小型化は、より低い電力レベルとより低いコストでパフォーマンスの向上 (クロック・サイクルあたりの処理の増加および発生する熱の低減) を可能にする。現在の技術は、たとえば、論理ゲート、FET、およびキャパシタなどの特定のマイクロデバイスについて原子レベルまたはそれに近いレベルのスケーリングが可能である。何億個ものこのようなデバイスを有する回路チップは珍しいものではない。さらにサイズ低減することは、その半導体基板上およびその内部に埋め込まれるトレース線およびマイクロデバイスの物理的限界に近づくように思われる。本発明は、このようなマイクロサイズ・デバイスを対象とする。

**【0003】**

基本的に、FET は、ソース、ゲート、およびドレインを有するトランジスタである。FET の動作は、ゲートを通過し、ソースとドレインの間のチャンネルに沿って流れる多数キャリアの流れによって決まる。ソースとドレインの間にあるチャンネルを通る電流は、ゲートの下の横電界 (transverse electric field) によって制御される。

**【0004】**

当業者にとって既知の通り、P型FET(PFET)は、ゲート端子がソースに対して低電位または負電位にあるときに、ONになり、ソースからドレインへの電流を可能にする。ゲート電位が正であるかまたはソースと同じであるときに、P型FETはOFFになり、電流を通さない。これに対して、N型FET(NFET)は、ゲート端子がソースに対して高いかまたは正であるときに、ONになり、ソースからドレインへの電流を可能にする。ゲート電位が負であるかまたはソースと同じであるときに、N型FETはOFFになり、電流を通さない。これらの場合のいずれでも、FETの作動をトリガするためのしきい電圧が(たとえば、ゲート端子に)存在することに留意されたい。

#### 【0005】

より効果的にチャンネルを制御するために、2つ以上のゲート(マルチゲート)を使用することができる。ゲートの長さは、FETがどのくらい速くスイッチするかを決定し、チャンネルの長さ(すなわち、ソースとドレインの距離)とほぼ同じにすることができる。マルチゲートFETは、相補形金属酸化膜半導体(CMOS)FET技術を22nm未満の体制までスケールダウンするための有望な候補であると見なされている。しかし、このような小さい寸法は、短チャンネル効果、突抜け現象、金属酸化膜半導体(MOS)漏洩電流、ならびに本明細書で特に関連のあるものとして、マルチゲートFETに存在する寄生抵抗などのパフォーマンス問題に対するより大きい制御を必要とする。

#### 【0006】

FETのサイズは、1つまたは複数のフィン形チャンネルの使用により順調に低減されている。このようなチャンネル構造体を使用するFETはFinFETと呼ぶことができる。以前は、CMOSデバイスは半導体基板の表面に沿って実質的に平面であったが、チャンネルの上に配置されたFETゲートは例外であった。フィンは、ゲートに対して露出されているチャンネルの表面積を最大限にするために垂直チャンネル構造体を使用することにより、このパラダイムから突出している。ゲートは、チャンネルの2つ以上の側面(表面)の上に延びるので、チャンネルをより強く制御する。たとえば、ゲートは、伝統的な平面チャンネルの上面の端から端までにのみ配置されるのではなく、3次元チャンネルの3つの表面を囲むことができる。

#### 【0007】

しきい電圧に影響を及ぼす(たとえば、しきい電圧を増加し、異なるゲート長に対してより安定したしきい電圧を促進する)ための技法の1つは、ゲート・エッジ(複数も可)の下にローカルに注入されたドーパントを使用することである。これは「ハロー」注入と呼ばれる。非制限的例として、ハロー注入(halo implant)は、ホウ素あるいはインジウムまたはその両方を含むことができる。

#### 【0008】

シリコン・オン・インシュレータ(SOI)ウェハは、バルク・シリコン「ハンドリング」基板の上のインシュレータ上に形成された活性層にそれにより設けられた単結晶シリコンの品質改善を活用するために使用されてきた。他の半導体材料およびその合金からなる同様の構造体において同様の属性を発現させることができる。活性層の半導体材料の品質改善により、トランジスタおよびその他のデバイスは、電気的性質の良好な均一性を備えて、極めて小さいサイズまでスケールアップすることができる。

#### 【0009】

残念ながら、半導体材料の品質改善の発現をサポートするインシュレータ層の存在も、トランジスタ構造体における浮動ボディ効果(floating body effect)として当技術分野で知られる問題を提起する。浮動ボディ効果は、インシュレータ層を有する基板上に形成されたトランジスタに特有のものである。中立の浮動ボディはトランジスタ導電チャンネルおよび浮動ボディの端部で反対極性のダイオード接合を形成するソース/ドレインおよびハロー拡張領域によって電氣的に隔離され、ゲート電極は誘電体により導電チャンネルから絶縁されている。基板内のインシュレータ層は、導電チャンネルの絶縁を完成するものであり、したがって、浮動ボディ内に発現する可能性のある電荷の放電を防止する。トランジスタが導電していないときに中立ボディに電荷注入すると、ソースおよびドレイン・ダイ

10

20

30

40

50

オード特性により導電チャネル内に電圧が発現する。

【0010】

チャネル内の電荷収集により発現した電圧は、トランジスタのスイッチングしきい値を変更するという効果を有する。いずれのトランジスタも有限のスルーレートを有することになり、ゲート・キャパシタンスが非常に小さい場合でも信号の立ち上がり時間および立ち下がり時間は瞬時ではないので、この効果は次に信号タイミングおよび信号伝搬速度を変更する。したがって、浮動ボディ内の電荷の蓄積を制限するようにソースおよびドレインのダイオード特性を調整することができる。

【0011】

このようにするために、ダイオード接合をいくらか漏れやすいものにして、受け入れられる程度までトランジスタの浮動ボディを放電できるようにすることができる。残念ながら、FETは同様または同一のソースおよびドレイン不純物構造体で対称的に形成される場合が多いので、このような特性の発現によって、しばしばオン/オフ比(on/off ratio)と呼ばれる、トランジスタの「ON」状態と「OFF」状態の抵抗比が低減される。一般に、最大回路ファンアウト(受け入れられるスイッチング速度でトランジスタが駆動できるトランジスタ・ゲートの数)をサポートし、電源電圧に近い最大信号電圧振動を提供するために、大きいオン/オフ比が望ましい。したがって、浮動ボディ効果の制限と適切なオン/オフ比の維持とのトレードオフが行われる。

10

【0012】

浮動ボディ効果の低減のための手法の1つは、不純物ウェルを介して浮動ボディ/導電チャネルからソース電極への接続を形成するためにボディ接点を使用することである。場合によっては、ボディ接点はFETのボディをアースに効果的に結合する。ウェルは抵抗性が高くなる可能性があり、接続は効果的ではない可能性があるため、この手法は部分的な解決策に過ぎない。さらに、この接続は追加のチップ空間を必要とし、したがって、本来は可能であると思われる潜在的な集積度の達成に影響するかまたはこれを排除する可能性がある。このタイプのデバイスは「ボディタイド」FETと呼ぶことができ、P型またはN型になる可能性がある。

20

【0013】

FETに関する多くの設計は対称的であり、非対称デバイス(たとえば、非対称または非対称性FETまたはMOSFET)の使用は、たとえば、SOI CMOS技術で広く普及している。このような非対称デバイスでは、多数電荷キャリア流のために好ましい方向が存在する。一例として、この好ましさは、ゲート・チャネル導体に比較して異なる注入量または非対称注入(複数も可)(たとえば、ソースあるいはドレインまたはその両方の非対称拡張注入、非対称ハロー注入)など、ソースおよびドレイン領域のドーピングがそれぞれ異なるかまたはソースおよびドレイン領域に関して(すなわち、対して)ドーピングが異なることによる可能性がある。非対称デバイスは、駆動電流の増加およびパリティの低減という利点を提供することができる。1つの非制限的例として、角度付き注入(angled implant)を使用すること、ならびに(たとえば、ゲート構造体によるシャドローイングにより)ソースまたはドレイン領域をマスクするために(おそらくダミーの)ゲートを使用することにより、非対称拡張およびハロー・デバイスを形成することができる。

30

40

【発明の概要】

【発明が解決しようとする課題】

【0014】

しかし、45nm技術およびそれ以上のものに関連する基本原則に応じてこれらの非対称デバイスをスケールアップする際に問題が発生する。これらのデバイスは典型的に浮動ボディ制御およびミラー・キャパシタンス低減の両方によって大幅なパフォーマンスの向上(たとえば、約7~15%)をもたらすので、将来のCMOS技術についてこのパフォーマンスが潜在的に失われると、将来の開発にとって重大な妨げになる。

【課題を解決するための手段】

【0015】

50

本発明の模範的な一実施形態では、非対称N型電界効果トランジスタは、チャンネルを介してドレイン領域に結合されたソース領域と、チャンネルの少なくとも一部分の上に重なるゲート構造体と、少なくとも部分的にチャンネル内に配置されたハロー注入であって、ドレイン領域よりソース領域の近くに配置されたハロー注入と、チャンネルに結合されたボディタイ (body-tie) とを含む。

【0016】

本発明の他の模範的な実施形態では、半導体デバイスは複数の非対称N型電界効果トランジスタを含み、複数の非対称N型電界効果トランジスタのそれぞれは、チャンネルを介してドレイン領域に結合されたソース領域と、チャンネルの少なくとも一部分の上に重なるゲート構造体と、少なくとも部分的にチャンネル内に配置されたハロー注入と、チャンネルに結合されたボディタイとを含み、ハロー注入はドレイン領域よりソース領域の近くに配置されている。

10

【0017】

本発明の他の模範的な実施形態では、非対称N型電界効果トランジスタは、ソース領域と、ドレイン領域と、P型チャンネルと、少なくとも部分的にチャンネル内に配置されたハロー注入と、ゲート構造体と、ボディタイとを含み、ハロー注入はドレイン領域よりソース領域の近くに配置され、非対称N型電界効果トランジスタはボディタイおよび非対称ハロー注入のために対称N型電界効果トランジスタとして作用するように動作可能である。

【0018】

本発明の他の模範的な実施形態では、非対称N型電界効果トランジスタを形成するための方法は、チャンネルを介してそれに結合されたソース領域およびドレイン領域を形成することと、チャンネルの少なくとも一部分の上に重なるゲート構造体を形成することと、角度付き注入を実行して、少なくとも部分的にチャンネル内に配置されたハロー注入であって、ドレイン領域よりソース領域の近くに配置されたハロー注入を形成することと、チャンネルに結合されたボディタイを形成することを含む。

20

【0019】

本発明の諸実施形態の上記その他の諸態様は、添付図面に併せて読んだときに以下の詳細な説明でより明白なものになる。

【図面の簡単な説明】

【0020】

【図1】本発明の模範的な諸実施形態による模範的なボディタイド非対称N型FETの上面図である。

30

【図2】図1に示されている模範的なボディタイド非対称N型FETの線A-A'における断面図である。

【図3】図1に示されている模範的なボディタイド非対称N型FETの線B-B'における断面図である。

【図4】非対称拡張注入ならびに異なる配置のハロー注入を有する、模範的なボディタイド非対称N型FETの他の模範的な実施形態を描写する図である。

【図5】本発明の模範的な諸実施形態を實踐するための方法の1つの非制限的例を示す流れ図である。

40

【発明を実施するための形態】

【0021】

本発明の模範的な諸実施形態は、ボディタイド非対称(SOI)NFEETを使用することにより密度問題に対処するものである。ボディタイド非対称デバイスはもはや非対称的に実行するのではなく、その代わりに、通常対称デバイスとして作用するものと判断されてきた。ボディタイはある程度の面積を消費すると思われるが、レイアウトは、たとえば、スタックの向きを変更することにより、圧縮することができるであろう。高密度回路では、たとえば、基本原則の間隔では本来、(たとえば、同じシリコン・アイランド内で)通常対称デバイスに対応できない場合に、ボディタイド非対称NFEETデバイスを使用して対称デバイスを作成することができる。

50

## 【0022】

いくつかの模範的な実施形態では、ソースはオーバーラップの程度がより大きく、ドレインは小さい（すなわち、ドレインはアンダラップしている）。1つの非制限的例として、これは、角度付き拡張注入を使用する（たとえば、少なくとも部分的にドレインをマスクするためにゲート構造体を使用する）ことによって達成することができる。ソース側がアンダラップしている場合と同じように、ドレインのアンダラップは、実質的な抵抗の利益なしに実効デバイス・ミラー・キャパシタンスを低下させることになる。注入の最適化次第で、オーバーラップ・ソースは全デバイス抵抗を低下させることができるであろう。いくつかの模範的な実施形態では、角度付き注入は、（垂直軸に対して、半導体デバイスの通常の表面全体に垂直な軸に対して）1～89°の角度、好ましくは、約（たとえば、おおよそ、実質的に）10～30°の角度、さらに好ましくは、約（たとえば、おおよそ、実質的に）20°の角度で、実行される。他の模範的な諸実施形態では、この注入はゼロ度の注入と角度付きの追加（注入）とを含む。

10

## 【0023】

本発明の模範的な諸実施形態の場合、任意の適切なボディタイ構造体を使用することができる。非制限的例としては、ボディタイは、Hゲート、Tゲート、ショットキー、あるいはボディ・ソース・タイ（body-source tie）、またはこれらの組み合わせのうちの少なくとも1つを有することができる。同様に、非制限的例として、ホウ素あるいはインジウムまたはその両方を含むハロー注入など、任意の適切な非対称注入またはドーピングを使用することができる。

20

## 【0024】

図1は、本発明の模範的な諸実施形態による模範的なボディタイド非対称N型FET 100の上面図を示している。FET 100は、FET 100の活性領域110内に位置するソース接点104を備えたソース領域（SR）102とドレイン接点108を備えたドレイン領域（DR）106とを有する。SR 102とDR 106はチャンネル112を介して相互に結合されている。これはN型FETであるので、チャンネル112はP型チャンネルである。ゲート構造体（ゲート）114はチャンネル112の少なくとも一部分の上に重なっている。従来のFETと同様に、チャンネル112を通る電流はゲート114の下の横電界によって制御される。FET 100はボディタイ用のボディ接点116も含む。ボディ接点116はチャンネル112に結合されている。ハロー注入（図3のハロー124を参照）はDR 106よりSR 102に近いチャンネル112内に配置されている。この非対称ドーピングは、少なくとも部分的にDR 106をマスクするためにゲート114を使用する角度付き注入（たとえば、角度付きハロー注入）によって達成することができる。ボディタイは（たとえば、ボディ接点116を介して）、ボディ電位（たとえば、チャンネル/浮動ボディ内に蓄積した電荷の蓄積あるいは放電またはその両方）を制御するために任意の所望のバイアスを加えるために使用することができる。1つの非制限的例として、ボディタイはアースに接続することができる。FET 100は、任意選択で、ソースあるいはドレインまたはその両方の拡張注入を含むことができる。これらについては図3に関連して以下により詳細に説明する。

30

## 【0025】

図2は、図1に示されている模範的なボディタイド非対称N型FET 100の線A-A'における断面図を示している。FET 100は浅いトレンチ分離（STI）118も含む。さらに、FET 100は埋設酸化層120の上に重なっている（たとえば、上に配置されている）。埋設酸化層120は基板122（たとえば、シリコン基板）の上に重なっている。

40

## 【0026】

図3は、図1に示されている模範的なボディタイド非対称N型FET 100の線B-B'における断面図を示している。この図では、ハロー注入（ハロー）124は明らかに見えている。ハロー124は、少なくとも部分的にチャンネル112内に位置する（たとえば、配置する）ことができる。1つの非制限的例として、ハロー124は角度付きハロー注

50

入126を使用して形成することができる。他の1つの非制限的例として、角度付きハロー注入126は、(垂直軸に対して、FET100の通常の表面全体に垂直な軸に対して)1~89°の角度、好ましくは、約(たとえば、おおよそ、実質的に)10~30°の角度、さらに好ましくは、約(たとえば、おおよそ、実質的に)20°の角度にすることができる。図3で分かるように、角度付きハロー注入126は、角度付きハロー注入126から少なくとも部分的にDR106をマスクするためにゲート114を使用することができる。ハロー124はDR106よりSR102の近くに配置されるので、この結果、FET100は非対称になる。

#### 【0027】

図3に示されているように、FET100は、任意選択で、ソースあるいはドレインまたはその両方の拡張注入(それぞれ、SE128およびDE130)を含むことができる。これらの拡張注入は、角度付き注入(たとえば、(垂直軸に対して、FET100の通常の表面全体に垂直な軸に対して)1~89°の角度のもの)を使用して形成することができる。1つの非制限的例として、このような角度付き注入は、角度付き注入(たとえば、126)から少なくとも部分的にDR106をマスクするためにゲート114を使用することができる。図3に示されているSE128およびDE130は(たとえば、サイズあるいはドーピングまたはその両方において)対称的であることに留意されたい。ハロー124は完全にチャンネル112内に配置されていることにさらに留意されたい。ソース/ドレイン拡張注入(たとえば、SE128およびDE130)が対称的である場合、これらは角度付き注入とは対照的な垂直注入を使用して形成することができる。

#### 【0028】

図4は、本発明の模範的な諸実施形態による他の模範的なボディサイド非対称N型FET200を描写している。FET200は、非対称拡張注入ならびに異なる配置のハロー注入を有する。FET200では、ソース拡張注入(SE)228はドレイン拡張注入(DE)230より大きい。SE228はゲート114にオーバーラップすると言われる場合があり、DE230はゲート114にアンダラップする。さらに、ハロー注入(ハロー)224は部分的にSR102内に配置されている。一般に、1つの非制限的例として、最も模範的な諸実施形態は、図3のFET100とは対照的に、図4に示されているFET200に似ているものになる可能性があるか、あるいはそれが好ましいか、またはその両方になる。

#### 【0029】

本発明の他の模範的な実施形態は、ハロー注入が完全にチャンネル内に配置された非対称ソース/ドレイン拡張注入を含むことができる。同様に、本発明のさらに他の模範的な実施形態は、ハロー注入が部分的にソース領域内に配置された対称ソース/ドレイン拡張注入を含むことができる。本発明の模範的な諸実施形態に併せて、その特徴、位置、および配置構成の任意の適切な組み合わせを使用することができる。

#### 【0030】

非制限的例として、ハロー注入はB、BF<sub>2</sub>、およびInのうちの1つまたは複数を含む(たとえば、ドーピングする)ことができる。非制限的例として、ソース/ドレイン領域はAsおよびPのうちの1つまたは複数を含む(たとえば、ドーピングする)ことができる。非制限的例として、ソース/ドレイン拡張注入はAsおよびPのうちの1つまたは複数を含む(たとえば、ドーピングする)ことができる。

#### 【0031】

図1~図4に関して上述した模範的なボディサイド非対称N型FET100の1つの特徴は、FET100が(ドーピングにより)非対称であるが、FET100が対称FETとして作用することである。これは、ボディサイドおよび非対称ドーピング(すなわち、ハロー注入124)によるものである。非対称FET100の対称的な動作はいくつかの利点を提供する。たとえば、基本原則の間隔では本来、(たとえば、同じシリコン・アイランド内で)通常の対称デバイスに対応できない場合に、非対称FET100を使用して対称デバイスを作成することができる。さらに、他の例として、半導体デバイスは、対称F

10

20

30

40

50

ＥＴも含む必要性なしに複数の非対称ＦＥＴ１００を含むことができる。したがって、たとえば、非対称ＦＥＴ上で動作を実行している間にもはや対称ＦＥＴをマスクしている必要がない（逆もまた同様である）ので、半導体デバイスのパターン形成および構成は単純化することができる（たとえば、マスク数の削減、動作数の削減）。この結果、コストの節約および効率の向上（たとえば、少なくとも生産および生産コストに関するもの）がもたらされる。

#### 【 0 0 3 2 】

本発明の様々な非制限的かつ模範的な実施形態について以下にさらに説明する。下記の模範的な諸実施形態には、明瞭にするために個別に番号が付けられている。１つまたは複数の模範的な実施形態の諸態様は１つまたは複数の他の態様または模範的な実施形態に併せて実践できるので、この番号付けは様々な模範的な実施形態を完全に分離するものと解釈してはならない。

#### 【 0 0 3 3 】

( 1 ) 模範的な一実施形態では、非対称Ｎ型電界効果トランジスタ（ＦＥＴ）は、チャンネルを介してドレイン領域に結合されたソース領域と、チャンネルの少なくとも一部分の上に重なるゲート構造体と、少なくとも部分的にチャンネル内に配置されたハロー注入であって、ドレイン領域よりソース領域の近くに配置されたハロー注入と、チャンネルに結合されたボディタイを含む。

#### 【 0 0 3 4 】

非対称Ｎ型電界効果トランジスタが対称Ｎ型電界効果トランジスタとして作用するように動作可能である、上記のようなＦＥＴ。ハロー注入が部分的にソース領域内に配置されている、上記のいずれかのようなＦＥＴ。少なくともソース領域、ドレイン領域、およびチャンネルの下にあるインシュレータ層をさらに含む、上記のいずれかのようなＦＥＴ。少なくともインシュレータ層の下にある基板をさらに含む、上記のいずれかのようなＦＥＴ。インシュレータ層が埋設酸化物層を含む、上記のいずれかのようなＦＥＴ。基板がシリコンを含む、上記のいずれかのようなＦＥＴ。

#### 【 0 0 3 5 】

ハロー注入が角度付き注入手順によって（非対称Ｎ型電界効果トランジスタ内に）形成される、上記のいずれかのようなＦＥＴ。角度付き注入手順がドレイン領域の少なくとも一部分をマスクするためにゲート構造体を使用する、上記のいずれかのようなＦＥＴ。角度付き注入手順が、垂直軸（非対称Ｎ型電界効果トランジスタの水平表面に垂直である軸）から実質的に（おおよそ）２０度の角度で角度付き注入を実行することを含む、上記のいずれかのようなＦＥＴ。

#### 【 0 0 3 6 】

チャンネルがＰ型チャンネルを含む、上記のいずれかのようなＦＥＴ。ボディタイが、Ｈゲート、Ｔゲート、ショットキー構造体、およびボディ・ソース・タイのうちの少なくとも１つを含む、上記のいずれかのようなＦＥＴ。ハロー注入がホウ素およびインジウムの中の少なくとも１つを含む、上記のいずれかのようなＦＥＴ。非対称Ｎ型電界効果トランジスタが非対称シリコン・オン・インシュレータＮ型電界効果トランジスタを含む、上記のいずれかのようなＦＥＴ。

#### 【 0 0 3 7 】

ソース拡張注入（たとえば、ソース領域からチャンネル内に延びるもの）をさらに含む、上記のいずれかのようなＦＥＴ。ドレイン拡張注入（たとえば、ドレイン領域からチャンネル内に延びるもの）をさらに含む、上記のいずれかのようなＦＥＴ。ソース拡張注入およびドレイン拡張注入が対称的である（たとえば、同様のサイズあるいは同様のドーピングまたはその両方を有する）、上記のいずれかのようなＦＥＴ。ソース拡張注入およびドレイン拡張注入が非対称である（たとえば、異なるサイズあるいは異なるドーピングまたはその両方を有する）、上記のいずれかのようなＦＥＴ。ソース拡張注入がゲート構造体にオーラップし、ドレイン拡張注入がゲート構造体にアンダラップする、上記のいずれかのようなＦＥＴ。ソース拡張注入およびドレイン拡張注入のうちの少なくとも１つにＡｓ

10

20

30

40

50

およびPのうちの少なくとも1つをドーブする、上記のいずれかのようなF E T。ソース領域およびドレイン領域のうちの少なくとも1つにA sおよびPのうちの少なくとも1つをドーブする、上記のいずれかのようなF E T。ハロー注入にBおよびB F<sub>2</sub>のうちの少なくとも1つをドーブする、上記のいずれかのようなF E T。

【0038】

本明細書にさらに詳細に記載されている本発明の模範的な諸実施形態の1つまたは複数の態様をさらに含む、上記のいずれかのようなF E T。

【0039】

(2)他の模範的な実施形態では、半導体デバイスは複数の非対称N型電界効果トランジスタを含み、複数の非対称N型電界効果トランジスタのそれぞれは、チャンネルを介してドレイン領域に結合されたソース領域と、チャンネルの少なくとも一部分の上に重なるゲート構造体と、少なくとも部分的にチャンネル内に配置されたハロー注入と、チャンネルに結合されたボディタイとを含み、ハロー注入はドレイン領域よりソース領域の近くに配置されている。

10

【0040】

半導体デバイスが対称電界効果トランジスタを含まない、上記のような半導体デバイス。複数の非対称N型電界効果トランジスタのうちの少なくとも1つが対称N型電界効果トランジスタとして作用するように動作可能である、上記のいずれかのような半導体デバイス。本明細書にさらに詳細に記載されている本発明の模範的な諸実施形態の1つまたは複数の態様をさらに含む、上記のいずれかのような半導体デバイス。

20

【0041】

(3)他の模範的な実施形態では、非対称N型電界効果トランジスタ(F E T)は、ソース領域と、ドレイン領域と、P型チャンネルと、少なくとも部分的にチャンネル内に配置されたハロー注入と、ゲート構造体と、ボディタイとを含み、ハロー注入はドレイン領域よりソース領域の近くに配置され、非対称N型電界効果トランジスタはボディタイおよび非対称ハロー注入のために対称N型電界効果トランジスタとして作用するように動作可能である。

【0042】

本明細書にさらに詳細に記載されている本発明の模範的な諸実施形態の1つまたは複数の態様をさらに含む、上記のいずれかのようなF E T。

30

【0043】

(4)他の模範的な実施形態では、図5に描写されているように、非対称N型電界効果トランジスタを形成するための方法は、チャンネルを介してそれに結合されたソース領域およびドレイン領域を形成すること(501)と、チャンネルの少なくとも一部分の上に重なるゲート構造体を形成すること(502)と、角度付き注入を実行して、少なくとも部分的にチャンネル内に配置されたハロー注入であって、ドレイン領域よりソース領域の近くに配置されたハロー注入を形成すること(503)と、チャンネルに結合されたボディタイを形成すること(504)を含む。

【0044】

ソース領域、ドレイン領域、およびチャンネルが埋設酸化物層の上に重なり、埋設酸化物層がシリコン基板の上に重なる、上記のような方法。本明細書にさらに詳細に記載されている本発明の模範的な諸実施形態の1つまたは複数の態様をさらに含む、上記のいずれかのような方法。少なくとも1つの他の角度付き注入を実行して、ソース拡張注入およびドレイン拡張注入のうちの少なくとも1つを形成することをさらに含む、上記のいずれかのような方法。垂直注入を実行して、ソース領域およびドレイン領域のうちの少なくとも1つにドーブすることをさらに含む、上記のいずれかのような方法。角度付き注入が、少なくとも部分的にドレイン領域をマスクするためにゲート構造体の少なくとも一部分を使用する、上記のいずれかのような方法。

40

【0045】

図5に示されているブロックはさらに、1つまたは複数のコンポーネント、回路、チッ

50

ブ、装置、プロセッサ、コンピュータ・プログラム、あるいは機能ブロック、またはこれらの組み合わせによって実行される1つまたは複数の機能あるいは動作またはその両方に対応するものと見なすことができる。上記のいずれかあるいは全部またはその両方は、本明細書に記載されている本発明の模範的な諸実施形態による動作を可能にする任意の実施可能な解決策または配置構成で実現することができる。

【0046】

加えて、図5に描写されているブロックの配置構成は、単に模範的かつ比制的なものであると見なすべきである。本発明の模範的な諸実施形態のうちの1つまたは複数を実現するために、図5に示されているブロックは、任意の順序（たとえば、任意の適切な順序、実施可能な順序、あるいは実行可能な順序、またはこれらの組み合わせである順序）で、あるいは同時に、またはその両方で実行可能な1つまたは複数の機能あるいは動作またはその両方に対応することができることを認識されたい。加えて、本発明の1つまたは複数の他の模範的な実施形態を実現するために、図5に示されているものに併せて、1つまたは複数の追加の機能、動作、あるいはステップ、またはこれらの組み合わせを使用することができる。

10

【0047】

すなわち、図5に示されている本発明の模範的な諸実施形態は、任意の組み合わせ（たとえば、任意の適切な組み合わせ、実施可能な組み合わせ、あるいは実行可能な組み合わせ、またはこれらの組み合わせである組み合わせ）で1つまたは複数の他の態様に併せて、使用、実現、または実践することができ、図5に示されているステップ、ブロック、動作、あるいは機能、またはこれらの組み合わせのみに限定されるわけではない。

20

【0048】

当業者であれば、本明細書で識別されたコンポーネントを形成するための様々な方法および技法を認識するであろう。非制限的例として、このような形成は、様々な材料および層の付着あるいはエッチングまたはその両方を伴う可能性がある。他の1つの非制限的例として、このような形成は、1つまたは複数のマスク（たとえば、ハードマスク、ソフトマスク）、感光材料（たとえば、フォトレジスト）、反射防止コーティング、および平坦化層などのフォトリソグラフィの材料あるいは技法またはその両方を使用することができる。材料を付着させることは、化学的気相堆積（CVD）、低圧CVD（LPCVD）、プラズマ・エンハンスCVD（PECVD）、減圧CVD（SACVD）、高密度プラズマCVD（HDP-CVD）、急熱CVD（RTCVD）、超高真空CVD（UHVCVD）、限定反応処理CVD（LRPCVD）、有機金属CVD（MOCVD）、スパッタリング蒸着、イオン・ビーム蒸着、電子ビーム蒸着、レーザ・アシスト付着、熱酸化、熱窒化、スピノン法、物理的気相堆積法（PVD）、原子層付着（ALD）、化学酸化、分子線エピタキシ（MBE）、メッキ、または蒸着を含むがこれらに限定されない、付着すべき材料に適した現在既知であるかまたは今後開発される任意の技法を含むことができる。

30

【0049】

当業者であれば、さらに、上記の模範的な半導体のエリア、領域、ゾーン、要素、部分、あるいはコンポーネント、またはこれらの組み合わせについて鮮明な描写が存在しない場合が多いことを認識するであろう。図面（たとえば、図1～図4）に描写されている境界が定められた領域および要素は、本発明の模範的な諸実施形態の制限としてではなく、例証のために示されている。

40

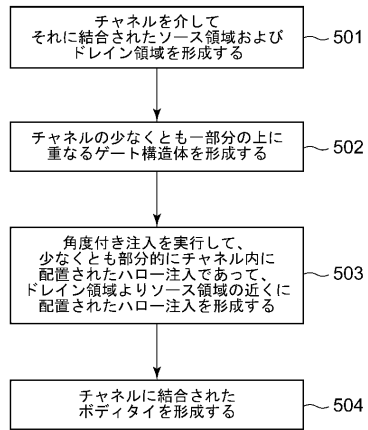
【0050】

「接続された（connected）」あるいは「結合された（coupled）」という用語またはこれらの変形の使用は、直接または間接を問わず、識別された要素間のこのような接続または結合を示すものと解釈しなければならない。1つの非制限的例として、「結合された」要素間に1つまたは複数の中間要素が存在する場合もある。識別された要素間の接続または結合は、非制限的例として、上記の模範的な諸実施形態により、物理的なもの、電気的なもの、磁気的なもの、論理的なもの、またはこれらの任意の適切な組み合わせにするこ

50



【図5】



## フロントページの続き

- (72)発明者 チャン、ジョセフィン、ビー  
アメリカ合衆国10598 ニューヨーク州ヨークタウン・ハイツ ルート134
- (72)発明者 チャン、レランド  
アメリカ合衆国10598 ニューヨーク州ヨークタウン・ハイツ ルート134
- (72)発明者 リン、チャン、スン  
アメリカ合衆国10598 ニューヨーク州ヨークタウン・ハイツ ルート134
- (72)発明者 スレイト、ジェフリー、ダブリュ  
アメリカ合衆国10598 ニューヨーク州ヨークタウン・ハイツ ルート134

審査官 鈴木 聡一郎

- (56)参考文献 特開2009-266868(JP,A)  
特開2002-246600(JP,A)  
米国特許出願公開第2006/0043430(US,A1)  
特開2003-197634(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336  
H01L 29/772  
H01L 29/78-786