(19)国家知识产权局

(12)发明专利

(10)授权公告号 CN 115462038 B
(45)授权公告日 2025.07.04

(21)申请号 202180030208.6
(22)申请日 2021.04.06
(65)同一申请的已公布的文献号
申请公布号 CN 115462038 A
(43)申请公布日 2022.12.09
(30)优先权数据
2020-077779 2020.04.24 JP
(85)PCT国际申请进入国家阶段日
2022.10.21
(86)PCT国际申请的申请数据
PCT/JP2021/014584 2021.04.06
(87)PCT国际申请的公布数据
WO2021/215237 JA 2021.10.28
(73)专利权人 罗姆股份有限公司
地址 日本京都府
(72)发明人 福良毅 柳岛大辉 筱部晃生
(74)专利代理机构 北京银龙知识产权代理有限公司 11243
专利代理师 龚伟 王玉瑾
(51)Int.Cl.
H04L 25/02(2006.01)
H03K 19/0175(2006.01)
H02M 1/08(2006.01)
(56)对比文件
US 2016056850 A1,2016.02.25
US 2014061643 A1,2014.03.06
US 2012212251 A1,2012.08.23
审查员 王志伟

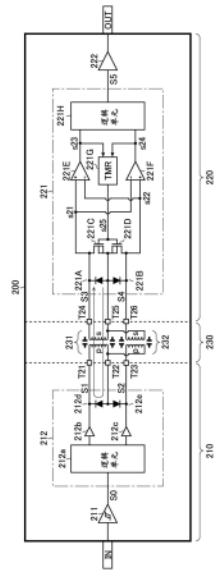
权利要求书2页 说明书35页 附图18页

(54)发明名称

脉冲接收电路和信号传输装置

(57)摘要

构成信号传输装置(200)的脉冲接收电路(221)包括:第一脉冲检测器(221E),其接收第一接收脉冲信号(S3)、即第一变压器(231)的次级绕组(231s)处的内部信号(s21),与第二接收脉冲信号(S4)、即第二变压器(232)的次级绕组(232s)处的内部信号(s22)之间的差分输入;第二脉冲检测器(221F),其接收第一接收脉冲信号(S3)与第二接收脉冲信号(S4)之间的差分输入,其中输入极性与第一脉冲检测器(221E)的输入极性相反;以及逻辑单元(221H),其分别基于第一和第二脉冲检测器(221E,221F)的输出信号(s23,s24)生成接收脉冲信号(S5)。



CN 115462038 B

1.一种脉冲接收电路,包括:

第一脉冲检测器,其被设置为接收第一变压器的次级绕组处的第一接收脉冲信号与第二变压器的次级绕组处的第二接收脉冲信号之间的差分输入;

第二脉冲检测器,其被设置为接收所述第一接收脉冲信号和所述第二接收脉冲信号之间的差分输入,其中输入极性与所述第一脉冲检测器的输入极性相反;

逻辑单元,其被设置为基于所述第一脉冲检测器和所述第二脉冲检测器的输出信号来生成接收脉冲信号;

第一开关和第二开关,所述第一开关和所述第二开关分别连接在所述第一变压器的次级绕组的两端和所述第二变压器的次级绕组的两端之间;以及

计时器,其从所述第一脉冲检测器和所述第二脉冲检测器的脉冲检测时刻起分别使所述第一开关和所述第二开关导通持续预定掩蔽时段。

2.根据权利要求1所述的脉冲接收电路,其中,所述第一脉冲检测器和所述第二脉冲检测器各自是具有输入偏移的比较器。

3.根据权利要求1所述的脉冲接收电路,还包括分别连接在所述第一变压器的次级绕组的两端和所述第二变压器的次级绕组的两端之间的第一静电保护元件和第二静电保护元件。

4.根据权利要求1至3中任一项所述的脉冲接收电路,其中,所述逻辑单元根据所述第一接收脉冲信号将所述接收脉冲信号设定为第一逻辑电平,并且根据所述第二接收脉冲信号将所述接收脉冲信号设定为第二逻辑电平。

5.一种信号传输装置,包括:

脉冲传输电路,其被设置为根据输入脉冲信号生成第一传输脉冲信号和第二传输脉冲信号;

第一变压器和第二变压器,所述第一变压器和所述第二变压器被设置为隔离输入与输出,并且将所述第一传输脉冲信号和所述第二传输脉冲信号分别作为第一接收脉冲信号和第二接收脉冲信号传输到后级;

根据权利要求1至4中任一项所述的脉冲接收电路,其被设置为根据所述第一接收脉冲信号和所述第二接收脉冲信号生成所述接收脉冲信号;以及

驱动器,其被设置为根据所述接收脉冲信号生成输出脉冲信号。

6.根据权利要求5所述的信号传输装置,其中,所述脉冲传输电路根据所述输入脉冲信号的逻辑电平来执行所述第一传输脉冲信号和所述第二传输脉冲信号中的任一传输脉冲信号的脉冲驱动。

7.根据权利要求5所述的信号传输装置,其中,

所述脉冲传输电路集成在第一芯片中,

所述脉冲接收电路和所述驱动器集成在第二芯片中,并且

所述第一变压器和所述第二变压器集成在第三芯片中。

8.根据权利要求7所述的信号传输装置,其中,所述第三芯片设置有:

第一端子,其连接到形成所述第一变压器的初级绕组的第一端子;

第二端子,其连接到形成所述第一变压器的初级绕组的第二端子和形成所述第二变压器的初级绕组的第一端子;

第三端子,其连接到形成所述第二变压器的初级绕组的第二端子;

第四端子,其连接到形成所述第一变压器的次级绕组的第一端子;

第五端子,其连接到形成所述第一变压器的所述次级绕组的第二端子和形成所述第二变压器的次级绕组的第一端子;以及

第六端子,其连接到形成所述第二变压器的所述次级绕组的第二端子。

9.根据权利要求5至8中任一项所述的信号传输装置,包括多组所述第一变压器和所述第二变压器。

脉冲接收电路和信号传输装置

技术领域

[0001] 本说明书中公开的发明涉及脉冲接收电路和信号传输装置。

背景技术

[0002] 通常,在输入和输出之间电隔离的同时传输脉冲信号的信号传输装置用于各种应用(例如电源装置和马达驱动装置)。

[0003] 注意,存在由该申请人申请的专利文献1作为与以上描述相关的常规技术的示例。

[0004] 现有技术文献

[0005] 专利文献

[0006] 专利文献1:日本特开第2018-011108号公报

发明内容

[0007] 发明要解决的课题

[0008] 然而,常规的信号传输装置在减少瞬时瞬态共模噪声的处理方面存在进一步改进的余地,所述瞬时瞬态共模噪声叠加在与次级侧的脉冲接收电路并行输入的每个接收脉冲信号上。

[0009] 鉴于本申请的发明人发现的上述课题,本说明书中公开的本发明的目的是提供一种不易受共模噪声影响的信号传输装置和在该装置中使用的脉冲接收电路。

[0010] 用于解决课题的手段

[0011] 本说明书中公开的信号传输装置包括:第一脉冲检测器,其被设置为接收第一变压器的次级绕组处的第一接收脉冲信号和第二变压器的次级绕组处的第二接收脉冲信号之间的差分输入;第二脉冲检测器,其被设置为接收第一接收脉冲信号和第二接收脉冲信号之间的差分输入,其中输入极性与第一脉冲检测器的输入极性相反;以及逻辑单元,其被设置为基于第一脉冲检测器和第二脉冲检测器的输出信号来生成接收脉冲信号。

[0012] 发明的效果

[0013] 根据本说明书中公开的发明,可以提供一种不易受共模噪声影响的信号传输装置。

附图说明

[0014] 图1是示出信号传输装置的应用示例的图。

[0015] 图2是示出信号传输装置的第一实施例的图。

[0016] 图3是示出第一实施例中降噪操作的示例的图。

[0017] 图4是示出信号传输装置的第二实施例的图。

[0018] 图5是示出第二实施例中降噪操作的示例的图。

[0019] 图6是示出比较器的比较操作示例的图。

[0020] 图7是示出第二实施例中变压器芯片的结构示例的图。

[0021] 图8是示出信号传输装置的双通道化的图。

[0022] 图9是用作图8所示的变压器芯片的半导体装置的透视图。

[0023] 图10是图9所示的半导体装置的平面图。

[0024] 图11是示出在图9所示的半导体装置中形成低电位线圈的层的平面图。

[0025] 图12是示出在图9所示的半导体装置中形成高电位线圈的层的平面图。

[0026] 图13是沿图12中所示的线VIII-VIII截取的截面图。

[0027] 图14是沿图12中所示的线IX-IX截取的截面图。

[0028] 图15是图12中所示的区域X的放大图。

[0029] 图16是图12中所示的区域XI的放大图。

[0030] 图17是图12中所示的区域XII的放大图。

[0031] 图18是图13所示的区域XIII的放大图,并且是示出分离结构的图。

具体实施方式

[0032] <信号传输装置(应用)>

[0033] 图1是示出使用信号传输装置的应用示例的图。该结构示例的信号传输装置200是半导体集成电路装置(所谓的隔离栅极驱动器IC),其将脉冲信号从初级电路系统(VCC1-GND1系统)传输到次级电路系统(VCC2-GND2系统),同时在初级电路系统和次级电路系统之间电隔离,以便驱动设置在次级电路系统中的晶体管的栅极。

[0034] 信号传输装置200具有多个外部端子作为用于建立到装置外部的电连接的装置(在该图中,输入端子INA和INB、输出端子OUT、电源端子VCC1和VCC2以及接地端子GND1和GND2)。这些外部端子外部连接到各种分立部件(在该图中,N沟道型金属氧化物半导体(MOS)场效应晶体管N1、电容器C1和C2以及电阻器R1)。

[0035] 在信号传输装置200的封装的第一侧(在该图中,左侧),自上而下依次布置有接地端子GND1、电源端子VCC1、输入端子INA、输入端子INB和接地端子GND1。相反,在同一封装的第二侧(在该图中与第一侧相反的一侧或右侧),自上而下依次布置有接地端子GND2、电源端子VCC2、输出端子OUT和接地端子GND2。

[0036] 以这种方式,优选地,初级电路系统的外部端子(GND1、VCC1、INA和INB)被分组在封装的第一侧,同时次级电路系统的外部端子(GND2、VCC2和OUT)被分组在封装的第二侧。

[0037] 此外,优选地,接地端子GND1和接地端子GND2分别设置在封装的第一侧和第二侧的两端。换言之,优选地,接地端子GND1和GND2中的每个接地端子都具有两个端子。

[0038] 在信号传输装置200(初级电路系统)的外部,电源端子VCC1连接到初级电路系统的电源线。两个接地端子GND1都连接到初级电路系统的接地线。电容器C1连接在初级电路系统的电源线和接地线之间。输入端子INA和INB被分别提供有两个输入信号(例如,栅极控制信号和使能(enable)信号)。

[0039] 另外,在信号传输装置200的外部(次级电路系统),电源端子VCC2连接到次级电路系统的电源线。两个接地端子GND2都连接到次级电路系统的接地线。电容器C2连接在次级电路系统的电源线和接地线之间。输出端子OUT连接到电阻器R1的第一端。电阻器R1的第二端连接到晶体管N1的栅极。

[0040] <信号传输装置(示意性结构)>

[0041] 此外,参考图1,描述信号传输装置200的示意性结构。该结构示例的信号传输装置200包括密封在单个封装中的控制器芯片210(对应于第一芯片)、驱动器芯片220(对应于第二芯片)和变压器芯片230(对应于第三芯片)。

[0042] 控制器芯片210是以电源电压VCC1(例如,相对于GND1最大7V)操作的半导体芯片。注意,控制器芯片210包括例如集成的施密特缓冲器(Schmitt buffer)211A和211B、AND门211C、脉冲传输电路212和低电压保护电路213。

[0043] 施密特缓冲器211A是波形整形装置的示例,并且连接在输入端子INA和AND门211C的第一输入端子(非反相输入端子)之间。

[0044] 施密特缓冲器211B是波形整形装置的示例,并且连接在输入端子INB和AND门211C的第二输入端子(反相输入端子)之间。

[0045] AND门211C在输入脉冲信号INA和反相输入脉冲信号XINB(即输入脉冲信号INB的逻辑反相信号)之间执行AND运算,以生成输入脉冲信号SO,并将该输入脉冲信号SO输出到脉冲传输电路212。因此,如果INB=H(禁用时的逻辑电平)成立,则SO=L(固定值)成立,并且如果INB=L(使能时的逻辑电平)成立,则SO=INA成立。

[0046] 脉冲传输电路212根据输入脉冲信号SO生成传输脉冲信号S1和S2。更具体地,当通知输入脉冲信号SO处于高电平时,脉冲传输电路212执行传输脉冲信号S1的脉冲驱动(单个或多个传输脉冲的输出),并且当通知输入脉冲信号SO处于低电平时,其执行传输脉冲信号S2的脉冲驱动。换言之,脉冲传输电路212根据输入脉冲信号SO的逻辑电平执行传输脉冲信号S1和S2中的任一个传输脉冲信号的脉冲驱动。

[0047] 低电压保护电路213将控制器芯片210保持在待机状态,直到电源电压VCC1达到欠电压锁定(UVLO)释放电压,以防止在输入低电压时发生故障。

[0048] 驱动器芯片220是以电源电压VCC2(例如,相对于GND2最大30V)操作的半导体芯片。注意,例如,脉冲接收电路221、驱动器222和低电压保护电路223集成在驱动器芯片220中。

[0049] 脉冲接收电路221根据从变压器芯片230输入的接收脉冲信号S3和S4来生成接收脉冲信号S5。更具体地,脉冲接收电路221响应于接收脉冲信号S3的脉冲驱动将接收脉冲信号S5降低到低电平,响应于接收脉冲信号S4的脉冲驱动而将接收脉冲信号S5升高到高电平。换言之,脉冲接收电路221根据输入脉冲信号SO的逻辑电平来改变接收脉冲信号S5的逻辑电平。

[0050] 驱动器222根据从脉冲接收电路221输入的接收脉冲信号S5来生成输出脉冲信号OUT(对应于晶体管N1的栅极信号)。更具体地,当接收脉冲信号S5处于低电平时,驱动器222将输出脉冲信号OUT设定为高电平,并且当接收脉冲信号S5处于高电平时,驱动器222将输出脉冲信号OUT设定为低电平。

[0051] 注意,如该图所示,可以使用由P沟道型MOS场效应晶体管222H和N沟道型MOS场效应晶体管222L组成的半桥输出级(CMOS(互补MOS)反相级)作为驱动器222。

[0052] 下面将描述连接关系。晶体管222H的源极连接到电源端子VCC2。晶体管222L的源极连接到接地端子GND2。晶体管222H和222L的漏极都连接到输出端子OUT。

[0053] 接收脉冲信号S5被输入到晶体管222H和222L的栅极。因此,当S5=L成立时,晶体管222H导通同时晶体管222L关断,因此OUT=H(=VCC2)成立。相反,如果S5=H成立,则晶体

管222H关断同时晶体管222L导通,因此OUT＝L(＝GND2)成立。

[0054] 低电压保护电路223将驱动器芯片220保持在待机状态,直到电源电压VCC2达到UVLO释放电压,以便防止在输入低电压时发生故障。

[0055] 变压器芯片230使用变压器231和232在控制器芯片210和驱动器芯片220之间电流隔离,并且将从脉冲传输电路212输入的传输脉冲信号S1和S2分别输出到脉冲接收电路221作为接收脉冲信号S3和S4。

[0056] 更具体地,根据输入到初级绕组231p的传输脉冲信号S1,变压器231从次级绕组231s输出接收脉冲信号S3。相反,根据输入到初级绕组232p的传输脉冲信号S2,变压器232从次级绕组232s输出接收脉冲信号S4。

[0057] 以这种方式,由于用于绝缘通信的螺旋线圈的特性,输入脉冲信号S0被分离成两个传输脉冲信号S1和S2(对应于上升信号和下降信号),该两个传输脉冲信号S1和S2经由变压器231和232被从初级电路系统传输到次级电路系统。

[0058] 注意,除了控制器芯片210和驱动器芯片220以外,该结构示例的信号传输装置200还包括变压器芯片230,其中仅变压器231和232被独立地安装,并且这三个芯片被密封在单个封装中。

[0059] 利用这种结构,控制器芯片210和驱动器芯片220都能够以通常的低至中耐受电压工艺(几伏特到几十伏特)制造,而不必使用专用的高耐受电压工艺(几千伏特),因此可以降低制造成本。

[0060] 另外,控制器芯片210和驱动器芯片220都能够以带有追踪记录的现有工艺制造,而不必重新执行可靠性测试,因此可以缩短开发周期、降低开发成本。

[0061] 另外,当使用除变压器以外的DC隔离元件(诸如光电耦合器)时,可以通过仅替换变压器芯片230来容易地支持,而不必重新开发控制器芯片210和驱动器芯片220,因此可以缩短开发周期、降低开发成本。

[0062] 在下面的描述中,注意信号传输装置200的内部结构,给出了更具体的描述。

[0063] <信号传输装置(第一实施例)>

[0064] 图2是示出信号传输装置200的第一实施例的图。在该图中,基于图1,具体示出了脉冲传输电路212和脉冲接收电路221的电路结构。上述输入端子INA和INB由单个输入端子IN代替。上述施密特缓冲器211A和211B以及AND门211C由单个施密特缓冲器211代替。在图中省略了上述晶体管222H和222L。

[0065] 此外,变压器芯片230明确地设置有外部端子T11至T18。变压器231的初级绕组231p连接在外部端子T11和外部端子T12之间。变压器232的初级绕组232p连接在外部端子T13和外部端子T14之间。变压器231的次级绕组231s连接在外部端子T15和外部端子T16之间。变压器232的次级绕组232s连接在外部端子T17和外部端子T18之间。

[0066] 注意,由于变压器231和232的结构,在初级绕组231p和次级绕组231s之间以及在初级绕组232p和次级绕组232s之间形成寄生电容。

[0067] 脉冲传输电路212包括逻辑单元212a、缓冲器212b和212c以及二极管212d和212e。

[0068] 逻辑单元212a根据输入脉冲信号S0(因此对应于输入脉冲信号IN)驱动缓冲器212b和212c。更具体地,当通知输入脉冲信号S0处于高电平时,逻辑单元212a驱动缓冲器212b,并且当通知输入脉冲信号S0处于低电平时,逻辑单元212a驱动缓冲器212c。

[0069] 缓冲器212b由逻辑单元212a驱动以生成传输脉冲信号S1,并将该传输脉冲信号S1输出到变压器芯片230的外部端子T11。

[0070] 缓冲器212c由逻辑单元212a驱动以生成传输脉冲信号S2,并将该传输脉冲信号S2输出到变压器芯片230的外部端子T13。

[0071] 二极管212d是静电保护元件的示例,其具有连接到变压器芯片230的外部端子T11的阴极和连接到变压器芯片230的外部端子T12和T14的阳极。

[0072] 二极管212e是静电保护元件的示例,其具有连接到变压器芯片230的外部端子T13的阴极和连接到变压器芯片230的外部端子T12和T14的阳极。

[0073] 脉冲接收电路221包括二极管221a和221b、缓冲器221c至221f、延迟单元221g和221h、AND门221i和221j以及逻辑单元221k。

[0074] 二极管221a具有连接到变压器芯片230的外部端子T15的阴极。二极管221a具有连接到变压器芯片230的外部端子T16和T18的阳极。以这种方式连接的二极管221a用作连接在构成变压器231的次级绕组231s的两端之间的静电保护元件。

[0075] 二极管221b具有连接到变压器芯片230的外部端子T17的阴极。二极管221b具有连接到变压器芯片230的外部端子T16和T18的阳极。以这种方式连接的二极管221b用作连接在构成变压器232的次级绕组232s的两端之间的静电保护元件。

[0076] 缓冲器221c和221d是用于接收脉冲信号S3(即内部信号s11)的波形形成装置。更具体地,例如,当内部信号s11高于阈值电压Vth时,缓冲器221c和221d将输出信号升高到高电平,并且当内部信号s11低于阈值电压Vth时,缓冲器221c和221d将输出信号降低到低电平。注意,缓冲器221c的输出信号作为内部信号s13(即,主信号)输出到AND门221i。

[0077] 缓冲器221e和221f是用于接收脉冲信号S4(即内部信号s12)的波形形成装置。更具体地,例如,当内部信号s12高于阈值电压Vth时,缓冲器221e和221f将输出信号升高到高电平,并且当内部信号s12低于阈值电压Vth时,缓冲器221e和221f将输出信号降低到低电平。注意,缓冲器221f的输出信号作为内部信号s16(即,主信号)输出到AND门221j。

[0078] 例如,当缓冲器221d的输出信号被升高到高电平时,延迟单元221g将内部信号s17(即,掩蔽信号)无延迟地升高到高电平,并且此后当经过预定掩蔽时间tm1时,延迟单元221g将内部信号s17降低到低电平。

[0079] 例如,当缓冲器221e的输出信号被升高到高电平时,延迟单元221h将内部信号s14(即,掩蔽信号)无延迟地升高到高电平,并且此后当经过预定掩蔽时间tm1时,延迟单元221h将内部信号s14降低到低电平。

[0080] AND门221i在作为非反相输入的内部信号s13与作为反相输入的内部信号s14之间执行AND运算,以生成内部信号s15。因此,如果s14=H(当掩蔽时的逻辑电平)成立,则s15=L(固定值)成立,并且如果s14=L(当掩蔽被释放时的逻辑电平)成立,则s15=s13成立。注意,例如,内部信号s15对应于逻辑单元221k的设定信号。

[0081] AND门221j在作为非反相输入的内部信号s16与作为反相输入的内部信号s17之间执行AND运算,以生成内部信号s18。因此,如果s17=H(当掩蔽时的逻辑电平)成立,则s18=L(固定值)成立,并且如果s17=L(当掩蔽被释放时的逻辑电平)成立,则s18=s16成立。注意,例如,内部信号s15对应于逻辑单元221k的重置信号。

[0082] 逻辑单元221k基于内部信号s15和s18生成接收脉冲信号S5(因此生成输出脉冲信

号OUT)。具体地,例如,当内部信号s15上升到高电平时,逻辑单元221k将接收脉冲信号S5设定为高电平,并且当内部信号s18上升到高电平时,逻辑单元221k将接收脉冲信号S5重置为低电平。

[0083] 注意,在上述脉冲接收电路221的部件中,缓冲器221c至221f、延迟单元221g和221h以及AND门221i和221j用作噪声消除器,用于经由图中的细箭头线所示的传播路径减少叠加在接收脉冲信号S3和S4上的共模噪声。

[0084] 图3是示出第一实施例中降噪操作的示例的图,其中,输入脉冲信号IN、内部信号s11至s18以及输出脉冲信号OUT以自上而下的顺序示出。

[0085] 首先,考虑输入脉冲信号IN的上升。例如,当输入脉冲信号IN在时间t11被升高到高电平时,传输脉冲信号S1(未示出)由脉冲驱动。因此,在下一时间t12,正常脉冲经由变压器231在接收脉冲信号S3(即,内部信号s11)中上升到高于缓冲器221c和221d的阈值电压Vth。结果,分别在内部信号s13和s17中生成脉冲。相反,在时间t12,脉冲在接收脉冲信号S4(即,内部信号s12)中不上升,因此内部信号s14和s16保持在低电平。

[0086] 注意,当内部信号s14(即,掩蔽信号)处于低电平时,内部信号s13(即,主信号)不被掩蔽,而是其本身作为内部信号s15(即,设定信号)被输出。结果,在时间t12,输出脉冲信号OUT被设定为高电平。

[0087] 另外,当内部信号s17(即,掩蔽信号)处于高电平时,内部信号s18(即,重置信号)被固定为低电平,而不论内部信号s16(即,主信号)的逻辑电平如何。然而,在时间t12,内部信号s18应该自然地保持在低电平,并且因此不存在错配。

[0088] 接下来,考虑输入脉冲信号IN的下降。例如,当输入脉冲信号IN在时间t15被降低到低电平时,传输脉冲信号S2(未示出)由脉冲驱动。因此,在下一时间t16,正常脉冲经由变压器232在接收脉冲信号S4(即,内部信号s12)中上升到高于缓冲器221e和221f的阈值电压Vth。结果,分别在内部信号s14和s16中生成脉冲。相反,在时间t16,脉冲在接收脉冲信号S3(即,内部信号s11)中不上升,因此内部信号s13和s17保持在低电平。

[0089] 注意,当内部信号s17(即,掩蔽信号)处于低电平时,内部信号s16(即,主信号)不被掩蔽,而是其本身作为内部信号s18(即,重置信号)被输出。结果,在时间t16,输出脉冲信号OUT被重置为低电平。

[0090] 另外,当内部信号s14(即,掩蔽信号)处于高电平时,内部信号s15(即,设定信号)被固定为低电平,而不论内部信号s13(即,主信号)的逻辑电平如何。然而,在时间t16,内部信号s15应该自然地保持在低电平,并且因此不存在错配。

[0091] 此外,考虑共模噪声被叠加在接收脉冲信号S3和S4(即,内部信号s11和s12)中的每个接收脉冲信号上的情况。例如,在时间t14,噪声脉冲在内部信号s11和s12中的每个内部信号中上升到高于缓冲器221c至221f的阈值电压Vth,然后分别在内部信号s13和s16(即,主信号)以及内部信号s14和s17(即,掩蔽信号)中生成脉冲。

[0092] 这里,当内部信号s14(即,掩蔽信号)处于高电平时,内部信号s15(即,设定信号)被固定为低电平,而不论内部信号s13(即,主信号)的逻辑电平如何。类似地,当内部信号s17(即,掩蔽信号)处于高电平时,内部信号s18(即,重置信号)被固定为低电平,而不论内部信号s16(即,主信号)的逻辑电平如何。因此,可以适当地减少叠加在接收脉冲信号S3和S4(即,内部信号s11和s12)中的每个接收脉冲信号上的共模噪声,并且因此可以抑制输出

脉冲信号OUT的逻辑电平的切换错误。

[0093] 注意,为了安全地降低共模噪声,优选地,由于叠加的噪声,内部信号s14和s17(即,掩蔽信号)的掩蔽时间tm1大于内部信号s13和s16(即,主信号)的脉冲宽度W1,并且掩蔽时间tm1与脉冲宽度W1完全重叠。

[0094] 换言之,优选恰当地设计缓冲器221c至221f和延迟单元221g和221h,使得内部信号s13和s16(即,主信号)在内部信号s14和s17(即,掩蔽信号)上升到高电平之后上升到高电平,并且内部信号s14和s17(即,掩蔽信号)在内部信号s13和s16(即,主信号)下降到低电平之后下降到低电平。

[0095] 另外,在内部信号s11和s12的脉冲驱动期间(即,在接收正常脉冲期间),在变压器231和232中流动的再生电流使内部信号s11和s12在特定时段内成为负电位(即,比正常低电平更低的电位)。在该负电位时段期间,如果共模噪声被叠加,则可能发生仅内部信号s11和s12中的一个内部信号高于缓冲器221c至221f的阈值电压Vth的状态。

[0096] 例如,在时间t13,当在负电位时段期间共模噪声被叠加在内部信号s11上时,仅内部信号s11和s12中的内部信号s12高于阈值电压Vth,并且在内部信号s14和s16中生成脉冲。相反,内部信号s11不高于阈值电压Vth,因此不会触发将内部信号s17(即,掩蔽信号)再次升高到高电平。

[0097] 因此,为了去除由于内部信号s16中生成的噪声而引起的脉冲,必须将内部信号s17(即,掩蔽信号)保持在高电平,内部信号s17由于内部信号s11的正常脉冲已经是高电平。

[0098] 特别地,通过将内部信号s17的高电平时段(即,掩蔽时间tm1)设定为长于内部信号s11的负电位时段,即使在紧接着负电位时段结束之前叠加共模噪声的最坏情况下,也可以适当地去除由于在内部信号s16中生成的噪声而引起的脉冲。

[0099] 注意,尽管省略了重复的描述,但不必说上述描述在负电位时段期间共模噪声被叠加在内部信号s12上的情况下也是如此。

[0100] <第一实施例的问题>

[0101] 现在,在第一实施例的脉冲接收电路221中,由CMOS电路构成的缓冲器221c至221f具有高的阈值电压Vth,因此需要高能量来传输信号。因此,增加了发射噪声和功耗。另外,如果缓冲器221c至221f的阈值电压Vth被简单地降低,可能容易发生由于噪声引起的故障。因此,以下描述提出可以解决上述问题的新颖的第二实施例。

[0102] <信号传输装置(第二实施例)>

[0103] 图4是示出信号传输装置200的第二实施例的图。在该图中,基于图1和图2,修改了脉冲接收电路221的电路结构。另外,变压器芯片230的外部端子的数量从8个减少到6个(即,外部端子T21至T26)。在以下描述中,详细描述了修改点。

[0104] 首先,描述脉冲接收电路221的修改点。本实施例的脉冲接收电路221包括二极管221A和221B、N沟道型MOS场效应晶体管221C和221D、比较器221E和221F、计时器221G以及逻辑单元221H。

[0105] 二极管221A具有连接到变压器芯片230的外部端子T24的阴极。二极管221A具有连接到变压器芯片230的外部端子T25的阳极。以这种方式连接的二极管221A用作连接在构成变压器231的次级绕组231s的两端之间的第一静电保护元件。

[0106] 二极管221B具有连接到变压器芯片230的外部端子T26的阴极。二极管221B具有连接到变压器芯片230的外部端子T25的阳极。以这种方式连接的二极管221B用作连接在构成变压器232的次级绕组232s的两端之间的第二静电保护元件。

[0107] 晶体管221C具有连接到变压器芯片230的外部端子T24的漏极。晶体管221C具有连接到变压器芯片230的外部端子T25的源极。晶体管221C具有连接到内部信号s25的施加端子(即,计时器221G的输出端子)的栅极。因此,如果s25＝H成立,则晶体管221C导通,如果s25＝L成立,则晶体管221C关断。以这种方式连接的晶体管221C用作连接在构成变压器231的次级绕组231s的两端之间的第一开关。

[0108] 晶体管221D具有连接到变压器芯片230的外部端子T26的漏极。晶体管221D具有连接到变压器芯片230的外部端子T25的源极。晶体管221D具有连接到内部信号s25的施加端子(即,计时器221G的输出端子)的栅极。因此,如果s25＝H成立,则晶体管221D导通,如果s25＝L成立,则晶体管221D关断。以这种方式连接的晶体管221D用作连接在构成变压器232的次级绕组232s的两端之间的第二开关。

[0109] 比较器221E具有连接到变压器芯片230的外部端子T24的非反相输入端子(+)。比较器221E具有连接到变压器芯片230的外部端子T26的反相输入端子(-)。以这种方式连接的比较器221E对应于第一脉冲检测器,比较器221E在变压器231的次级绕组231s处接收所述接收脉冲信号S3(即,内部信号s21)并且在变压器232的次级绕组232s处接收所述接收脉冲信号S4(即,内部信号s22)作为差分输入(即,s21-s22),并且比较这些信号,以便生成内部信号s23。注意,例如,内部信号s23对应于逻辑单元221H的设定信号,并且如果s21＞s22成立,则内部信号s23为高电平,而如果s21＜s22成立,则内部信号s23为低电平。

[0110] 比较器221F具有连接到变压器芯片230的外部端子T26的非反相输入端子(+)。比较器221F具有连接到变压器芯片230的外部端子T24的反相输入端子(-)。以这种方式连接的比较器221F对应于第二脉冲检测器,比较器221F接收所述接收脉冲信号S3和S4(即,内部信号s21和s22)作为具有与比较器221E的输入极性相反的输入极性的差分输入,并且比较这些信号,以便生成内部信号s24。注意,例如,内部信号s24对应于逻辑单元221H的重置信号,并且如果s21>s22成立,则内部信号s24为低电平,而如果s21<s22成立,则内部信号s24为高电平。

[0111] 计时器221G接收内部信号s23和s24的输入,并且从每个信号上升到高电平(对应于第一脉冲检测器和第二脉冲检测器中的每个脉冲检测器的脉冲检测时刻)的时刻起将内部信号s25设定为高电平持续预定掩蔽时间tm2,以便导通晶体管221C和221D。

[0112] 逻辑单元221H基于内部信号s23和s24生成接收脉冲信号S5(因此生成输出脉冲信号OUT)。具体地,例如,当内部信号s23上升到高电平时,逻辑单元221H将接收脉冲信号S5设定为高电平,并且当内部信号s24上升到高电平时,逻辑单元221H将接收脉冲信号S5重置为低电平。

[0113] 图5是示出第二实施例中降噪操作的示例的图,其中,输入脉冲信号IN、内部信号s21至s25以及输出脉冲信号OUT以自上而下的顺序示出。

[0114] 首先,考虑输入脉冲信号IN的上升。例如,当输入脉冲信号IN在时间t21被升高到高电平时,传输脉冲信号S1(未示出)由脉冲驱动。因此,在下一时间t22,正常脉冲经由变压器231在接收脉冲信号S3(即,内部信号s21)中上升。相反,在时间t22,脉冲在接收脉冲信号

S4(即,内部信号s12)中不上升。因此,在内部信号s23中生成脉冲,而内部信号s24保持在低电平。结果,在时间t22,输出脉冲信号OUT被设定为高电平。

[0115] 接下来,考虑输入脉冲信号IN的下降。例如,当输入脉冲信号IN在时间t25降低到低电平时,传输脉冲信号S2(未示出)由脉冲驱动。因此,在下一时间t26,正常脉冲经由变压器232在接收脉冲信号S4(即,内部信号s22)中上升。相反,在时间t26,脉冲在接收脉冲信号S3(即,内部信号s21)中不上升。因此,在内部信号s24中生成脉冲,而内部信号s23保持在低电平。结果,在时间t26,输出脉冲信号OUT被重置为低电平。

[0116] 此外,考虑共模噪声被叠加在接收脉冲信号S3和S4(即,内部信号s21和s22)中的每个接收脉冲信号上的情况。例如,在时间t24,噪声脉冲在内部信号s21和s22两者中均上升。然而,这些噪声脉冲被同相差分地分别输入到比较器221E和221F。因此,在内部信号s23和s24中几乎不生成非预期的脉冲,因此可以抑制输出脉冲信号OUT的逻辑电平的切换错误。

[0117] 另外,利用内部信号s21和s22被差分检测的结构,与上述第一实施例(图2)相比,脉冲接收电路221的阈值电压Vth(在该图中,分别为比较器221E和221F的输入偏移电压Vofs1和Vofs2)可以被设定为较小的值,因此可以减小共模噪声,同时抑制发射噪声和功耗。

[0118] 另外,在内部信号s21和s22的脉冲驱动期间(即,在接收正常脉冲期间),在变压器231和232中流动的再生电流使内部信号s21和s22在特定时段内成为负电位(参见内部信号s21和s22的虚线)。当生成该负电位时段时,在比较器221E和221F中生成的内部信号s23和s24中可能生成不必要的脉冲,导致接收脉冲信号S5(因此输出脉冲信号OUT)的错误检测。

[0119] 因此,当在时间t22或时间t26在内部信号s23或s24中检测到脉冲时,内部信号s25被设定为高电平持续预定掩蔽时间tm2。以这种方式,晶体管221C和221D导通,并且次级绕组231s和232s的两个端子都短路,并且比较器221E和221F中的每个比较器的差分输入变为零。因此,可以抑制在内部信号s23和s24中生成不必要的脉冲。

[0120] 注意,优选地将内部信号s25的高电平时段(即,掩蔽时间tm2)设定为长于内部信号s21和s22的负电位时段。

[0121] 图6是示出比较器221E和221F的比较操作示例的图,其中,内部信号s21和s22(即,接收脉冲信号S3和S4)、到比较器221E的差分输入信号COMP1(即,s21-s22)、到比较器221F的差分输入信号COMP2(即,s22-s21)以及内部信号s23和s24(即,比较器221E和221F的比较输出信号)自上而下依次示出。

[0122] 如该图所示,比较器221E和221F的电路被设计为分别具有输入偏移电压Vofs1和Vofs2。换言之,如果COMP1＞Vofs1成立,则内部信号s23为高电平,而如果COMP1＜Vofs1成立,则内部信号s23为低电平。另外,如果COMP2＞Vofs2成立,则内部信号s24为高电平,而如果COMP2＜Vofs2成立,则内部信号s24为低电平。

[0123] 因此,即使内部信号s21和s22变化很小,只要差分输入信号COMP1和COMP2分别不高于输入偏移电压Vofs1和Vofs2,就不会在内部信号s23和s24中生成不必要的脉冲。因此,可以抑制输出脉冲信号OUT的错误检测(逻辑电平的非预期的切换)。

[0124] 〈变压器芯片〉

[0125] 接下来,再次参考图4,描述第二实施例中变压器芯片230的修改点。在本实施例的

变压器芯片230中,与第一实施例(图2)相比,外部端子的数量从8个减少到6个(即外部端子T21至T26)。

[0126] 变压器231的初级绕组231p连接在外部端子T21和外部端子T22之间。变压器232的初级绕组232p连接在外部端子T23和外部端子T22之间。变压器231的次级绕组231s连接在外部端子T24和外部端子T25之间。变压器232的次级绕组232s连接在外部端子T26和外部端子T25之间。

[0127] 以这种方式,变压器芯片230包括连接到初级绕组231p的第一端子的外部端子T21、连接到初级绕组231p的第二端子和初级绕组232p的第一端子的外部端子T22、连接到初级绕组232p的第二端子的外部端子T23、连接到次级绕组231s的第一端子的外部端子T24、连接到次级绕组231s的第二端子和次级绕组232s的第一端子的外部端子T25、以及连接到次级绕组232s的第二端子的外部端子T26。

[0128] 图7是示出根据第二实施例的变压器芯片230的结构示例的图。在该结构示例的变压器芯片230中,变压器231包括在上下方向上彼此面对的初级绕组231p和次级绕组231s。另外,变压器232包括在上下方向上彼此面对的初级绕组232p和次级绕组232s。

[0129] 初级绕组231p和232p形成在变压器芯片230的第一层(下层)230a中,同时次级绕组231s和232s形成在变压器芯片230的第二层(上层)230b中。注意,次级绕组231s设置在初级绕组231p的正上方,以便面向初级绕组231p。此外,次级绕组232s设置在初级绕组232p的正上方以便面向初级绕组232p。

[0130] 初级绕组231p形成为从连接到内部端子X21的第一端子处开始的螺旋形状,以便在顺时针方向上环绕内部端子X21,并且对应于结束点的第二端子连接到内部端子X22。相反,初级绕组232p形成为从连接到内部端子X23的第一端子处开始的螺旋形状,以便在逆时针方向上环绕内部端子X23,并且对应于结束点的第二端子连接到内部端子X22。注意,内部端子X21、X22、和X23按照如图所示的顺序线性对准。

[0131] 内部端子X21通过导电配线Y21和导电通孔Z21连接到第二层230b中的外部端子T21。内部端子X22通过导电配线Y22和导电通孔Z22连接到第二层230b中的外部端子T22。内部端子X23通过导电配线Y23和导电通孔Z23连接到第二层230b中的外部端子T23。注意,外部端子T21至T23线性对准,并且用于与控制器芯片210的引线接合。

[0132] 次级绕组231s形成为从连接到外部端子T24的第一端子处开始的螺旋形状,以便在逆时针方向上环绕外部端子T24,并且对应于结束点的第二端子连接到外部端子T25。相反,次级绕组232s形成为从连接到外部端子T26的第一端子处开始的螺旋形状,以便在顺时针方向上环绕外部端子T26,并且对应于结束点的第二端子连接到外部端子T25。注意,外部端子T24、T25、和T26按照如图所示的顺序线性对准,并且用于与驱动器芯片220的引线接合。

[0133] 次级绕组231s和232s通过磁性耦合分别交流(AC)连接到初级绕组231p和232p,并且与初级绕组231p和232p直流(DC)绝缘。换言之,驱动器芯片220经由变压器芯片230交流连接到控制器芯片210,并且通过变压器芯片230与控制器芯片210直流绝缘。

[0134] <信号传输装置(双通道化)>

[0135] 图8是示出信号传输装置200的双通道化的图。如该图所示,信号传输装置200具有两个输入端子IN1和IN2以及两个输出端子OUT1和OUT2,使得可以执行双通道脉冲传输。

[0136] 注意,从输入端子IN1经由施密特缓冲器211(1)、脉冲传输电路212、变压器231和232、脉冲接收电路221和驱动器222(1)到输出端子OUT1的信号传输路径用于第一通道。相反,从输入端子IN2经由施密特缓冲器211(2)、脉冲传输电路212、变压器233和234、脉冲接收电路221和驱动器222(2)到输出端子OUT2的信号传输路径用于第二通道。

[0137] 此外,除了用于第一通道的变压器231和232以及外部端子T21至T26以外,变压器芯片230还包括用于第二通道的变压器233和234以及外部端子T31至T36。

[0138] 变压器233包括连接在外部端子T31和外部端子T32之间的初级绕组233p。变压器234包括连接在外部端子T33和外部端子T32之间的初级绕组234p。变压器233包括连接在外部端子T34和外部端子T35之间的次级绕组233s。变压器234包括连接在外部端子T36和外部端子T35之间的次级绕组234s。

[0139] 以这种方式,除了上述外部端子T21至T26以外,变压器芯片230还包括连接到初级绕组233p的第一端子的外部端子T31、连接到初级绕组233p的第二端子和初级绕组234p的第一端子的外部端子T32、连接到初级绕组234p的第二端子的外部端子T33、连接到次级绕组233s的第一端子的外部端子T34、连接到次级绕组233s的第二端子和次级绕组234s的第一端子的外部端子T35、以及连接到次级绕组234s的第二端子的外部端子T36。

[0140] <双通道变压器芯片(半导体装置)>

[0141] 图9是示出用作图8所示的变压器芯片230的半导体装置5的透视图。图10是图9所示的半导体装置5的平面图。图11是示出图9所示的半导体装置5的一层的平面图,在该层中形成低电位线圈22(对应于图8所示的变压器231至234的初级绕组231p至234p)。图12是示出图9所示的半导体装置5的一层的平面图,在该层中形成高电位线圈23(对应于图8所示的变压器231至234的次级绕组231s至234s)。图13是沿图12中所示的线VIII-VIII截取的截面图。图14是沿图12中所示的线IX-IX截取的截面图。图15是图12中所示的区域X的放大图。图16是图12中所示的区域XI的放大图。图17是图12中所示的区域XII的放大图。图18是图13中所示的区域XIII的放大图,并且是示出分离结构130的图。

[0142] 参考图9至图13,半导体装置5包括具有长方体形状的半导体芯片41。半导体芯片41包含硅、宽带隙半导体和化合物半导体中的至少一种。

[0143] 宽带隙半导体由具有比硅的带隙(大约1.12eV)更宽的带隙的半导体构成。宽带隙半导体优选具有2.0eV或更宽的带隙。宽带隙半导体可以是碳化硅(SiC)。化合物半导体可以是III-V族化合物半导体。化合物半导体可以包含氮化铝(AlN)、氮化铟(InN)、氮化镓(GaN)和砷化镓(GaAs)中的至少一种。

[0144] 在该实施例中,半导体芯片41包括硅半导体基板。半导体芯片41可以是具有包括硅半导体基板和硅外延层的层压结构的外延基板。半导体基板的导电类型可以是n型或者p型。外延层可以是n型或者p型。

[0145] 半导体芯片41包括在一侧上的第一主表面42、在另一侧上的第二主表面43以及连接第一主表面42和第二主表面43的芯片侧壁44A至44D。第一主表面42和第二主表面43在沿其法线方向Z观察的平面图中形成为四边形形状(在该实施例中为矩形形状)(下文简称为“在平面图中”)。

[0146] 芯片侧壁44A至44D包括第一芯片侧壁44A、第二芯片侧壁44B、第三芯片侧壁44C和第四芯片侧壁44D。第一芯片侧壁44A和第二芯片侧壁44B形成半导体芯片41的长边。第一芯

片侧壁44A和第二芯片侧壁44B在第一方向X上延伸并且在第二方向Y上彼此面对。第三芯片侧壁44C和第四芯片侧壁44D形成半导体芯片41的短边。第三芯片侧壁44C和第四芯片侧壁44D在第二方向Y上延伸并且在第一方向X上彼此面对。芯片侧壁44A至44D具有接地表面。

[0147] 半导体装置5还包括形成在半导体芯片41的第一主表面42上的绝缘层51。绝缘层51包括绝缘主表面52和绝缘侧壁53A至53D。在平面图中,绝缘主表面52形成为与第一主表面42匹配的四边形形状(在该实施例中为矩形形状)。绝缘主表面52平行于第一主表面42延伸。

[0148] 绝缘侧壁53A至53D包括第一绝缘侧壁53A、第二绝缘侧壁53B、第三绝缘侧壁53C和第四绝缘侧壁53D。绝缘侧壁53A至53D从绝缘主表面52的外围延伸到半导体芯片41,以便分别延伸到与芯片侧壁44A至44D相接。具体地,绝缘侧壁53A至53D形成为分别与芯片侧壁44A至44D齐平。绝缘侧壁53A至53D分别具有与芯片侧壁44A至44D齐平的接地表面。

[0149] 绝缘层51具有多层绝缘层压结构,该结构包括底部绝缘层55、顶部绝缘层56和多个(在该实施例中为11个)层间绝缘层57。底部绝缘层55是直接覆盖第一主表面42的绝缘层。顶部绝缘层56是形成绝缘主表面52的绝缘层。多个层间绝缘层57是设置在底部绝缘层55和顶部绝缘层56之间的绝缘层。在该实施例中,底部绝缘层55具有包含氧化硅的单层结构。在该实施例中,顶部绝缘层56具有包含氧化硅的单层结构。底部绝缘层55和顶部绝缘层56可以具有大于等于1μm且小于等于3μm(例如,大约2μm)的厚度。

[0150] 多个层间绝缘层57中的每个层间绝缘层都具有层压结构,该层压结构包括在底部绝缘层55的一侧的第一绝缘层58和在顶部绝缘层56的一侧的第二绝缘层59。第一绝缘层58可以包含氮化硅。第一绝缘层58形成为用于第二绝缘层59的蚀刻阻挡层。第一绝缘层58可以具有大于等于0.1μm且小于等于1μm(例如,大约0.3μm)的厚度。

[0151] 第二绝缘层59形成在第一绝缘层58上并且含有不同于第一绝缘层58的绝缘材料的绝缘材料。第二绝缘层59可以包含氧化硅。第二绝缘层59可以具有大于等于1μm且小于等于3μm(例如,大约2μm)的厚度。第二绝缘层59的厚度优选大于第一绝缘层58的厚度。

[0152] 绝缘层51可以具有大于等于5μm且小于等于50μm的总厚度DT。绝缘层51的总厚度DT和层间绝缘层57的层数是任意的,并且根据要实现的介电电压(介电击穿强度)来调整。另外,底部绝缘层55、顶部绝缘层56和层间绝缘层57的绝缘材料是任意的,并且不限于特定的绝缘材料。

[0153] 半导体装置5包括形成在绝缘层51中的第一功能器件45。第一功能器件45包括一个或多个(在该实施例中为多个)变压器21。换言之,半导体装置5由包含多个变压器21的多通道型装置构成。多个变压器21形成在绝缘层51的内部,与绝缘侧壁53A至53D间隔开。多个变压器21在第一方向X上间隔形成。

[0154] 具体地,多个变压器21包括第一变压器21A、第二变压器21B、第三变压器21C和第四变压器21D(分别对应于图8中所示的变压器231至234),其在平面图中从绝缘侧壁53C的一侧到绝缘侧壁53D的一侧依次形成。多个变压器21A至21D具有相同的结构。在以下描述中,例示并描述了第一变压器21A的结构。省略了对第二变压器21B、第三变压器21C和第四变压器21D的结构的描述,因为对第一变压器21A的结构的描述也适用于第二变压器21B、第三变压器21C和第四变压器21D。

[0155] 参考图11至图14,第一变压器21A包括低电位线圈22和高电位线圈23(分别对应于

图8中所示的变压器231的初级绕组231p和次级绕组231s)。低电位线圈22形成在绝缘层51中。高电位线圈23形成在绝缘层51中,以便在沿法线方向Z面向低电位线圈22。在该实施例中,低电位线圈22和高电位线圈23形成在底部绝缘层55和顶部绝缘层56之间(即,多个层间绝缘层57)的区域中。

[0156] 在绝缘层51中,低电位线圈22形成在底部绝缘层55(半导体芯片41)的一侧,相对于低电位线圈22,高电位线圈23在绝缘层51中形成在顶部绝缘层56(绝缘主表面52)的一侧。换言之,高电位线圈23经由低电位线圈22面向半导体芯片41。低电位线圈22和高电位线圈23设置在任何位置。另外,高电位线圈23经由一个或多个层间绝缘层57面向低电位线圈22就足够了。

[0157] 根据低电位线圈22和高电位线圈23之间的介电电压和电场强度,适当地调整低电位线圈22和高电位线圈23之间的距离(即,层间绝缘层57的层数)。在该实施例中,低电位线圈22形成在从底部绝缘层55开始起第三层间绝缘层57中。在该实施例中,高电位线圈23形成在从顶部绝缘层56开始起第一层间绝缘层57中。

[0158] 低电位线圈22嵌入在层间绝缘层57中,以便穿透第一绝缘层58和第二绝缘层59。低电位线圈22包括第一内端24、第一外端25、和在第一内端24与第一外端25之间形成螺旋形状图案的第一螺旋部26。在平面图中,第一螺旋部26被形成椭圆形(卵形)螺旋形状的图案。在平面图中,第一螺旋部26的内边缘部限定椭圆形的第一内部区域66。

[0159] 第一螺旋部26的匝数可以是大于等于5且小于等于30。第一螺旋部26可以具有大于等于0.1μm且小于等于5μm的宽度。第一螺旋部26优选地具有大于等于1μm且小于等于3μm的宽度。第一螺旋部26的宽度由在垂直于螺旋方向的方向上的宽度定义。第一螺旋部26可以具有大于等于0.1μm且小于等于5μm的第一绕组节距。第一绕组节距优选为大于等于1μm且小于等于3μm。第一绕组节距由在垂直于螺旋方向的方向上第一螺旋部26相邻的两个部分之间的距离定义。

[0160] 第一螺旋部26的卷绕形状和第一内部区域66的平面形状是任意的,并且不限于图11等中所示的那些形状。第一螺旋部26在平面图中可以具有诸如矩形形状或四边形形状的多边形卷绕形状,或者圆形形状。第一内部区域66在平面图中可以被限定为诸如矩形形状或四边形形状的多边形形状,或者被限定为圆形形状,对应于第一螺旋部26的卷绕形状。

[0161] 低电位线圈22可以包含钛、氮化钛、铜、铝、和钨中的至少一种。低电位线圈22可以具有包括阻挡层和主体层的层压结构。阻挡层在层间绝缘层57中限定凹陷区域。主体层嵌入在由阻挡层限定的凹陷区域中。阻挡层可以包含钛和氮化钛中的至少一种。主体层可以包含铜、铝、和钨中的至少一种。

[0162] 高电位线圈23嵌入在层间绝缘层57中,以便穿透第一绝缘层58和第二绝缘层59。高电位线圈23包括第二内端27、第二外端28、和在第二内端27与第二外端28之间形成螺旋形状图案的第二螺旋部29。在平面图中,第二螺旋部29被形成椭圆形(卵形)螺旋形状的图案。在该实施例中,第二螺旋部29的内边缘部在平面图中限定椭圆形的第二内部区域67。第二螺旋部29的第二内部区域67沿法线方向Z面向第一螺旋部26的第一内部区域66。

[0163] 第二螺旋部29的匝数可以是大于等于5且小于等于30。第二螺旋部29的匝数相对于第一螺旋部26的匝数根据要升高的电压值来调整。第二螺旋部29的匝数优选大于第一螺旋部26的匝数。当然,第二螺旋部29的匝数可以小于或等于第一螺旋部26的匝数。

[0164] 第二螺旋部29的宽度可以是大于等于0.1μm且小于等于5μm。第二螺旋部29的宽度优选为大于等于1μm且小于等于3μm。第二螺旋部29的宽度由在垂直于螺旋方向的方向上的宽度定义。第二螺旋部29的宽度优选地等于第一螺旋部26的宽度。

[0165] 第二螺旋部29的第二绕组节距可以是大于等于0.1μm且小于等于5μm。第二绕组节距优选为大于等于1μm且小于等于3μm。第二绕组节距由在垂直于螺旋方向的方向上第二螺旋部29相邻的两个部分之间的距离定义。第二绕组节距优选地等于第一螺旋部26的第一绕组节距。

[0166] 第二螺旋部29的卷绕形状和第二内部区域67的平面形状是任意的,并且不限于图12等中所示的那些形状。第二螺旋部29在平面图中可以具有诸如矩形形状或四边形形状的多边形卷绕形状,或者圆形形状。第二内部区域67在平面图中可以被限定为诸如矩形形状或四边形形状的多边形形状,或者被限定为圆形形状,对应于第二螺旋部29的卷绕形状。

[0167] 高电位线圈23优选地由与低电位线圈22相同的导电材料形成。换言之,高电位线圈23优选地包括与低电位线圈22类似的阻挡层和主体层。

[0168] 参考图10,半导体装置5包括多个(在该实施例中为12个)低电位端子11(分别对应于图8中所示的外部端子T21至T23和外部端子T31至T33),以及多个(在该实施例中为12个)高电位端子12(分别对应于图8中所示的外部端子T24至T26和外部端子T34至T36)。多个低电位端子11分别电连接到对应变压器21A至21D的低电位线圈22。多个高电位端子12分别电连接到对应变压器21A至21D的高电位线圈23。

[0169] 多个低电位端子11形成在绝缘层51的绝缘主表面52上。具体地,多个低电位端子11形成在绝缘侧壁53B的一侧在第二方向Y上与多个变压器21A至21D间隔开的区域中,并且在第一方向X上间隔布置。

[0170] 多个低电位端子11包括第一低电位端子11A、第二低电位端子11B、第三低电位端子11C、第四低电位端子11D、第五低电位端子11E和第六低电位端子11F。在该实施例中,多个低电位端子11A至11F中的每个低电位端子形成有两个。多个低电位端子11A至11F的数量是任意的。

[0171] 在平面图中,第一低电位端子11A沿第二方向Y面向第一变压器21A。在平面图中,第二低电位端子11B沿第二方向Y面向第二变压器21B。在平面图中,第三低电位端子11C沿第二方向Y面向第三变压器21C。在平面图中,第四低电位端子11D沿第二方向Y面向第四变压器21D。在平面图中,第五低电位端子11E形成在第一低电位端子11A和第二低电位端子11B之间的区域中。在平面图中,第六低电位端子11F形成在第三低电位端子11C和第四低电位端子11D之间的区域中。

[0172] 第一低电位端子11A电连接到第一变压器21A(低电位线圈22)的第一内端24。第二低电位端子11B电连接到第二变压器21B(低电位线圈22)的第一内端24。第三低电位端子11C电连接到第三变压器21C(低电位线圈22)的第一内端24。第四低电位端子11D电连接到第四变压器21D(低电位线圈22)的第一内端24。

[0173] 第五低电位端子11E电连接到第一变压器21A(低电位线圈22)的第一外端25和第二变压器21B(低电位线圈22)的第一外端25。第六低电位端子11F电连接到第三变压器21C(低电位线圈22)的第一外端25和第四变压器21D(低电位线圈22)的第一外端25。

[0174] 多个高电位端子12形成在绝缘层51的绝缘主表面52上,与多个低电位端子11间隔

开。具体地,多个高电位端子12形成在绝缘侧壁53A的一侧在第二方向Y上与多个低电位端子11间隔开的区域中,并且在第一方向X上间隔布置。

[0175] 在平面图中,多个高电位端子12分别形成在与对应的变压器21A至21D相邻的区域中。在平面图中,高电位端子12与变压器21A至21D相邻意味着高电位端子12与变压器21之间的距离小于低电位端子11与高电位端子12之间的距离。

[0176] 具体地,在平面图中,多个高电位端子12在第一方向X上间隔形成,以便在第一方向X上面向多个变压器21A至21D。更具体地,在平面图中,多个高电位端子12在第一方向X上间隔形成,以便定位在高电位线圈23的第二内部区域67和相邻的高电位线圈23之间的区域中。以这种方式,在平面图中,多个高电位端子12与多个变压器21A至21D在第一方向X上沿一条线布置。

[0177] 多个高电位端子12包括第一高电位端子12A、第二高电位端子12B、第三高电位端子12C、第四高电位端子12D、第五高电位端子12E和第六高电位端子12F。在该实施例中,多个高电位端子12A至12F中的每个高电位端子形成有两个。多个高电位端子12A至12F的数量是任意的。

[0178] 在平面图中,第一高电位端子12A形成在第一变压器21A(高电位线圈23)的第二内部区域67中。在平面图中,第二高电位端子12B形成在第二变压器21B(高电位线圈23)的第二内部区域67中。在平面图中,第三高电位端子12C形成在第三变压器21C(高电位线圈23)的第二内部区域67中。在平面图中,第四高电位端子12D形成在第四变压器21D(高电位线圈23)的第二内部区域67中。在平面图中,第五高电位端子12E形成在第一变压器21A和第二变压器21B之间的区域中。在平面图中,第六高电位端子12F形成在第三变压器21C和第四变压器21D之间的区域中。

[0179] 第一高电位端子12A电连接到第一变压器21A(高电位线圈23)的第二内端27。第二高电位端子12B电连接到第二变压器21B(高电位线圈23)的第二内端27。第三高电位端子12C电连接到第三变压器21C(高电位线圈23)的第二内端27。第四高电位端子12D电连接到第四变压器21D(高电位线圈23)的第二内端27。

[0180] 第五高电位端子12E电连接到第一变压器21A(高电位线圈23)的第二外端28和第二变压器21B(高电位线圈23)的第二外端28。第六高电位端子12F电连接到第三变压器21C(高电位线圈23)的第二外端28和第四变压器21D(高电位线圈23)的第二外端28。

[0181] 参考图11至图14,半导体装置5包括形成在绝缘层51中的第一低电位配线31、第二低电位配线32、第一高电位配线33、和第二高电位配线34。在该实施例中,形成多个第一低电位配线31、多个第二低电位配线32、多个第一高电位配线33、和多个第二高电位配线34。

[0182] 第一低电位配线31和第二低电位配线32将第一变压器21A的低电位线圈22和第二变压器21B的低电位线圈22固定在相同电位。另外,第一低电位配线31和第二低电位配线32将第三变压器21C的低电位线圈22和第四变压器21D的低电位线圈22固定在相同电位。在该实施例中,第一低电位配线31和第二低电位配线32将变压器21A至21D的所有低电位线圈22固定在相同电位。

[0183] 第一高电位配线33和第二高电位配线34将第一变压器21A的高电位线圈23和第二变压器21B的高电位线圈23固定在相同电位。另外,第一高电位配线33和第二高电位配线34将第三变压器21C的高电位线圈23和第四变压器21D的高电位线圈23固定在相同电位。在该

实施例中,第一高电位配线33和第二高电位配线34将变压器21A至21D的所有高电位线圈23固定在相同电位。

[0184] 多个第一低电位配线31分别电连接到对应的低电位端子11A至11D和对应的变压器21A至21D(低电位线圈22)的第一内端24。多个第一低电位配线31具有相同的结构。在下面的描述中,例示和描述了连接到第一低电位端子11A和第一变压器21A的第一低电位配线31的结构。省略了对其他第一低电位配线31的结构的描述,因为对连接到第一变压器21A的第一低电位配线31的结构的描述适用于其他第一低电位配线31。

[0185] 第一低电位配线31包括贯通配线71、低电位连接配线72、引线配线73、第一连接插塞电极74、第二连接插塞电极75、一个或多个(在该实施例中为多个)焊盘插塞电极76以及一个或多个(在该实施例中为多个)基板插塞电极77。

[0186] 贯通配线71、低电位连接配线72、引线配线73、第一连接插塞电极74、第二连接插塞电极75、焊盘插塞电极76和基板插塞电极77优选地由与低电位线圈22等相同的导电材料形成。换言之,贯通配线71、低电位连接配线72、引线配线73、第一连接插塞电极74、第二连接插塞电极75、焊盘插塞电极76和基板插塞电极77中的每一个优选地包括阻挡层和主体层,与低电位线圈22等类似。

[0187] 贯通配线71穿透绝缘层51中的多个层间绝缘层57并且在法线方向Z上像柱一样延伸。在该实施例中,在绝缘层51中的底部绝缘层55和顶部绝缘层56之间的区域中形成贯通配线71。贯通配线71具有在顶部绝缘层56的一侧的顶端部和在底部绝缘层55的一侧的底端部。贯通配线71的顶端部形成在与高电位线圈23相同的层间绝缘层57中,并且被顶部绝缘层56覆盖。贯通配线71的底端部形成在与低电位线圈22相同的层间绝缘层57中。

[0188] 在该实施例中,贯通配线71包括第一电极层78、第二电极层79和多个配线插塞电极80。在贯通配线71中,第一电极层78、第二电极层79和配线插塞电极80由与低电位线圈22等相同的导电材料形成。换言之,第一电极层78、第二电极层79和配线插塞电极80中的每一个包括阻挡层和主体层,与低电位线圈22等类似。

[0189] 第一电极层78形成贯通配线71的顶端部。第二电极层79形成贯通配线71的底端部。第一电极层78形成为类似于岛并且沿法线方向Z面向低电位端子11(第一低电位端子11A)。第二电极层79形成为类似于岛并且沿法线方向Z面向第一电极层78。

[0190] 多个配线插塞电极80分别嵌入在位于第一电极层78和第二电极层79之间的区域中的多个层间绝缘层57中。多个配线插塞电极80从底部绝缘层55层压到顶部绝缘层56,以便彼此电连接,并且将第一电极层78和第二电极层79电连接。多个配线插塞电极80的面积小于第一电极层78或第二电极层79的面积。

[0191] 多个配线插塞电极80的层数等于多个层间绝缘层57的层数。在该实施例中,6个配线插塞电极80嵌入在每个层间绝缘层57中,但是可以有任何数量的配线插塞电极80嵌入在每个层间绝缘层57中。当然,可以形成一个或多个配线插塞电极80以穿透多个层间绝缘层57。

[0192] 低电位连接配线72形成在与低电位线圈22相同的层间绝缘层57中的第一变压器21A(低电位线圈22)的第一内部区域66中。低电位连接配线72形成为类似于岛并且沿法线方向Z面向高电位端子12(第一高电位端子12A)。低电位连接配线72优选地具有比配线插塞电极80更大的面积。低电位连接配线72电连接到低电位线圈22的第一内端24。

[0193] 在层间绝缘层57中,引线配线73形成在半导体芯片41和贯通配线71之间的区域中。在该实施例中,引线配线73形成在从底部绝缘层55开始起第一层间绝缘层57中。引线配线73包括在一侧的第一端子部、在另一侧的第二端子部以及连接第一端子部和第二端子部的配线部。引线配线73的第一端子部位于半导体芯片41与贯通配线71的底端部之间的区域中。引线配线73的第二端子部位于半导体芯片41与低电位连接配线72之间的区域中。配线部沿着半导体芯片41的第一主表面42在第一端子部和第二端子部之间的区域中以带状形状延伸。

[0194] 在层间绝缘层57中,第一连接插塞电极74形成在贯通配线71和引线配线73之间的区域中,并且电连接到贯通配线71和引线配线73的第一端子部。在层间绝缘层57中,第二连接插塞电极75形成在低电位连接配线72和引线配线73之间的区域中,并且电连接到低电位连接配线72和引线配线73的第二端子部。

[0195] 在顶部绝缘层56中,多个焊盘插塞电极76形成在低电位端子11(第一低电位端子11A)和贯通配线71之间的区域中,并且分别电连接到低电位端子11和贯通配线71的顶端部。在底部绝缘层55中,多个基板插塞电极77形成在半导体芯片41和引线配线73之间的区域中。在该实施例中,基板插塞电极77形成在半导体芯片41和引线配线73的第一端子部之间的区域中,并且分别电连接到半导体芯片41和引线配线73的第一端子部。

[0196] 参考图14,多个第二低电位配线32分别电连接到对应的低电位端子11E和11F以及对应的变压器21A至21D的低电位线圈22的第一外端25。多个第二低电位配线32具有相同的结构。在以下描述中,例示并且描述了连接到第五低电位端子11E和第一变压器21A(第二变压器21B)的第二低电位配线32的结构。省略了对其他第二低电位配线32的结构的描述,因为对连接到第一变压器21A(第二变压器21B)的第二低电位配线32的结构的描述适用于其他第二低电位配线32。

[0197] 类似于第一低电位配线31,第二低电位配线32包括贯通配线71、低电位连接配线72、引线配线73、第一连接插塞电极74、第二连接插塞电极75、焊盘插塞电极76和基板插塞电极77。除了低电位连接配线72电连接到第一变压器21A(低电位线圈22)的第一外端25和第二变压器21B(低电位线圈22)的第一外端25,第二低电位配线32具有与第一低电位配线31相同的结构。

[0198] 第二低电位配线32的低电位连接配线72在与低电位线圈22相同的层间绝缘层57中围绕低电位线圈22形成。具体地,在平面图中,低电位连接配线72形成在两个相邻的低电位线圈22之间的区域中。在顶部绝缘层56中,焊盘插塞电极76形成在低电位端子11(第五低电位端子11E)和低电位连接配线72之间的区域中,并且电连接到低电位端子11和低电位连接配线72。

[0199] 参考图13,多个第一高电位配线33分别电连接到对应的高电位端子12A至12D和对应的变压器21A至21D(高电位线圈23)的第二内端27。多个第一高电位配线33具有相同的结构。在以下描述中,例示并且描述了连接到第一高电位端子12A和第一变压器21A的第一高电位配线33的结构。省略了对其他第一高电位配线33的结构的描述,因为对连接到第一变压器21A的第一高电位配线33的结构的描述适用于其他第一高电位配线33。

[0200] 第一高电位配线33包括高电位连接配线81和一个或多个(在该实施例中为多个)焊盘插塞电极82。高电位连接配线81和焊盘插塞电极82优选地由与低电位线圈22等相同的

导电材料形成。换言之,类似于低电位线圈22等,高电位连接配线81和焊盘插塞电极82优选地包括阻挡层和主体层。

[0201] 高电位连接配线81形成在与高电位线圈23相同的层间绝缘层57中的高电位线圈23的第二内部区域67中。高电位连接配线81形成为类似于岛并且沿法线方向Z面向高电位端子12(第一高电位端子12A)。高电位连接配线81电连接到高电位线圈23的第二内端27。高电位连接配线81在平面图中与低电位连接配线72形成有间隔,并且在法线方向Z上不面向低电位连接配线72。以这种方式,低电位连接配线72和高电位连接配线81之间的绝缘距离增加,因此绝缘层51的介电电压提高。

[0202] 在顶部绝缘层56中,多个焊盘插塞电极82形成在高电位端子12(第一高电位端子12A)和高电位连接配线81之间的区域中,并且电连接到高电位端子12和高电位连接配线81。在平面图中,多个焊盘插塞电极82中的每个焊盘插塞电极的面积都小于高电位连接配线81的面积。

[0203] 参考图14,多个第二高电位配线34分别电连接到对应的高电位端子12E和12F以及对应的变压器21A至21D(高电位线圈23)的第二外端28。多个第二高电位配线34具有相同的结构。在以下描述中,例示并且描述了连接到第五高电位端子12E和第一变压器21A(第二变压器21B)的第二高电位配线34的结构。省略了对其他第二高电位配线34的结构的描述,因为对连接到第一变压器21A(第二变压器21B)的第二高电位配线34的结构的描述适用于其他第二高电位配线34。

[0204] 类似于第一高电位配线33,第二高电位配线34包括高电位连接配线81和焊盘插塞电极82。除了高电位连接配线81电连接到第一变压器21A(高电位线圈23)的第二外端28和第二变压器21B(高电位线圈23)的第二外端28,第二高电位配线34具有与第一高电位配线33相同的结构。

[0205] 第二高电位配线34的高电位连接配线81在与高电位线圈23相同的层间绝缘层57中围绕高电位线圈23形成。在平面图中,高电位连接配线81形成在两个相邻的高电位线圈23之间的区域中,并且沿法线方向Z面向高电位端子12(第五高电位端子12E)。在平面图中,高电位连接配线81与低电位连接配线72形成有间隔,并且在法线方向Z上不面向低电位连接配线72。

[0206] 在顶部绝缘层56中,多个焊盘插塞电极82形成在高电位端子12(第五高电位端子12E)和高电位连接配线81之间的区域中,并且电连接到高电位端子12和高电位连接配线81。

[0207] 参考图13和图14,低电位端子11和高电位端子12之间的距离D1优选地大于低电位线圈22和高电位线圈23之间的距离D2(D2＜D1)。距离D1优选地大于多个层间绝缘层57的总厚度DT(DT＜D1)。距离D2与距离D1的比率D2/D1可以是大于等于0.01且小于等于0.1。距离D1优选为大于等于100μm且小于等于500μm。距离D2可以是大于等于1μm且小于等于50μm。距离D2优选为大于等于5μm且小于等于25μm。距离D1和距离D2可以具有任何值,并且根据要实现的介电电压适当地调整。

[0208] 参考图12至图17,半导体装置5包括嵌入在绝缘层51中以便在平面图中定位在变压器21A至21D周围的虚设图案85。在图15至图17中,虚设图案85由阴影线示出。虚设图案85包括导体。虚设图案85优选地由与低电位线圈22等相同的导电材料形成。换言之,类似于低

电位线圈22等,虚设图案85优选地包括阻挡层和主体层。

[0209] 虚设图案85以不同于高电位线圈23或低电位线圈22的图案(不连续图案)形成,并且独立于变压器21A至21D。换言之,虚设图案85并不充当变压器21A至21D。虚设图案85形成为遮挡导体层,其遮挡变压器21A至21D中的低电位线圈22和高电位线圈23之间的电场,并且抑制电场集中在高电位线圈23上。

[0210] 在该实施例的平面图中,虚设图案85以密集的线形成图案,以便部分地覆盖和部分地暴露一个或多个高电位线圈23周围的区域。在该实施例中,虚设图案85以等于高电位线圈23的每单位面积的线密度而形成图案。虚设图案85的线密度等于高电位线圈23的线密度意味着虚设图案85的线密度在高电位线圈23的线密度的±20%的范围内。

[0211] 在平面图中,虚设图案85优选地形成在相对于低电位端子11邻近高电位线圈23的区域中。在平面图中,虚设图案85邻近高电位线圈23意味着虚设图案85和高电位线圈23之间的距离小于虚设图案85和低电位端子11之间的距离。

[0212] 虚设图案85在绝缘层51中的深度位置是任意的,并且根据要减轻的电场强度来调整。虚设图案85优选地相对于低电位线圈22在法线方向Z上形成在邻近高电位线圈23的区域中。虚设图案85在法线方向Z上邻近高电位线圈23意味着在法线方向Z上虚设图案85与高电位线圈23之间的距离小于虚设图案85与低电位线圈22之间的距离。

[0213] 在这种情况下,可以适当地抑制高电位线圈23上的电场集中。在法线方向Z上,随着虚设图案85和高电位线圈23之间的距离变小,可以更多地抑制高电位线圈23上的电场集中。虚设图案85优选地形成在与高电位线圈23相同的层间绝缘层57中。在这种情况下,可以更适当地抑制高电位线圈23上的电场集中。

[0214] 在平面图中,虚设图案85优选地围绕多个高电位线圈23形成,以便位于多个相邻的高电位线圈23之间的区域中。在这种情况下,使用多个相邻的高电位线圈23之间的区域,可以抑制多个高电位线圈23上的不期望的电场集中。

[0215] 在平面图中,虚设图案85优选地位于低电位端子11和高电位线圈23之间的区域中。在这种情况下,可以抑制由于高电位线圈23上的电场集中而导致的低电位端子11和高电位线圈23之间的不期望的连续性。在平面图中,虚设图案85优选地位于低电位端子11和高电位端子12之间的区域中。在这种情况下,可以抑制由于高电位线圈23上的电场集中而导致的低电位端子11和高电位端子12之间的不期望的连续性。

[0216] 在该实施例的平面图中,虚设图案85沿着多个高电位线圈23形成,并且位于多个相邻的高电位线圈23之间的区域中。另外,在平面图中,虚设图案85整体围绕包括多个高电位线圈23和多个高电位端子12的区域。另外,在平面图中,虚设图案85位于多个低电位端子11A至11F和多个高电位线圈23之间的区域中。另外,在平面图中,虚设图案85位于多个低电位端子11A至11F和多个高电位端子12A至12F之间的区域中。

[0217] 参考图12至图17,虚设图案85包括具有不同电状态的多个虚设图案。虚设图案85包括高电位虚设图案86。高电位虚设图案86形成在绝缘层51中以便在平面图中定位在变压器21A至21D周围。高电位虚设图案86以不同于高电位线圈23或低电位线圈22的图案(不连续图案)形成,并且独立于变压器21A至21D。换言之,高电位虚设图案86不充当变压器21A至21D。

[0218] 在该实施例的平面图中,高电位虚设图案86以密集的线形成图案,以便部分地覆

盖和部分地暴露高电位线圈23周围的区域。在该实施例中,高电位虚设图案86以等于高电位线圈23的每单位面积的线密度而形成图案。高电位虚设图案86的线密度等于高电位线圈23的线密度意味着高电位虚设图案86的线密度在高电位线圈23的线密度的±20%的范围内。

[0219] 高电位虚设图案86遮挡变压器21A至21D中的低电位线圈22和高电位线圈23之间的电场,并且抑制高电位线圈23上的电场集中。具体地,高电位虚设图案86遮挡低电位线圈22和高电位线圈23之间的电场,以便保持泄漏到高电位线圈23的上侧的电场远离高电位线圈23。以这种方式,抑制了由于泄漏到高电位线圈23的上侧的电场而导致的高电位线圈23上的电场集中。

[0220] 高电位虚设图案86被施加有高于施加到低电位线圈22的电压的电压。以这种方式,可以抑制高电位线圈23和高电位虚设图案86之间的电压降,因此可以抑制高电位线圈23上的电场集中。高电位虚设图案86优选地被施加有施加到高电位线圈23的电压。换言之,高电位虚设图案86优选地被固定到与高电位线圈23相同的电位。以这种方式,可以安全地抑制高电位线圈23和高电位虚设图案86之间的电压降,因此可以适当地抑制高电位线圈23上的电场集中。

[0221] 高电位虚设图案86在绝缘层51中的深度位置是任意的,并且根据要减轻的电场强度来调整。高电位虚设图案86优选地相对于低电位线圈22在法线方向Z上形成在邻近高电位线圈23的区域中。高电位虚设图案86在法线方向Z上邻近高电位线圈23意味着在法线方向Z上高电位虚设图案86与高电位线圈23之间的距离小于高电位虚设图案86与低电位线圈22之间的距离。

[0222] 在这种情况下,可以适当地抑制高电位线圈23上的电场集中。在法线方向Z上,随着高电位虚设图案86和高电位线圈23之间的距离变小,可以更多地抑制高电位线圈23上的电场集中。高电位虚设图案86优选地形成在与高电位线圈23相同的层间绝缘层57中。在这种情况下,可以更适当地抑制高电位线圈23上的电场集中。

[0223] 在平面图中,高电位虚设图案86优选地相对于低电位端子11形成在邻近高电位线圈23的区域中。在平面图中,高电位虚设图案86邻近高电位线圈23意味着高电位虚设图案86与高电位线圈23之间的距离小于高电位虚设图案86与低电位端子11之间的距离。

[0224] 在平面图中,高电位虚设图案86优选地围绕多个高电位线圈23形成,以便位于多个相邻的高电位线圈23之间的区域中。在这种情况下,使用多个相邻的高电位线圈23之间的区域,可以抑制多个高电位线圈23上的不期望的电场集中。

[0225] 在平面图中,高电位虚设图案86优选地位于低电位端子11和高电位线圈23之间的区域中。在这种情况下,可以抑制由于高电位线圈23上的电场集中而导致的低电位端子11和高电位线圈23之间的不期望的连续性。在平面图中,高电位虚设图案86优选地位于低电位端子11和高电位端子12之间的区域中。在这种情况下,可以抑制由于高电位线圈23上的电场集中而导致的低电位端子11和高电位端子12之间的不期望的连续性。

[0226] 在该实施例的平面图中,高电位虚设图案86沿着多个高电位线圈23形成,并且位于多个相邻的高电位线圈23之间的区域中。另外,在平面图中,高电位虚设图案86整体围绕包括多个高电位线圈23和多个高电位端子12的区域。另外,在平面图中,高电位虚设图案86位于多个低电位端子11A至11F和多个高电位线圈23之间的区域中。另外,在平面图中,高电

位虚设图案86位于多个低电位端子11A至11F和多个高电位端子12A至12F之间的区域中。

[0227] 在平面图中,高电位虚设图案86围绕高电位端子12E和12F形成图案,以便在多个相邻高电位线圈23之间的区域中暴露紧挨着高电位端子12E和12F下方的区域。高电位虚设图案86的一部分可以沿法线方向Z面向高电位端子12A至12F。在这种情况下,类似于高电位虚设图案86,高电位端子12E和12F遮挡电场,以便抑制电场泄漏到高电位线圈23的上侧。换言之,高电位端子12E和12F形成为遮挡导体层,以便与高电位虚设图案86一起抑制高电位线圈23上的电场集中。

[0228] 高电位虚设图案86优选地形成为具有端部。在这种情况下,可以抑制在高电位虚设图案86中形成电流回路电路(闭合电路)。以这种方式,抑制了由于在高电位虚设图案86中流动的电流而引起的噪声。因此,可以抑制由于噪声引起的不期望的电场集中,同时可以抑制变压器21A至21D的电特性的变化。

[0229] 具体地,高电位虚设图案86包括第一高电位虚设图案87和第二高电位虚设图案88。在平面图中,第一高电位虚设图案87形成在多个相邻变压器21A至21D(多个相邻高电位线圈23)之间的区域中。在平面图中,第二高电位虚设图案88形成在多个相邻变压器21A至21D(多个高电位线圈23)之间的区域外部的区域中。

[0230] 在下文的描述中,相邻的第一变压器21A(高电位线圈23)和第二变压器21B(高电位线圈23)之间的区域被称为第一区域89。另外,第二变压器21B(高电位线圈23)和第三变压器21C(高电位线圈23)之间的区域被称为第二区域90。另外,第三变压器21C(高电位线圈23)和第四变压器21D(高电位线圈23)之间的区域被称为第三区域91。

[0231] 在该实施例中,第一高电位虚设图案87经由第一高电位配线33电连接到高电位端子12(第五高电位端子12E)。具体地,第一高电位虚设图案87包括连接到第一高电位配线33的第一连接部92。第一连接部92的位置是任意的。这样,第一高电位虚设图案87被固定到与多个高电位线圈23相同的电位。

[0232] 具体地,第一高电位虚设图案87包括形成在第一区域89中的第一图案93、形成在第二区域90中的第二图案94以及形成在第三区域91中的第三图案95。以这种方式,第一高电位虚设图案87抑制泄漏到第一区域89、第二区域90和第三区域91中的高电位线圈23的上侧的电场,以便抑制多个相邻的高电位线圈23上的电场集中。

[0233] 在该实施例中,第一图案93、第二图案94以及第三图案95形成为一个单元并且被固定到相同电位。第一图案93、第二图案94和第三图案95可以彼此分离,只要它们固定到相同的电位即可。

[0234] 参考图12和图15,第一图案93经由第一连接部92连接到第一高电位配线33。在平面图中,第一图案93以密集的线形成图案,以便覆盖和隐藏第一区域89的一部分区域。在平面图中,第一图案93形成在第一区域89中,与高电位端子12(第五高电位端子12E)间隔开,并且在法线方向Z上不面向高电位端子12。另外,在平面图中,第一图案93与低电位连接配线72形成有间隔,并且在法线方向Z上不面向低电位连接配线72。以这种方式,第一图案93与低电位连接配线72之间的绝缘距离增加,并且绝缘层51的介电电压增强。

[0235] 第一图案93包括第一外周线96、第二外周线97和多条第一中间线98。第一外周线96沿着第一变压器21A的高电位线圈23的外围以带状形状延伸。在该实施例的平面图中,第一外周线96在第一区域89中形成为具有开口端的环形。第一外周线96的开口端宽度小于高

电位线圈23在第二方向Y上的宽度。

[0236] 第一外周线96的宽度可以是大于等于0.1μm且小于等于5μm。第一外周线96的宽度优选为大于等于1μm且小于等于3μm。第一外周线96的宽度由在垂直于第一外周线96的延伸方向的方向上的宽度定义。第一外周线96的宽度优选地等于高电位线圈23的宽度。第一外周线96的宽度等于高电位线圈23的宽度意味着第一外周线96的宽度在高电位线圈23的宽度的±20％的范围内。

[0237] 第一外周线96和高电位线圈23(第一变压器21A)之间的第一间距可以是大于等于0.1μm且小于等于5μm。第一间距优选为大于等于1μm且小于等于3μm。第一间距优选地等于高电位线圈23的第二绕组节距。第一间距等于第一绕组节距意味着第一间距在第一绕组节距的±20％的范围内。

[0238] 第二外周线97沿着第二变压器21B的高电位线圈23的外围以带状形状延伸。在该实施例的平面图中,第二外周线97在第一区域89中形成为具有开口端的环形。第二外周线97的开口端宽度小于高电位线圈23在第二方向Y上的宽度。第二外周线97的开口端宽度沿第一方向X面向第一外周线96的开口端。

[0239] 第二外周线97的宽度可以是大于等于0.1μm且小于等于5μm。第二外周线97的宽度优选为大于等于1μm且小于等于3μm。第二外周线97的宽度由在垂直于第二外周线97的延伸方向的方向上的宽度定义。第二外周线97的宽度优选地等于高电位线圈23的宽度。第二外周线97的宽度等于高电位线圈23的宽度意味着第二外周线97的宽度在高电位线圈23的宽度的±20％的范围内。

[0240] 第二外周线97和高电位线圈23(第二变压器21B)之间的第二间距可以是大于等于0.1μm且小于等于5μm。第二间距优选为大于等于1μm且小于等于3μm。第二间距优选地等于高电位线圈23的第二绕组节距。第二间距等于第二绕组节距意味着第二间距在第二绕组节距的±20％的范围内。

[0241] 在第一区域89中,多条第一中间线98在第一外周线96和第二外周线97之间的区域中以带状形状延伸。多条第一中间线98包括电连接第一外周线96和第二外周线97的至少一条(在该实施例中为一条)第一连接线99。

[0242] 鉴于防止形成电流回路电路,多条第一中间线98优选地仅包括一条第一连接线99。第一连接线99的位置是任意的。多条第一中间线98中的至少一条第一中间线设置有切断电流回路电路的狭缝100。通过设计多条第一中间线98来适当地调整狭缝100的位置。

[0243] 多条第一中间线98优选地形成为在多个高电位线圈23的面对方向上延伸的带状形状。在该实施例中,多条第一中间线98形成为在第一方向X上延伸的带状形状,并且在第二方向Y上间隔形成。在平面图中,多条第一中间线98形成为整体在第一方向X上延伸的条形。

[0244] 具体地,多条第一中间线98包括多个第一引线部101和多个第二引线部102。多个第一引线部101从第一外周线96向第二外周线97以条形引出。多个第一引线部101的末端形成有从第一外周线96朝向第二外周线97的间隔。

[0245] 多个第二引线部102从第二外周线97向第一外周线96以条形引出。多个第二引线部102的末端形成有从第二外周线97朝向第一外周线96的间隔。在该实施例中,多个第二引线部102将一个第一引线部101夹在中间,在第二方向Y上与多个第一引线部101交替地间隔

形成。

[0246] 多个第二引线部102可以将多个第一引线部101夹在中间。另外,多个第二引线部102的组可以形成为邻近多个第一引线部101的组。狭缝100、多个第一引线部101和多个第二引线部102抑制第一图案93中的电流回路电路的形成。

[0247] 在第二方向Y上,第一中间线98的宽度可以是大于等于0.1μm且小于等于5μm。第一中间线98的宽度优选为大于等于1μm且小于等于3μm。第一中间线98的宽度优选地等于高电位线圈23的宽度。第一中间线98的宽度等于高电位线圈23的宽度意味着第一中间线98的宽度在高电位线圈23的宽度的±20%的范围内。

[0248] 两条相邻的第一中间线98之间的第三间距可以是大于等于0.1μm且小于等于5μm。第三间距优选为大于等于1μm且小于等于3μm。第三间距由多条相邻的第一中间线98之间在第二方向Y上的距离定义。第三间距优选地彼此相等。第三间距彼此相等意味着第三间距在第三间距的±20%的范围内。第三间距优选地等于高电位线圈23的第二绕组节距。第三间距等于第二绕组节距意味着第三间距在第二绕组节距的±20%的范围内。

[0249] 参考图12和图16,第二图案94经由第一高电位配线33电连接到高电位端子12。在该实施例中,第二图案94经由第一图案93的第二外周线97电连接到第一高电位配线33(第五高电位端子12E)。第二图案94以密集的线形成图案,以便覆盖和隐藏第二区域90。

[0250] 第二图案94包括第二外周线97、第三外周线103和多条第二中间线104。第三外周线103沿着第三变压器21C的高电位线圈23的外围以带状形状延伸。在该实施例的平面图中,第三外周线103在第三区域91中形成为具有开口端的环形。第三外周线103的开口端宽度小于第三变压器21C的高电位线圈23在第二方向Y上的宽度。

[0251] 第三外周线103的宽度可以是大于等于0.1μm且小于等于5μm。第三外周线103的宽度优选为大于等于1μm且小于等于3μm。第三外周线103的宽度由在垂直于第三外周线103的延伸方向的方向上的宽度定义。第三外周线103的宽度优选地等于高电位线圈23的宽度。第三外周线103的宽度等于高电位线圈23的宽度意味着第三外周线103的宽度在高电位线圈23的宽度的±20%的范围内。

[0252] 第三外周线103和高电位线圈23(第三变压器21C)之间的第四间距可以是大于等于0.1μm且小于等于5μm。第四间距优选为大于等于1μm且小于等于3μm。第四间距优选地等于高电位线圈23的第二绕组节距。第四间距等于第二绕组节距意味着第四间距在第二绕组节距的±20%的范围内。

[0253] 在第二区域90中,多条第二中间线104在第二外周线97和第三外周线103之间的区域中以带状形状延伸。多条第二中间线104包括电连接第二外周线97和第三外周线103的至少一条(在该实施例中为一条)第二连接线105。

[0254] 鉴于防止形成电流回路电路,多条第二中间线104优选地仅包括一条第二连接线105。第二连接线105的宽度可以大于另一第二中间线104的宽度。第二连接线105的位置是任意的。多条第二中间线104中的至少一条第二中间线设置有切断电流回路电路的狭缝106。通过设计多条第二中间线104来适当地调整狭缝106的位置。

[0255] 多条第二中间线104优选地形成为在多个高电位线圈23的面对方向上延伸的带状形状。在该实施例中,多条第二中间线104形成为在第一方向X上延伸的带状形状,并且在第二方向Y上间隔形成。在平面图中,多条第二中间线104形成为整体在第一方向X上延伸的条

形。

[0256] 具体地,多条第二中间线104包括多个第三引线部107和多个第四引线部108。多个第三引线部107从第二外周线97向第三外周线103以条形引出。多个第三引线部107的末端形成有从第三外周线103朝向第二外周线97的间隔。

[0257] 多个第四引线部108从第三外周线103向第二外周线97以条形引出。多个第四引线部108的末端形成有从第二外周线97朝向第三外周线103的间隔。在该实施例中,多个第四引线部108将一个第三引线部107夹在中间,在第二方向Y上与多个第三引线部107交替地间隔形成。

[0258] 多个第四引线部108可以将多个第三引线部107夹在中间。另外,多个第四引线部108的组可以被形成为邻近多个第三引线部107的组。狭缝106、多个第三引线部107和多个第四引线部108抑制第二图案94中的电流回路电路的形成。

[0259] 在第二方向Y上,第二中间线104的宽度可以是大于等于0.1μm且小于等于5μm。第二中间线104的宽度优选为大于等于1μm且小于等于3μm。第二中间线104的宽度优选地等于高电位线圈23的宽度。第二中间线104的宽度等于高电位线圈23的宽度意味着第二中间线104的宽度在高电位线圈23的宽度的±20%的范围内。

[0260] 两条相邻的第二中间线104之间的第五间距可以是大于等于0.1μm且小于等于5μm。第五间距优选为大于等于1μm且小于等于3μm。第五间距由多条相邻的第二中间线104之间在第二方向Y上的距离定义。第五间距优选地彼此相等。第五间距彼此相等意味着第五间距在第五间距的±20%的范围内。第五间距优选等于高电位线圈23的第二绕组节距。第五间距等于第二绕组节距意味着第五间距在第二绕组节距的±20%的范围内。

[0261] 参考图12和图17,第三图案95电连接到第一高电位配线33。在该实施例中,第三图案95经由第二图案94和第一图案93电连接到第一高电位配线33。第三图案95以密集的线形成图案,以便覆盖和隐藏第三区域91的部分区域。在平面图中,第三图案95形成在第三区域91中,与高电位端子12(第六高电位端子12F)间隔开,并且在法线方向Z上不面向高电位端子12。

[0262] 在平面图中,第三图案95与低电位连接配线72形成有间隔,并且在法线方向Z上不面向低电位连接配线72。以这种方式,在法线方向Z上,第三图案95与低电位连接配线72之间的绝缘距离增加,并且绝缘层51的介电电压增强。

[0263] 第三图案95包括第三外周线103、第四外周线109和多条第三中间线110。第四外周线109沿着第四变压器21D的高电位线圈23的外围以带状形状延伸。在该实施例的平面图中,第四外周线109在第三区域91中形成为具有开口端的环形。第四外周线109的开口端宽度小于第四变压器21D的高电位线圈23在第二方向Y上的宽度。第四外周线109的开口端沿第一方向X面向第三外周线103的开口端。

[0264] 第四外周线109的宽度可以是大于等于0.1μm且小于等于5μm。第四外周线109的宽度优选为大于等于1μm且小于等于3μm。第四外周线109的宽度由在垂直于第四外周线109的延伸方向的方向上的宽度定义。第四外周线109优选地等于高电位线圈23的宽度。第四外周线109的宽度等于高电位线圈23的宽度意味着第四外周线109的宽度在高电位线圈23的宽度的±20%的范围内。

[0265] 第四外周线109和高电位线圈23(第四变压器21D)之间的第六间距可以是大于等

于0.1μm且小于等于5μm。第六间距优选为大于等于1μm且小于等于3μm。这意味着第六间距等于高电位线圈23的第二绕组节距。第六间距等于第二绕组节距意味着第六间距在第二绕组节距的±20％的范围内。

[0266] 在第三区域91中,多条第三中间线110在第三外周线103和第四外周线109之间的区域中以带状形状延伸。多条第三中间线110包括电连接第三外周线103和第四外周线109的至少一条(在该实施例中为一条)第三连接线111。

[0267] 鉴于防止形成电流回路电路,多条第三中间线110优选地仅包括一条第三连接线111。第三连接线111的位置是任意的。多条第三中间线110中的至少一条第三中间线设置有切断电流回路电路的狭缝112。通过设计多条第三中间线110来适当地调整狭缝112的位置。

[0268] 多条第三中间线110优选地形成为在多个高电位线圈23的面对方向上延伸的带状形状。在该实施例中,多条第三中间线110形成为在第一方向X上延伸的带状形状,并且在第二方向Y上间隔形成。在平面图中,多条第三中间线110整体形成为条形。

[0269] 在该实施例中,多条第三中间线110包括多个第五引线部113和多个第六引线部114。多个第五引线部113从第三外周线103向第四外周线109以条形引出。多个第五引线部113的末端形成有从第四外周线109朝向第三外周线103的间隔。

[0270] 多个第六引线部114从第四外周线109向第三外周线103以条形引出。多个第六引线部114的末端形成有从第三外周线103朝向第四外周线109的间隔。在该实施例中,多个第六引线部114将第五引线部113夹在中间,在第二方向Y上与多个第五引线部113交替地间隔形成。

[0271] 多个第六引线部114可以将多个第五引线部113夹在中间。另外,多个第六引线部114的组可以形成为邻近多个第五引线部113的组。狭缝112、多个第五引线部113和多个第六引线部114抑制第三图案95中的电流回路电路的形成。

[0272] 在第二方向Y上,第三中间线110的宽度可以是大于等于0.1μm且小于等于5μm。第三中间线110的宽度优选为大于等于1μm且小于等于3μm。第三中间线110的宽度优选地等于高电位线圈23的宽度。第三中间线110的宽度等于高电位线圈23的宽度意味着第三中间线110的宽度在高电位线圈23的宽度的±20％的范围内。

[0273] 两条相邻第三中间线110之间的第七间距可以是大于等于0.1μm且小于等于5μm。第七间距优选为大于等于1μm且小于等于3μm。第七间距由多条相邻的第三中间线110之间在第二方向Y上的距离定义。第七间距优选地彼此相等。第七间距彼此相等意味着第七间距在第七间距的±20％的范围内。第七间距优选地等于高电位线圈23的第二绕组节距。第七间距等于第二绕组节距意味着第七间距在第二绕组节距的±20％的范围内。

[0274] 参考图12至图17,在该实施例中,第二高电位虚设图案88经由第一高电位虚设图案87电连接到高电位端子12。具体地,第二高电位虚设图案88包括连接到第一高电位虚设图案87的第二连接部115。第二连接部115的位置是任意的。这样,第二高电位虚设图案88被固定到与多个高电位线圈23相同的电位。

[0275] 第二高电位虚设图案88抑制泄漏到第一区域89、第二区域90和第三区域91外部的区域中高电位线圈23的上侧的电场,并且抑制在多个高电位线圈23上的电场集中。在该实施例中,第二高电位虚设图案88在平面图中整体围绕包括多个高电位线圈23和多个高电位端子12A至12F的区域。在该实施例的平面图中,第二高电位虚设图案88形成为椭圆形的(卵

形的)环形。

[0276] 以这种方式,在平面图中,第二高电位虚设图案88位于多个低电位端子11A至11F与多个高电位线圈23之间的区域中。另外,在平面图中,第二高电位虚设图案88位于多个低电位端子11A至11F与多个高电位端子12A至12F之间的区域中。

[0277] 第二高电位虚设图案88包括多条(在该实施例中为6条)高电位线116A、116B、116C、116D、116E和116F。根据要减轻的电场来调整高电位线的数量。多条高电位线116A至116F在与多个高电位线圈23分离的方向上按顺序间隔形成。

[0278] 在平面图中,多条高电位线116A至116F作为整体围绕多个高电位线圈23。具体地,在平面图中,多条高电位线116A至116F作为整体围绕包括多个高电位线圈23和多个高电位端子12A至12F的区域。在该实施例的平面图中,多条高电位线116A至116F形成为椭圆形的(卵形的)环形。

[0279] 多条高电位线116A至116F各自包括切断电流回路电路的狭缝117。通过设计多条高电位线116A至116F来适当地调整狭缝117的位置。

[0280] 高电位线116A至116F的宽度可以是大于等于0.1μm且小于等于5μm。高电位线116A至116F的宽度优选为大于等于1μm且小于等于3μm。高电位线116A至116F的宽度由在垂直于高电位线116A至116F的延伸方向的方向上的宽度定义。高电位线116A至116F的宽度优选等于高电位线圈23的宽度。高电位线116A至116F的宽度等于高电位线圈23的宽度意味着高电位线116A至116F的宽度在高电位线圈23的宽度的±20%的范围内。

[0281] 两个相邻高电位线116A至116F之间的第八间距可以是大于等于0.1μm且小于等于5μm。第八间距优选为大于等于1μm且小于等于3μm。第八间距优选地彼此相等。第八间距彼此相等意味着第八间距在第八间距的±20%的范围内。

[0282] 相邻的第一高电位虚设图案87和第二高电位虚设图案88之间的第九间距可以是大于等于0.1μm且小于等于5μm。第九间距优选为大于等于1μm且小于等于3μm。第九间距优选地等于高电位线圈23的第二绕组节距。第九间距等于第二绕组节距意味着第九间距在第二绕组节距的±20%的范围内。高电位线116A至116F的数量或其宽度、间距等是任意的,并且根据要减轻的电场来调整。

[0283] 参考图12至图17,在平面图中,虚设图案85包括在绝缘层51中以电浮置状态形成的浮置虚设图案121,以便围绕变压器21A至21D定位。浮置虚设图案121以不同于高电位线圈23和低电位线圈22的图案(不连续图案)形成,并且独立于变压器21A至21D。换言之,浮置虚设图案121不充当变压器21A至21D。

[0284] 在该实施例的平面图中,浮置虚设图案121以密集的线形成图案,以便部分地覆盖和部分地暴露高电位线圈23周围的区域。浮置虚设图案121可以形成为具有端部或者可以形成为无端部。

[0285] 浮置虚设图案121以等于高电位线圈23的每单位面积线密度的每单位面积线密度来形成图案。浮置虚设图案121的线密度等于高电位线圈23的线密度意味着浮置虚设图案121的线密度在高电位线圈23的线密度的±20%的范围内。

[0286] 另外,浮置虚设图案121以等于高电位虚设图案86的每单位面积线密度的每单位面积线密度来形成图案。浮置虚设图案121的线密度等于高电位虚设图案86的线密度意味着浮置虚设图案121的线密度在高电位虚设图案86的线密度的±20%的范围内。

[0287] 浮置虚设图案121遮挡变压器21A至21D中低电位线圈22和高电位线圈23之间的电场,以便抑制高电位线圈23上的电场集中。具体地,浮置虚设图案121使泄漏到高电位线圈23上侧的电场在与高电位线圈23分离的方向上分散。以这种方式,可以抑制高电位线圈23上的电场集中。

[0288] 另外,浮置虚设图案121使泄漏到高电位虚设图案86周围的高电位虚设图案86上侧的电场在与高电位线圈23和高电位虚设图案86分离的方向上分散。以这种方式,可以抑制高电位虚设图案86上的电场集中,并且可以适当地抑制高电位线圈23上的电场集中。

[0289] 浮置虚设图案121在绝缘层51中的深度位置是任意的,并且根据要减轻的电场强度来调整。浮置虚设图案121优选地相对于低电位线圈22在法线方向Z上形成在邻近高电位线圈23的区域中。浮置虚设图案121在法线方向Z上邻近高电位线圈23意味着浮置虚设图案121与高电位线圈23之间的距离小于浮置虚设图案121与低电位线圈22之间在法线方向Z上的距离。

[0290] 在这种情况下,可以适当地抑制高电位线圈23上的电场集中。在法线方向Z上,随着浮置虚设图案121和高电位线圈23之间的距离变小,可以更多地抑制高电位线圈23上的电场集中。浮置虚设图案121优选地形成在与高电位线圈23相同的层间绝缘层57中。在这种情况下,可以更适当地抑制高电位线圈23上的电场集中。

[0291] 在平面图中,浮置虚设图案121优选地位于低电位端子11和高电位线圈23之间的区域中。在这种情况下,可以抑制由于高电位线圈23上的电场集中而导致的低电位端子11和高电位线圈23之间的不期望的连续性。在平面图中,浮置虚设图案121优选地位于低电位端子11和高电位端子12之间的区域中。在这种情况下,可以抑制由于高电位线圈23上的电场集中而导致的低电位端子11和高电位端子12之间的不期望的连续性。

[0292] 在该实施例的平面图中,浮置虚设图案121沿着多个高电位线圈23形成。具体地,在平面图中,浮置虚设图案121整体围绕包括多个高电位线圈23和多个高电位端子12的区域。在该实施例的平面图中,浮置虚设图案121围绕包括夹着高电位虚设图案86(第二高电位虚设图案88)的多个高电位线圈23和多个高电位端子12的区域。

[0293] 以这种方式,在平面图中,浮置虚设图案121位于多个低电位端子11A至11F和多个高电位线圈23之间的区域中。另外,在平面图中,浮置虚设图案121位于多个低电位端子11A至11F和多个高电位端子12A至12F之间的区域中。

[0294] 浮置线的数量是任意的,并且根据要减轻的电场来调整。在该实施例中,浮置虚设图案121包括多条(在该实施例中为6条)浮置线122A、122B、122C、122D、122E和122F。多条浮置线122A至122F在与多个高电位线圈23分离的方向上按顺序间隔形成。

[0295] 在平面图中,多条浮置线122A至122F作为整体围绕多个高电位线圈23。具体地,在平面图中,多条浮置线122A至122F作为整体围绕包括夹着高电位虚设图案86的多个高电位线圈23和多个高电位端子12A至12F的区域。在该实施例的平面图中,多条浮置线122A至122F形成为椭圆形的(卵形的)环形。

[0296] 浮置线122A至122F的宽度可以是大于等于0.1μm且小于等于5μm。浮置线122A至122F的宽度优选为大于等于1μm且小于等于3μm。浮置线122A至122F的宽度由在垂直于浮置线122A至122F的延伸方向的方向上的宽度定义。

[0297] 两条相邻的浮置线122A至122F之间的第十间距可以是大于等于0.1μm且小于等于

5μm。第十间距优选为大于等于1μm且小于等于3μm。浮置线122A至122F的宽度优选地等于高电位线圈23的宽度。浮置线122A至122F的宽度等于高电位线圈23的宽度意味着浮置线122A至122F的宽度在高电位线圈23的宽度的±20％的范围内。

[0298] 浮置虚设图案121与高电位虚设图案86(第二高电位虚设图案88)之间的第十一间距可以是大于等于0.1μm且小于等于5μm。第十一间距优选为大于等于1μm且小于等于3μm。第十一间距优选地彼此相等。第十一间距彼此相等意味着第十一间距在第十一间距的±20％的范围内。

[0299] 第十一间距优选地等于高电位线圈23的第二绕组节距。浮置线122A至122F之间的第十一间距等于第二绕组节距意味着第十一间距在第二绕组节距的±20％的范围内。为了清楚起见,图10至图12示出了第十一间距大于第二绕组节距的示例。

[0300] 浮置虚设图案121与高电位虚设图案86之间的第十二间距优选地等于第二绕组节距。第十二间距等于第二绕组节距意味着第十二间距在第二绕组节距的±20％的范围内。多条浮置线122A至122F的数量或其宽度、间距等根据要减轻的电场来调整,并且不限于特定值。

[0301] 参考图13和图14,半导体装置5包括形成在半导体芯片41的第一主表面42上的在器件区域62中的第二功能器件60。第二功能器件60利用半导体芯片41的第一主表面42的表面层部分和/或半导体芯片41的第一主表面42上的区域来形成,并且被绝缘层51(底部绝缘层55)覆盖。在图8和图9中,第二功能器件60被简化并且在第一主表面42的表面层部分上以虚线示出。

[0302] 第二功能器件60经由低电位配线电连接到低电位端子11,并且经由高电位配线电连接到高电位端子12。除了在绝缘层51中形成图案以便连接到第二功能器件60,低电位配线具有与第一低电位配线31(第二低电位配线32)相同的结构。除了在绝缘层51中形成图案以便连接到第二功能器件60,高电位配线具有与第一高电位配线33(第二高电位配线34)相同的结构。省略了对第二功能器件60的低电位配线和高电位配线的具体描述。

[0303] 第二功能器件60可以包括无源装置、半导体整流器装置和半导体开关装置中的至少一个。第二功能器件60可以包括其中选择性地组合无源装置、半导体整流器装置和半导体开关装置中的任何两个或更多个装置的电路网络。电路网络可以形成集成电路的一部分或全部。

[0304] 无源装置可以包括半导体无源装置。无源装置可以包括电阻器和电容器中的一个或两个。半导体整流器装置可以包括pn结二极管、PIN二极管、齐纳二极管(zener diode)、肖特基势垒二极管(Schottky barrier diode)和快速恢复二极管中的至少一个。半导体开关装置可以包括双极结型晶体管(BJT)、金属绝缘体场效应晶体管(MISFET)、绝缘栅双极结型晶体管(IGBT)和结型场效应晶体管(JFET)中的至少一个。

[0305] 参考图13和图14,半导体装置5还包括嵌入在绝缘层51中的密封导体61。密封导体61以在平面图中类似于与绝缘侧壁53A至53D间隔开的壁的形式嵌入绝缘层51中,以便将绝缘层51分成器件区域62和外部区域63。密封导体61防止湿气或裂纹从外部区域63侵入器件区域62。

[0306] 器件区域62是包括第一功能器件45(多个变压器21)、第二功能器件60、多个低电位端子11、多个高电位端子12、第一低电位配线31、第二低电位配线32、第一高电位配线33、

第二高电位配线34和虚设图案85的区域。外部区域63是器件区域62外部的区域。

[0307] 密封导体61与器件区域62电切断。具体地,密封导体61与第一功能器件45(多个变压器21)、第二功能器件60、多个低电位端子11、多个高电位端子12、第一低电位配线31、第二低电位配线32、第一高电位配线33、第二高电位配线34和虚设图案85电切断。更具体地,密封导体61被固定为电浮置状态。密封导体61未形成连接到器件区域62的电流路径。

[0308] 在平面图中,密封导体61沿着绝缘侧壁53A至53D以带状形状形成。在该实施例的平面图中,密封导体61形成为四边形环形(具体地,矩形环形)。以这种方式,密封导体61在平面图中以四边形环形(具体地,矩形环形)限定器件区域62。另外,在平面图中,密封导体61以围绕器件区域62的四边形环形(具体地,矩形环形)限定外部区域63。

[0309] 具体地,密封导体61包括在绝缘主表面52一侧的顶端部、在半导体芯片41一侧的底端部以及在顶端部和底端部之间像壁一样延伸的壁部。在该实施例中,密封导体61的顶端部形成有从绝缘主表面52朝向半导体芯片41的间隔,并且密封导体61的顶端部位于绝缘层51中。在该实施例中,密封导体61的顶端部覆盖有顶部绝缘层56。密封导体61的顶端部可以覆盖有一个或多个层间绝缘层57。密封导体61的顶端部可以从顶部绝缘层56暴露。密封导体61的底端部形成有从半导体芯片41朝向顶端部的间隔。

[0310] 这样,在该实施例中,密封导体61嵌入在绝缘层51中,以便相对于多个低电位端子11和多个高电位端子12定位在半导体芯片41的一侧。另外,密封导体61在平行于绝缘层51中的绝缘主表面52的方向上面向第一功能器件45(多个变压器21)、第一低电位配线31、第二低电位配线32、第一高电位配线33、第二高电位配线34和虚设图案85。密封导体61可以在平行于绝缘层51中的绝缘主表面52的方向上面向第二功能器件60的一部分。

[0311] 密封导体61包括多个密封插塞导体64以及一个或多个(在该实施例中为多个)密封通孔导体65。密封通孔导体65的数量是任意的。多个密封插塞导体64中的顶部密封插塞导体64形成密封导体61的顶端部。多个密封通孔导体65各自形成密封导体61的底端部。密封插塞导体64和密封通孔导体65优选地由与低电位线圈22相同的导电材料制成。换言之,密封插塞导体64和密封通孔导体65优选地包括阻挡层和主体层,类似于低电位线圈22等。

[0312] 在平面图中,多个密封插塞导体64分别嵌入在多个层间绝缘层57中,并且均形成为围绕器件区域62的四边形环形(具体地,矩形环形)。多个密封插塞导体64从底部绝缘层55被层压到顶部绝缘层56,以便彼此连接。多个密封插塞导体64的层数等于多个层间绝缘层57的层数。当然,可以形成穿透多个层间绝缘层57的一个或多个密封插塞导体64。

[0313] 只要多个密封插塞导体64共同形成密封导体61的一个环,则不必将全部多个密封插塞导体64形成为环形。例如,多个密封插塞导体64中的至少一个密封插塞导体可以形成为具有端部。另外,多个密封插塞导体64中的至少一个密封插塞导体可以分成具有端部的多个带状部分。然而,鉴于湿气和裂纹侵入器件区域62的风险,优选多个密封插塞导体64形成为无端部(成环形)。

[0314] 在底部绝缘层55中,多个密封通孔导体65均形成在半导体芯片41和密封插塞导体64之间的区域中。多个密封通孔导体65形成为与半导体芯片41间隔开,并且连接到密封插塞导体64。多个密封通孔导体65具有比密封插塞导体64的面积更小的面积。如果形成单个密封通孔导体65,则单个密封通孔导体65的面积可以大于密封插塞导体64的面积。

[0315] 密封导体61的宽度可以是大于等于0.1μm且小于等于10μm。密封导体61的宽度优

选为大于等于1μm且小于等于5μm。密封导体61的宽度由在垂直于密封导体61的延伸方向的方向上的宽度定义。

[0316] 参考图13、图14和图18,半导体装置5还包括位于半导体芯片41和密封导体61之间以便将密封导体61与半导体芯片41电切断的分离结构130。分离结构130优选地包括绝缘体。在该实施例中,分离结构130由形成在半导体芯片41的第一主表面42上的场绝缘膜131构成。

[0317] 场绝缘膜131包括氧化物膜(氧化硅膜)和氮化物膜(氮化硅膜)中的至少一种。场绝缘膜131优选地由硅的局部氧化(LOCOS)膜构成,作为通过半导体芯片41的第一主表面42的氧化形成的氧化物膜的示例。场绝缘膜131的厚度是任意的,只要半导体芯片41与密封导体61可以绝缘即可。场绝缘膜131的厚度可以是大于等于0.1μm且小于等于5μm。

[0318] 分离结构130形成在半导体芯片41的第一主表面42上,并且在平面图中沿着密封导体61以带状形状延伸。在该实施例的平面图中,分离结构130形成为四边形环形(具体地,矩形环形)。分离结构130包括连接到密封导体61(密封通孔导体65)的底端部的连接部132。连接部132可以形成作为密封导体61(密封通孔导体65)的底端部的锚定部,该锚定部陷入半导体芯片41的一侧。当然,连接部132可以形成为与分离结构130的主表面齐平。

[0319] 分离结构130包括位于器件区域62一侧的内端部130A、位于外部区域63一侧的外端部130B、以及位于内端部130A和外端部130B之间的主体部130C。在平面图中,内端部130A限定形成第二功能器件60的区域(即,器件区域62)。内端部130A可以与形成在半导体芯片41的第一主表面42上的绝缘膜(未示出)一体地形成。

[0320] 外端部130B从半导体芯片41的芯片侧壁44A至44D暴露,并且与半导体芯片41的芯片侧壁44A至44D相接。具体地,外端部130B形成为与半导体芯片41的芯片侧壁44A至44D齐平。外端部130B在半导体芯片41的芯片侧壁44A至44D与绝缘层51的绝缘侧壁53A至53D之间形成齐平的接地表面。当然,在另一实施例中,外端部130B可以形成为与在第一主表面42中的芯片侧壁44A至44D间隔开。

[0321] 主体部130C具有基本上平行于半导体芯片41的第一主表面42延伸的平整表面。主体部130C包括连接到密封导体61(密封通孔导体65)的底端部的连接部132。连接部132形成为在主体部130C中与内端部130A和外端部130B间隔开的部分。分离结构130可以具有除了场绝缘膜131以外的各种形式。

[0322] 参考图13和图14,半导体装置5还包括形成在绝缘层51的绝缘主表面52上以覆盖密封导体61的无机绝缘层140。无机绝缘层140可以被称为钝化层。无机绝缘层140在绝缘主表面52上保护绝缘层51和半导体芯片41。

[0323] 在该实施例中,无机绝缘层140具有包括第一无机绝缘层141和第二无机绝缘层142的层压结构。第一无机绝缘层141可以包含氧化硅。第一无机绝缘层141优选地包含作为无杂质氧化硅的无掺杂硅酸盐玻璃(USG)。第一无机绝缘层141的厚度可以是大于等于50nm且小于等于5,000nm。第二无机绝缘层142可以包含氮化硅。第二无机绝缘层142的厚度可以是大于等于500nm且小于等于5,000nm。通过增加无机绝缘层140的总厚度,可以增强高电位线圈23上的介电电压。

[0324] 如果第一无机绝缘层141由USG制成并且第二无机绝缘层142由氮化硅制成,则USG的介电击穿电压(V/cm)高于氮化硅的介电击穿电压。因此,当加厚无机绝缘层140时,优选

形成具有大于第二无机绝缘层142的厚度的厚度的第一无机绝缘层141。

[0325] 第一无机绝缘层141可以包含掺硼的磷硅酸盐玻璃(BPSG)和磷硅酸盐玻璃(PSG)中的至少一种作为氧化硅的示例。然而,在这种情况下,由于氧化硅中包含杂质(硼或磷),因此优选形成由USG制成的第一无机绝缘层141,尤其用于增加高电位线圈23上的介电电压。当然,无机绝缘层140可以具有由第一无机绝缘层141和第二无机绝缘层142中的一层构成的单层结构。

[0326] 无机绝缘层140覆盖密封导体61的整个区域,并且包括形成在密封导体61外部的区域中的多个低电位焊盘开口143和多个高电位焊盘开口144。多个低电位焊盘开口143分别暴露多个低电位端子11。多个高电位焊盘开口144分别暴露多个高电位端子12。无机绝缘层140可以包括重叠在低电位端子11的外围上的重叠部分。无机绝缘层140可以包括重叠在高电位端子12的外围上的重叠部分。

[0327] 半导体装置5还包括形成在无机绝缘层140上的有机绝缘层145。有机绝缘层145可以包含光敏树脂。有机绝缘层145可以包含聚酰亚胺、聚酰胺和聚苯并噁唑中的至少一种。在该实施例中,有机绝缘层145包含聚酰亚胺。有机绝缘层145的厚度可以是大于等于1μm且小于等于50μm。

[0328] 有机绝缘层145的厚度优选大于无机绝缘层140的总厚度。此外,无机绝缘层140和有机绝缘层145的总厚度优选大于或等于低电位线圈22和高电位线圈23之间的距离D2。在这种情况下,无机绝缘层140的总厚度优选为大于等于2μm且小于等于10μm。另外,有机绝缘层145的厚度优选为大于等于5μm且小于等于50μm。利用该结构,可以抑制无机绝缘层140和有机绝缘层145的加厚,并且可以通过无机绝缘层140和有机绝缘层145的层压膜适当地增加高电位线圈23上的介电电压。

[0329] 有机绝缘层145包括覆盖低电位侧的区域的第一部分146和覆盖高电位侧的区域的第二部分147。第一部分146经由无机绝缘层140覆盖密封导体61。第一部分146包括在密封导体61外部的区域中分别暴露多个低电位端子11(低电位焊盘开口143)的多个低电位端子孔148。第一部分146可以包括重叠在低电位焊盘开口143的外围(重叠部分)上的重叠部分。

[0330] 第二部分147与第一部分146形成有间隔,并且暴露其自身和第一部分146之间的无机绝缘层140。第二部分147包括分别暴露多个高电位端子12(高电位焊盘开口144)的多个高电位端子孔149。第二部分147可以包括重叠在高电位焊盘开口144的外围(重叠部分)上的重叠部分。

[0331] 第二部分147整体覆盖变压器21A至21D以及虚设图案85。具体地,第二部分147整体覆盖多个高电位线圈23、多个高电位端子12、第一高电位虚设图案87、第二高电位虚设图案88和浮置虚设图案121。

[0332] 如果未形成有机绝缘层145,则包含在封装主体2(模制树脂)中的填料可能对多个高电位线圈23、多个高电位端子12、密封导体61、第一高电位虚设图案87、第二高电位虚设图案88或浮置虚设图案121造成损坏。这种类型的损坏被称为填料侵蚀。

[0333] 有机绝缘层145保护多个高电位线圈23、多个高电位端子12、密封导体61、第一高电位虚设图案87、第二高电位虚设图案88和浮置虚设图案121免受封装主体2(模制树脂)中包含的填料的影响。第一部分146和第二部分147之间的狭缝用作封装主体2(模制树脂)的

锚定部。

[0334] 封装主体2(模制树脂)的一部分进入第一部分146和第二部分147之间的狭缝,并且连接到无机绝缘层140。这样,可以增强封装主体2(模制树脂)到半导体装置5的粘附性。当然,第一部分146和第二部分147可以一体地形成。另外,有机绝缘层145可以仅包括第一部分146和第二部分147中的一个部分。然而,在这种情况下,应该注意填料侵蚀。

[0335] 本发明的实施例能够以另一种形式实现。上述实施例示出了形成第一功能器件45和第二功能器件60的示例。然而,可以采用不包括第一功能器件45而仅包括第二功能器件60的形式。在这种情况下,可以去除虚设图案85。利用该结构,可以实现与第一实施例中描述的第二功能器件60相同的效果(除了虚设图案85的效果以外)。

[0336] 换言之,当经由低电位端子11和高电位端子12向第二功能器件60施加电压时,可以抑制高电位端子12和密封导体61之间的不期望的连续性。另外,当经由低电位端子11和高电位端子12向第二功能器件60施加电压时,可以抑制低电位端子11和密封导体61之间的不期望的连续性。

[0337] 另外,上述实施例示出了形成第二功能器件60的示例。然而,第二功能器件60并非总是必需的,其也可被去除。

[0338] 另外,上述实施例示出了形成虚设图案85的示例。然而,虚设图案85并非总是必需的,其也可被去除。

[0339] 另外,上述实施例示出了其中第一功能器件45是包括多个变压器21的多通道类型的示例。然而,可以采用包括单个变压器21的单通道类型的第一功能器件45。

[0340] <概要>

[0341] 下文概述了上文所描述的各种实施例。

[0342] 例如,本说明书中公开的信号传输装置具有包括第一脉冲检测器、第二脉冲检测器、以及逻辑单元的结构,第一脉冲检测器被设置为接收第一变压器的次级绕组处的第一接收脉冲信号和第二变压器的次级绕组处的第二接收脉冲信号之间的差分输入;第二脉冲检测器被设置为接收第一接收脉冲信号和第二接收脉冲信号之间的差分输入,其中输入极性与第一脉冲检测器的输入极性相反;所述逻辑单元被设置为基于第一脉冲检测器和第二脉冲检测器的输出信号来生成接收脉冲信号(第一结构)。

[0343] 注意,上述第一结构的脉冲接收电路可以具有其中第一脉冲检测器和第二脉冲检测器各自是具有输入偏移的比较器的结构(第二结构)。

[0344] 另外,第一结构或第二结构的脉冲接收电路可以具有还包括第一开关和第二开关以及计时器的结构,第一开关和第二开关分别连接在第一变压器和第二变压器的次级绕组的两端之间;计时器从第一脉冲检测器和第二脉冲检测器的脉冲检测时刻起分别将第一开关和第二开关导通持续预定掩蔽时段(第三结构)。

[0345] 另外,第一结构至第三结构中任一结构的脉冲接收电路可以具有还包括分别连接在第一变压器和第二变压器的次级绕组的两端之间的第一静电保护元件和第二静电保护元件的结构(第四结构)。

[0346] 另外,第一结构至第四结构中任一结构的脉冲接收电路可以具有下述结构,其中逻辑单元根据第一接收脉冲信号将接收脉冲信号设定为第一逻辑电平,并且根据第二接收脉冲信号将接收脉冲信号设定为第二逻辑电平(第五结构)。

[0347] 另外,例如,本说明书中公开的信号传输装置具有包括脉冲传输电路、第一变压器和第二变压器、第一结构至第五结构中任一结构的脉冲接收电路、以及驱动器的结构,所述脉冲传输电路被设置为根据输入脉冲信号生成第一传输脉冲信号和第二传输脉冲信号;所述第一变压器和第二变压器被设置为隔离输入与输出,并且将第一传输脉冲信号和第二传输脉冲信号分别作为第一接收脉冲信号和第二接收脉冲信号传输到后级;所述第一结构至第五结构中任一结构的脉冲接收电路被设置为根据第一接收脉冲信号和第二接收脉冲信号生成接收脉冲信号;所述驱动器被设置为根据接收脉冲信号生成输出脉冲信号(第六结构)。

[0348] 另外,第六结构的信号传输装置可以具有其中脉冲传输电路根据输入脉冲信号的逻辑电平来执行第一传输脉冲信号和第二传输脉冲信号中的任一传输脉冲信号的脉冲驱动的结构(第七结构)。

[0349] 另外,第六结构或第七结构的信号传输装置可以具有其中脉冲传输电路集成在第一芯片中,脉冲接收电路和驱动器集成在第二芯片中,并且第一变压器和第二变压器集成在第三芯片中的结构(第八结构)。

[0350] 另外,上述第八结构的信号传输装置可以具有下述结构,其中第三芯片包括:连接到形成第一变压器的初级绕组的第一端子的第一端子;连接到形成第一变压器的初级绕组的第二端子和形成第二变压器的初级绕组的第一端子的第二端子;连接到形成第二变压器的初级绕组的第二端子的第三端子;连接到形成第一变压器的次级绕组的第一端子的第四端子;连接到形成第一变压器的次级绕组的第二端子和形成第二变压器的次级绕组的第一端子的第五端子;以及连接到形成第二变压器的次级绕组的第二端子的第六端子(第九结构)。

[0351] 另外,第六结构至第九结构中任一结构的信号传输装置可以具有包括多组第一变压器和第二变压器的结构(第十结构)。

[0352] <其他变型例>

[0353] 另外,本说明书中公开的各种技术特征不限于上述实施例,而是可以在不脱离其精神的情况下在技术创造的范围内进行各种修改。例如,双极晶体管和MOS场效应晶体管可以彼此替换,并且可以反转各种信号的逻辑电平。换言之,上述实施例是各个方面的示例,并且不应被解释为限制。本发明的技术范围不限于上述实施例,而应当理解为包括在等同于权利要求书的含义和范围内的所有修改。

[0354] 工业实用性

[0355] 本说明书中公开的本发明可以用于例如需要在输入和输出之间电隔离的同时传输信号的一般应用(诸如处理高电压的隔离栅极驱动器、马达驱动器、隔离器或其他IC)。

[0356] 附图标记的说明

[0357] 5 半导体装置

[0358] 11 低电位端子

[0359] 12 高电位端子

[0360] 21 变压器

[0361] 22 低电位线圈

[0362] 23 高电位线圈

[0363] 41 半导体芯片

[0364] 42 第一主表面

[0365] 44A 第一芯片侧壁

[0366] 44B 第二芯片侧壁

[0367] 44C 第三芯片侧壁

[0368] 44D 第四芯片侧壁

[0369] 45 第一功能器件

[0370] 51 绝缘层

[0371] 53A 第一绝缘侧壁

[0372] 53B 第二绝缘侧壁

[0373] 53C 第三绝缘侧壁

[0374] 53D 第四绝缘侧壁

[0375] 60 第二功能器件

[0376] 61 密封导体

[0377] 85 虚设图案

[0378] 130 分离结构

[0379] 131 场绝缘膜

[0380] 140 无机绝缘层

[0381] 145 有机绝缘层

[0382] 200 信号传输装置

[0383] 210 控制器芯片(第一芯片)

[0384] 211、211A、211B、211(1)、211(2) 施密特缓冲器

[0385] 211C AND门

[0386] 212 脉冲传输电路

[0387] 212a 逻辑单元

[0388] 212b、212c 缓冲器

[0389] 212d、212e 二极管(静电保护元件)

[0390] 213 低电压保护电路

[0391] 220 驱动器芯片(第二芯片)

[0392] 221 脉冲接收电路

[0393] 221a、221b 二极管(静电保护元件)

[0394] 221c、221d、221e、221f 缓冲器

[0395] 221g、221h 延迟单元

[0396] 221i、221j AND门

[0397] 221k 逻辑单元

[0398] 221A、221B 二极管(静电保护元件)

[0399] 221C、221D N沟道型MOS场效应晶体管(开关)

[0400] 221E、221F 比较器(脉冲检测器)

[0401] 221G 计时器

[0402] 221H 逻辑单元

[0403] 222、222(1)、222(2) 驱动器

[0404] 222H P沟道型MOS场效应晶体管

[0405] 222L N沟道型MOS场效应晶体管

[0406] 223 低电压保护电路

[0407] 230 变压器芯片(第三芯片)

[0408] 230a 第一层(下层)

[0409] 230b 第二层(上层)

[0410] 231、232、233、234 变压器

[0411] 231p、232p 初级绕组

[0412] 231s、232s 次级绕组

[0413] C1、C2 电容器

[0414] GND1、GND2 接地端子

[0415] IN、IN1、IN2、INA、INB 输入端子

[0416] N1 N沟道型MOS场效应晶体管

[0417] OUT、OUT1、OUT2 输出端子

[0418] R1 电阻器

[0419] T11至T18、T21至T26、T31至T36 端子

[0420] VCC1、VCC2 电源端子

[0421] X21、X22、X23 内部端子

[0422] Y21、Y22、Y23 配线

[0423] Z21、Z22、Z23 通孔。

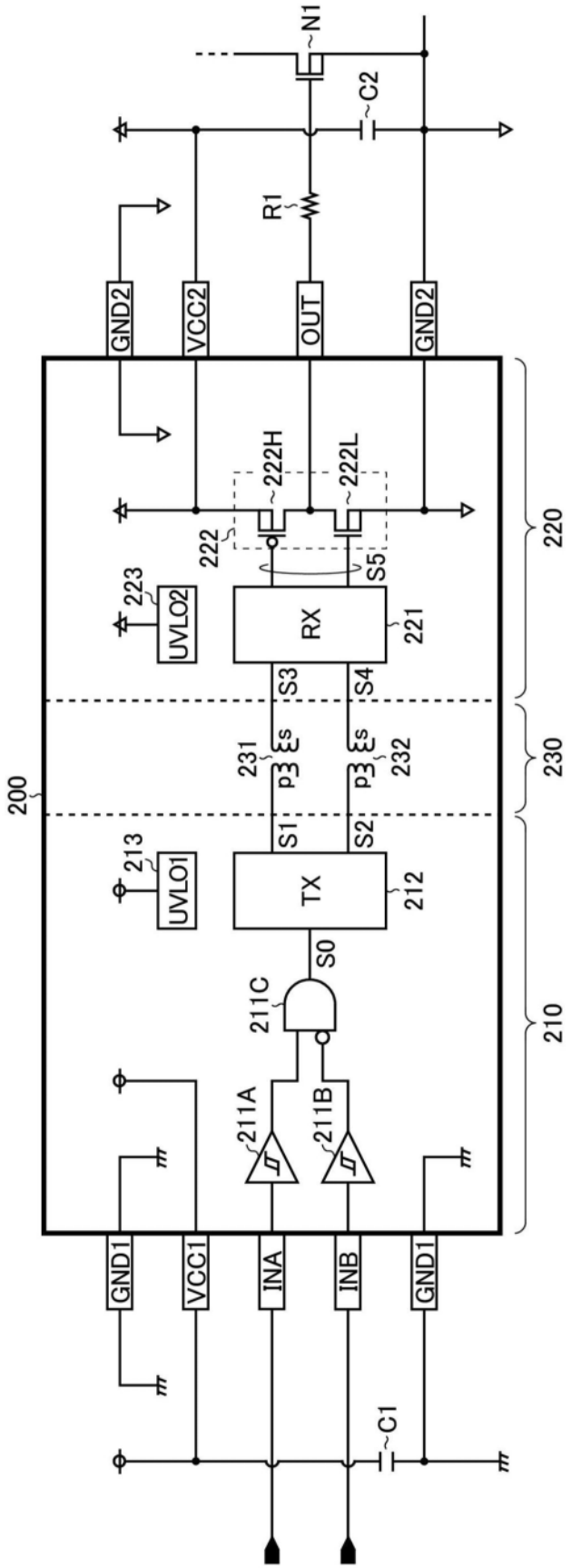

N1
C2
R1
GND2
VCC2
OUT
GND2
222H
222L
222
220
223
UVLO2
RX
221
S5
S3
S4
231
232
230
200
S1
S2
213
UVLO1
TX
212
S0
211C
211A
211B
210
GND1
VCC1
INA
INB
GND1
C1

图1

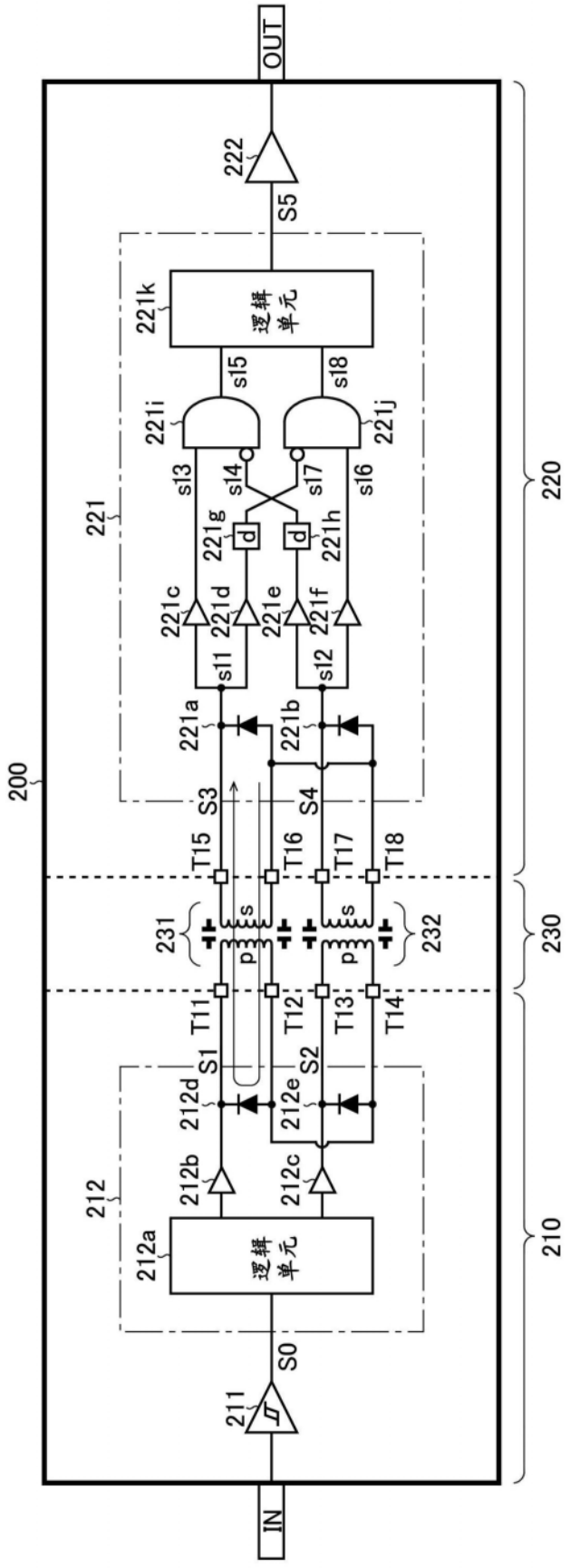

OUT
222
S5
221k
逻辑单元
s15
s18
221i
221j
si3
s14
s17
s16
221
221g
d
d
221h
220
221c
221d
221e
221f
si1
si2
221a
221b
200
S3
S4
T15
T16
T17
T18
231
p
s
232
230
T11
T12
T13
T14
S1
S2
212d
212e
212
212b
212c
212a
逻辑单元
210
S0
211
IN

图2

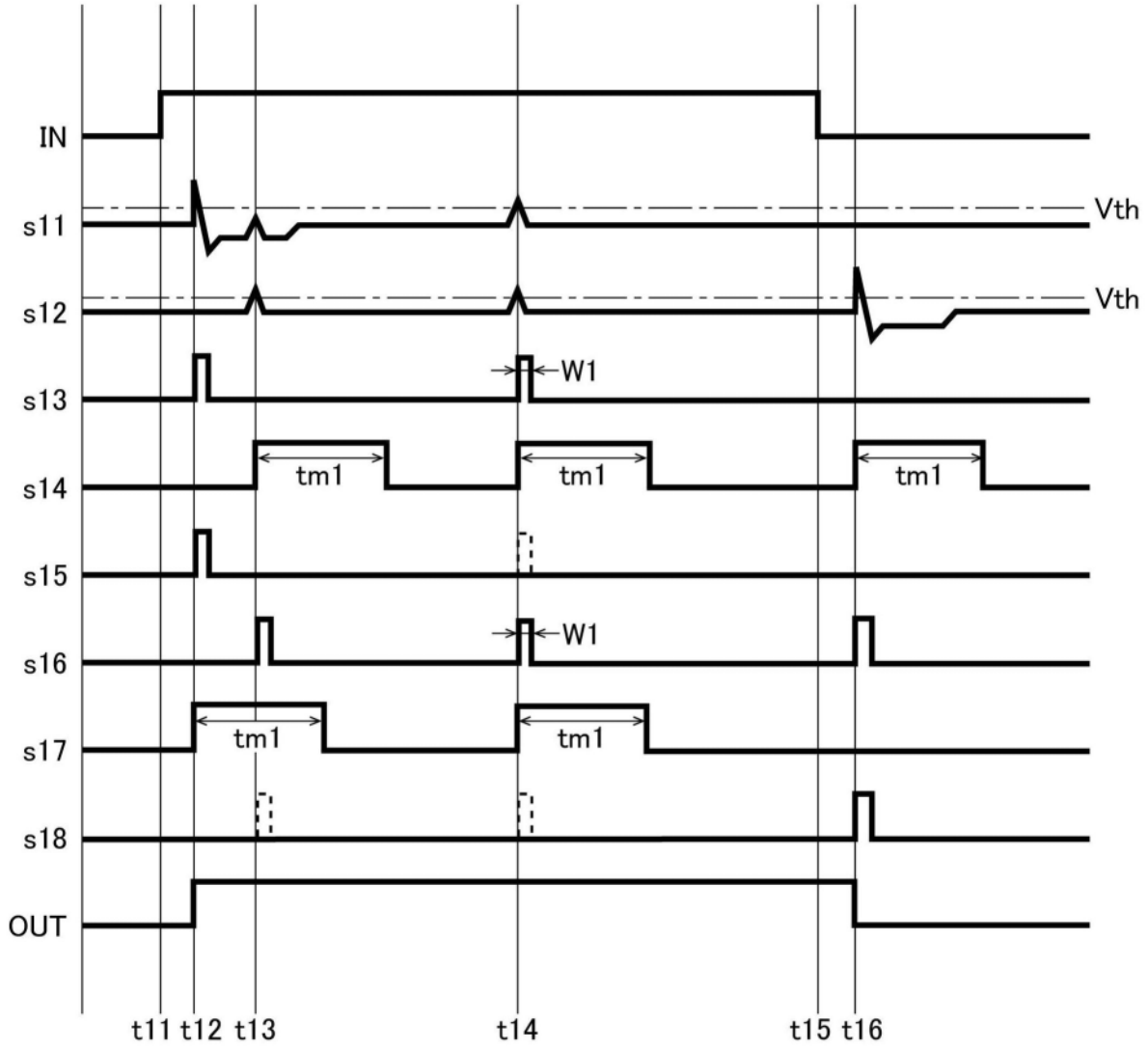

IN
s11
s12
s13
s14
s15
s16
s17
s18
OUT
Vth
Vth
W1
tm1
tm1
tm1
W1
tm1
tm1
t11 t12 t13
t14
t15 t16

图3

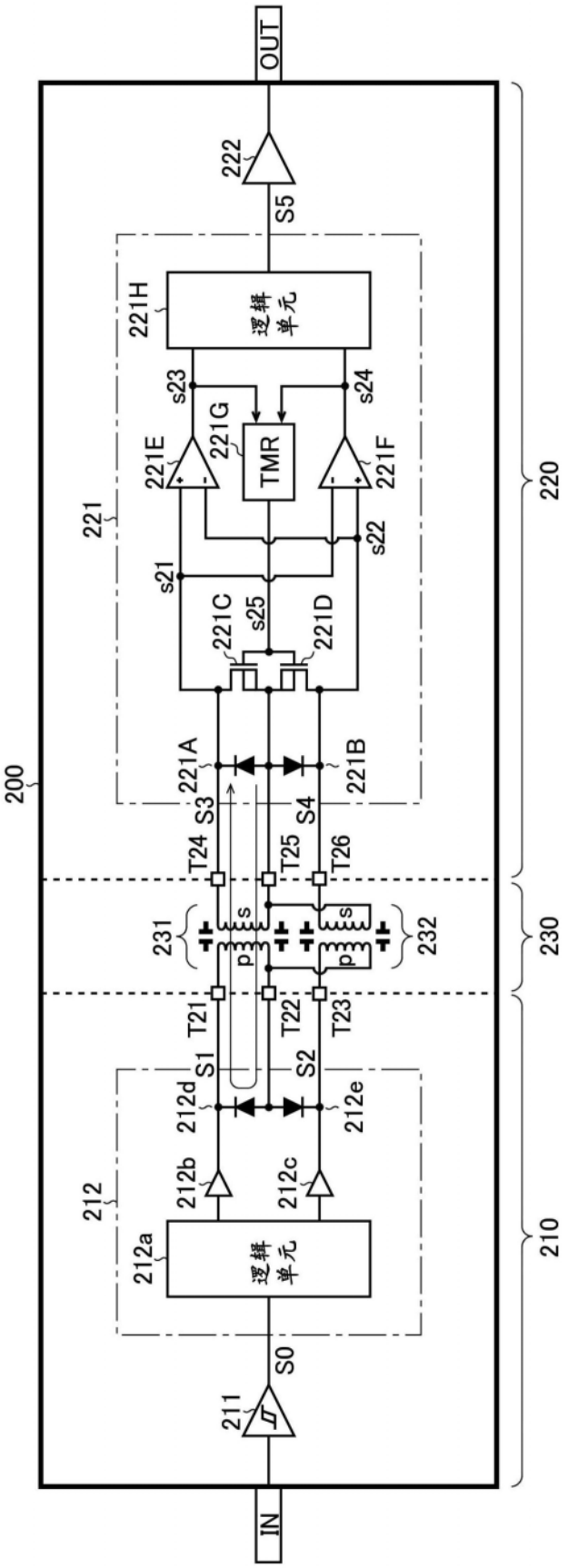

OUT
222
S5
221H
逻辑单元
s23
s24
221G
TMR
221E
221F
221
220
s21
s22
221C
s25
221D
200
221A
221B
S3
S4
T24
T25
T26
231
232
230
T21
T22
T23
S1
S2
212d
212e
212b
212c
212
212a
逻辑单元
210
S0
211
IN

图4

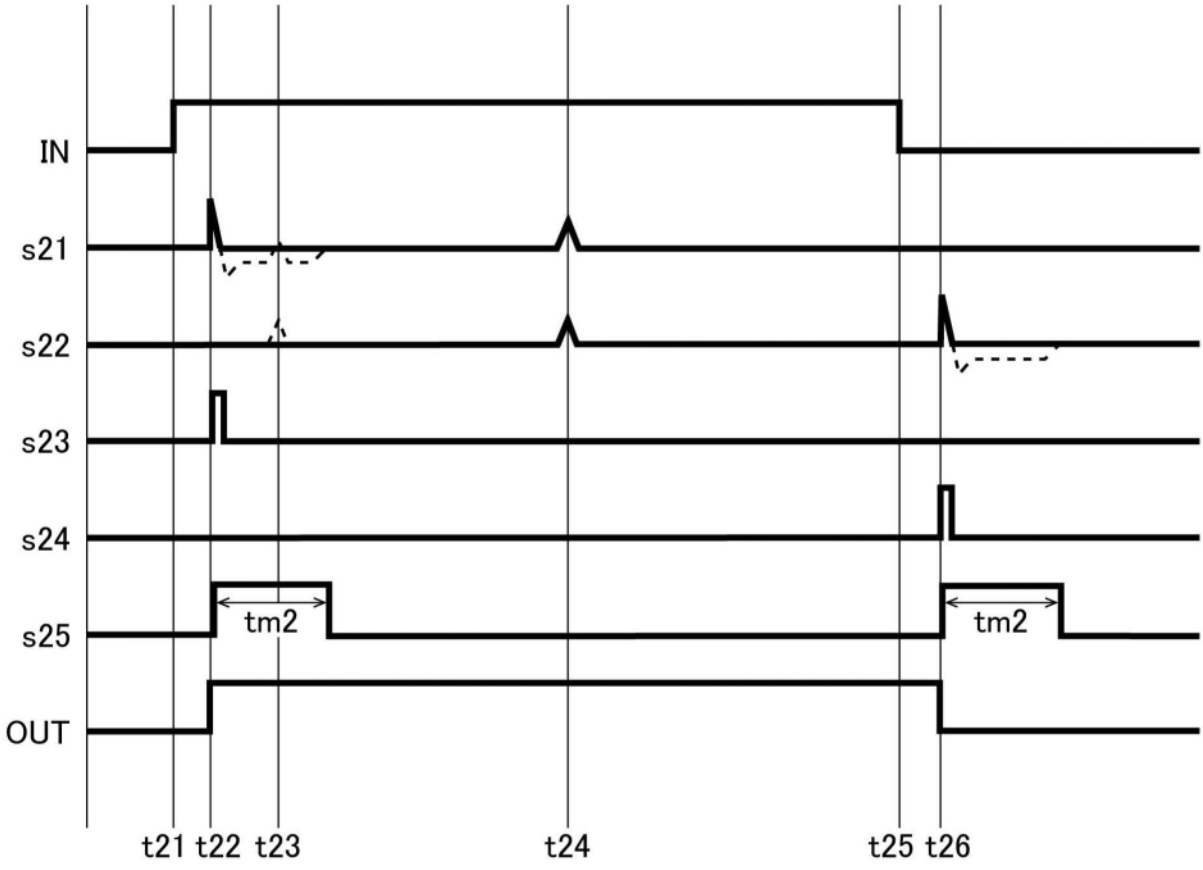


图5

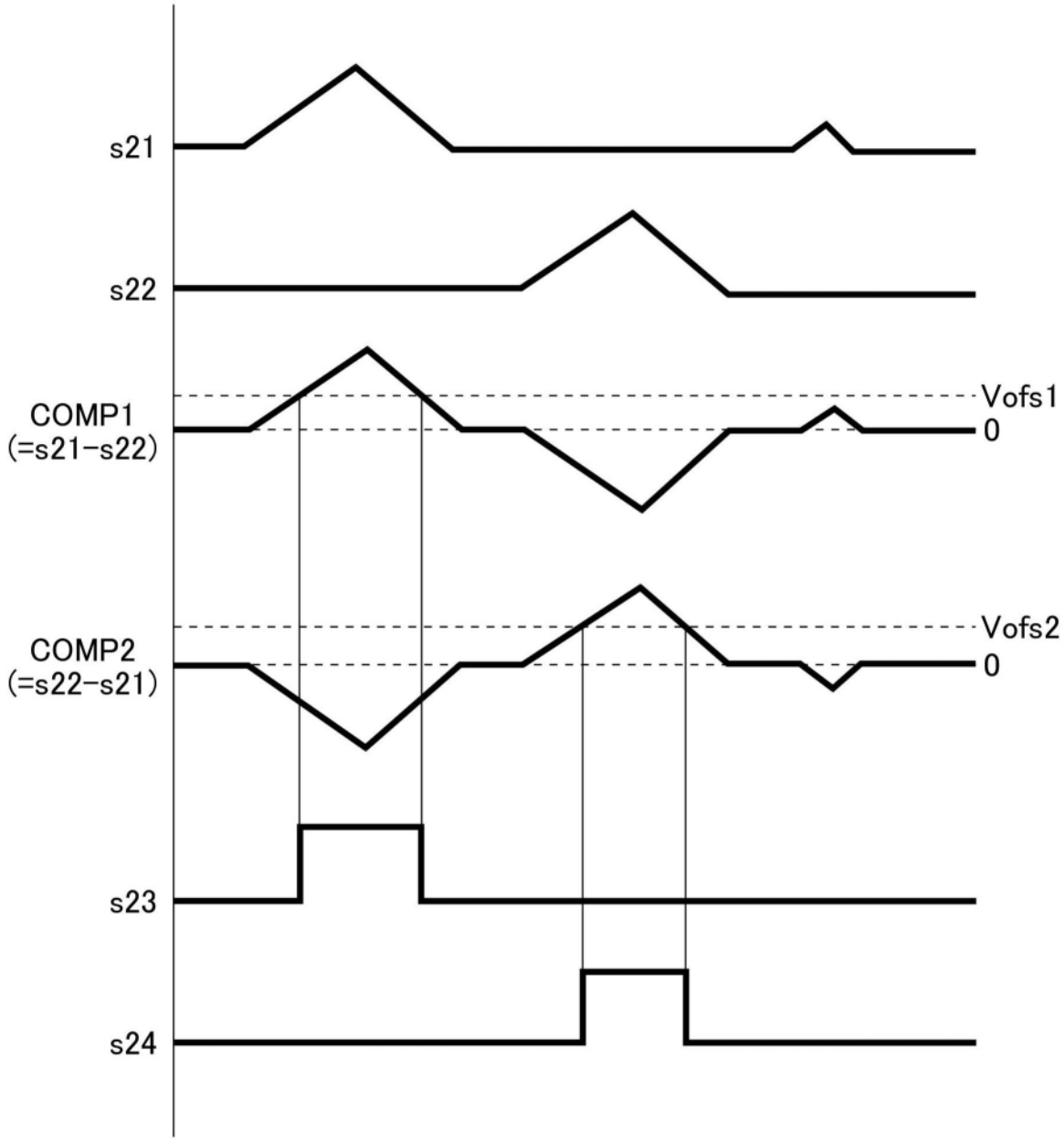


图6

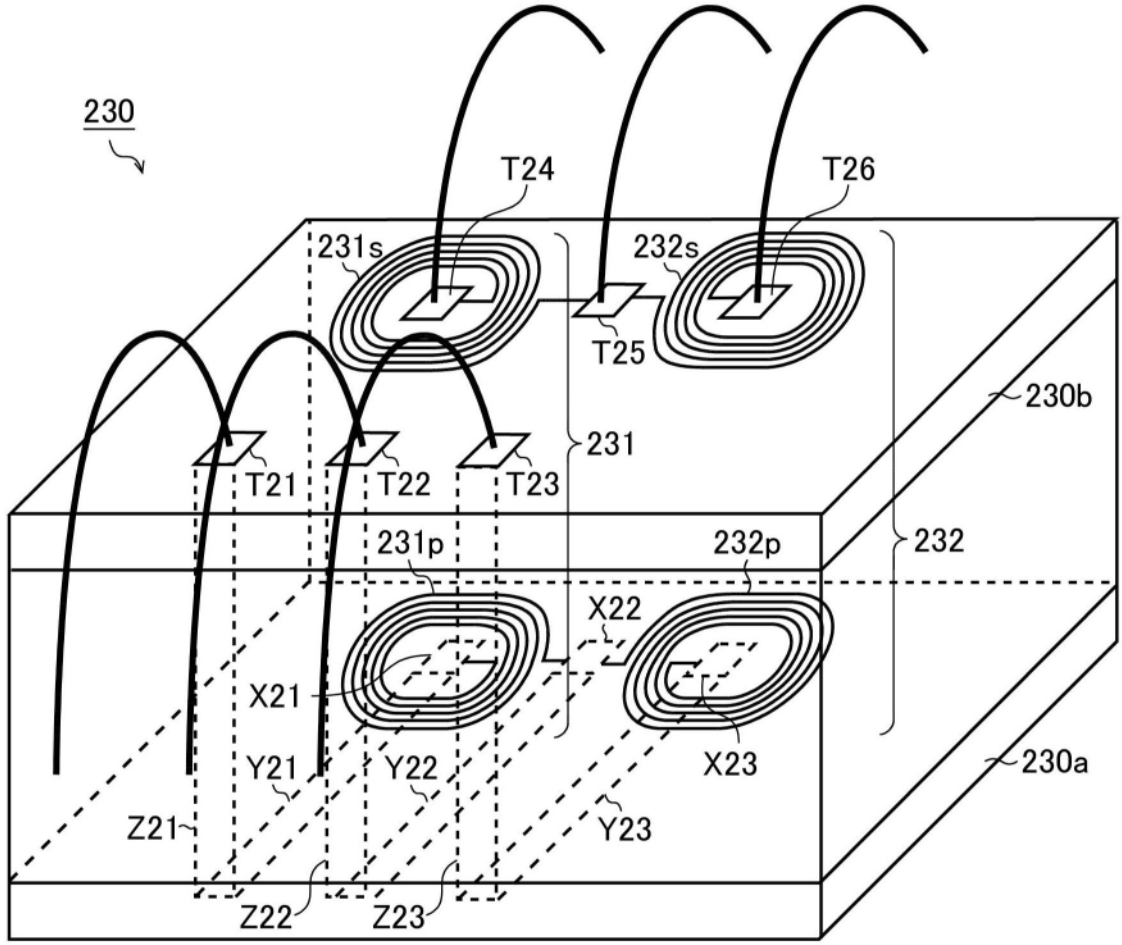

230
T24
T26
231s
232s
T25
230b
231
T21
T22
T23
231p
232p
232
X22
X21
X23
Y21
Y22
Y23
230a
Z21
Z22
Z23

图7

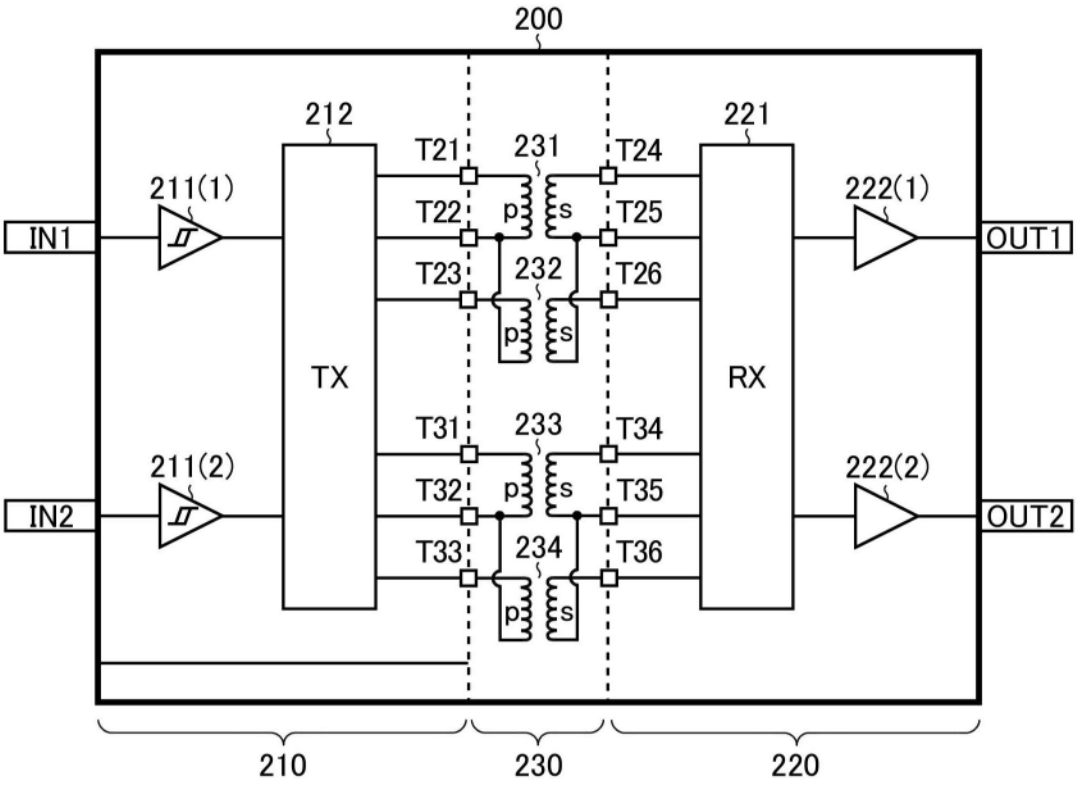

200
212
221
T21
231
T24
211(1)
T22
p
s
T25
222(1)
IN1
OUT1
T23
232
T26
p
s
TX
RX
T31
233
T34
211(2)
222(2)
T32
p
s
T35
IN2
OUT2
T33
234
T36
p
s
210
230
220

图8

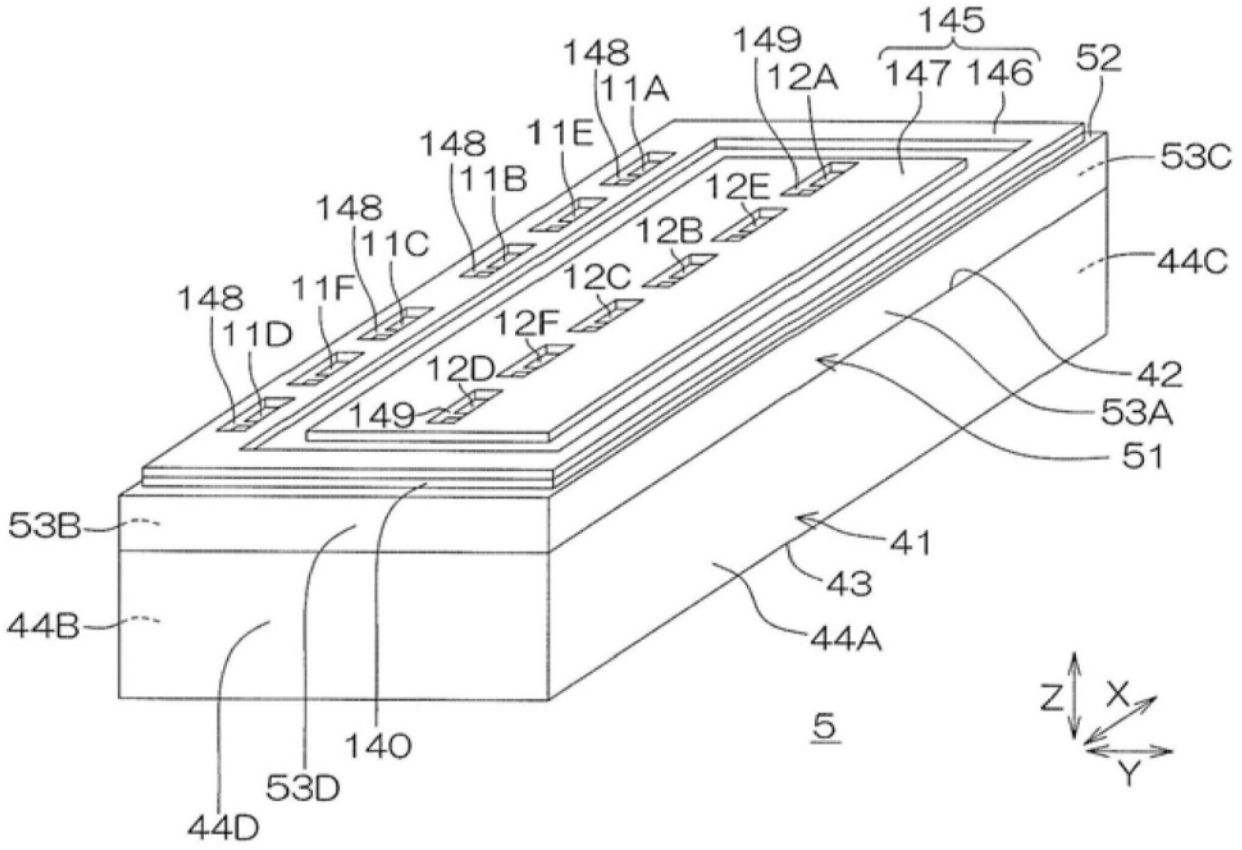

145
148
11A
149
12A
147
146
52
148
11E
148
11B
12E
148
11C
12B
53C
44C
148
11F
12C
11D
12F
12D
42
149
53A
51
53B
41
43
44B
44A
Z
X
5
140
53D
Y
44D

图9

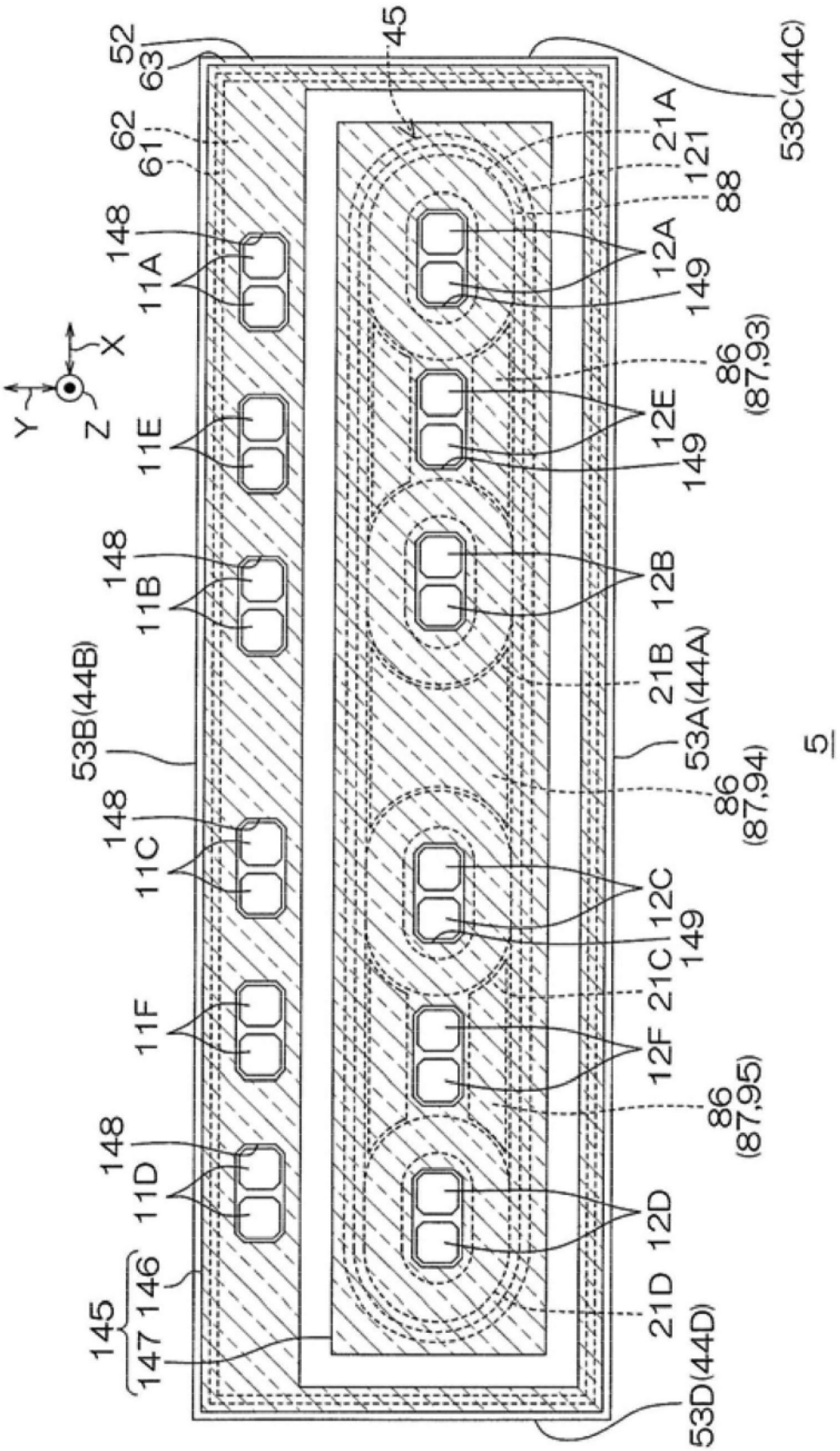

52
63
45
53C(44C)
62
61
21A
121
88
148
11A
12A
149
86
(87,93)
12E
149
148
11B
12B
21B
53A(44A)
53B(44B)
86
(87,94)
148
11C
12C
149
21C
11F
12F
86
(87,95)
148
11D
12D
21D
145
146
147
53D(44D)
5
X
Y
Z

图10

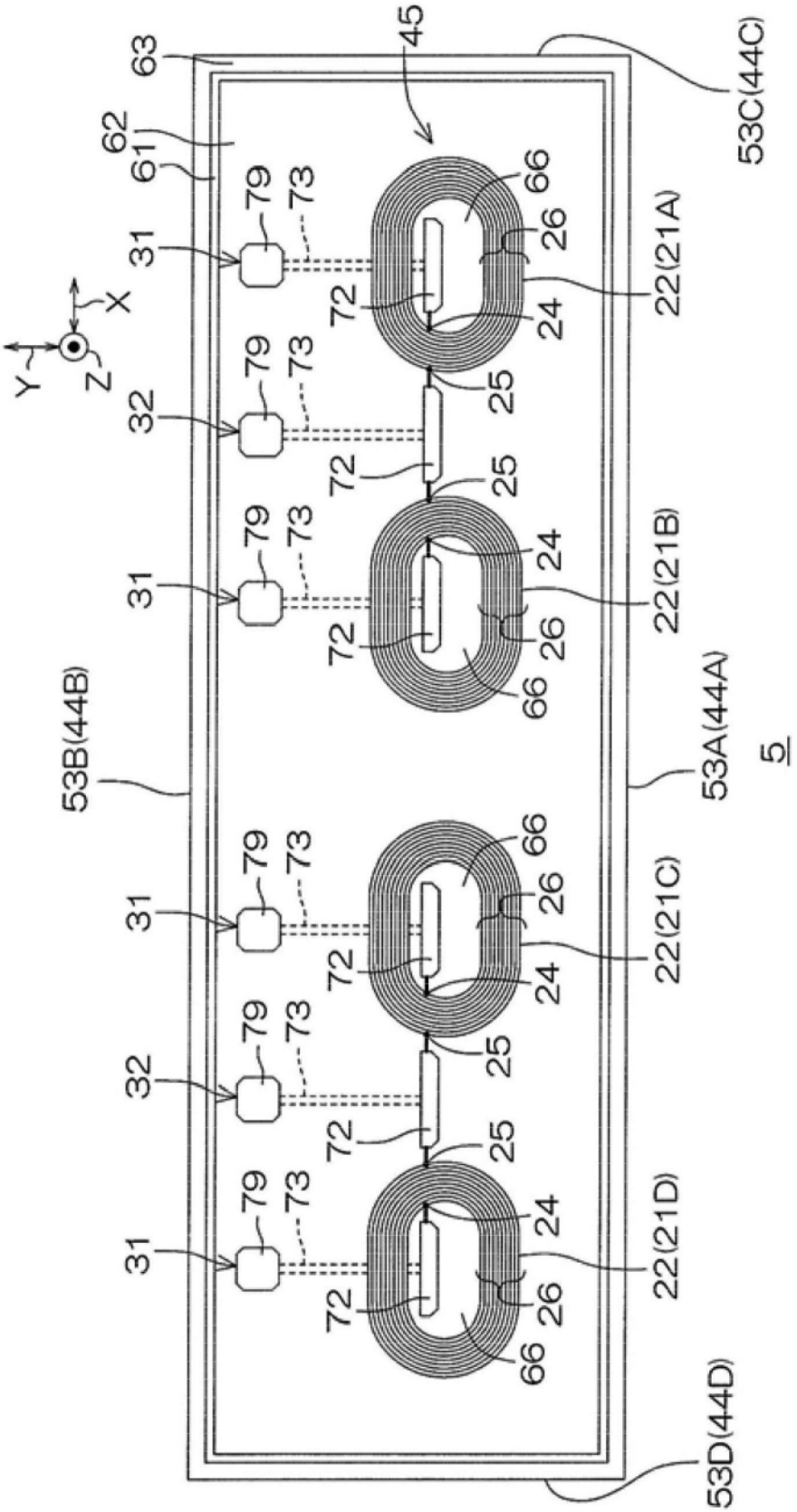

63
45
53C(44C)
62
61
79
73
66
26
31
22(21A)
72
24
X
Y
Z
25
32
22(21B)
53B(44B)
53A(44A)
5
22(21C)
22(21D)
53D(44D)

图11

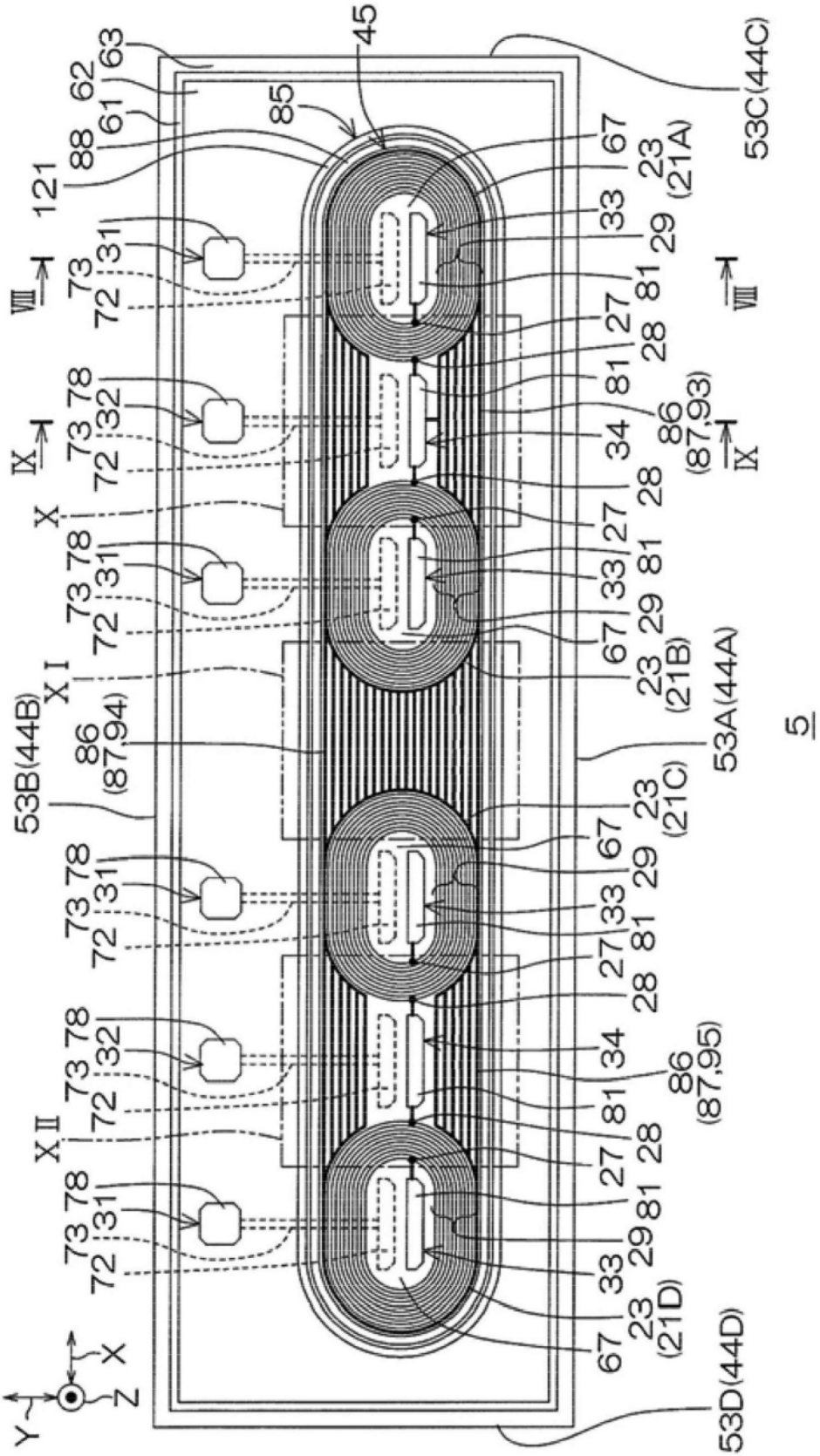

45
63
62
61
88
121
85
53C(44C)
67
23
(21A)
33
29
81
27
28
34
86
(87,93)
73
72
31
78
32
VIII
IX
X
XI
XII
53B(44B)
86
(87,94)
23
(21C)
23
(21B)
53A(44A)
86
(87,95)
23
(21D)
53D(44D)
5
X
Y
Z

图12

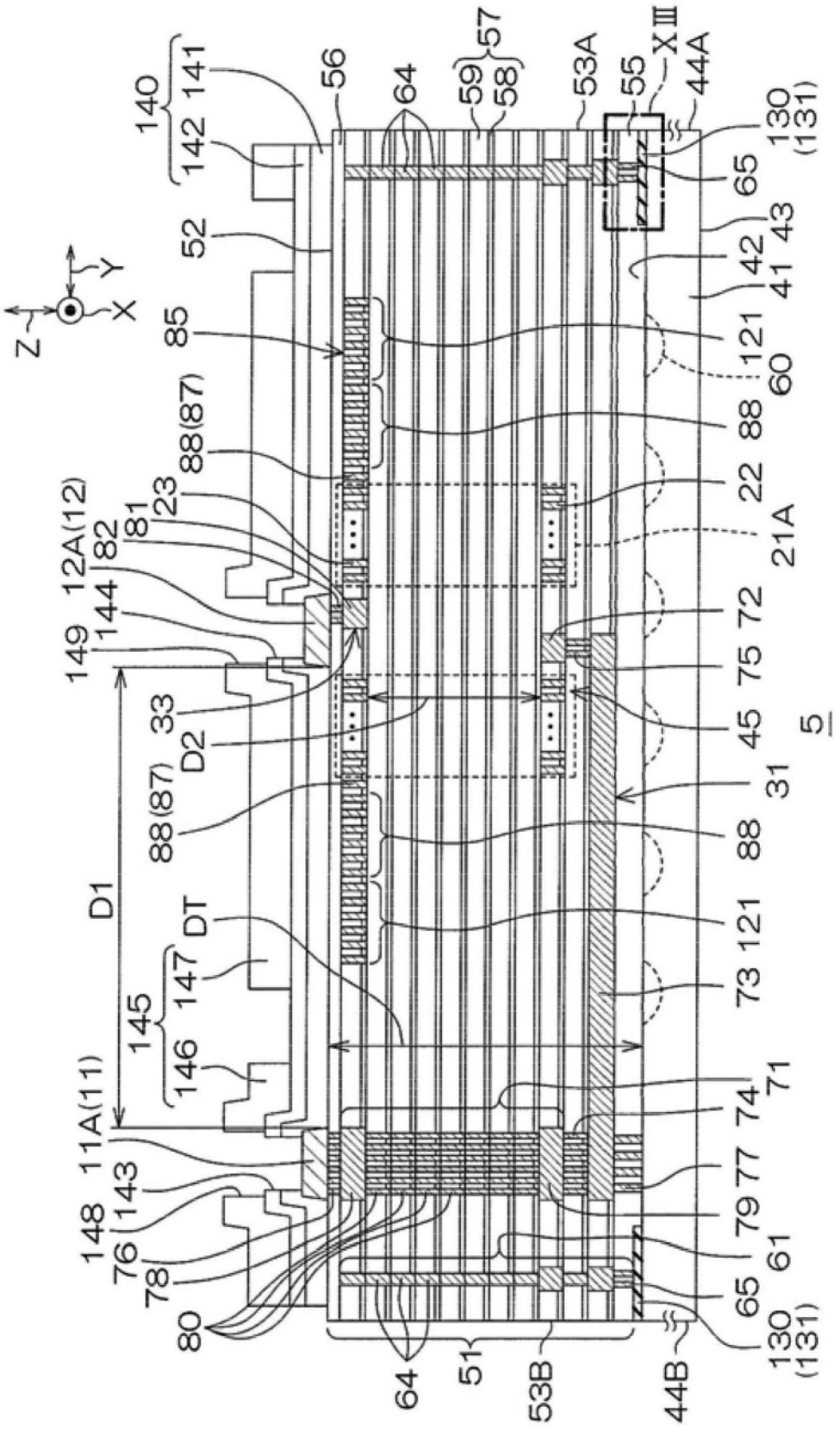

Z
Y
X
140
141
142
56
64
59
58
57
53A
55
XIII
44A
130
(131)
65
52
43
42
41
85
121
60
88(87)
88
23
22
81
21A
12A(12)
82
144
72
149
75
33
D2
45
5
88(87)
31
88
D1
DT
121
147
73
145
146
71
11A(11)
74
143
148
77
76
79
61
78
65
80
130
(131)
64
51
53B
44B

图13

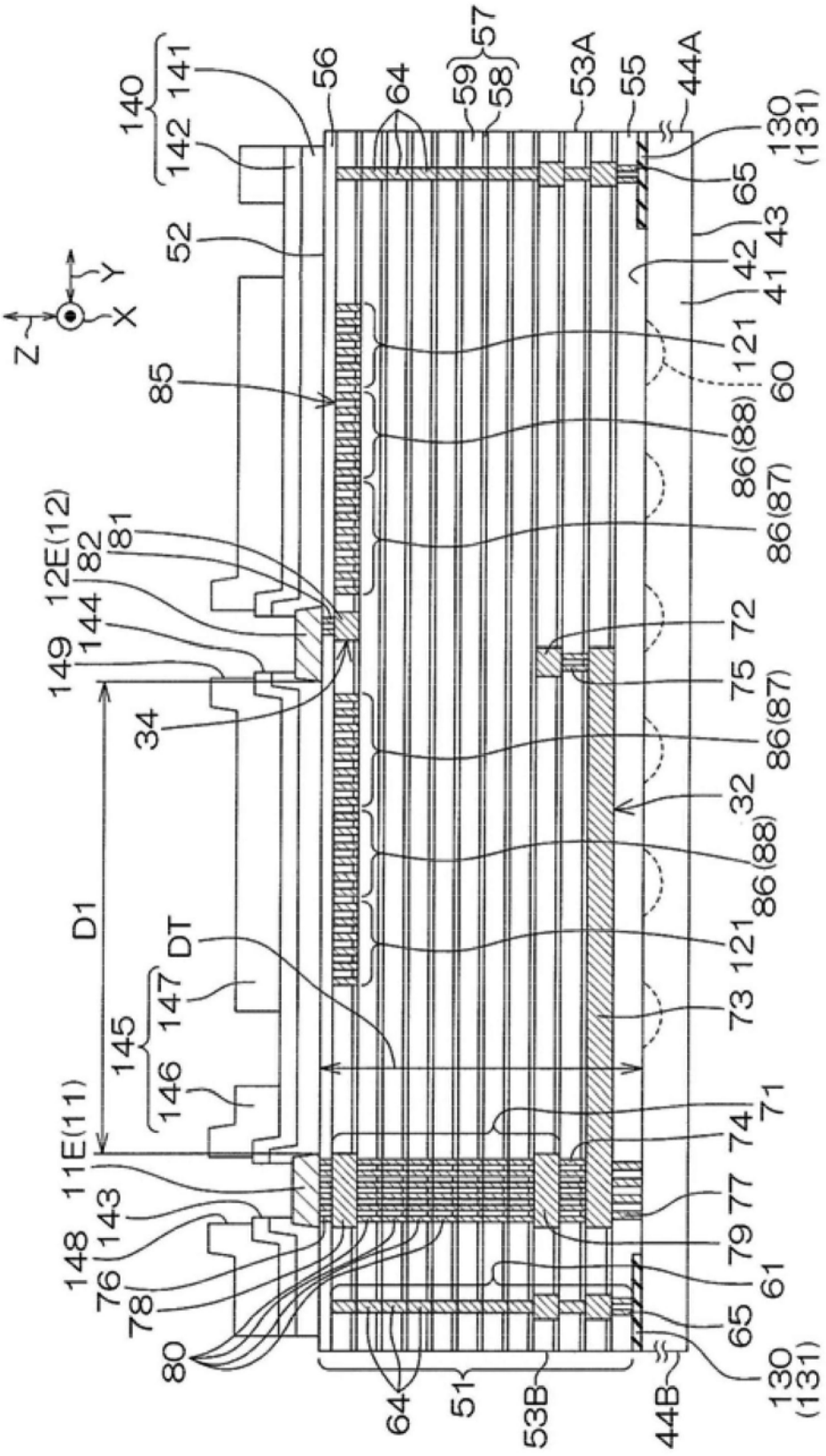

Z
Y
X
140
141
142
56
64
59
58
57
53A
55
44A
130
(131)
65
52
43
42
41
121
60
85
86(88)
86(87)
12E(12)
82
81
144
149
72
75
34
32
D1
DT
147
145
146
73
71
11E(11)
74
148
143
77
79
76
78
61
80
51
53B
44B

图14

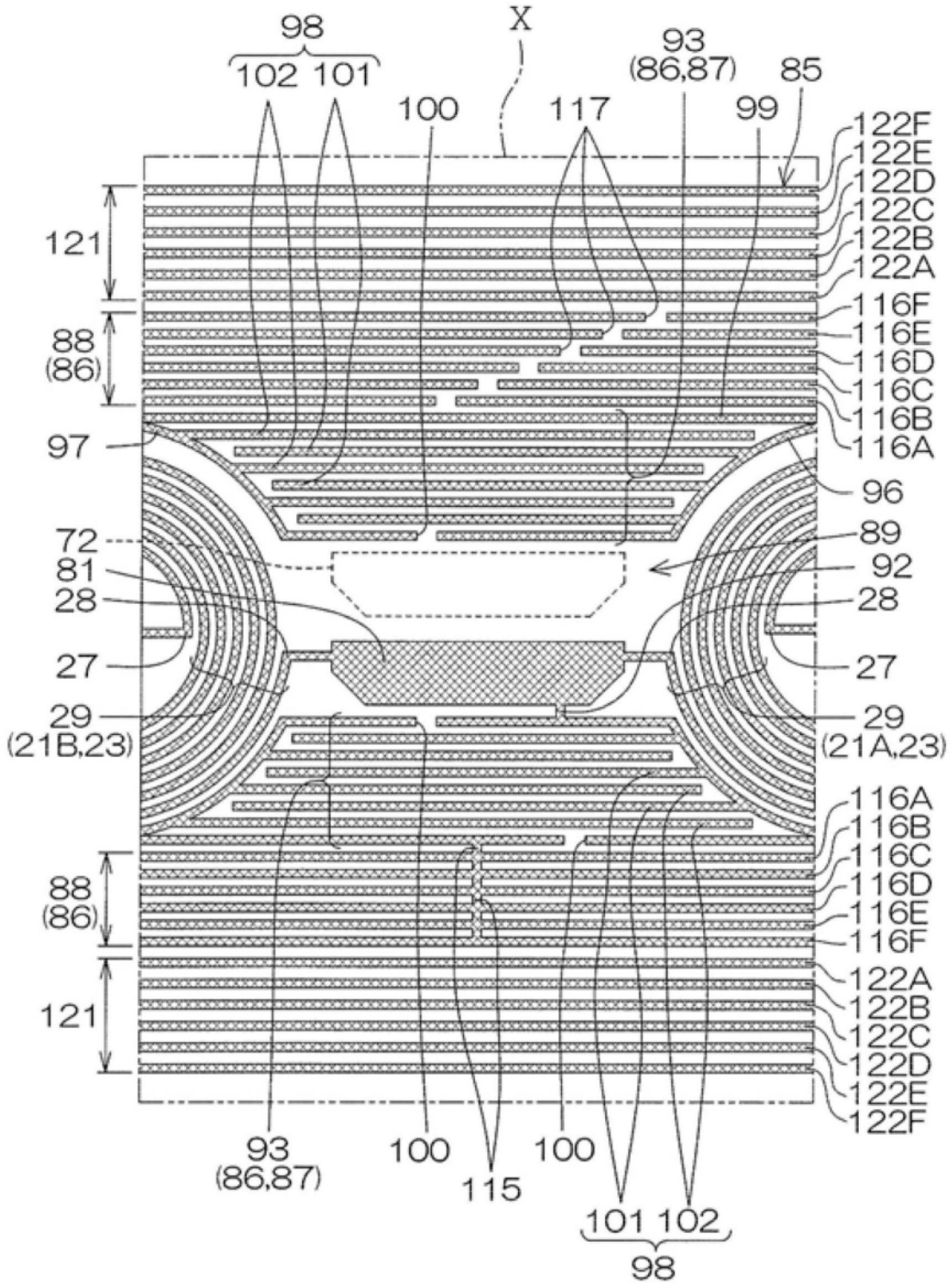

98
102 101
X
93
(86,87)
85
100
117
99
122F
122E
122D
122C
122B
122A
121
116F
116E
116D
116C
116B
116A
88
(86)
97
96
72
89
81
92
28
28
27
27
29
(21B,23)
29
(21A,23)
116A
116B
116C
116D
116E
116F
88
(86)
122A
122B
122C
122D
122E
122F
121
93
(86,87)
100
100
115
101 102
98

图15

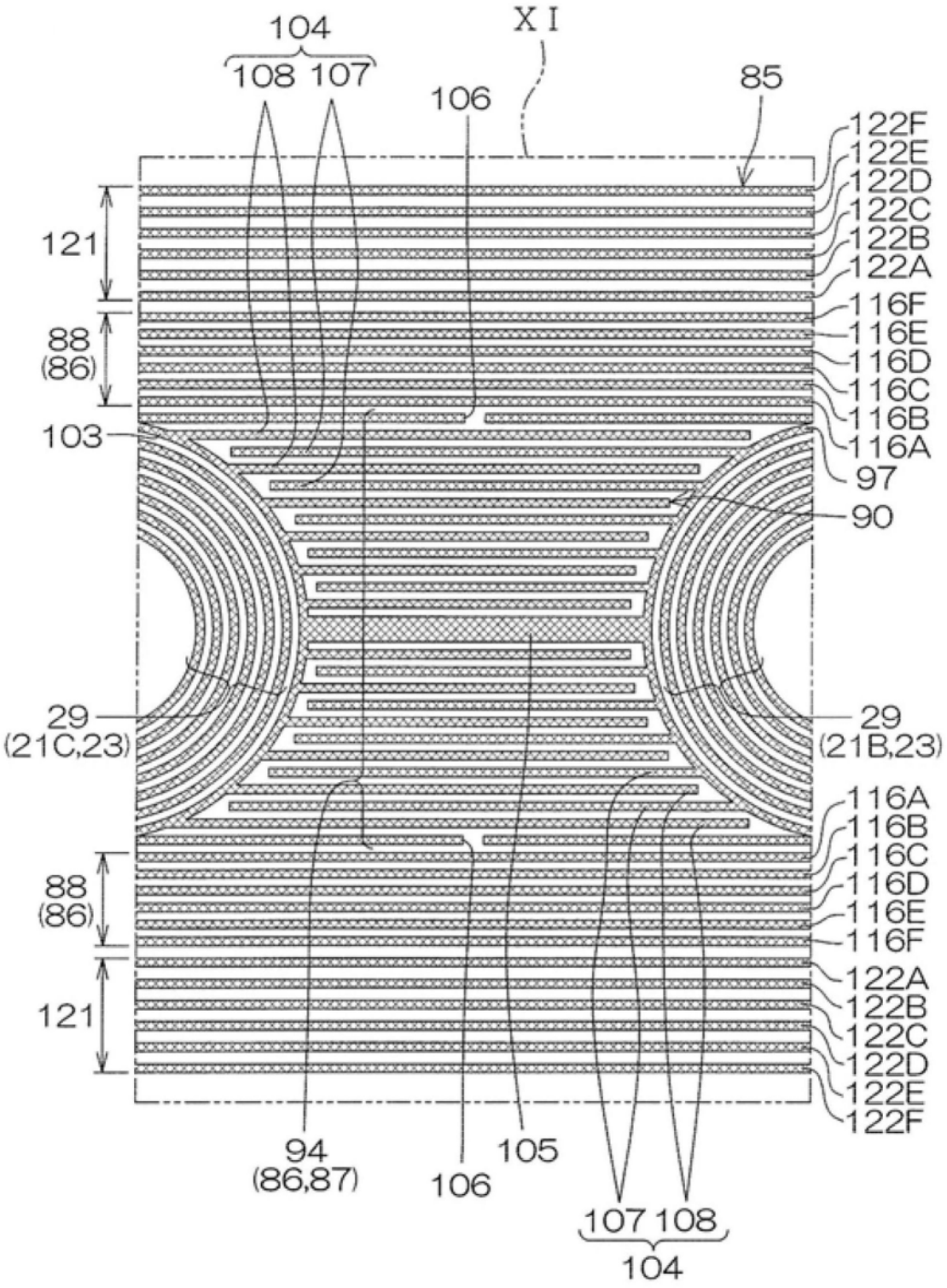

104
108 107
XI
106
85
122F
122E
122D
122C
122B
122A
121
116F
116E
116D
116C
116B
116A
88
(86)
103
97
90
29
(21C,23)
29
(21B,23)
116A
116B
116C
116D
116E
116F
88
(86)
122A
122B
122C
122D
122E
122F
121
94
(86,87)
106
105
107 108
104

图16

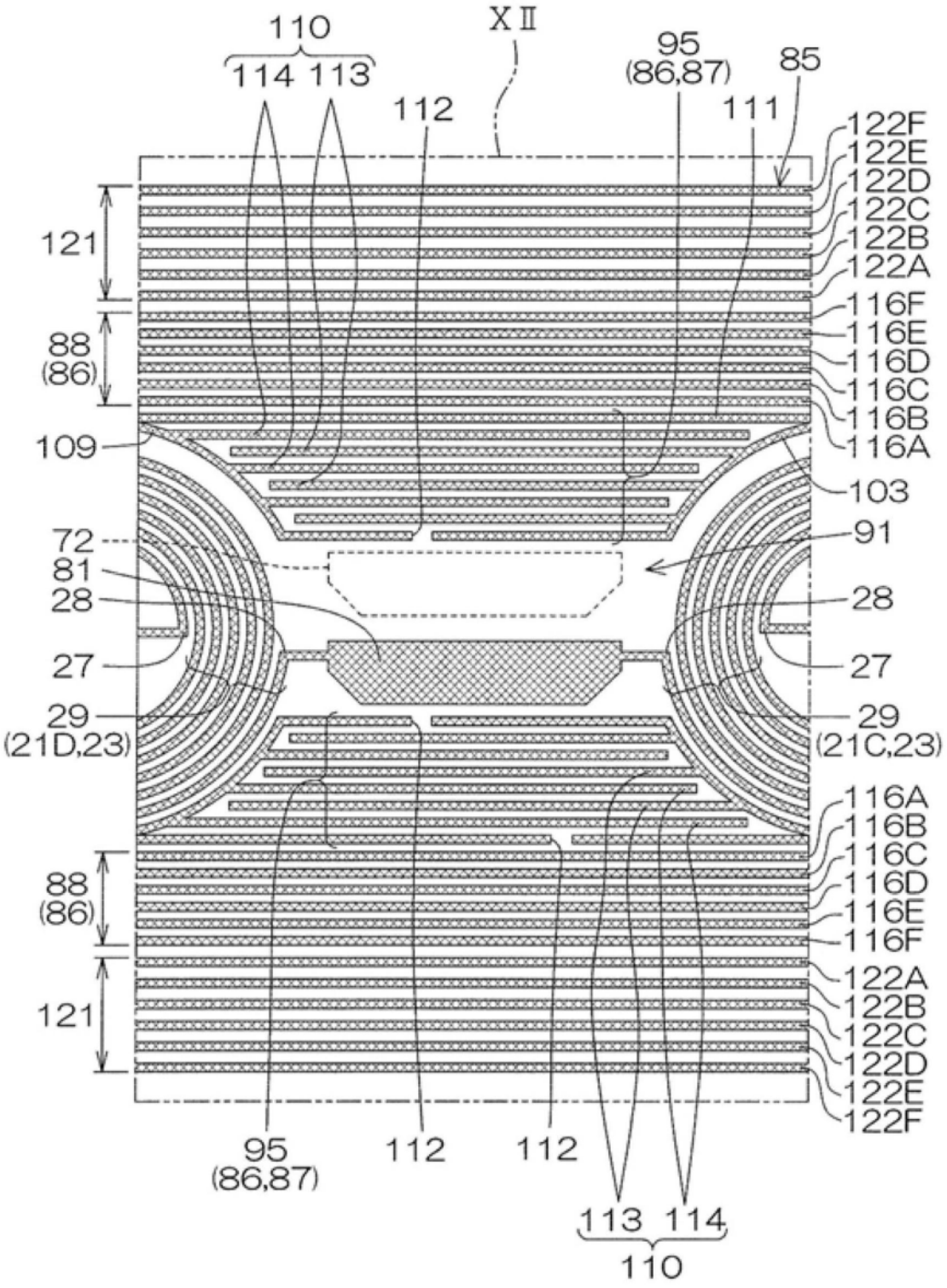

110
114 113
XII
112
95
(86,87)
85
111
122F
122E
122D
122C
122B
122A
121
116F
116E
116D
116C
116B
116A
88
(86)
109
103
72
91
81
28
28
27
27
29
(21D,23)
29
(21C,23)
116A
116B
116C
116D
116E
116F
88
(86)
122A
122B
122C
122D
122E
122F
121
95
(86,87)
112
112
113 114
110

图17

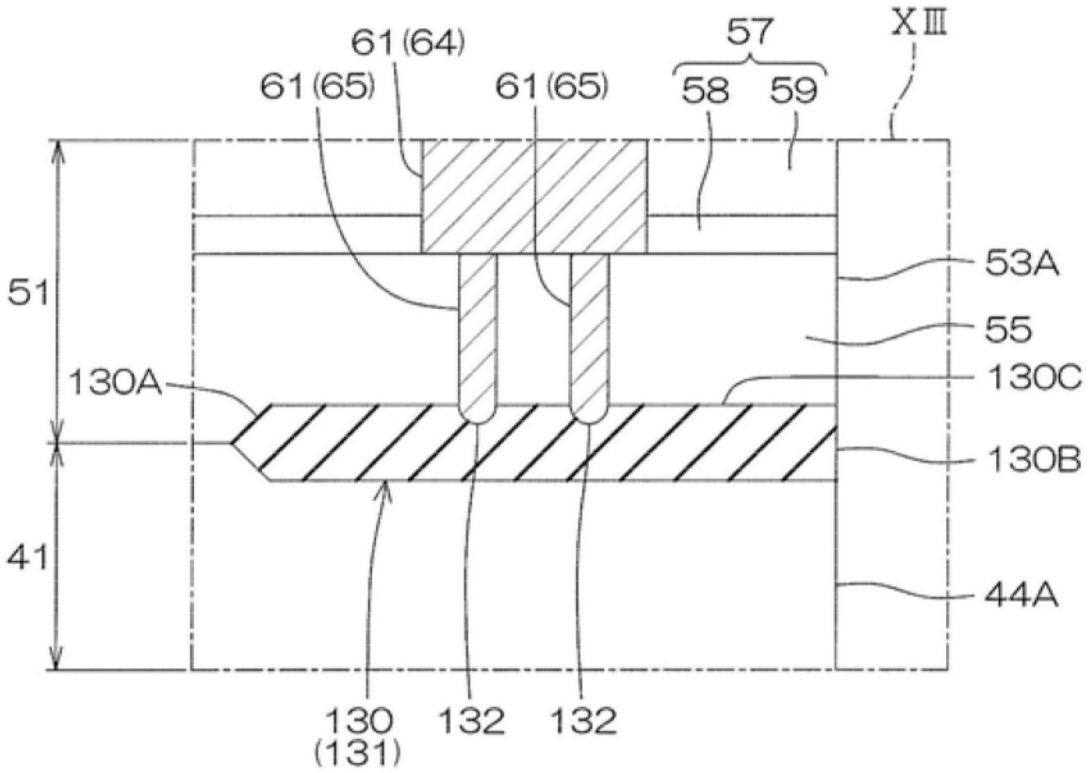

61(64)
61(65)
61(65)
57
58
59
XIII
53A
55
130C
130B
44A
51
130A
41
130
(131)
132
132

图18