



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I881129 B

(45) 公告日：中華民國 114 (2025) 年 04 月 21 日

(21) 申請案號：110119200 (22) 申請日：中華民國 110 (2021) 年 05 月 27 日

(51) Int. Cl. : **H01L23/538 (2006.01)** **H01L21/48 (2006.01)**

(30) 優先權：2020/11/13 美國 63/113,631
2021/01/27 美國 17/159,972

(71) 申請人：南韓商三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓

(72) 發明人：朴璽韓 PARK, SAEHAN (KR)；孫吉煥 SON, GIL HWAN (KR)；徐訓碩 SEO,
HOONSEOK (KR)；任廷赫 YIM, JEONGHYUK (KR)；金基一 KIM, KI-IL (KR)

(74) 代理人：林孟閱；盧佩君；陳怡如

(56) 參考文獻：

TW	202027146A	US	2018/0145030A1
US	2019/0164882A1	US	2020/0105671A1
US	2020/0134128A1	US	2020/0135634A1

審查人員：翁佑菱

申請專利範圍項數：20 項 圖式數：12 共 55 頁

(54) 名稱

半導體架構及其製造方法

(57) 摘要

本發明提供一種半導體架構及其製造方法。半導體架構包含：載體基板；著陸墊，包含於載體基板中；第一半導體裝置，設置於載體基板的第一表面上，第一半導體裝置包含設置於著陸墊上的第一組件；第二半導體裝置，設置於載體基板的第二表面上；以及第二組件，自第二半導體裝置突出，設置於著陸墊上。

Provided is a semiconductor architecture and a method of manufacturing the same. The semiconductor architecture includes a carrier substrate, a landing pad included in the carrier substrate, a first semiconductor device provided on a first surface of the carrier substrate, the first semiconductor device including a first component provided on the landing pad, a second semiconductor device provided on a second surface of the carrier substrate, and a second component protruding from the second semiconductor device being provided on the landing pad.

指定代表圖：

符號簡單說明：

11:半導體架構

120:埋入式電源軌

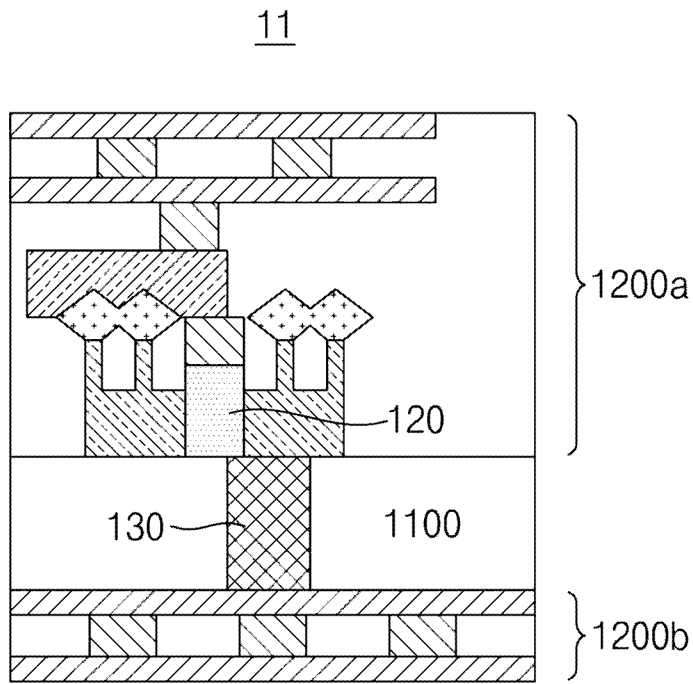
130:矽通孔

1100:晶圓

1200a:第一半導體裝置

1200b:第二半導體裝置

置



【圖2】



I881129

【發明摘要】

【中文發明名稱】半導體架構及其製造方法

【英文發明名稱】 SEMICONDUCTOR ARCHITECTURE AND
METHOD OF MANUFACTURING THE SAME

【中文】本發明提供一種半導體架構及其製造方法。半導體架構包含：載體基板；著陸墊，包含於載體基板中；第一半導體裝置，設置於載體基板的第一表面上，第一半導體裝置包含設置於著陸墊上的第一組件；第二半導體裝置，設置於載體基板的第二表面上；以及第二組件，自第二半導體裝置突出，設置於著陸墊上。

【英文】 Provided is a semiconductor architecture and a method of manufacturing the same. The semiconductor architecture includes a carrier substrate, a landing pad included in the carrier substrate, a first semiconductor device provided on a first surface of the carrier substrate, the first semiconductor device including a first component provided on the landing pad, a second semiconductor device provided on a second surface of the carrier substrate, and a second component protruding from the second semiconductor device being provided on the landing pad.

【指定代表圖】圖2

【代表圖之符號簡單說明】

11:半導體架構

120:埋入式電源軌

130:矽通孔

1100:晶圓

1200a:第一半導體裝置

1200b:第二半導體裝置

【特徵化學式】

無

【發明說明書】

【中文發明名稱】 半導體架構及其製造方法

【英文發明名稱】 SEMICONDUCTOR ARCHITECTURE AND
METHOD OF MANUFACTURING THE SAME

【技術領域】

【0001】 本揭露的實例實施例是關於一種背側配電網（backside power distribution network；BSPDN）半導體架構及其製造方法，且更特定言之，是關於一種包含著陸墊的 BSPDN 半導體架構及其製造方法。

相關申請案的交叉參考

【0002】 本申請案是基於 2020 年 11 月 13 日在美國專利商標局（U.S. Patent and Trademark Office）申請的美國臨時申請案第 63/113,631 號且主張所述臨時申請案的優先權，所述臨時申請案的揭露內容以全文引用的方式併入本文中。

【先前技術】

【0003】 BSPDN 半導體架構藉由在晶圓的第一側上設置包含主動電晶體、訊號線以及埋入式電源軌（buried power rail；BPR）的積體電路且在晶圓的第二側上設置 PDN 來使訊號佈線與半導體裝置中的配電網（power distribution network；PDN）分離。BSPDN 半導體架構可最小化路由擁塞且允許按比例縮小半導體架構的區域。與通用 PDN 半導體架構相比，BSPDN 半導體架構可導致約 30% 的減少及改良的電流-電阻（IR）降。

第 1 頁，共 23 頁(發明說明書)

【0004】 然而，製造 BSPDN 半導體架構可能存在困難，此是因為可能難以準確地對準設置於晶圓的每一側上的積體電路與 PDN。舉例而言，包含於整合於晶圓的第一側上的積體電路中的埋入式電源軌（BPR）與自整合於晶圓的第二側上的 PDN 突出的矽通孔（through-silicon via；TSV）之間可出現未對準。BPR 與 TSV 之間的此未對準可導致半導體架構的電阻及裝置失效的增加。

【0005】 已開發出藉由提供較大深度的 TSV 來改良 BPR 與 TSV 之間的對準的技術。舉例而言，可在提供 BPR 之後執行 TSV 的額外蝕刻。然而，增加 TSV 的深度可能損害半導體架構。此外，額外蝕刻將取決於所提供的 BPR 大小，所述 BPR 大小將限制額外蝕刻的製造製程，且 TSV 與 BPR 之間的未對準可能仍存在。

【0006】 此背景章節中所揭露的資訊在實現本申請案的實施例之前已由發明者知曉，或為在實現實施例的過程中所獲取的技術資訊。因此，可含有未形成已由公眾知曉的先前技術的資訊。

【發明內容】

【0007】 一或多個實例實施例提供一種背側配電網（BSPDN）半導體架構及其製造方法。

【0008】 一或多個實例實施例亦提供一種包含著陸墊的 BSPDN 半導體架構及其製造方法。

【0009】 根據實例實施例的一態樣，提供一種半導體架構，包含：載體基板；著陸墊，包含於載體基板中；第一半導體裝置，設置於載體基板的第一表面上，第一半導體裝置包含設置於著陸墊上的第一組件；以及第二半導體裝置，設置於載體基板的第二表面上；

第二組件，自第二半導體裝置突出，設置於著陸墊上。

【0010】 根據實例實施例的另一態樣，提供一種製造半導體架構的方法，方法包含：提供晶圓；在晶圓中形成著陸墊，基於著陸墊在晶圓的第一表面上設置第一半導體裝置以使得包含於第一半導體裝置中的第一組件設置於著陸墊上；移除晶圓的第二表面的一部分；以及基於著陸墊在晶圓的第二表面上設置第二半導體裝置以使得自第二半導體裝置突出的第二組件設置於著陸墊上。

【0011】 根據實例實施例的另一態樣，提供一種半導體架構，包含：晶圓；著陸墊，設置於晶圓中；訊號路由半導體裝置，設置於晶圓的第一表面上，第一半導體裝置包含設置於著陸墊上的 BPR；以及 PDN 半導體裝置，設置於晶圓的第二表面上；TSV，自第二半導體裝置突出，設置於著陸墊上。

【圖式簡單說明】

【0012】 根據結合隨附圖式進行的以下描述，本揭露的實例實施例的上述及/或其他態樣、特徵以及優勢將更顯而易見，在隨附圖式中：

圖 1 示出根據實例實施例的通用 PDN 半導體架構及 BSPDN 半導體架構的透視圖。

圖 2 示出根據相關實施例的 BSPDN 半導體架構。

圖 3A、圖 3B、圖 3C 以及圖 3D 示出根據相關實施例的製造 BSPDN 半導體架構的方法。

圖 4 示出根據實例實施例的 BSPDN 半導體架構的透視圖。

圖 5 示出根據實例實施例的沿圖 4 的線 I-I' 截取的橫截面圖。

圖 6A、圖 6B、圖 6C、圖 6D、圖 6E 以及圖 6F 示出根據實例實施例的製造 BSPDN 半導體架構的方法。

圖 7A、圖 7B、圖 7C、圖 7D、圖 7E、圖 7F 以及圖 7G 示出根據另一實例實施例的製造 BSPDN 半導體架構的方法。

圖 8 示出根據實例實施例的製造 BSPDN 半導體架構的方法的流程圖。

圖 9 示出根據實例實施例的在半導體晶圓中製造著陸墊的方法的流程圖。

圖 10 示出根據另一實例實施例的在半導體晶圓中製造著陸墊的方法的流程圖。

圖 11 示出根據實例實施例的可併入 BSPDN 半導體架構的半導體架構。

圖 12 示出根據實例實施例的電子系統的示意性方塊圖。

【實施方式】

【0013】 本文中所描述的實例實施例為實例，且因此，本揭露不限於此，且可以各種其他形式實現。以下描述中所提供的實例實施例中的每一者不排除與本文中亦提供或本文中未提供但與本揭露一致的另一實例或另一實例實施例的一或多個特徵相關聯。舉例而言，即使特定實例或實例實施例中所描述的物質未在另外的不同實例或實例實施例描述，除非在其描述中另外提及，否則所述物質仍可理解為與不同實例或實施例有關或與不同實例或實施例組合。

【0014】 另外，應理解，對原理、態樣、實例以及實例實施例的所

有描述均意欲涵蓋其結構及功能等效物。另外，此等等效物應理解為不僅包含當前眾所周知的等效物，且亦包含未來待開發的等效物，亦即，發明以執行相同功能的所有裝置，無論其結構如何。

【0015】 應理解，當將半導體裝置的元件、組件、層、圖案、結構、區等（在下文中統稱為「元件」）稱為「在」半導體裝置的另一元件「之上」、「上方」、「上」、「下方」、「之下」、「底下」、「連接至」或「耦接至」所述另一元件時，其可直接「在」所述另一元件「之上」、「上方」、「上」、「下方」、「之下」、「底下」、「連接至」或「耦接至」所述另一元件，或可存在介入元件。相反，當將半導體裝置的元件稱為「直接在」半導體裝置的另一元件「之上」、「直接在」所述另一元件「上方」、「直接在」所述另一元件「上」、「直接在」所述另一元件「下方」、「直接在」所述另一元件「之下」、「直接在」所述另一元件「底下」、「直接連接至」或「直接耦接至」所述另一元件時，不存在介入元件。相同編號貫穿本揭露是指相同元件。

【0016】 為易於描述，本文中可使用諸如「在.....之上 (over)」、「在.....上方 (above)」、「在.....上 (on)」、「上部 (upper)」、「在.....下方 (below)」、「在.....之下 (under)」、「在.....底下 (beneath)」、「下部 (lower)」、「頂部 (top)」以及「底部 (bottom)」及其類似者的空間相對術語以描述如在圖式中所示出的一個元件與另一元件的關係。應理解，除圖式中所描繪的定向之外，空間相對術語亦意欲涵蓋半導體裝置在使用或操作中的不同定向。舉例而言，若翻轉圖式中的半導體裝置，則描述為「在」其他元件「下方」或「在」其他元件「底下」的元件將定向「在」其他元件「上方」。因此，術語「在.....下方」可涵蓋上方及下方兩個定向。半導體裝置可以

其他方式定向（旋轉 90 度或處於其他定向），且本文中所使用的空間相對描述詞相應地進行解釋。

【0017】 如本文中所使用，諸如「中的至少一者（at least one of）」的表述在位於元件清單之前時修飾元件的整個清單，而並不修飾清單中的個別元件。舉例而言，表述「a、b 以及 c 中的至少一者（at least one of a,b,and c）」應理解為僅包含 a、僅包含 b、僅包含 c、包含 a 及 b、包含 a 及 c、包含 b 及 c，或包含 a、b 以及 c 中的所有者。在本文中，當術語「相同（same）」用於比較兩個或大於兩個元件的尺寸時，所述術語可覆蓋「實質上相同（substantially same）」的尺寸。

【0018】 應理解，儘管在本文中可使用術語「第一」、「第二」、「第三」、「第四」等以描述各種元件，但此等元件不應受限於此等術語。此等術語僅用以將一個元件與另一元件區分開來。因此，在不脫離本揭露的教示的情況下，下文所論述的第一元件可稱為第二元件。

【0019】 亦應理解，即使製造設備或結構的某一步驟或操作比另一步驟或操作更晚描述，所述步驟或操作亦可比另一步驟或操作更晚執行，除非將所述另一步驟或操作描述為在所述步驟或操作之後執行。

【0020】 本文中參考實施例（及中間結構）的示意性圖示的橫截面圖示來描述實例實施例。因此，將預期到因例如製造技術及/或容限所導致的圖示形狀的變化。因此，實例實施例不應視為受限於本文中所示出的區的特定形狀，而應包含由於例如製造造成的形狀偏差。舉例而言，示出為矩形的植入區將通常在其邊緣處具有圓形

或彎曲特徵及/或植入物濃度梯度，而非自植入區至非植入區的二元變化。同樣，由植入形成的內埋區可在內埋區與進行植入的表面之間的區中產生某些植入。因此，圖式中所示出的區在本質上為示意性的，且其形狀並不意欲示出裝置區的實際形狀，且並不意欲限制本揭露的範疇。另外，在圖式中，出於清楚起見，可放大層及區的大小及相對大小。

【0021】 出於簡潔起見，在本文中可詳細地或可不詳細地描述半導體裝置的通用元件。

【0022】 圖 1 示出根據實例實施例的通用 PDN 半導體架構及 BSPDN 半導體架構的透視圖。

【0023】 參考圖 1，通用 PDN 半導體架構 1110 包含位於晶圓 1100 的一側上的 PDN/訊號佈線裝置 1410。然而，通用 PDN 半導體架構 1110 的此類組態導致 PDN/訊號佈線裝置 1410 中的路由擁塞且增加半導體架構的面積。另外，通用 PDN 半導體架構 1110 的電阻可相對較高。

【0024】 如圖 1 中所示出，根據實例實施例，BSPDN 半導體架構 1000 經組態以使待設置於晶圓 1100 的第一側的訊號佈線半導體裝置 1210 與待設置於晶圓 1100 的與訊號佈線半導體裝置 1210 相對的第二側上的配電網 (PDN) 半導體裝置 1300 分離。根據實例實施例的 BSPDN 半導體架構 1000 可藉由自晶圓的第一側移除 PDN 來減少路由擁塞及半導體架構的面積，且因此亦可改良 IR 降。舉例而言，半導體架構的面積與通用 PDN 半導體架構 1110 相比可減小 30%。然而，實施例不限於此。

【0025】 圖 2 示出根據相關實施例的 BSPDN 半導體架構。

【0026】 參考圖 2，半導體架構 11 可包含晶圓 1100、設置於晶圓 1100 的第一表面上的第一半導體裝置 1200a 以及設置於晶圓 1100 的第二表面上的第二半導體裝置 1200b。第一半導體裝置 1200a 可為包含諸如主動電晶體、訊號線以及 BPR 120 等組件的用於訊號路由的積體電路。主動電晶體可包含功率分接磊晶層及非功率分接磊晶層。訊號線連接至主動電晶體的非功率分接磊晶層以用於主動電晶體之間的訊號路由。BPR 120 連接至主動電晶體的功率分接磊晶層，且不連接至訊號線。BPR 120 分別經組態以將電力輸送至主動電晶體。第二半導體裝置 1200b 可為 PDN 積體電路。組態為電力連接結構的 TSV 130 可自半導體裝置 1200b 突出。

【0027】 如圖 2 中所示出，包含於第一半導體裝置 1200a 中的 BPR 120 及自第二半導體裝置 1200b 突出的 TSV 130 可能彼此未對準。BPR 120 與 TSV 130 之間的未對準可增加半導體架構 11 的電阻且可導致半導體架構 11 的裝置失效。

【0028】 圖 3A 至圖 3D 示出根據相關實施例的製造 BSPDN 半導體架構的方法。

【0029】 如圖 3A 中所示出，方法可包含提供包含犧牲層 1100a、蝕刻終止層 1500 以及載體基板 1100b 的晶圓 1100。犧牲層 1100a 可為矽 (Si) 塊體層，且載體基板 1100b 可為 Si 層。蝕刻終止層 1500 可設置於犧牲層 1100a 與載體基板 1100b 之間。

【0030】 第一半導體裝置 1200a 可設置於載體基板 1100b 的第一表面上。第一半導體裝置 1200a 可為包含諸如主動電晶體、訊號線以及 BPR 120 的組件的積體電路。BPR 120 可設置於載體基板 1100b 的第一表面上。

【0031】 參考圖 3B，可執行晶圓對晶圓接合製程。舉例而言，第二晶圓 1300 可設置於第一半導體裝置 1200a 的第一表面上。第二晶圓 1300 可藉由設置於第一半導體裝置 1200a 與第二晶圓 1300 之間的黏著層 1400 接合。翻轉晶圓對晶圓接合半導體架構。

【0032】 參考圖 3C，可移除犧牲層 1100a，且可移除蝕刻終止層 1500 以暴露載體基板 1100b 的第二表面。

【0033】 參考圖 3D，第二半導體裝置 1200b 可設置於載體基板 1100b 的暴露的第二表面上。第二半導體裝置 1200b 可為具有例如自第二半導體裝置 1200b 的第一表面突出的 TSV 130 的 PDN 積體電路。TSV 130 可經形成以穿透載體基板 1100b。可基於包含於第一半導體裝置 1200a 中的 BPR 120 的位置將第二半導體裝置 1200b 設置於載體基板 1100b 的第二表面上以著陸在 BPR 120 上。

【0034】 然而，如圖 3D 中所示出，TSV 130 與 BPR 120 之間可出現未對準，此是因為當在載體基板 1100b 的第二側上整合第二半導體裝置 1200b 時，難在 TSV 130 著陸過程期間準確地偵測 BPR 120 的位置。歸因於導致第一半導體裝置 1200a 與第二半導體裝置 1200b 之間的未對準的 TSV 130 與 BPR 120 之間的未對準，半導體架構 11 的電阻可增加。另外，第一半導體裝置 1200a 與第二半導體裝置 1200b 之間的未對準可導致半導體架構 11 的失效。

【0035】 圖 4 示出根據實例實施例的 BSPDN 半導體架構的透視圖。

【0036】 如圖 4 中所示出，BSPDN 半導體架構 1 可包含晶圓 100、設置於晶圓 100 的第一表面上的第一半導體裝置 200a 以及設置於晶圓 100 的與第一半導體裝置 200a 相對的第二表面上的第二半導

體裝置 200b。第一半導體裝置 200a 及第二半導體裝置 200b 可彼此整合且可形成 BSPDN 半導體架構 1。

【0037】晶圓 100 可包含例如 Si 基板、玻璃基板、藍寶石基板等。然而，實施例不限於此。如圖 3 中所示出，晶圓 100 可為圓形面板，但晶圓 100 的形狀不限於此。舉例而言，晶圓 100 可為四邊形面板。晶圓 100 可包含單層或多層。

【0038】圖 5 示出根據實例實施例的沿圖 4 的線 I-I' 截取的橫截面圖。

【0039】實例 BSPDN 半導體架構 1 包含設置於晶圓 100 的第一表面上的第一半導體裝置 200a 及設置於晶圓 100 的第二表面上的第二半導體裝置 200b。舉例而言，第一半導體裝置 200a 可為包含諸如主動電晶體、訊號線以及 BPR 20 等的組件的積體電路。BPR 20 可設置為面向晶圓 100 的第一表面。主動電晶體可包含功率分接磊晶層及非功率分接磊晶層。訊號線連接至主動電晶體的非功率分接磊晶層以用於主動電晶體之間的訊號路由。BPR 20 連接至主動電晶體的功率分接磊晶層，且不連接至訊號線。BPR 20 分別經組態以將電力遞送至主動電晶體。第二半導體裝置 200b 可為 PDN 積體電路。經組態為電力連接結構的 TSV 30 可經形成以自第二半導體裝置 200b 的第一表面突出且穿透晶圓 100。

【0040】參考圖 5，BSPDN 半導體架構 1 亦包含著陸墊 60。著陸墊 60 設置於 BPR 20 與 TSV 30 之間。著陸墊 60 可由 TSV 蝕刻終止層 40 及包封體 50 覆蓋。舉例而言，著陸墊 60 的第二表面可由 TSV 蝕刻終止層 40 覆蓋，且著陸墊 60 的第一表面及側表面可由包封體 50 覆蓋或密封。然而，實施例不限於此。自橫截面圖看，

著陸墊 60 可具有矩形形狀，且具有平坦的第一表面及第二表面，但著陸墊 60 的形狀不限於此。著陸墊 60 可由具有相對較低電阻的金屬形成。舉例而言，著陸墊 60 可由銅 (Cu)、鈷 (Co)、鈦 (Ru) 等形成。然而，實施例不限於此。著陸墊 60 的寬度可大於 BPR 20 的寬度及 TSV 30 的寬度，但實施例不限於此。

【0041】 如圖 5 中所示出，與相關實施例相比，可藉由在提供 BPR 20 及 TSV 30 之前提供包含於晶圓 100 中的著陸墊 60 來改良 BPR 20 與 TSV 30 之間的對準。因此，與相關實施例相比，第一半導體裝置 200a 及第二半導體裝置 200b 可更準確地彼此對準。基於第一半導體裝置 200a 及第二半導體裝置 200b 的改良的對準，BSPDN 半導體架構 1 的整合及效能可改良。此外，藉由在晶圓 100 的第一表面及晶圓 100 的第二表面兩者上設置半導體裝置，BSPDN 半導體架構 1 的面積及電阻可減小。

【0042】 圖 6A 至圖 6F 示出根據實例實施例的製造 BSPDN 半導體架構的方法。

【0043】 參考圖 6A，方法包含提供包含犧牲層 100a、蝕刻終止層 500 以及載體基板 100b 的晶圓 100。犧牲層 100a 可為 Si 塊體層。蝕刻終止層 500 可設置於犧牲層 100a 上。舉例而言，可藉由犧牲層 100a 上的矽鍺 (SiGe) 的磊晶生長來提供蝕刻終止層 500。然而，實施例不限於此。舉例而言，蝕刻終止層 500 可為絕緣體上矽 (silicon-on-insulator; SOI) 晶圓中的氧化層。載體基板 100b 可包含例如 Si 基板、玻璃基板、藍寶石基板等。然而，實施例不限於此。

【0044】 TSV 蝕刻終止層 40 設置於載體基板 100b 的第一表面上。

【0045】 參考圖 6B，著陸墊 60 藉由沈積及圖案化金屬材料形成於 TSV 蝕刻終止層 40 的第一表面上。著陸墊 60 的金屬材料可為具有相對較低電阻的材料，諸如 Cu、Co、Ru 等。然而，實施例不限於此。根據實例實施例，自橫截面圖看，著陸墊 60 可具有矩形形狀且具有平坦的第一表面及第二表面。然而，實施例不限於此，且著陸墊 60 可具有各種形狀。包封體 50 可設置於著陸墊 60 及 TSV 蝕刻終止層 40 的第一表面上以保護著陸墊 60。舉例而言，包封體 50 可密封著陸墊 60 及 TSV 蝕刻終止層 40 的第一表面。包封體 50 可由環氧樹脂、矽石等形成。然而，包封體 50 的材料不限於此。

【0046】 可在除覆蓋著陸墊 60 的第一表面及側表面的區域以外的區域中移除包封體 50 及 TSV 蝕刻終止層 40 以暴露載體基板 100b 的第一表面。可藉由例如圖案化蝕刻來移除包封體 50 及 TSV 蝕刻終止層 40。然而，實施例不限於此。

【0047】 基板層 100b'可設置於著陸墊 60 及載體基板 100b 的暴露的第一表面上。基板層 100b'可為例如 Si 層。基板層 100b'可設置為在第一半導體裝置 200a 中執行例如前段製程(front-end-of-line; FEOL) 及中段製程(middle-end-of-line; MEOL) 整合。載體基板 100b 及基板層 100b'可整體地形成，且可一起稱為載體基板 100b。

【0048】 參考圖 6C，第一半導體裝置 200a 可設置於載體基板 100b 的第一表面上。第一半導體裝置 200a 可為包含諸如主動電晶體、訊號線以及 BPR 20 等組件的積體電路。BPR 20 可基於著陸墊 60 的位置而設置於載體基板 100b 的第一表面上以與著陸墊 60 接觸。可基於預設對準鍵偵測著陸墊 60 的位置，但實施例不限於此。

【0049】 著陸墊 60 可具有大於 BPR 20 的寬度的寬度，但實施例不限於此。舉例而言，BPR 20 的寬度可在約 5 奈米至 30 奈米的範圍內。然而，BPR 20 的寬度不限於此。基於著陸墊 60 的寬度大於 BPR 20 的寬度，可在製造製程期間促使 BPR 20 與著陸墊 60 對準及連接。另外，由於著陸墊 60 是在提供 BPR 20 之前形成的，因此著陸墊 60 的大小及形狀不受 BPR 20 的形狀及大小限制，此可促進著陸墊 60 的製造製程。

【0050】 參考圖 6D，可執行晶圓對晶圓接合製程。舉例而言，第二晶圓 300 可設置於第一半導體裝置 200a 的第一表面上。第二晶圓 300 可藉由在第一半導體裝置 200a 與第二晶圓 300 之間提供黏著層 400 而接合至第一半導體裝置 200a。然而，實施例不限於此。根據另一實施例，第二晶圓 300 可直接設置於第一半導體裝置 200a 上。舉例而言，第二晶圓 300 可藉由 Si 直接接合來直接接合至第一半導體裝置 200a 而無需使用黏著層。可翻轉晶圓對晶圓接合半導體架構。

【0051】 參考圖 6E，可移除犧牲層 100a，且可移除蝕刻終止層 500 以暴露載體基板 100b 的第二表面。舉例而言，可藉由包含例如化學機械研磨（chemical-mechanical polishing；CMP）或乾式蝕刻的研磨製程移除犧牲層 100a 及蝕刻終止層 500。然而，實施例不限於此。

【0052】 參考圖 6F，第二半導體裝置 200b 可設置於載體基板 100b 的第二表面上。第二半導體裝置 200b 可為具有例如自第二半導體裝置 200b 的第一表面突出的 TSV 30 的 PDN 積體電路。TSV 30 可基於著陸墊 60 的位置而形成以穿透載體基板 100b 以接觸著陸

墊 60。可基於預設對準鍵偵測著陸墊 60 的位置，但實施例不限於此。

【0053】 著陸墊 60 可具有大於 TSV 30 的寬度的寬度，但實施例不限於此。舉例而言，TSV 30 的寬度可在約 50 奈米至 100 奈米的範圍內。然而，TSV 30 的寬度不限於此。基於著陸墊 60 的寬度大於 TSV 30 的寬度，將 TSV 30 對準及連接至著陸墊 60 可更容易。由於 TSV 30 較佳地與連接至 BPR 20 的著陸墊 60 對準，因此 TSV 30 與 BPR 20 之間的對準可改良。另外，即使當 BPR 20 及 TSV 30 的表面未完全與著陸墊 60 接觸時，BPR 20 及 TSV 30 的連接性可藉由經由金屬著陸墊 60 連接而改良。

【0054】 如圖 6F 中所示出，隨著 BPR 20 與 TSV 30 之間的對準及連接性改良，BSPDN 半導體架構 1 的電阻可減小且 IR 降可改良。另外，第一半導體裝置 200a 及第二半導體裝置 200b 可更準確地彼此對準及連接以改良 BSPDN 半導體架構 1 的效能。

【0055】 根據實例實施例，基於第一半導體裝置 200a 與第二半導體裝置 200b 之間的改良的對準，BSPDN 半導體架構 1 的整合及效能可改良。另外，將 PDN 半導體裝置自晶圓 100 的第一側移動至第二側可減小 BSPDN 半導體架構 1 的大小及電阻。

【0056】 圖 7A 至圖 7G 示出根據另一實例實施例的製造 BSPDN 半導體架構 1 的方法。

【0057】 參考圖 7A，方法包含提供包含犧牲層 100a、蝕刻終止層 500 以及載體基板 100b 的晶圓 100。犧牲層 100a 可為 Si 塊體層。蝕刻終止層 500 可設置於犧牲層 100a 上。舉例而言，可藉由犧牲層 100a 上的矽鍺 (SiGe) 的磊晶生長來提供蝕刻終止層 500。然

而，實施例不限於此。舉例而言，蝕刻終止層 500 可為絕緣體上矽 (SOI) 晶圓中的氧化層。晶圓 100 可包含例如 Si 基板、玻璃基板、藍寶石基板等。然而，實施例不限於此。

【0058】溝槽 70 設置於載體基板 100b 上。舉例而言，溝槽 70 可由蝕刻載體基板 100b 提供，且自橫截面圖看可具有矩形形狀。然而，實施例不限於此。

【0059】參考圖 7B，TSV 蝕刻終止層 40 設置於載體基板 100b 及溝槽 70 的頂部表面上。舉例而言，TSV 蝕刻終止層 40 可設置為覆蓋載體基板 100b 及溝槽 70 的頂部表面。金屬材料 60' 設置於載體基板 100b 及溝槽 70 上。金屬材料 60' 可填充溝槽 70。金屬材料 60' 可為具有相對較低電阻的材料，諸如 Cu、Co、Ru 等。然而，實施例不限於此。可在除填充有金屬材料 60' 的溝槽 70 的第一表面的區域以外的區域中移除金屬材料 60' 及 TSV 蝕刻終止層 40 以形成著陸墊 60 且以暴露載體基板 100b 的第一表面。著陸墊 60 的第一表面與載體基板 100b 的暴露的第一表面共面。可藉由諸如 CMP 或乾式蝕刻的研磨製程移除金屬材料 60' 及 TSV 蝕刻終止層 40。由於著陸墊 60 的形狀與溝槽 70 的形狀相對應，因此著陸墊 60 可具有矩形形狀。然而，實施例不限於此。

【0060】參考圖 7C，包封體 50 可設置於著陸墊 60 的區域上。舉例而言，自平面圖看，包封體 50 可覆蓋著陸墊 60 且具有大於著陸墊 60 的大小。包封體 50 可包含環氧樹脂、矽石等，但包封體 50 的材料不限於此。基板層 100b' 可設置於著陸墊 60 及載體基板 100b 的暴露的第一表面上。基板層 100b' 可為例如 Si 層。基板層 100b' 可設置為執行例如 FEOL 及 MEOL 製程。載體基板 100b 及

基板層 100b'可整體地形成，且可一起稱為載體基板 100b。

【0061】 參考圖 7D，第一半導體裝置 200a 可設置於載體基板 100b 的第一表面上。第一半導體裝置 200a 可為包含諸如主動電晶體、訊號線、BPR 20 等組件的積體電路。BPR 20 可基於著陸墊 60 的位置而設置於載體基板 100b 的第一表面上以與著陸墊 60 接觸。可基於預設對準鍵偵測著陸墊 60 的位置，但實施例不限於此。

【0062】 著陸墊 60 可具有大於 BPR 20 的寬度的寬度，但實施例不限於此。舉例而言，BPR 20 的寬度可在約 5 奈米至 30 奈米的範圍內。然而，BPR 20 的寬度不限於此。基於著陸墊 60 的寬度大於 BPR 20 的寬度，將 BPR 20 對準及連接至著陸墊 60 可更容易。另外，由於著陸墊 60 是在提供 BPR 20 之前形成的，因此著陸墊 60 的大小及形狀並非必需受 BPR 20 的大小及形狀限制，且因此可促進著陸墊 60 的製造製程。

【0063】 參考圖 7E，可執行晶圓對晶圓接合製程。舉例而言，第二晶圓 300 可設置於第一半導體裝置 200a 的第一表面上。第二晶圓 300 可藉由在第一半導體裝置 200a 與第二晶圓 300 之間提供黏著層 400 而接合至第一半導體裝置 200a。然而，實施例不限於此。根據另一實例實施例，第二晶圓 300 可直接設置於第一半導體裝置 200a 上。舉例而言，第二晶圓 300 可藉由 Si 直接接合來直接接合至第一半導體裝置 200a 而無需使用黏著層。可翻轉晶圓對晶圓接合半導體架構。

【0064】 參考圖 7F，可移除犧牲層 100a，且可移除蝕刻終止層 500 以暴露載體基板 100b 的第二表面。舉例而言，可藉由包含例如 CMP 或乾式蝕刻的研磨製程來移除犧牲層 100a 及蝕刻終止層

500，但實施例不限於此。

【0065】 參考圖 7G，第二半導體裝置 200b 可設置於載體基板 100b 的第二表面上。第二半導體裝置 200b 可為具有例如自第二半導體裝置 200b 的第一表面突出的 TSV 30 的 PDN 積體電路。TSV 30 可基於著陸墊 60 的位置而形成以穿透載體基板 100b 且著陸在著陸墊 60 上。可基於預設對準鍵偵測著陸墊 60 的位置，但實施例不限於此。

【0066】 著陸墊 60 可具有大於 TSV 30 的寬度的寬度，但實施例不限於此。舉例而言，TSV 30 的寬度可在約 50 奈米至 100 奈米的範圍內。然而，TSV 30 的寬度不限於此。基於著陸墊 60 的寬度大於 TSV 30 的寬度，將 TSV 30 對準及連接至著陸墊 60 可更容易。由於 TSV 30 較佳地與連接至 BPR 20 的著陸墊 60 對準，因此 TSV 30 與 BPR 20 之間的對準可改良。另外，即使當 BPR 20 及 TSV 30 的表面未完全與著陸墊 60 接觸時，BPR 20 及 TSV 30 的連接性可基於經由金屬著陸墊 60 連接而改良。

【0067】 如圖 7G 中所示出，隨著 BPR 20 與 TSV 30 之間的對準及連接性改良，BSPDN 半導體架構 1 的電阻可減小且 IR 降可改良。另外，第一半導體裝置 200a 及第二半導體裝置 200b 可更準確地彼此對準及連接。

【0068】 根據實例實施例，基於第一半導體裝置 200a 與第二半導體裝置 200b 之間的改良的對準，半導體架構 1 的整合及效能可改良。

【0069】 圖 8 示出根據實例實施例的製造 BSPDN 半導體架構的方法的流程圖。

【0070】 根據實例實施例，可提供晶圓（步驟 S110）。晶圓可包含犧牲層、蝕刻終止層以及載體基板。犧牲層可為 Si 塊體層。蝕刻終止層可藉由犧牲層上的矽鍺（SiGe）的磊晶生長設置於犧牲層上，但實施例不限於此。舉例而言，蝕刻終止層可為絕緣體上矽（SOI）晶圓中的氧化層。載體基板可包含例如 Si 基板、玻璃基板、藍寶石基板等。

【0071】 在晶圓中形成著陸墊（步驟 S120）。如參考圖 9 及圖 10 更詳細地描述，可藉由在載體基板上沈積及圖案化金屬材料形成著陸墊。在載體基板上設置基板（S130）。基板可為 Si 層且可與載體基板整體地形成。

【0072】 可在載體基板上設置第一半導體裝置（步驟 S140）。第一半導體裝置可為包含諸如主動電晶體、訊號線以及 BPR 的組件的積體電路。BPR 可基於著陸墊的位置而設置於載體基板的第一表面上以與著陸墊接觸。

【0073】 在第一半導體裝置上設置第二晶圓（步驟 S150）。第二晶圓可藉由在第一半導體裝置與第二晶圓之間提供黏著層而接合至第一半導體裝置。根據另一實例實施例，第二晶圓可藉由例如 Si 直接接合來直接設置於第一半導體裝置上而無需使用黏著層。可翻轉晶圓對晶圓接合半導體架構。

【0074】 可移除犧牲層及蝕刻終止層（步驟 S160）。可移除蝕刻終止層以暴露載體基板的第二表面。可藉由諸如 CMP 或乾式蝕刻的研磨製程移除犧牲層及蝕刻終止層，但實施例不限於此。

【0075】 可在載體基板的第二表面上設置第二半導體裝置（步驟 S170）。第二半導體裝置可為具有例如自第二半導體裝置的第一表

面突出的 TSV 的 PDN 積體電路。TSV 可基於著陸墊的位置而形成以穿透載體基板以與著陸墊接觸。

【0076】 根據實例實施例，BPR 與 TSV 之間的對準及連接性可改良，且 BSPDN 半導體架構 1 的電阻可減小。另外，基於訊號佈線裝置與 PDN 更準確地彼此對準，半導體架構的效能可改良。

【0077】 圖 9 示出根據實例實施例的在半導體晶圓中製造著陸墊的方法的流程圖。

【0078】 參考圖 9，提供一種包含犧牲層、蝕刻終止層以及載體基板的晶圓（步驟 S210）。可在晶圓的第一表面上設置 TSV 蝕刻終止層（步驟 S220）。在 TSV 蝕刻終止層上沈積及圖案化金屬材料以形成著陸墊（步驟 S230）。著陸墊可具有矩形形狀。在著陸墊及載體晶圓的第一表面上設置包封體（步驟 S240）。在除覆蓋著陸墊的第一表面及側表面的區域以外的區域中移除包封體及 TSV 蝕刻終止層（步驟 S250）。可蝕刻包封體及 TSV 蝕刻終止層以暴露晶圓的第一表面。在晶圓及著陸墊上設置基板（步驟 S260）。基板可為 Si 層且可與載體基板整體地形成。

【0079】 圖 10 示出根據另一實例實施例的在半導體晶圓中製造著陸墊的方法的流程圖。

【0080】 參考圖 10，提供一種包含犧牲層、蝕刻終止層以及載體基板的晶圓（步驟 S310）。可在晶圓中形成溝槽（步驟 S320）。溝槽可經蝕刻且可具有矩形形狀。可在晶圓及溝槽的第一表面上設置 TSV 蝕刻終止層（步驟 S330）。可在晶圓的第一表面上設置金屬材料且填充溝槽（步驟 S340）。可在除填充有金屬材料的溝槽的第一表面的區域以外的區域中移除金屬材料及 TSV 蝕刻終止層以

形成著陸墊（步驟 S350）。可藉由例如 CMP 或乾式蝕刻移除金屬材料及 TSV 蝕刻終止層。在著陸墊的區域上設置包封體（步驟 S360）。自平面圖看，包封體的大小可大於著陸墊的大小。在晶圓及著陸墊上設置基板（步驟 S370）。基板可為 Si 層且可與載體基板整體地形成。

【0081】 根據實例實施例，由於著陸墊是在晶圓上的半導體裝置的整合之前形成的，因此可促進著陸墊的製造。舉例而言，著陸墊的大小及形狀可不受半導體裝置的組件（諸如，BPR、TSV 等）的大小及形狀限制。

【0082】 圖 11 示出根據實例實施例的可併入 BSPDN 半導體架構的半導體封裝。

【0083】 參考圖 11，根據實例實施例的半導體封裝 2000 可包含安裝於基板 2100 上的處理器 2200 及半導體裝置 2300。處理器 2200 及/或半導體裝置 2300 可包含在以上實例實施例中所描述的 BSPDN 半導體架構 1 中的一或多個。

【0084】 圖 12 示出根據實例實施例的電子系統的示意性方塊圖。

【0085】 參考圖 12，根據實施例的電子系統 3000 可包含使用匯流排 3400 來執行資料通信的微處理器 3100、記憶體 3200 以及使用者介面 3300。微處理器 3100 可包含中央處理單元（central processing unit；CPU）或應用程式處理器（application processor；AP）。電子系統 3000 可更包含與微處理器 3100 直接通信的隨機存取記憶體（random access memory；RAM）3500。微處理器 3100 及/或 RAM 3500 可實施於單一模組或封裝中。使用者介面 3300 可用於將資料輸入至電子系統 3000，或自電子系統 3000 輸出資料。舉

例而言，使用者介面 3300 可非限制性地包含鍵盤、觸控板、觸控螢幕、滑鼠、掃描器、語音檢波器、液晶顯示器（liquid crystal display；LCD）、微發光裝置（light-emitting device；LED）、有機發光二極體（organic light-emitting diode；OLED）裝置、主動矩陣發光二極體（active-matrix light-emitting diode；AMOLED）裝置、打印機、照明系統或各種其他輸入/輸出裝置。記憶體 3200 可儲存微處理器 3100 的操作碼、由微處理器 3100 處理的資料或自外部裝置接收到的資料。記憶體 3200 可包含記憶體控制器、硬碟或固態磁碟機（solid state drive；SSD）。

【0086】 至少電子系統 3000 中的微處理器 3100、記憶體 3200 以及/或 RAM 3500 可包含如以上實例實施例中所描述的 BSPDN 半導體架構 1。

【0087】 應理解，本文中描述的實例實施例應僅按描述性意義來考慮，而非出於限制的目的。通常應將每一實施例內的特徵或態樣的描述視為可用於其他實施例中的其他類似特徵或態樣。

【0088】 雖然已參考圖式描述實例實施例，但所屬領域中具有通常知識者應理解，可在不脫離如由所附申請專利範圍定義的精神及範疇的情況下在本文中進行形式及細節的各種變化。

【符號說明】

【0089】

1、11:半導體架構

20、120:埋入式電源軌

30、130:矽通孔

40:矽通孔蝕刻終止層
50:包封體
60:著陸墊
60':金屬材料
70:溝槽
100、1100:晶圓
100a、1100a:犧牲層
100b、1100b:載體基板
100b':基板層
200a、1200a:第一半導體裝置
200b、1200b:第二半導體裝置
300、1300:第二晶圓
400、1400:黏著層
500、1500:蝕刻終止層
1000:BSPDN 半導體架構
1110:通用 PDN 半導體架構
1210:訊號佈線半導體裝置
1410:PDN/訊號佈線裝置
2000:半導體封裝
2100:基板
2200:處理器
2300:半導體裝置
3000:電子系統
3100:微處理器

3200:記憶體

3300:使用者介面

3400:匯流排

3500:隨機存取記憶體

I-I':線

S110、S120、S130、S140、S150、S160、S170、S210、S220、
S230、S240、S250、S260、S310、S320、S330、S340、S350、S360、
S370:步驟

【發明申請專利範圍】

【請求項1】 一種半導體架構，包括：

載體基板；

著陸墊，包含於所述載體基板中；

第一半導體裝置，提供於所述載體基板的第一表面上，所述第一半導體裝置包括提供於所述著陸墊上的第一組件；

第二半導體裝置，提供於所述載體基板的第二表面上；以及第二組件，自所述第二半導體裝置突出，且提供於所述著陸墊上，

其中接觸所述第一組件的底表面的所述著陸墊的頂表面的水平部分的寬度大於所述第一組件的所述底表面的寬度，且

其中接觸所述第二組件的頂表面的所述著陸墊的底表面的水平部分的寬度大於所述第二組件的所述頂表面的寬度。

【請求項2】 如請求項 1 所述的半導體架構，其中所述著陸墊包括金屬材料。

【請求項3】 如請求項 2 所述的半導體架構，其中所述第一組件為埋入式電源軌（buried power rail，BPR），且所述第二組件為矽穿孔（through-silicon via，TSV），且

其中所述著陸墊提供於所述電源軌與所述矽穿孔之間。

【請求項4】 如請求項 3 所述的半導體架構，其中所述電源軌及所述矽穿孔與所述著陸墊接觸。

【請求項5】 如請求項 1 所述的半導體架構，其中所述著陸墊具有矩形橫截面形狀。

【請求項6】 如請求項 3 所述的半導體架構，更包括：

矽穿孔蝕刻終止層，提供於所述著陸墊與所述矽穿孔之間；
以及

包封體，提供於所述著陸墊與所述埋入式電源軌之間。

【請求項7】 如請求項 2 所述的半導體架構，其中所述金屬材料包括銅、鈷以及鈦中的一者。

【請求項8】 如請求項 3 所述的半導體架構，其中所述著陸墊的寬度大於所述埋入式電源軌的寬度，且

其中所述著陸墊的所述寬度大於所述矽穿孔的寬度。

【請求項9】 一種製造半導體架構的方法，所述方法包括：

提供晶圓；

在所述晶圓中形成著陸墊；

基於所述著陸墊在所述晶圓的第一表面上提供第一半導體裝置，以使得包含於所述第一半導體裝置中的第一組件提供於所述著陸墊上；

移除所述晶圓的第二表面的一部分；以及

基於所述著陸墊在所述晶圓的所述第二表面上提供第二半導體裝置，以使得自所述第二半導體裝置突出的第二組件提供於所述著陸墊上，

其中在所述晶圓中形成所述著陸墊、在所述晶圓的所述第一表面上提供所述第一半導體裝置以及在所述晶圓的所述第二表面上提供所述第二半導體裝置被執行以使得：

接觸所述第一組件的底表面的所述著陸墊的頂表面的水平部分的寬度大於所述第一組件的所述底表面的寬度，且

接觸所述第二組件的頂表面的所述著陸墊的底表面的水平部

分的寬度大於所述第二組件的所述頂表面的寬度。

【請求項10】如請求項 9 所述的製造半導體架構的方法，其中提供所述晶圓包括：

提供犧牲層；

在所述犧牲層上提供蝕刻終止層；以及

在所述蝕刻終止層上提供載體基板。

【請求項11】如請求項 10 所述的製造半導體架構的方法，其中提供所述蝕刻終止層包括以下中的一者：

在所述犧牲層上提供矽鍺（SiGe）層；以及

在絕緣體上矽（SOI）晶圓中提供氧化層。

【請求項12】如請求項 9 所述的製造半導體架構的方法，其中在所述晶圓中形成所述著陸墊包括：

在所述晶圓上提供矽穿孔蝕刻終止層；

在所述矽穿孔蝕刻終止層上提供金屬材料；

圖案化所述金屬材料以形成所述著陸墊；

在所述著陸墊及所述晶圓的所述第一表面上提供包封體；

在除所述著陸墊的第一表面及側表面的區域外的區域中移除所述包封體及所述矽穿孔蝕刻終止層；以及

在所述著陸墊及所述晶圓上提供基板。

【請求項13】如請求項 9 所述的製造半導體架構的方法，其中在所述晶圓中形成所述著陸墊包括：

在所述晶圓中提供溝槽；

在所述晶圓及所述溝槽上提供矽穿孔蝕刻終止層；

在所述晶圓及所述溝槽上提供金屬材料；

移除所述金屬材料及所述矽穿孔蝕刻終止層以暴露所述晶圓的所述第一表面以形成所述著陸墊；

在所述著陸墊的第一表面上提供包封體；以及

在所述著陸墊上提供基板。

【請求項14】如請求項 13 所述的製造半導體架構的方法，其中移除所述金屬材料及所述矽穿孔蝕刻終止層包括藉由化學機械研磨（CMP）或蝕刻來移除所述金屬材料及所述矽穿孔蝕刻終止層。

【請求項15】如請求項 9 所述的製造半導體架構的方法，其中所述著陸墊包括金屬材料。

【請求項16】如請求項 9 所述的製造半導體架構的方法，其中所述第一組件為埋入式電源軌，且所述第二組件為矽穿孔。

【請求項17】如請求項 16 所述的製造半導體架構的方法，其中提供所述第一半導體裝置更包括提供所述埋入式電源軌以與所述著陸墊接觸，且

其中提供所述第二半導體裝置更包括提供所述矽穿孔以與所述著陸墊接觸。

【請求項18】如請求項 9 所述的製造半導體架構的方法，更包括：

在所述第一半導體裝置的第一表面上提供第二晶圓；以及

在所述第二晶圓與所述第一半導體裝置之間提供黏著層。

【請求項19】如請求項 10 所述的製造半導體架構的方法，其中移除所述晶圓的所述第二表面的所述部分包括移除所述犧牲層及所述蝕刻終止層。

【請求項20】一種半導體架構，包括：

晶圓；

著陸墊，提供於所述晶圓中；

半導體裝置，用於訊號路由（signal routing），提供於所述晶圓的第一表面上，所述半導體裝置包括提供於所述著陸墊上的埋入式電源軌；

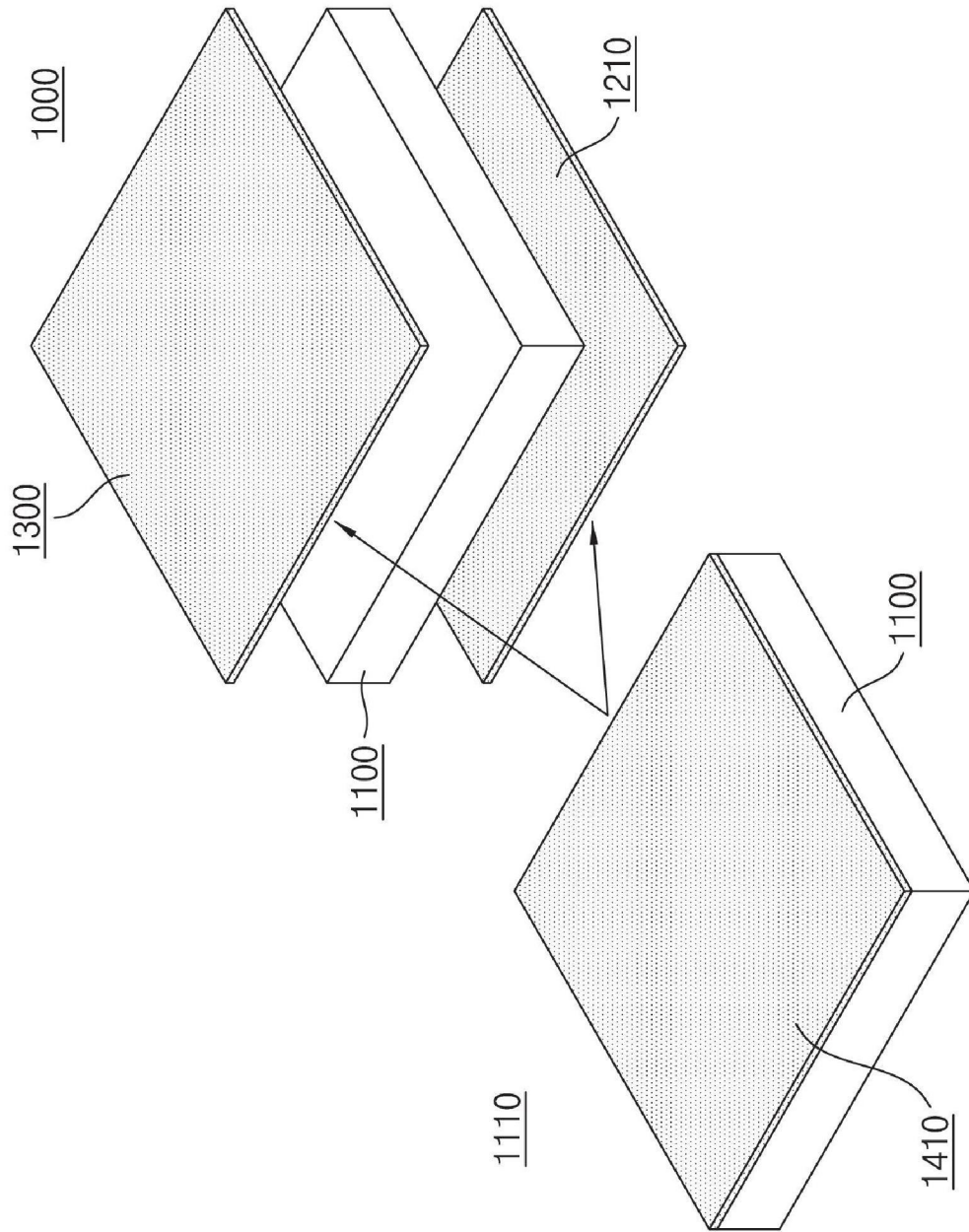
配電網（power distribution network，PDN）半導體裝置，提供於所述晶圓的第二表面上；以及

矽穿孔，自所述配電網半導體裝置突出，提供於所述著陸墊上，

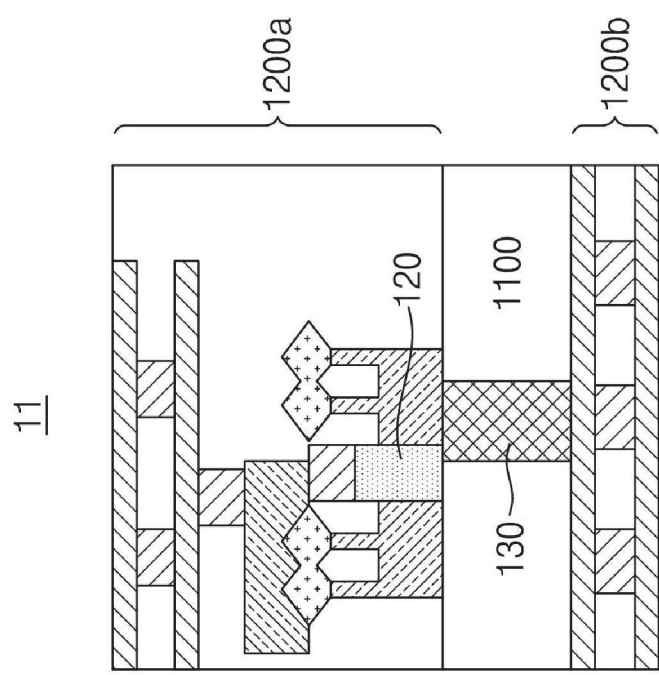
其中接觸所述埋入式電源軌的底表面的所述著陸墊的頂表面的水平部分的寬度大於所述埋入式電源軌的所述底表面的寬度，且

其中接觸所述矽穿孔的頂表面的所述著陸墊的底表面的水平部分的寬度大於所述矽穿孔的所述頂表面的寬度。

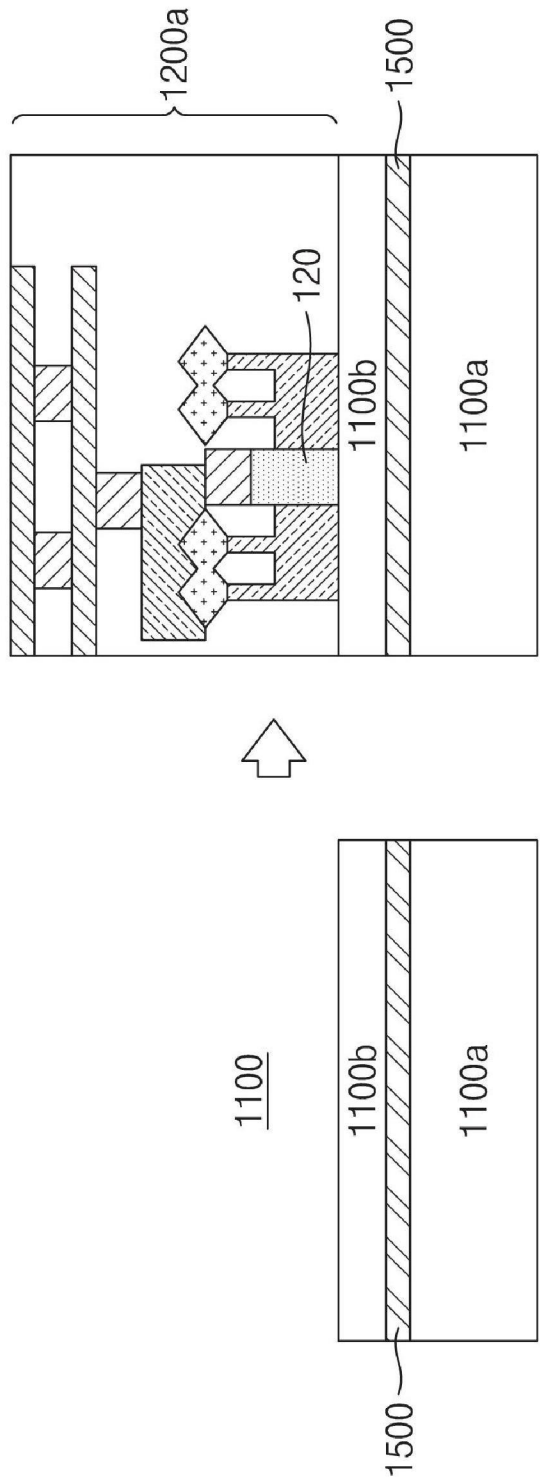
【發明圖式】



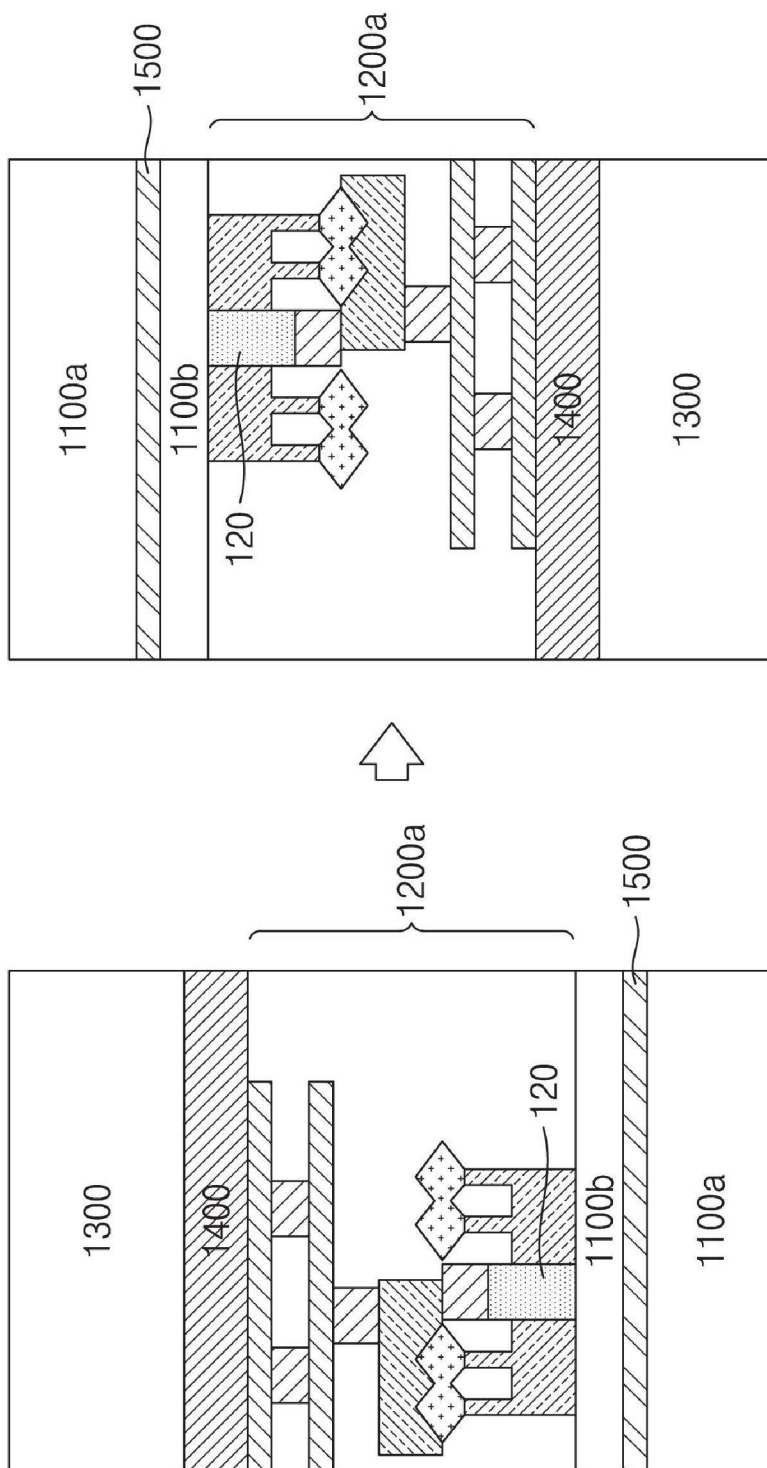
【圖1】



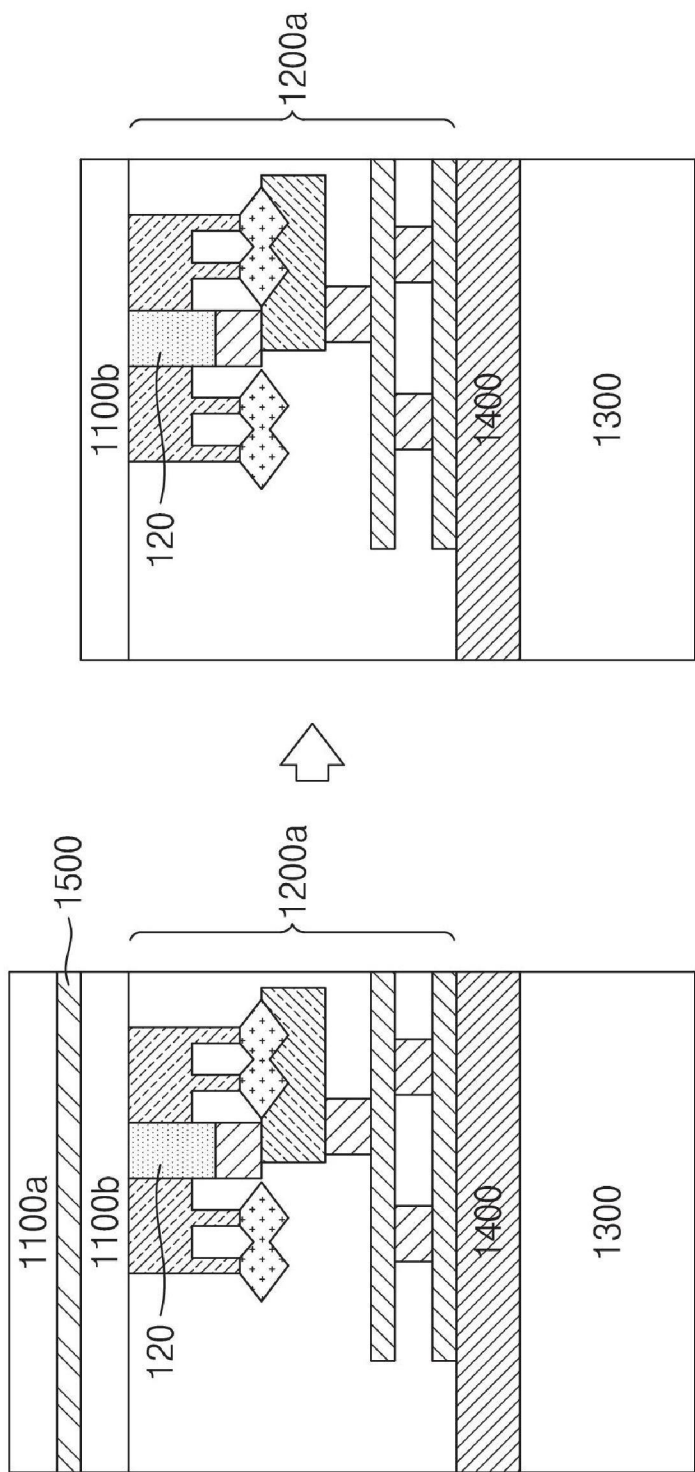
【圖2】



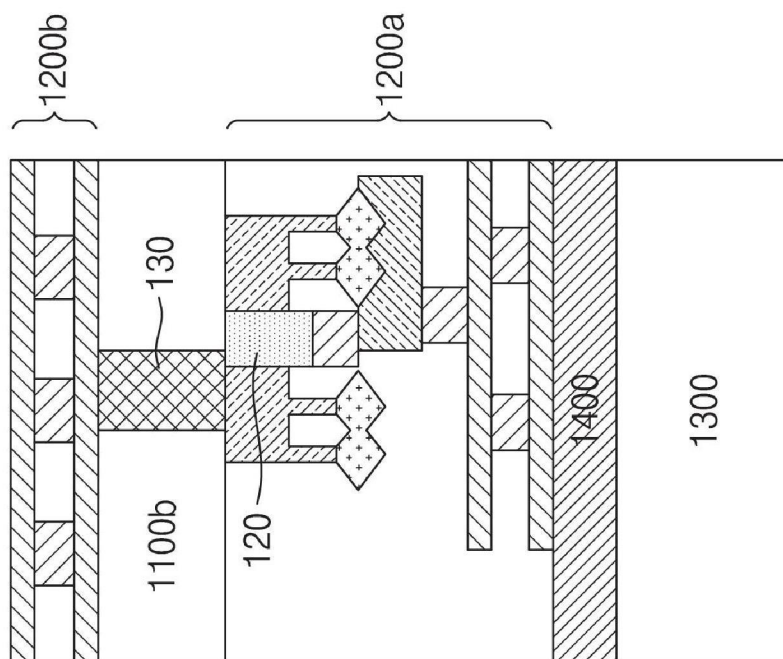
【圖3A】



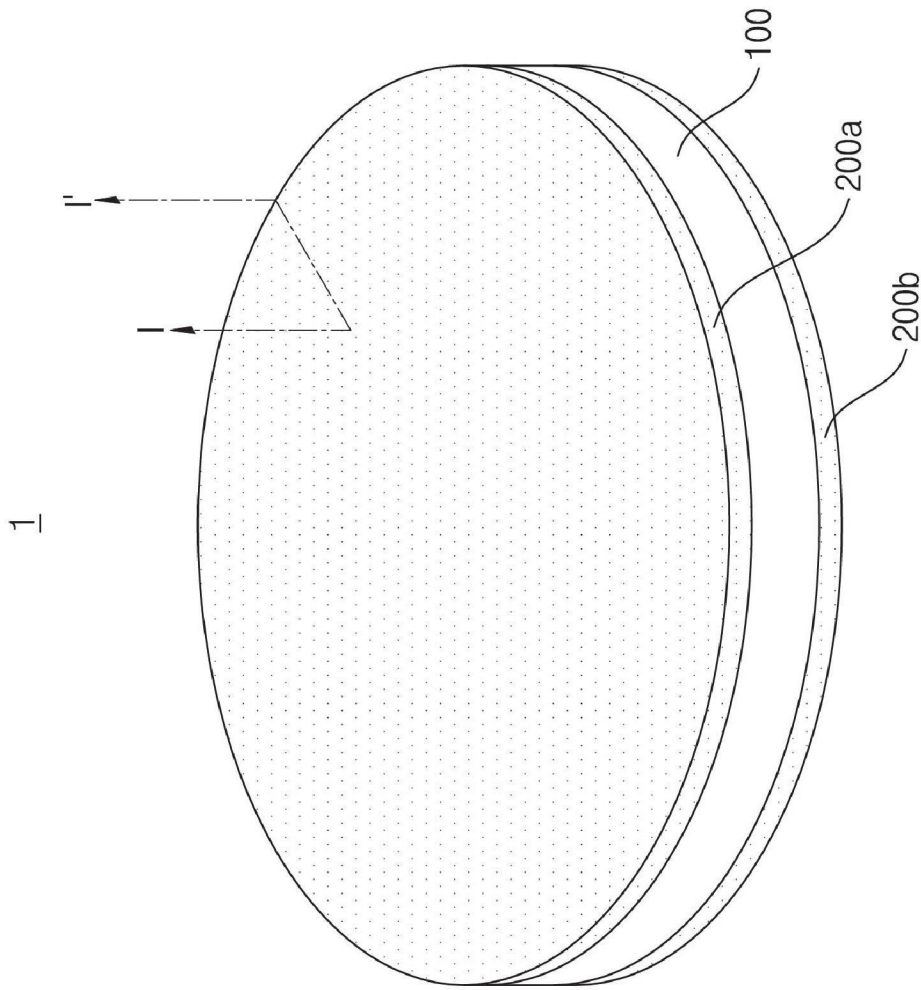
【圖3B】



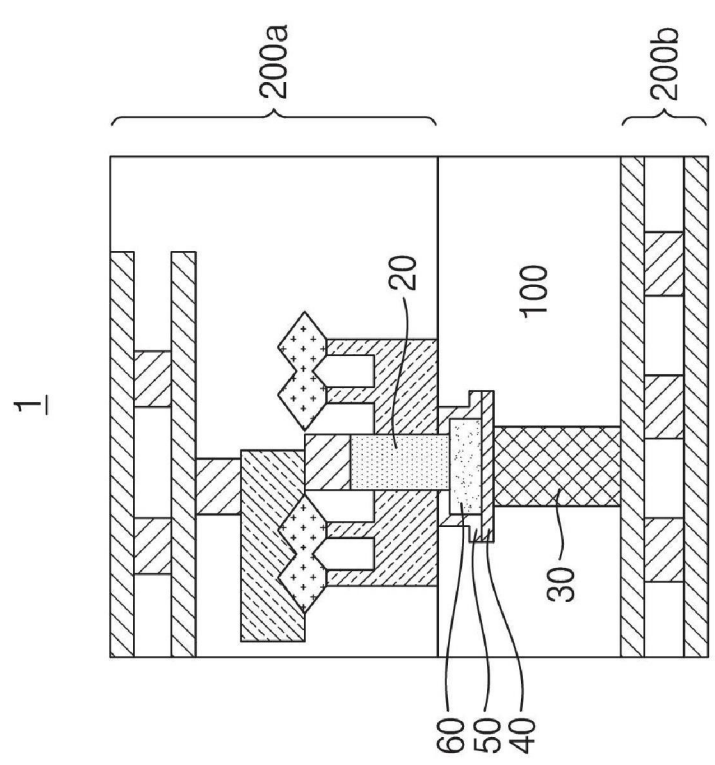
【圖3C】



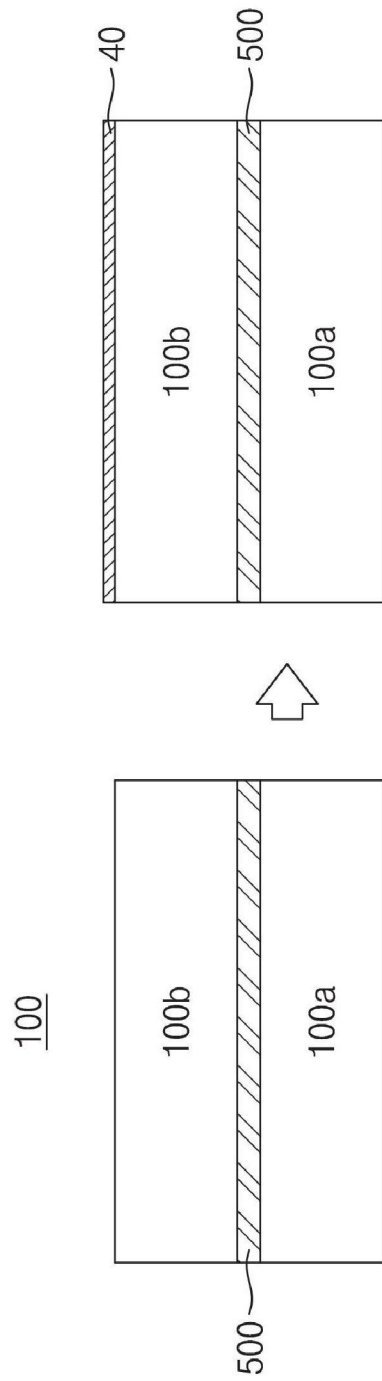
【圖3D】



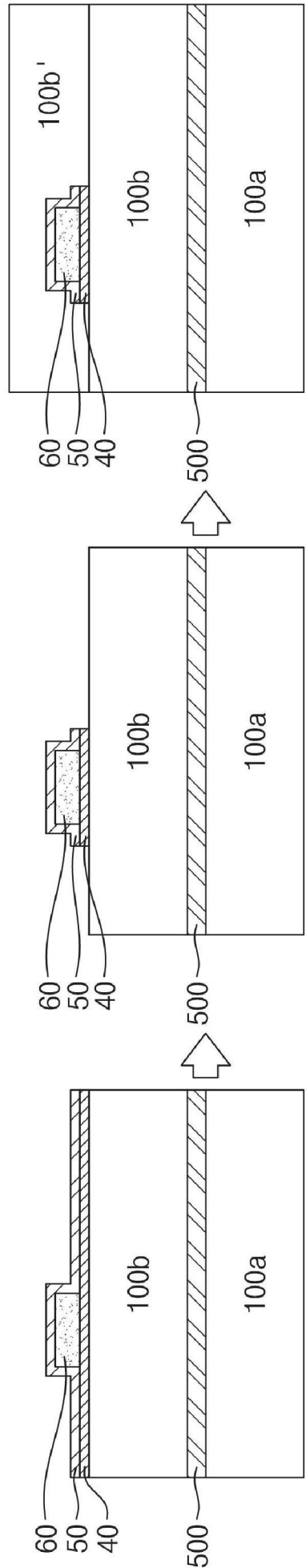
【圖4】



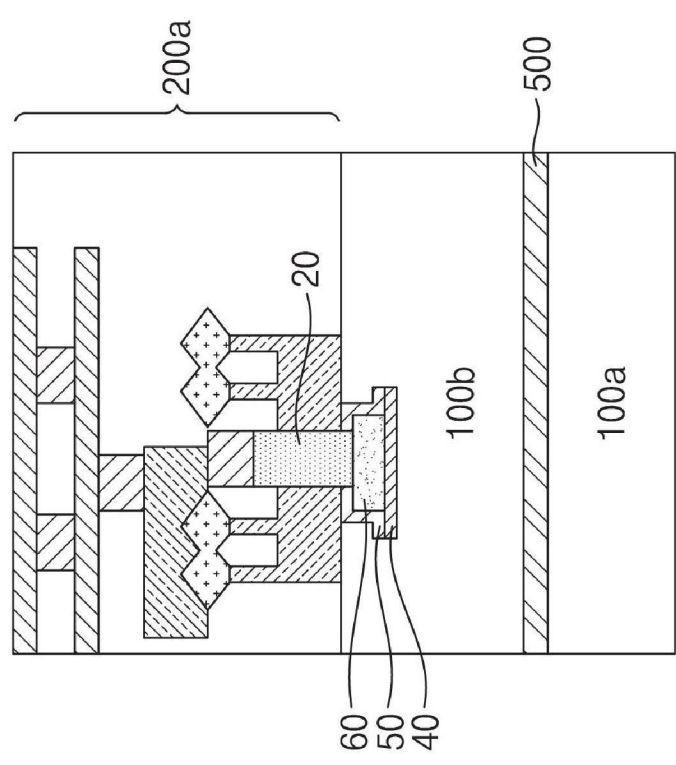
【圖5】



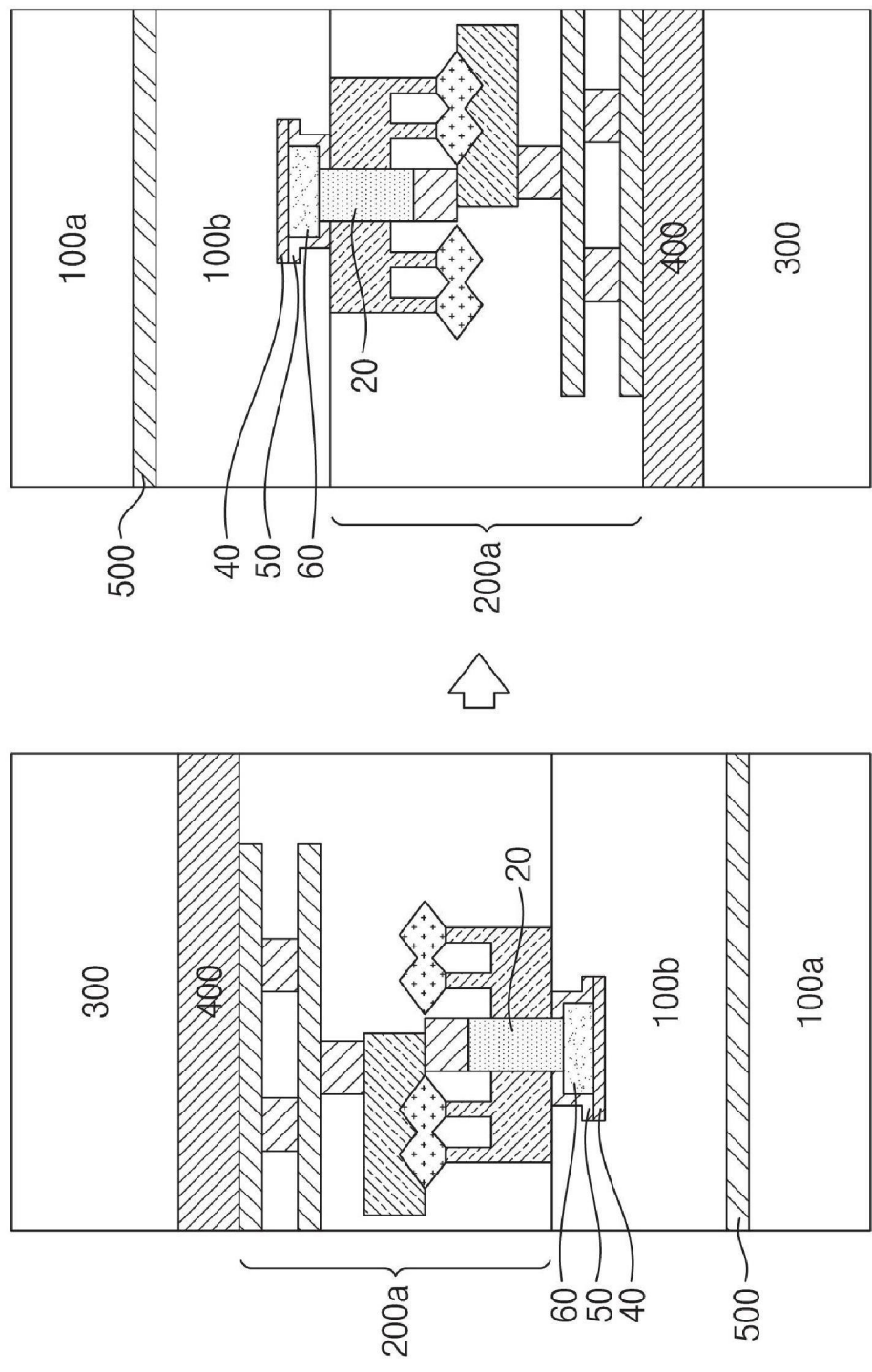
【圖6A】



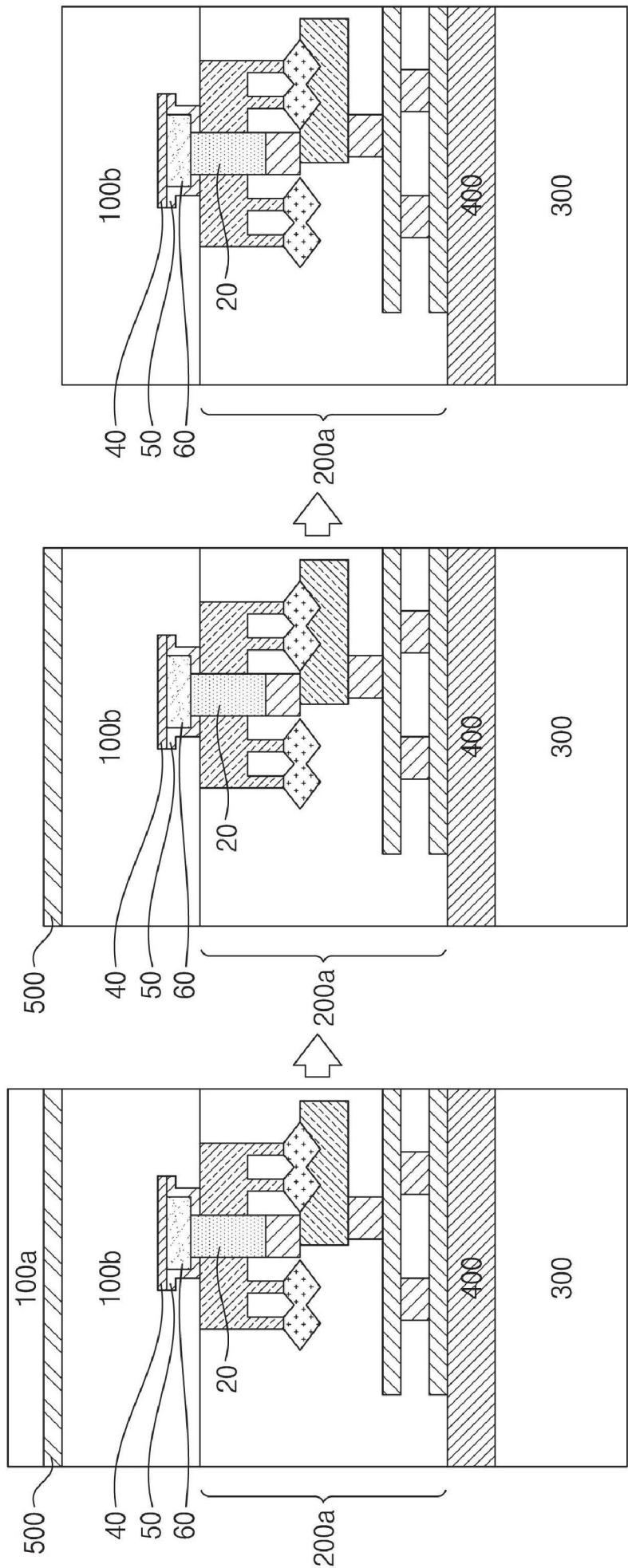
【圖6B】



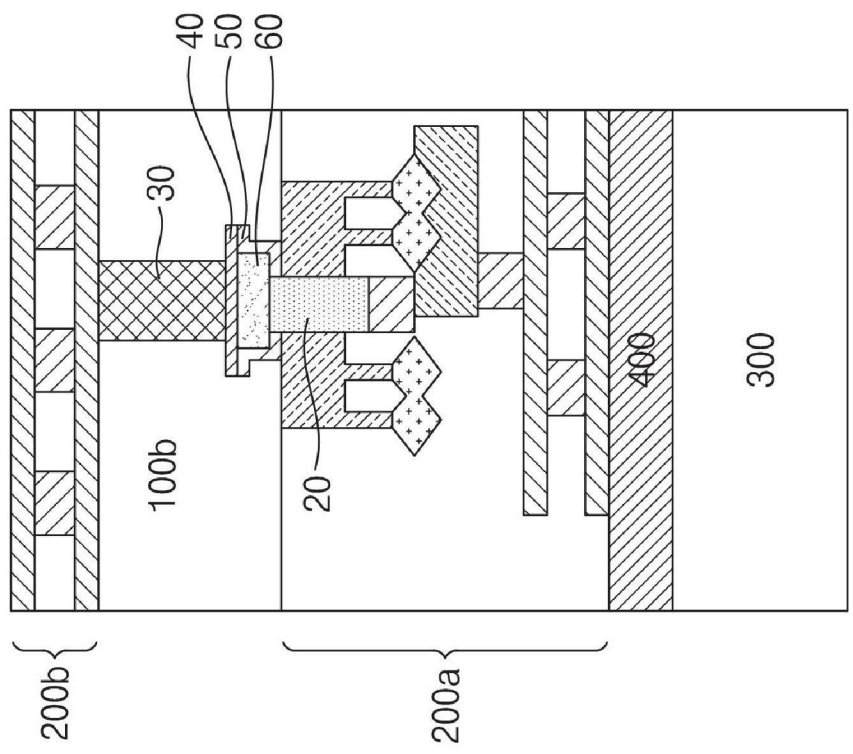
【圖6C】



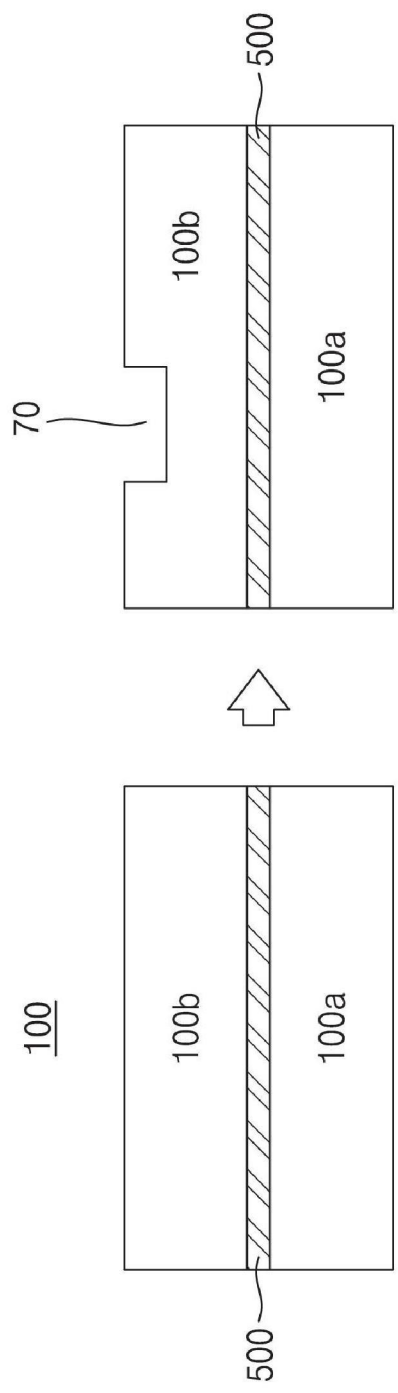
【圖6D】



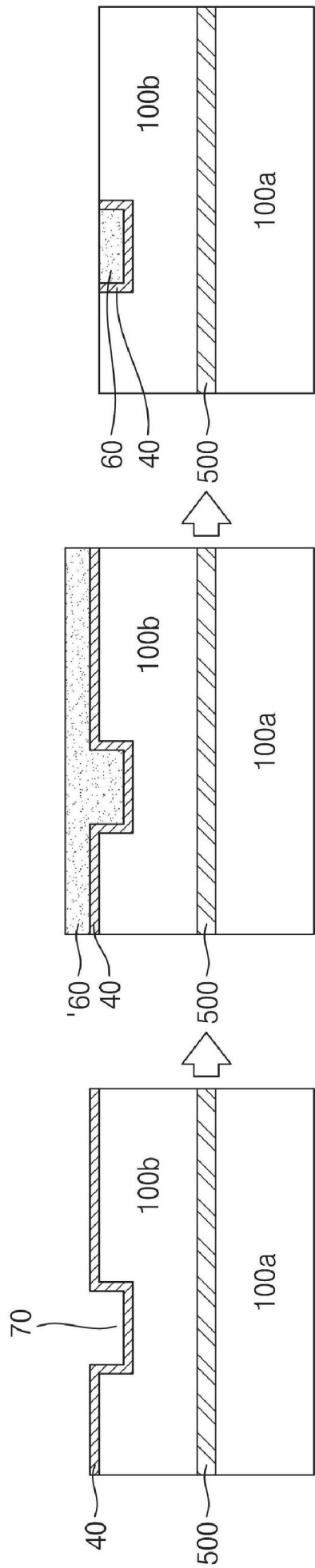
【圖6E】



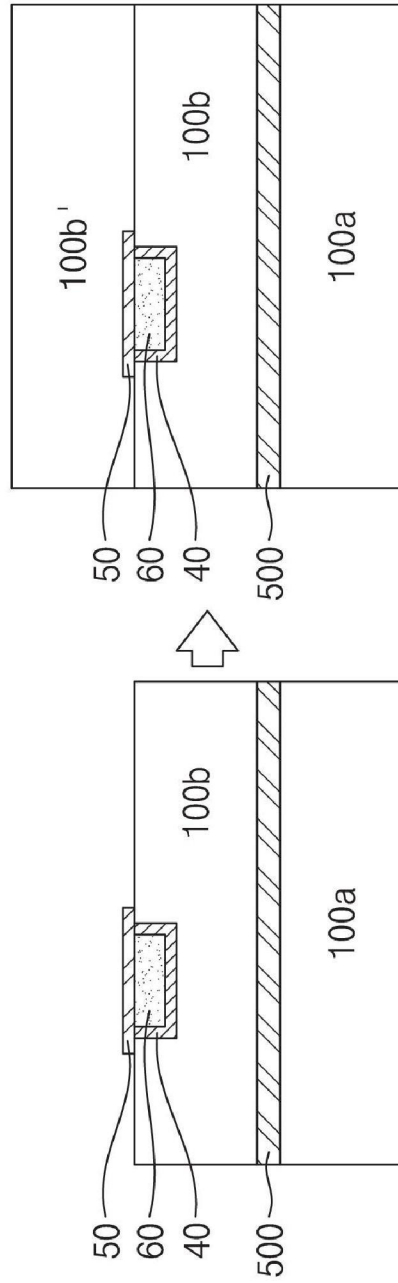
【圖6F】



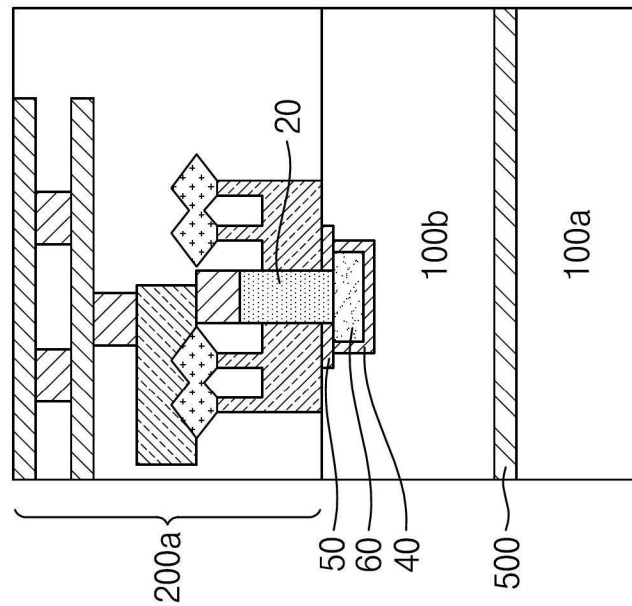
【圖7A】



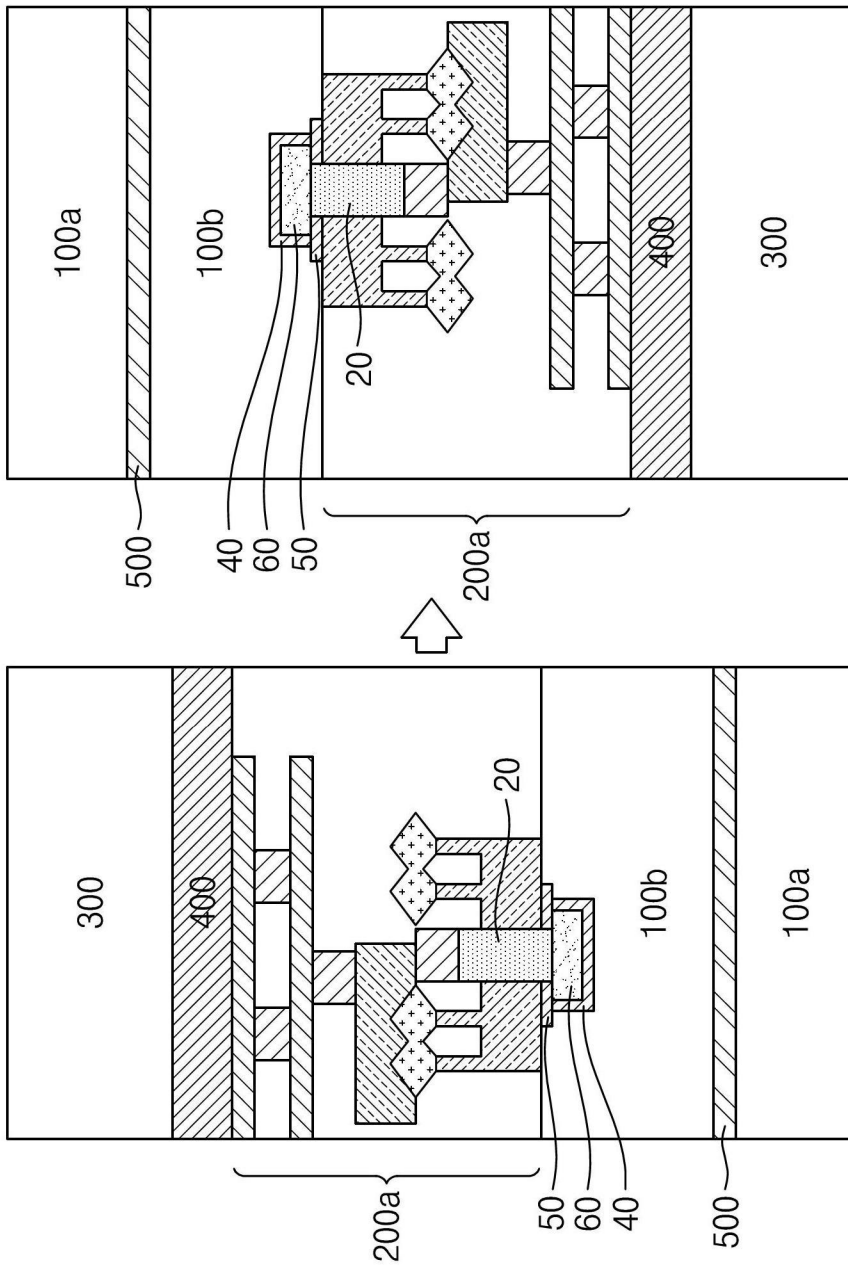
【圖7B】



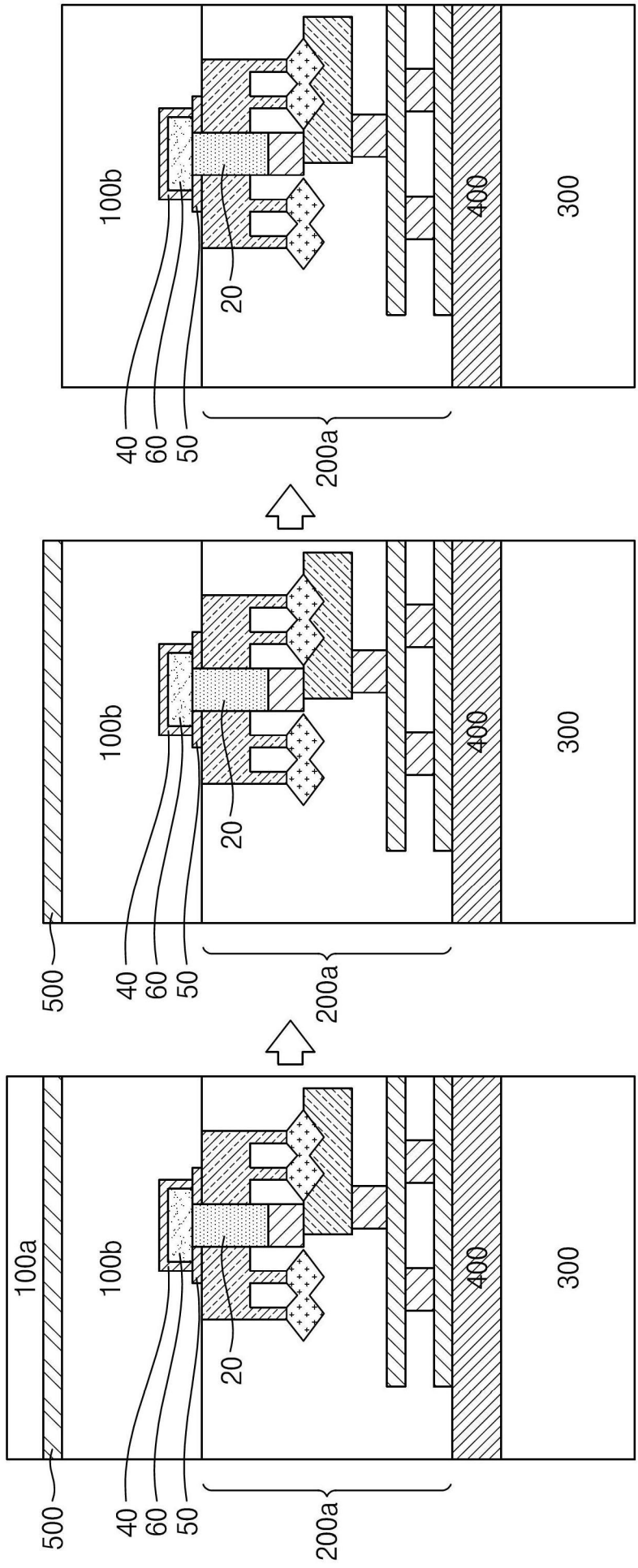
【圖7C】



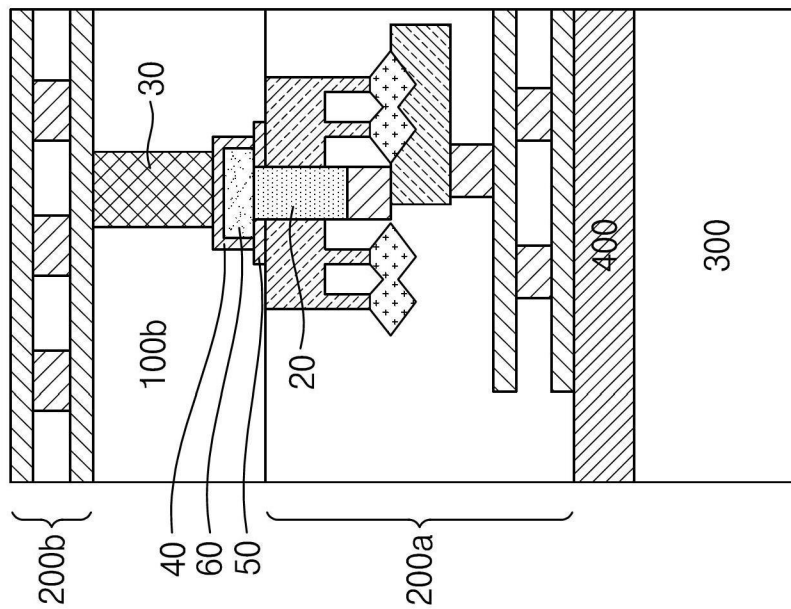
【圖7D】



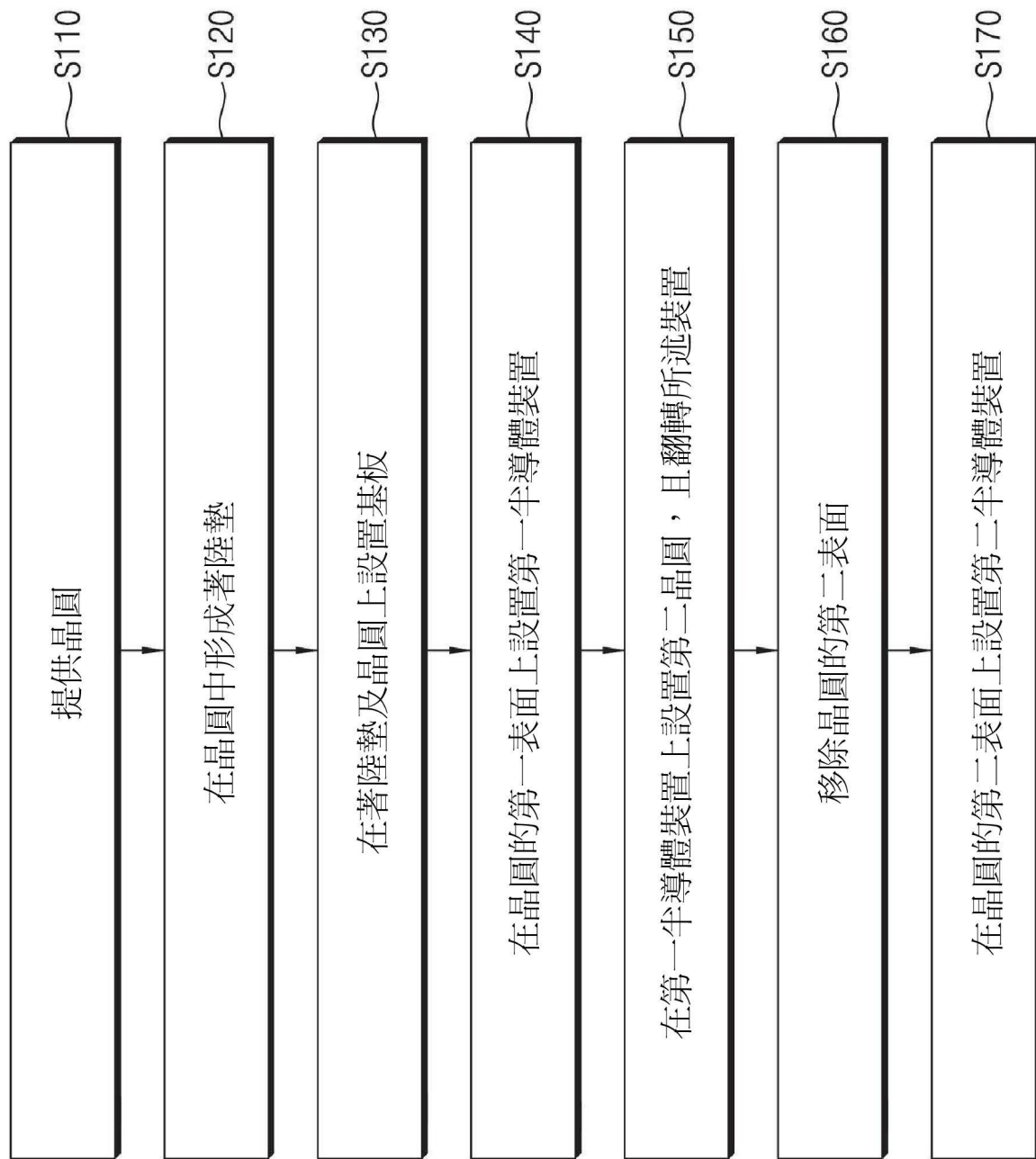
【圖7E】



【圖7F】



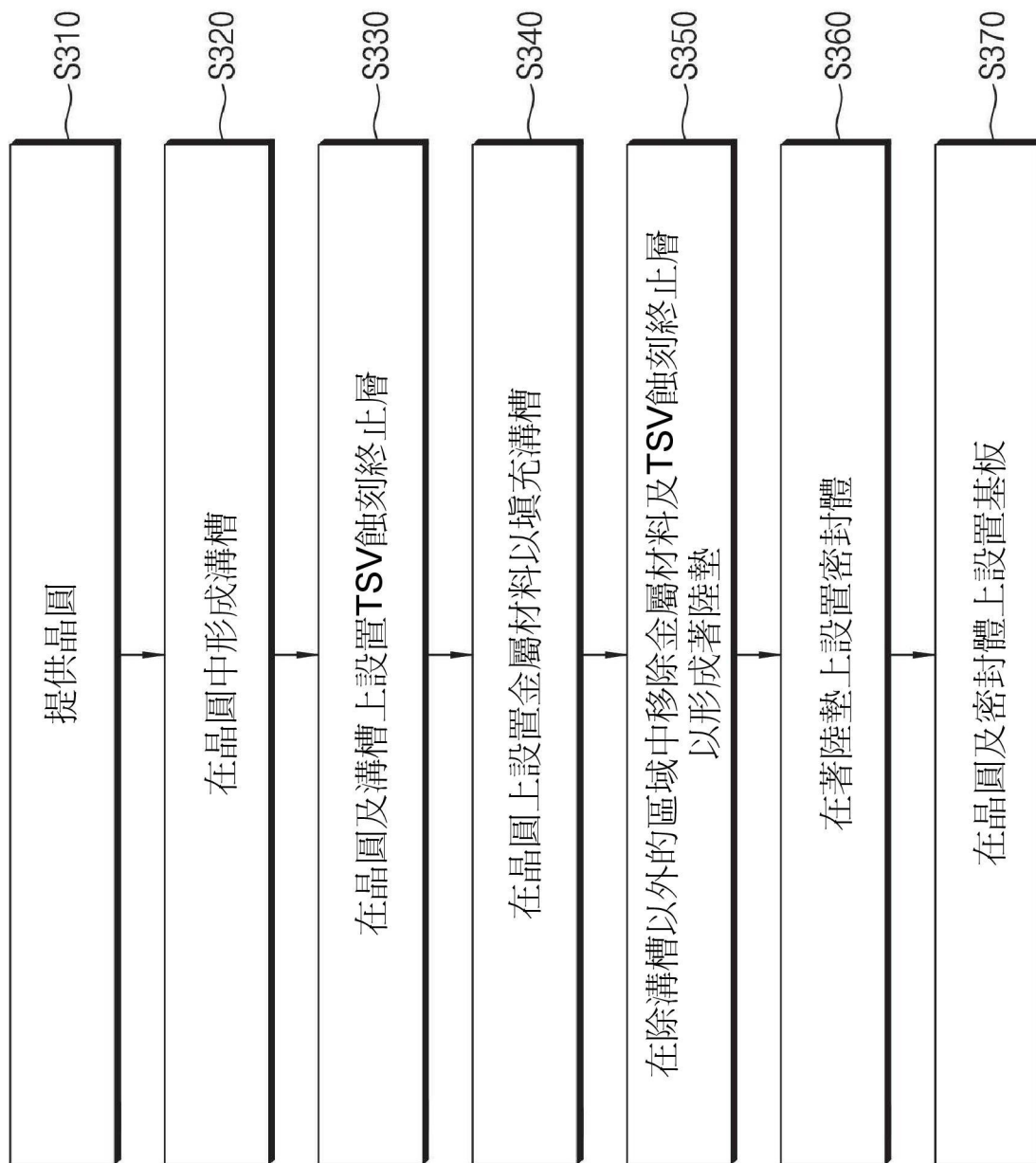
【圖7G】



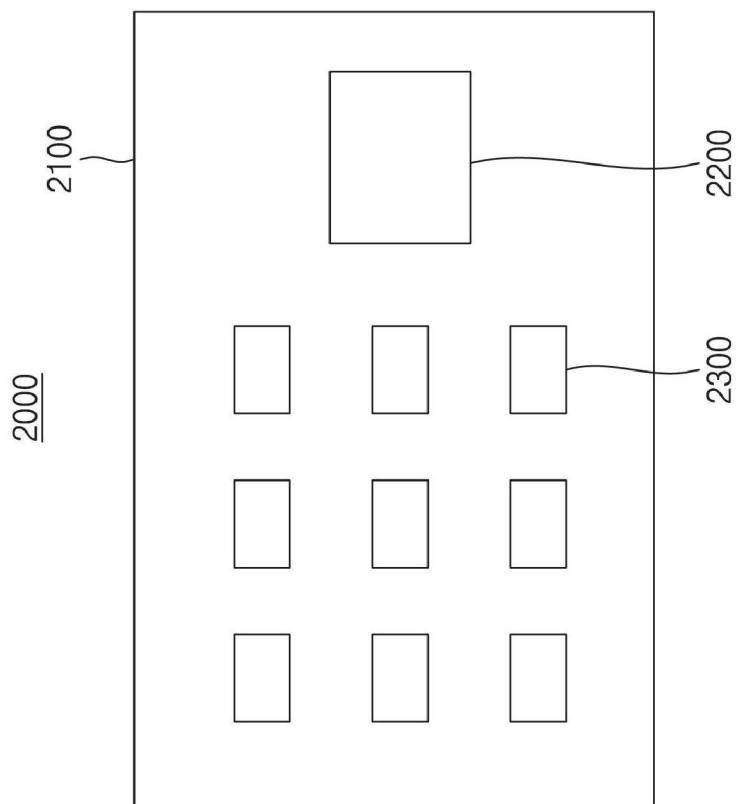
【圖8】



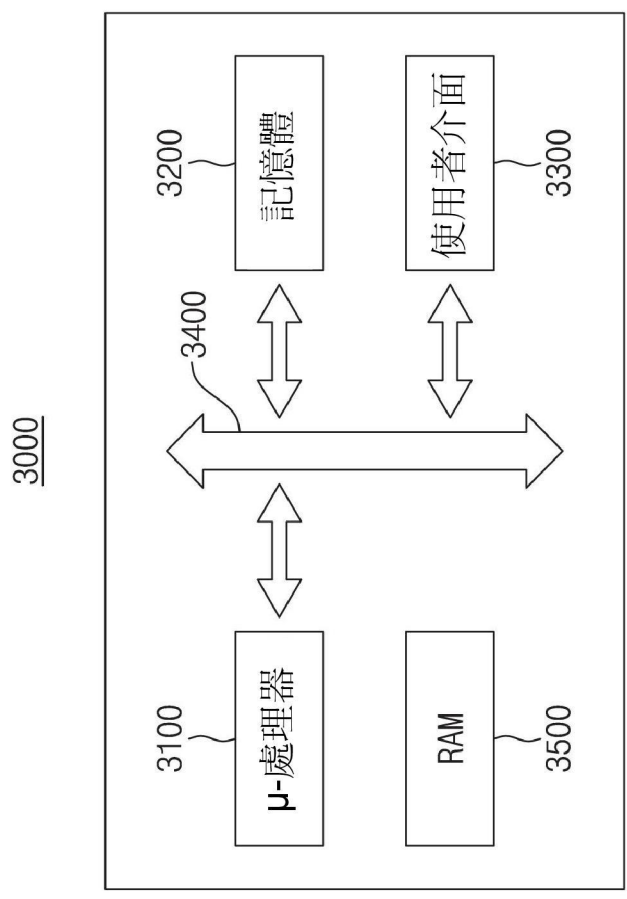
【圖9】



【圖10】



【圖11】



【圖12】