407369

公告本

申請日期	87 年 12 月 8 日
案號	87120364
類別	H01L 21/10

A4
C4

（以上各欄由本局填註）

發明 新型 專利說明書

407369

一、發明 新型 名稱	中文	半導體積體電路裝置及其製造方法
	英文	
二、發明 創作 人	姓名	(1) 中村吉孝 (2) 青木英雄 (3) 大平義和
	國籍	(1) 日本　(2) 日本　(3) 日本
	住、居所	(1) 日本國東京都青梅市新町七－五五－六－三〇五 (2) 日本國東京都武蔵村山市中原一一一八－四九 (3) 日本國東京都青梅市新町九－四－四誠和寮
三、申請人	姓名（名稱）	(1) 日立製作所股份有限公司 株式会社日立製作所
	國籍	(1) 日本
	住、居所（事務所）	(1) 日本國東京都千代田區神田駿河台四丁目六番地
	代表人姓名	(1) 金井務

裝　訂　線

經濟部中央標準局員工消費合作社印製

407369

申請日期	87 年 12 月 8 日
案號	87120364
類別	

A4
C4

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明 新型 名稱	中文	
	英文	
二、發明 創作 人	姓名	⑷ 梅澤唯史 ⑸ 山田悟 ⑹ 川北惠三
	國籍	⑷ 日本 ⑸ 日本 ⑹ 日本
	住、居所	⑷ 日本國東京都青梅市新町九－四－四誠和寮 ⑸ 日本國東京都青梅市青梅四七八－－－二〇三 ⑹ 日本國東京都青梅市新町七－－三－四
三、申請人	姓名（名稱）	
	國籍	
	住、居所（事務所）	
	代表人姓名	

裝 訂 線

經濟部中央標準局員工消費合作社印製

407369

申請日期	87 年 12 月 8 日
案號	87120364
類別	

A4
C4

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明新型名稱	中文	
	英文	
二、發明創作人	姓名	(7) 淺野勇 (8) 福田直樹 (9) 田丸剛
	國籍	(7) 日本 (8) 日本 (9) 日本
	住、居所	(7) 日本國埼玉縣入間市下藤沢一三一四－三－八〇四 (8) 日本國東京都青梅市河辺町七－二二－四 日立第二若草寮 (9) 日本國東京都八王子市北野台五－四五－八
三、申請人	姓名（名稱）	
	國籍	
	住、居所（事務所）	
	代表人姓名	

裝 訂 線

經濟部中央標準局員工消費合作社印製

申請日期	87 年 12 月 8 日
案號	87120364
類別	

A4
C4

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明 新型 名稱	中文	
	英文	
二、發明 創作 人	姓名	(10) 五嶋秀和 (11) 小林伸好
	國籍	(10) 日本　　(11) 日本
	住、居所	(10) 日本國東京都福生市南田園三－一三－二三白樺二〇五 (11) 日本國埼玉縣川越市伊勢原町一－一八－一一
三、申請人	姓名（名稱）	
	國籍	
	住、居所（事務所）	
	代表人姓名	

裝 訂 線

經濟部中央標準局員工消費合作社印製

（由本局填寫）

承辦人代碼：	A6
大　　類：	B6
ＩＰＣ分類：	

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有 □無主張優先權
日本	1998 年 10 月 30 日	10-311412	☑有主張優先權
日本	1997 年 12 月 18 日	9-348822	☑有主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（1）

〔發明之技術領域〕

本發明係關於半導體積體電路裝置及其製造技術，特別是關於適用具ＤＲＡＭ（Dynamic Random Access Memory）之半導體積體電路裝置之有效技術。

〔習知技術〕

以大容量記憶體爲代表之半導體記憶體有ＤＲＡＭ。該ＤＲＡＭ之記憶容量有增大之傾向，伴隨著此，從ＤＲＡＭ之記憶格之集積度提昇之觀點而言，記憶格之佔有面積亦不得不縮小。

但是，ＤＲＡＭ之記憶格中之資訊儲存用容量元件（以下簡單稱電容器）之儲存容量值，就考慮ＤＲＡＭ之動作容許度或軟體錯誤（Soft Error）之觀點而言，不受世代影響而爲一定，一般無法依比例縮小。

因此，在有限小之佔有面積內確保必要儲存容量之電容器構造之開發被進行。此種電容器構造，係採用在由具凸部形狀等立體構造之多晶矽等構成之下部電極介由容量絕緣膜形成屏極之立體電容器構造。

立體電容器，其構造一般將電容器電極配置於記憶格之選擇ＭＩＳＦＥＴ（Metal Insulator Semiconductor Field Effect Transistor，以下稱選擇ＭＩＳＦＥＴ）之上層，此場合下，可以小佔有面積確保大儲存容量。

此種立體電容器構造，有例如特開平７－１２２６５４號公報揭示之技術，即將電容器配置於位元

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（2）

線上方之所謂ＣＯＢ（Capacitor Over Bitline）構造。

具上述ＣＯＢ構造之ＤＲＡＭ，係在半導體基板上形成選擇ＭＩＳＦＥＴ及周邊電路之ＭＩＳＦＥＴ，介由層間絕緣膜在記憶格上部形成資料讀／寫用之位元線及周邊電路之第１層配線。之後，形成電容器。電容器，係將儲存電極（下部電極），容量絕緣膜，屏極（上部電極）依序積層形成。電容器之儲存電極，係以摻雜ｎ型雜質（磷）之多晶矽構成，接於ｎ通道型構成之記憶格選擇ＭＩＳＦＥＴ之半導體領域（源、汲極領域之一方）。屏極，係以多數記憶格共用之電極構成，供給特定之固定電位。

位元線，係經覆蓋選擇ＭＩＳＦＥＴ之絕緣膜上開孔之連接孔接於選擇ＭＩＳＦＥＴ之半導體領域（源、汲極領域）之一方。該連接係介由連接孔內形成之多晶矽塞柱進行。選擇ＭＩＳＦＥＴ之半導體領域之另一方接電容器。位元線，爲使資料讀／寫動作高速化，由低電阻金屬材料構成。

此種ＤＲＡＭ，位元線或周邊電路之第１層配線使用Ｗ膜，將位元線及周邊電路之第１層配線，以和Ａｌ比較電子遷移耐性高之Ｗ膜構成，乃確保細微化ＤＲＡＭ之配線壽命之有效對策。

但是，一般在配線與基板接觸處，構成配線之金屬材料與構成基板之矽起反應形成矽化物層。Ｗ膜與矽基板反應形成之矽化物（矽化鎢）層，影響基板之應力變大。因

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（3）

此，位元線或周邊電路之第1層配線以W膜構成時，有必要將和矽基板反應時形成應力較小之矽化物層之金屬膜設於W膜之下層。

此種形成應力小之矽化物層用之金屬膜，上述公報中揭示Ti膜。Ti膜，對絕緣膜之接著性良好，且與矽基板反應時形成之矽化鈦（$TiSi_x$，$x \leq 2$）層，對基板影響之應力小。因此，矽化鈦物爲設於鎢膜下層之金屬膜之適合材料。

又，在構成周邊電路之MISFET之半導體領域（源、汲極領域）與第1層配線之界面形成矽化鈦膜一事，作爲減低配線之接觸電阻之對策亦有效。

又，另一方面，以CVD法沈積W膜時，源極氣體之WF_6與Si有反應之問題。又，當W膜與矽直接接觸時，後續之熱處理會有反應之問題。於鈦膜上沈積W膜時，在Ti膜與W膜之中間，有必要設對該膜之接著性良好，且可避免WF_6與矽，或W與矽之接觸的障礙層。上述公報中揭示TiN膜作爲障礙層。

但是，一般DRAM具有記憶格陣列領域，直接周邊電路領域及間接周邊電路領域。記憶格陣列領域爲選擇MISFET及電容器形成領域，於直接周邊電路領域形成感測放大器以檢測電容器有無儲存電荷（即記錄資訊）。間接周邊電路領域形成於直接周邊電路領域之周邊。記憶格陣列領域之字元線或位元線，爲提昇DRAM之集積度於最大限，以最小加工尺寸予以加工。於直接周邊電路

（請先閱讀背面之注意事項 再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（4）

領域，配合以最小加工尺寸加工之字元線或位元線之節矩，ＭＩＳＦＥＴ以最小加工尺寸加工，接於閘極或源、汲極領域之連接孔亦以最小加工尺寸加工，此爲一般作法。相對於此，於間接周邊電路領域，存在有布局之容許度，且晶片面積之影響亦不大，因此，連接ＭＩＳＦＥＴ之源、汲極領域等之連接孔，係增大其口徑以進行確實之連接。

〔發明欲解決之問題〕

但是，隨ＤＲＡＭ之高集積化，電容器之佔有面積減少，其容量値不得不變小。因此，爲使在小之儲存容量値亦能以足夠感度檢出儲存電荷之有無，需提昇感測放大器之感度之同時，位元線容量之減低對策亦不可少。爲達成位元線容量之減低，需使位元線寬變細，加大鄰間位元線間之距離。又，有必要使位元線之膜厚變薄，減低鄰接位元線間之對向面積。

又，爲圖ＤＲＡＭ之高集積化，有必要減少佔其面積之多數之記憶格陣列領域之面積以圖晶片面積之縮小化。爲減低記憶格陣列領域之面積，構成記憶格之選擇ＭＩＳＦＥＴ之活性領域，字元線，位元線，電容器及連接各構件之連接孔之形狀，位置之最適化爲不可缺。最適化時，各構件之形狀，無法設爲複雜之形狀。即，在記憶格陣列領域，因各構件以幾乎最小加工尺寸加工，因此在光蝕刻之界限近傍進行圖型化。圖型化時若構件之形狀複

（請先閱讀背面之注意事項 填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（5）

雜，因互爲鄰接之構件間之曝光之干擾，使圖型化不良產生之可能性變大。因此，各構件之形狀僅可能爲單純形狀，例如字元線或位元線之場合，要求直線形狀。

但是，位元線形狀設爲直線時，或位元線寬變細時，位元線與形成於選擇ＭＩＳＦＥＴ之源、汲極領域上之多晶矽塞柱之連接部分，即位元線連接孔無法完全覆蓋，無可避免地位元線連接孔相對位元線成爲露出之構造。即，位元線之蝕刻加工時，位元線連接孔部分亦同時蝕刻掉。

對此種露出構造之位元線進行加工時，於位元線之底層之多晶矽塞柱形成凹部，該凹部引起之底層之凹凸形狀，對後續進行之光蝕刻或蝕刻工程有不良影響，降低加工精度，等爲其問題。

又，如習知技術說明般，在位元線與多晶矽塞柱之間形成減少接觸電阻用之矽化鈦膜。對露出構造之位元線蝕刻時，成爲亦對矽化鈦膜蝕刻，比較上較易蝕刻之矽化鈦膜於橫方向亦被蝕刻，因而在位元線與多晶矽塞柱之間有產生空洞之現象。此種空洞之存在，未損及位元線與多晶矽塞柱間之導通，但有可能成爲ＤＲＡＭ性能低下之重要原因。

另一方面，如習知技術說明般，位元線及第１層配線，係形成於同層，在第１層配線與半導體基板之連接部分亦形成有矽化鈦膜。該矽化鈦膜之耐熱性程度，不足以耐位元線及第１層配線形成後施予之熱處理，造成連接部之漏電流增加之問題。特別是，直接周邊電路領域與間接周

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（6）

邊電路領域之連接孔之口徑有不同時，耐熱性之降低極顯著，此爲本發明人發現。此種漏電流之上昇，即連接部分之耐壓降低，在連接孔底部殘留未反應之Ｔｉ時特別顯著。

本發明目的在於提供防止位元線連接孔中之多晶矽塞柱之凹凸之技術。又，藉由此凹凸之防止，可消除對後續工程，例如，光蝕刻工程，或蝕刻工程之不良影響，增加工程之容許度。

本發明目的在於防止位元線與多晶矽塞柱之連接部之矽化物膜之橫方向之蝕刻。又，藉該矽化物膜之橫向蝕刻之防止，可確保位元線與多晶矽塞柱間之穩定導通，提昇半導體積體電路裝置之良品率及信賴性。

又，本發明目的在於實現減少位元線之容量，ＤＲＡＭ之資訊記憶必要之儲存容量之減低，或ＤＲＡＭ之動作速度之提昇。

又，本發明目的在於提昇ＤＲＡＭ之位元線與周邊電路領域之第１層配線共同時之於第１層配線與半導體基板間之連接部分之耐熱性，抑制後續之熱工程中之連接部分之漏電流之增加，提昇ＤＲＡＭ之製造良品率，信賴性及性能。

本發明之目的及特徵，由本說明書之記載及圖面可理解。

〔解決問題之方法〕

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（7）

本發明之代表性之概要可簡單說明如下。

（1）本發明之半導體積體電路裝置，係包含有：選擇ＭＩＳＦＥＴ及電容器構成之ＤＲＡＭ之記憶格在半導體基板之主面上配列成陣列狀的記憶格陣列領域；及形成於記憶格陣列領域之周邊，形成有周邊電路之ＭＩＳＦＥＴ的周邊電路領域；具有電連接選擇ＭＩＳＦＥＴ之一方之源、汲極領域上而形成的多晶矽塞柱，及在多晶矽塞柱之上面介由第1連接孔連接之位元線，及在周邊電路之ＭＩＳＦＥＴ之任一源、汲極領域或半導體基板之主面介由第2連接孔連接的第1層配線；在位元線與多晶矽塞柱之界面，或第1層配線與周邊電路之ＭＩＳＦＥＴ之任一源、汲極領域或半導體基板之主面之界面，形成包含有氮或氧之矽化鈦膜，包含氮或氧之矽化鎢膜，包含氮或氧之矽化鈷膜，或矽化鈷膜。又，矽化物膜之含有物（雜質）除氮（Ｎ），氧（Ｏ）之外亦可爲碳（Ｃ）或鍺（Ｇｅ）。

依此種半導體積體電路裝置，在位元線與多晶矽塞柱之界面，形成含有氮，氧，碳或鍺之鈦（Ｔｉ），鎢（Ｗ），或鈷（Ｃｏ）之矽化物膜，或未含雜質之矽化鈷膜，故即使位元線以露出構造形成，即含氮等之矽化鈦膜等之接觸金屬曝曬於蝕刻環境之狀況下，該接觸金屬作爲阻蝕層，多晶矽塞柱不因蝕刻而削磨。結果，不會因多晶矽塞柱之凹陷形成凹凸，於後續光蝕刻或蝕刻工程可防止凹凸引起之不良影響，增加工程容許度。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（8）

又，接觸金屬未被蝕刻，位元線與多晶矽塞柱間之導通不良不會發生，可提昇半導體積體電路裝置之良品率及信賴性。

此種接觸金屬之作爲阻蝕作用，係因矽化鈦膜，矽化鎢膜或矽化鈷膜含有氮，氧，碳或鍺，或者關於矽化鈷膜不論氮等之有無而具耐蝕刻性，此乃本發明人經實驗獲得者。

又，依此種半導體積體電路裝置，在第1層配線與周邊電路之ＭＩＳＦＥＴ之任一源、汲極領域或半導體基板之主面之界面，形成含氮，氧，碳或鍺之鈦，鎢或鈷之矽化物膜，或未含雜質之矽化鈷膜，可提昇耐熱性。結果，第1層配線形成後之工程可穩定進行。又，可減少周邊電路領域之漏電流，提昇半導體積體電路裝置之良品率及信賴性。即，形成有此種矽化鈦膜等接觸金屬之連接孔，即使後續施予熱處理，在連接部之漏電流亦不增加，此爲本發明人經實驗結果獲知者。漏電流之增加，其原因爲熱工程引起之矽化鈦膜之凝集，或鈦之朝雜質擴散領域之擴散。但是，如上述含有氮，氧，碳或鍺之矽化鈦膜中，此種凝集或鈦之擴散被抑制。

又，上述氮或氧之含有量，可爲1原子％～13原子％之範圍。氮或氧之含有量少時耐蝕性不佳，反之氮或氧之含有量多時，接觸電阻增加，無法發揮接觸金屬之功能。因此，氮或氧之含有量在實用上存在有適當範圍，此範圍，經本發明人實驗結果得知，1原子％～13原子％較

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（9）

好。又，雜質爲氮時，1原子%～3原子%之範圍內，有濃度時效果大。此結果亦由本發明人經實驗得知。

（2）本發明之半導體積體電路裝置，係具有：於半導體基板之主要配列成矩陣狀之選擇ＭＩＳＦＥＴ；形成於選擇ＭＩＳＦＥＴ之一方之源、汲極領域上之第1絕緣膜上的多晶矽塞柱；及形成於第1絕緣膜之第2絕緣膜上的位元線；在多晶矽塞柱上之第2絕緣膜設有第1連接孔，位元線與多晶矽塞柱係介由形成於第1連接孔上之金屬塞柱連接。

依此種半導體積體電路裝置，在第2絕緣膜之第1連接孔形成金屬塞柱，位元線與多晶矽塞柱之連接介由金屬塞柱進行。因此，位元線對第1連接孔即使形成露出構造，當進行位元線之圖型化時，金屬塞柱作爲阻蝕功能，接觸金屬或多晶矽塞柱不致曝曬於蝕刻環境中。結果，可防止多晶矽塞柱之凹陷引起之凹凸形成，防止接觸金屬之橫向蝕刻導致之導通不良，和上述（1）同樣，可實現工程容許度之增加，及半導體積體電路裝置良品率，信賴性之提昇。

又，第1連接孔以金屬塞柱埋入時，位元線之膜厚可爲第1連接孔之口徑之2分之1以下。如此般，位元線之膜厚較薄，可減低位元線容量，實現ＤＲＡＭ之儲存容量之減少或儲存電荷之檢出精度之提昇，可提昇ＤＲＡＭ之應答速度。

即，位元線，在ＤＲＡＭ之記憶格領域互爲近接形成

（請先閱讀背面之注意事項 填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（10）

，且在感測放大器配置之直接周邊電路領域間之記憶格陣列領域形成較長。因此，當位元線之膜厚厚時，位元線間之對向面積增加，線間容量增大。線間容量之增加，導致感測放大器之檢出感度降低，成爲ＤＲＡＭ性能降低之原因。但是，若適用本發明，因可減低位元線之膜厚，可減低位元線間之對向面積，縮小位元線間容量。因此可提昇儲存電荷之檢出精度，又，應答速度與浮遊容量及電阻值之積成反比例，故線間容量之降低有助應答速度之提昇。

又，位元線可爲Ｗ（鎢）或Ｍｏ（鉬），金屬塞柱可爲氮化鈦或氮化鎢。此情況下，對位元線可以氟系蝕刻氣體蝕刻，另一方面，氮化鈦或氮化鎢，於氟系蝕刻氣體之蝕刻速度慢，故即使進行位元線之圖型化，金屬塞柱幾乎不被蝕刻。結果，位元線之圖型化時，可進行充分之過蝕刻，製程容許度增加。

上述（１）或（２）之場合，換句話說，位元線，可以相對第１連接孔中之底層材料可選擇性蝕刻之材料構成。即，第１連接孔中之底層材料，只要是含氮等之矽化鈦膜，或氮化鈦等金屬塞柱，或相對位元線具耐蝕性之材料即可，因具此種底層材料，故即使對開口構造之位元線進行圖型化時，亦可防止多晶矽塞柱之凹陷引起之凹凸，或接觸金屬之橫向蝕刻引起之導通不良。

又，金屬塞柱之材料可爲氮化鈦及Ｗ之積層膜，位元線材料可爲Ｗ之單層膜。此情況下，金屬塞柱即第１連接孔中之底層材料含有Ｗ，故對位元線材料之Ｗ膜蝕刻時，

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（11）

相當於與底層間之蝕刻選擇比無法匹配。但是，位元線之W膜，其膜厚較薄，故即使施予過蝕刻時，對位元線膜厚爲５０％程度之過蝕刻時刻，於該期間，底層即金屬塞柱之W被蝕刻之量極微少。即，即使以和構成金屬塞柱相同之材料構成位元線，亦不致因過蝕刻導致塞柱底部被蝕刻，塞柱底部中之矽化物膜之側壁蝕刻等不佳情況不會發生。

（３）本發明之半導體積體電路裝置，係具有：於半導體基板之主要配列成矩陣狀之選擇ＭＩＳＦＥＴ；形成於選擇ＭＩＳＦＥＴ之一方之源、汲極領域上之第１絕緣膜上的多晶矽塞柱；沈積於第１絕緣膜的第２絕緣膜；及介由開設於多晶矽塞柱上之第２絕緣膜之第１連接孔連接於多晶矽塞柱的位元線；位元線之厚度L_1，第２絕緣膜之厚度加上位元線之厚度L_1的距離L_2，及第１連接孔之口徑Ｄ之間，具有$L_1\times(1+OVE)<L_2$，及$L_1>D/2$之關係（其中，ＯＶＥ爲位元線圖型化時之過蝕刻量）。

依此種半導體積體電路裝置，滿足$L_1>D/2$之條件，第１連接孔以位元線之被膜完全埋入，同時滿足$L_1\times(1+OVE)<L_2$之條件，即可以第２絕緣膜厚度加上位元線厚度L_1而成之距離L_2近似之第１連接孔中之位元線之厚度，滿足$L_1\times(1+OVE)$表示之蝕刻量以上之條件，故位元線之圖型化終了時，第１連接孔內之上述被膜乃爲殘存之狀態。因此種被膜殘存之狀態，接觸金屬及多

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（12）

晶矽塞柱不被蝕刻，不致產生上述凹凸或導通不良。結果，和上述（1），（2）同樣，可實現工程容許度之增加，半導體積體電路裝置之良品率，及信賴性之提昇。

又，上述（1）～（3）中，位元線寬爲小於第1連接孔之口徑者，即，位元線相對第1連接孔可爲露出構造。此處之露出構造，指尖罩設計中積極爲露出構造，當然指預期之露出構造，但並不限於此。本發明適用製程中之光罩偏移導致之偶然露出之情況。

（4）本發明之半導體積體電路裝置，係包含有：選擇ＭＩＳＦＥＴ及電容器構成之ＤＲＡＭ之記憶格在半導體基板之主面上配列成陣列狀的記憶格陣列領域；及形成於記憶格陣列領域之周邊的直接周邊電路領域；及形成於直接周邊電路領域之周邊的間接周邊電路領域；具有連接孔用以連接直接周邊電路領域或間接周邊電路領域之半導體基板之主面與第1層配線；該連接孔之口徑，在直接周邊電路領域及間接周邊電路領域爲同一。

依此種半導體積體電路裝置，連接孔之口徑，在直接周邊電路領域及間接周邊電路領域爲同一，因此連接孔底部之第1層配線與半導體基板間之連接部分之耐熱性可提昇，半導體積體電路裝置之連接電阻可減少，可減少漏電流。結果，可實現半導體積體電路裝置之製造良品率，提昇信賴性及性能。

即，因連接孔之口徑同一，構成包含該連接孔底部形成之配線的各層，即Ｔｉ層，氮化鈦層及Ｗ層之膜厚，於

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（13）

各連接孔底部可均一形成。如此般於連接孔底部各層膜厚均一形成，各連接孔之耐熱性偏差不致產生，連接孔底部中之配線之耐熱性可提昇。特別是，將Ｔｉ層膜厚於各連接孔底部設爲均一，則矽化鈦膜之形成可均一進行，矽化鈦膜形成中矽化物反應之未反應Ｔｉ膜殘存不會發生。未反應之Ｔｉ層殘存時，於後續熱處理工程中，未反應之Ｔｉ將矽化物化，於矽化鈦膜產生無法預期之應力，於半導體基板形成空隙或引起耐熱性降低，本發明則不會發生此種情況。

如上述，連接孔內之Ｔｉ膜之不均一引起之殘存Ｔｉ膜，爲耐熱性降低之主因，此事實經由本發明人實驗結果究明。

又，連接孔之縱橫比可設爲在記憶格陣列領域，直接周邊電路領域，及間接周邊電路領域均爲同一。即使連接孔之口徑不同時，因縱橫比爲一定，故連接孔底部之膜厚可爲均一。結果，可防止因Ｔｉ膜厚不同引起之耐熱性降低。

（５）本發明之半導體積體電路裝置之製造方法，係具有（ａ）在半導體基板主面之記憶格陣列領域以矩陣狀配列選擇ＭＩＳＦＥＴ，在周邊電路領域形成周邊電路之ＭＩＳＦＥＴ，沈積覆蓋選擇ＭＩＳＦＥＴ及周邊電路之ＭＩＳＦＥＴ之第１絕緣膜的工程；（ｂ）在第１絕緣膜開設使選擇ＭＩＳＦＥＴ之至少一方之源、汲極領域露出之第１連接孔，在第１連接孔內形成多晶矽塞柱的工程；

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

407369

五、發明說明（14）

（c）在第1及多晶矽塞柱上沈積第2絕緣膜，在第2絕緣膜開設使多晶矽塞柱之上面露出之第2連接孔的工程；（d）對周邊電路領域之第2絕緣膜及第1蝕刻，以形成使周邊電路之ＭＩＳＦＥＴ之源、汲極領域或周邊電路領域之半導體基板之主面露出之第3連接孔的工程；（e）在第2絕緣膜上沈積導電膜，對導電膜進行圖型化俾於記憶格陣列領域形成位元線，於周邊電路領域形成第1層配線的工程；而在（e）工程之前，具有：在第2連接孔之內部或底部，或第3連接孔之內部或底部之任一方或兩方，形成具較導電膜圖型化使用之蝕刻方法中之導電膜蝕刻速度爲慢之蝕刻速度之構件的工程。

依此種半導體積體電路裝置之製造方法，在（e）工程之前，在第2連接孔內部或底部，或第3連接孔內部或底部之任一方或兩方，形成具較導電膜圖型化使用之蝕刻法中之導電膜之蝕刻速度爲慢之蝕刻速度的構件，可將該構件爲導電膜蝕刻即位元線之圖型化時之阻蝕層。因此，在多晶矽塞柱或多晶矽塞柱之上面形成接觸金屬時之該接觸金屬不被蝕刻。結果，於多晶矽塞柱未形成凹陷，且接觸金屬之橫向蝕刻，凹凸之形成，或位元線之導通不良等不致發生。

此場合下，將構件作爲（e）工程中之位元線蝕刻之阻蝕層，可進行較第2連接孔之口徑爲細幅之位元線之加工。即，位元線相對第2連接孔可爲露出構造，可對應半導體積體電路裝置之高集積化，位元線之低容量化。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（15）

又，構件可設爲，將第2絕緣膜上形成之氮，氧，碳或鍺以1原子%～13原子%之範圍含有之Co膜，Ti膜或W膜，或Co膜施予熱處理，藉與多晶矽塞柱或半導體基板之主面之矽化物反應而形成之矽化物膜。此方法形成之矽化物膜，以1原子%～13原子%範圍含有氮，氧，碳或鍺，此種矽化物膜具耐蝕性。又，含氮時，其含有量爲1原子%～3原子%範圍內時可得更好效果。

又，構件可爲，形成於第2連接孔或第3連接孔之W，氮化鈦或氮化鎢構成之塞柱。如此般形成連接孔之塞柱，亦可作爲阻蝕層功能。

又，上述製造方法中，第3連接孔即周邊電路之連接孔之口徑可均一設置。依此製造方法，可提昇第3連接孔底部之第1層配線與半導體基板間之連接部分之耐熱性。

（6）本發明之半導體積體電路裝置，係將Ti，W或Co之矽化物膜膜厚設爲15～30nm者。將矽化物膜膜厚設爲15～30nm，可減低該部分之連接電阻，此連接電阻之減低效果，係本發明人經由實驗究明者。

又，以下，分項說明本發明之概要。

（1）本發明之半導體積體電路裝置，係具有：形成於半導體基板主面上之記憶格選擇用之第1MISFET及周邊電路用之第2MISFET；形成於上述第1MISFET之一方之源、汲極領域上之第1絕緣膜上的多晶矽塞柱；介由開設於上述第1絕緣膜上之第2絕緣膜上之第1連接孔電連接於上述多晶矽塞柱的上述第2絕緣

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（16）

膜上之位元線；及介由上述第1及第2絕緣膜之第2連接孔電連接於上述第2ＭＩＳＦＥＴ之源、汲極領域的第2絕緣膜上之第1層配線；其特徵爲：

在上述位元線與多晶矽塞柱之連接領域，或上述第1層配線與上述第2ＭＩＳＦＥＴ之源、汲極領域或閘極或上述半導體基板主面之連接領域，形成有由Ｔｉ，Ｗ或Ｃｏ之中選擇之元素之矽化物膜且含有雜質者，或不含雜質之矽化鈷膜，

上述雜質係由Ｎ（氮），Ｏ（氧），Ｃ（碳），或Ｇｅ（鍺）之中選擇之任一或複數之元素。

（２）上述（１）中，上述雜質之含有量爲１原子％～１３原子％之範圍。

（３）上述（２）中，上述雜質爲Ｎ，該Ｎ之含有量爲１原子％～３原子％之範圍內。

（４）上述（１）中，上述位元線之線幅爲上述第1連接孔之口徑以下。

（５）本發明之半導體積體電路裝置，係具有：形成於半導體基板主面上之記憶格選擇用之第1ＭＩＳＦＥＴ；形成於上述第1ＭＩＳＦＥＴ之一方之源、汲極領域上之第1絕緣膜上的多晶矽塞柱；及形成於上述第1絕緣膜上之第2絕緣膜上的位元線；其特徵爲：

在上述第2絕緣膜開設有第1連接孔，上述位元線與多晶矽塞柱係介由形成於上述第1連接孔內之第1塞柱連接。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（17）

（6）上述（5）中，上述第1及第2絕緣膜之表面，至少在上述第1ＭＩＳＦＥＴ之形成領域被平坦化，上述第1塞柱之表面與上述第2絕緣膜之表面係形成於同一平面。

（7）上述（5）中，上述位元線之膜厚爲上述第1連接孔之口徑之2分之1以下。

（8）上述（5）中，上述位元線之線幅爲上述第1連接孔之口徑以下。

（9）上述（5）中，上述位元線，係由對上述第1塞柱可選擇性蝕刻之材料構成。

（10）上述（5）中，上述位元線係由Ｗ或Ｍｏ之單層膜形成，

上述第1塞柱，係由含氮化鈦及ｗ之積層膜，或氮化鈦或氮化鎢形成。

（11）上述（5）中，另具有形成於上述半導體基板主面之周邊電路之第2ＭＩＳＦＥＴ，及形成於上述第2絕緣膜上的周邊電路之第1層配線；

在上述第1及第2絕緣膜開設有第2連接孔，上述第1層配線，與上述第2ＭＩＳＦＥＴ之源、汲極領域或閘極或上述半導體基板主面，係介由形成於上述第2連接孔內之第2塞柱連接，

上述第2塞柱，係與上述第1塞柱由同一材料構成，上述第1層配線係與上述位元線由同一材料構成。

（12）上述（11）中，上述第1及第2絕緣膜表

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（18）

面，在上述半導體基板之全面範圍內被平坦化，上述第1及第2塞柱之表面與上述第2絕緣膜之表面係形成於同一平面。

（13）上述（11）中，上述位元線及第1層配線係由W及Mo之單層膜形成，

上述第1及第2塞柱，係由含有氮化鈦膜及W膜之積層膜，或氮化鈦或氮化鎢形成。

（14）上述（11）中，在上述第1塞柱與多晶矽塞柱之連接領域，或上述第2塞柱與上述第2MISFET之源、汲極領域或閘極或上述半導體基板主面之連接領域，形成有由Ti，W或Co之中選擇之元素之矽化物膜且含有雜質者，或不含雜質之矽化鈷膜，

上述雜質係由N（氮），O（氧），C（碳），或Ge（鍺）之中選擇之任一或複數之元素，

上述雜質之含有量爲1原子%～13原子%之範圍。

（15）上述（14）中，上述雜質爲N，該N之含有量爲1原子%～3原子%之範圍內。

（16）上述（11）中，在上述第1塞柱與多晶矽塞柱之連接領域，上述第2塞柱與上述第2MISFET之源、汲極領域或閘極或上述半導體基板主面之連接領域或上述第2MISFET之源、汲極之表面領域，形成有由Ti，W或Co之中選擇之元素之矽化物膜，

上述任一連接領域或表面領域之矽化物膜之膜厚爲15～30nm。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（19）

（１７）上述（１６）中，上述第２ＭＩＳＦＥＴ含有ｐ通道型ＭＩＳＦＥＴ，

上述ｐ通道型ＭＩＳＦＥＴ之源、汲極之表面領域，或上述第２塞柱底部與上述ｐ通道型ＭＩＳＦＥＴ之源、汲極領域之連接領域上形成之矽化物膜之膜厚爲１５～３０ｎｍ。

（１８）本發明之半導體積體電路裝置，係具有：形成於半導體基板主面上之記憶格選擇用之第１ＭＩＳＦＥＴ；形成於上述第１ＭＩＳＦＥＴ之一方之源、汲極領域上之第１絕緣膜上的多晶矽塞柱；形成於上述第１絕緣膜上的第２絕緣膜；及介由開設於上述第２絕緣膜上之第１連接孔連接於上述多晶矽塞柱的位元線；其特徵爲：

上述位元線之厚度L_1，第２絕緣膜之厚度加上位元線之厚度L_1而成之距離L_2，及第１連接孔之口徑Ｄ之間，具有$L_1\times(1+OVE)<L_2$，及$L_1>D/2$之關係（其中，ＯＶＥ爲位元線圖型化時之過蝕刻量）。

（１９）上述（１８）中，上述位元線之線幅爲上述第１連接孔之口徑以下。

（２０）本發明之半導體積體電路裝置，係包含有：記憶格選擇用之第１ＭＩＳＦＥＴ於半導體基板主面上以陣列狀配列之記憶格領域；形成於上述記憶格領域之周邊的直接周邊電路領域；及形成於上述直接周邊電路領域之周邊的間接周邊電路領域；具有第２連接孔用以連接上述

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（20）

直接或間接周邊電路領域之上述半導體基板主面及第1層配線；其特徵爲：

上述第2連接孔之口徑，於上述直接或間接周邊電路領域爲同一。

（21）上述（20）中，上述第2連接孔之縱橫比，在上述記憶格領域，直接周邊電路領域及間接周邊電路領域爲同一。

（22）本發明之半導體積體電路裝置，係具有：形成於半導體基板主面上之記憶格選擇用之第1ＭＩＳＦＥＴ及周邊電路用之第2ＭＩＳＦＥＴ；形成於上述第1ＭＩＳＦＥＴ之一方之源、汲極領域上之第1絕緣膜上的多晶矽塞柱；介由開設於上述第1絕緣膜上之第2絕緣膜上之第1連接孔電連接於上述多晶矽塞柱的上述第2絕緣膜上之位元線；及介由上述第1及第2絕緣膜之第2連接孔電連接於上述第2ＭＩＳＦＥＴ之源、汲極領域的第2絕緣膜上之第1層配線；其特徵爲：

在上述位元線與多晶矽塞柱之連接領域，上述第1層配線與上述第2ＭＩＳＦＥＴ之源、汲極領域或閘極或上述半導體基板主面之連接領域，或上述第2ＭＩＳＦＥＴ之源、汲極之表面領域，形成有由Ｔｉ，Ｗ或Ｃｏ之中選擇之元素之矽化物膜，

上述任一連接領域或表面領域之矽化物膜之膜厚爲15～30ｎｍ。

（23）上述（22）中，上述第2ＭＩＳＦＥＴ含

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（21）

有ｐ通道型ＭＩＳＦＥＴ，

上述ｐ通道型ＭＩＳＦＥＴ之源、汲極之表面領域，或上述第１層配線與上述ｐ通道型ＭＩＳＦＥＴ之源、汲極領域之連接領域上形成之矽化物膜之膜厚爲１５～３０ｎｍ。

（２４）本發明之半導體積體電路裝置之製造方法，係具有：

（ａ）在半導體基板主面，形成記憶格選擇用之第１ＭＩＳＦＥＴ，形成覆蓋上述第１ＭＩＳＦＥＴ之第１絕緣膜後，對上述第１絕緣膜，在上述第１ＭＩＳＦＥＴ之至少一方之源、汲極領域上具開口之光阻劑膜之存在下進行蝕刻之工程；

（ｂ）在上述半導體基板全面，沈積埋入上述蝕刻形成之第１絕緣膜之開口的多晶矽膜，除去上述第１絕緣膜上之上述多晶矽膜以形成電連接上述第１ＭＩＳＦＥＴ之源、汲極領域之多晶矽塞柱的工程；

（ｃ）在上述第１絕緣膜上形成第２絕緣膜，對上述第２絕緣膜，在上述多晶矽塞柱上具開口之光阻劑膜之存在下進行蝕刻，俾於上述第２絕緣膜形成第１連接孔的工程；

（ｄ）在上述第１連接孔之底部及第２絕緣膜上，沈積含有由Ｎ，Ｏ，Ｃ，及Ｇｅ之中選擇之任一或複數雜質之金屬膜，以Ｔｉ，Ｗ或Ｃｏ之任一爲主成分者，或不含上述雜質之任一之Ｃｏ膜，並施予熱處理的工程；

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（22）

（e）在上述金屬膜或Co膜上沈積第1導電膜以埋入上述第1連接孔的工程；及

（f）在上述第1導電膜上形成圖型化有位元線圖型之光阻劑膜，在上述光阻劑膜之存在下對上述金屬膜或Co膜及第1導電膜進行蝕刻以形成位元線的工程。

（25）上述（24）中，藉上述熱處理，在上述金屬膜或Co膜與上述多晶矽塞柱之連接領域形成之矽化物膜，係作爲上述蝕刻工程中之阻蝕層之功能。

（26）上述（24）中，上述位元線圖型之圖型寬爲上述第1連接孔之口徑以下。

（27）上述（24）中，上述金屬膜之上述雜質之含有量爲1原子%～13原子%之範圍。

（28）上述（27）中，上述雜質爲N，上述金屬膜之上述雜質之含有量爲1原子%～3原子%之範圍。

（29）上述（24）中，上述第1導電膜爲氮化鈦及W之積層膜。

（30）上述（24）中，以和上述第1MISFET同一工程形成周邊電路用之第2MISFET；

以和上述第1連接孔之形成爲同一工程，或於上述第1連接孔形成前後，形成電連接上述第2MISFET之源、汲極領域或閘極或上述半導體基板主面之半導體領域之第2連接孔；

以和上述位元線之形成爲同一工程，形成周邊電路之

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（23）

第1層配線。

（31）本發明之半導體積體電路裝置之製造方法，係具有：

（a）在半導體基板主面，形成記憶格選擇用之第1MISFET，形成覆蓋上述第1MISFET之第1絕緣膜後，對上述第1絕緣膜，在上述第1MISFET之至少一方之源、汲極領域上具開口之光阻劑膜之存在下進行蝕刻之工程；

（b）在上述半導體基板全面，沈積埋入上述蝕刻形成之第1絕緣膜之開口的多晶矽膜，除去上述第1絕緣膜上之上述多晶矽膜以形成電連接上述第1MISFET之源、汲極領域之多晶矽塞柱的工程；

（c）在上述第1絕緣膜上形成第2絕緣膜，對上述第2絕緣膜，在上述多晶矽塞柱上具開口之光阻劑膜之存在下進行蝕刻，俾於上述第2絕緣膜形成第1連接孔的工程；

（d）沈積埋入上述第1連接孔之第1導電膜，除去上述第2絕緣膜上之上述第1導電膜，於上述第1連接孔內形成由上述第1導電膜形成之第1塞柱的工程；

（e）於上述第1塞柱及第2絕緣膜上沈積第2導電膜的工程；及

（f）對上述第2導電膜進行圖型化以形成位元線的工程。

（32）上述（31）中，在上述第1絕緣膜之蝕刻

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（24）

工程之前，上述第1絕緣膜藉由CMP法被平坦化，上述第1塞柱係藉上述第1導電膜之CMP法研磨而形成。

（33）上述（31）中，上述第2導電膜之膜厚爲上述第1連接孔之口徑之2分之1以下。

（34）上述（31）中，上述位元線之線幅爲上述第1連接孔之口徑以下。

（35）上述（31）中，上述第2導電膜爲相對上述第1塞柱具蝕刻選擇比之材料。

（36）上述（31）中，上述第1導電膜爲含氮化鈦膜及W膜之積層膜，或由氮化鈦或氮化鎢形成之單層膜，上述第2導電膜爲W或Mo形成之單層膜。

（37）上述（31）中，以和上述第1MISFET同一工程形成周邊電路領域之第2MISFET，

在上述第1連接孔形成之同一工程，或上述第1連接孔形成前後，形成連接上述第2MISFET之源、汲極領域的第2連接孔；

和上述第1塞柱形成之同時，於上述第2連接孔內形成由上述第1導電膜構成之第2塞柱；

在上述位元線形成之同時，形成由上述第2導電膜構成之周邊電路之第1層配線。

（38）上述（37）中，具有在上述第1及第2塞柱形成前，在上述第1及第2連接孔之底部及第2絕緣膜上，沈積含有濃度爲1原子%～13原子%範圍之由N，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（25）

Ｏ，Ｃ及Ｇｅ之中選擇之任一或多數之雜質的金屬膜，該金屬膜以Ｔｉ，Ｗ或Ｃｏ之任一爲主成份者，或沈積未含上述雜質之任一之Ｃｏ膜，施予熱處理的工程。

（３９）上述（３７）中，具有：在上述第１及第２塞柱形成之前，在上述第１及第２連接孔之底部及第２絕緣膜上，沈積膜厚爲１０～２０ｎｍ範圍之以Ｔｉ，Ｗ或Ｃｏ之任一爲主成分之金屬膜，並施予熱處理之工程；或

沈積膜厚爲１５～３０ｎｍ範圍之Ｔｉ，Ｗ，或Ｃｏ之矽化物膜的工程；或

沈積以Ｔｉ，Ｗ，或Ｃｏ之任一爲主成分之金屬膜，再以較上述金屬膜爲薄之膜厚沈積矽膜，並施予熱處理的工程；或

沈積以Ｔｉ，Ｗ，或Ｃｏ之任一爲主成分之金屬膜，在氫化矽氣體環境下對上述金屬膜施予退火之工程，之中之任一工程。

（４０）上述（３９）中，上述金屬膜之熱處理工程之後，藉蝕刻除去未反應之Ｔｉ，Ｗ，或Ｃｏ。

（４１）本發明之半導體積體電路裝置之製造方法，係具有：

（ａ）在半導體基板主面形成ＭＩＳＦＥＴ，形成覆蓋上述ＭＩＳＦＥＴ之絕緣膜的工程；

（ｂ）在上述ＭＩＳＦＥＴ之源、汲極領域上具開口之光阻劑膜存在下，對上述絕緣膜蝕刻俾於上述絕緣膜形成連接孔的工程；及

（請先閱讀背面之注意事項 填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（26）

（ｃ）沈積埋入上述連接孔之導電膜，於上述導電膜上形成配線圖型被圖型化之光阻劑膜，在上述光阻劑膜存在下對上述導電膜蝕刻以形成配線的工程；其特徵爲另具有：

在上述導電膜形成之前，在上述連接孔之底部及絕緣膜上，沈積膜厚爲１０～２０ｎｍ範圍之以Ｔｉ，Ｗ或Ｃｏ之任一爲主成分之金屬膜，並施予熱處理之工程；或

沈積膜厚爲１５～３０ｎｍ範圍之Ｔｉ，Ｗ，或Ｃｏ之矽化物膜的工程；或

沈積以Ｔｉ，Ｗ，或Ｃｏ之任一爲主成分之金屬膜，再以較上述金屬膜爲薄之膜厚沈積矽膜，並施予熱處理的工程；或

沈積以Ｔｉ，Ｗ，或Ｃｏ之任一爲主成分之金屬膜，在氫化矽氣體環境下對上述金屬膜施予熱處理之工程，之中之任一工程。

（４２）上述（４１）中，上述金屬膜之熱處理工程之後，藉蝕刻選擇性地除去未反應之Ｔｉ，Ｗ，或Ｃｏ。

（４３）上述（４１）中，上述導電膜爲氮化鈦及Ｗ之積層膜，或Ｔｉ，氮化鈦及Ｗ之３層積層膜之任一。

（４４）本發明之半導體積體電路裝置之製造方法，係具有：

（ａ）在半導體基板之主面形成ＭＩＳＦＥＴ之工程；

（ｂ）至少在覆蓋上述ＭＩＳＦＥＴ之源、汲極之領

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（27）

域上，沈積膜厚１０～２０ｎｍ範圍之以Ｔｉ，Ｗ，或Ｃｏ中之任一爲主成分之金屬膜的工程；

（ｃ）對上述金屬膜施予熱處理，俾於與矽之接觸部形成矽化物膜的工程；

（ｄ）藉蝕刻選擇性除去上述熱處理工程中未反應之Ｔｉ，Ｗ或Ｃｏ的工程；

（ｅ）形成覆蓋上述ＭＩＳＦＥＴ之絕緣膜的工程；

（ｆ）在上述ＭＩＳＦＥＴ之源、汲極領域上具開口之光阻劑膜之存在下，對上述絕緣膜施予蝕刻俾於上述絕緣膜形成連接孔的工程；及

（ｇ）沈積埋入上述連接孔之導電膜，於上述導電膜上形成配線圖型施予圖型化之光阻劑膜，在上述光阻劑膜存在下對上述導電膜施予蝕刻以形成配線的工程。

（４５）上述（４４）中，上述導電膜爲氮化鈦及Ｗ之積層膜，或Ｔｉ，氮化鈦及Ｗ之３層積層膜中之任一。

〔發明之實施形態〕

以下，參照圖面說明本發明之實施形態。又，實施形態說明之全圖中，具同一機能之構件附加同一符號，並省略重複說明。

（實施形態１）

圖１爲本發明一實施形態之形成有ＤＲＡＭ之半導體晶片全體之一例之平面圖。如圖示，在單晶矽形成之半導

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（28）

體晶片１Ａ之主面，沿Ｘ方向（半導體晶片１Ａ之長邊方向）及Ｙ方向（半導體晶片１Ａ之短邊方向）以矩陣狀配置多數記憶陣列ＭＡＲＹ。沿Ｘ方向互爲鄰接之記憶陣列ＭＡＲＹ之間配置感測放大器ＳＡ。在半導體晶片１Ａ主面中央部配置字元驅動器ＷＤ，資料線選擇電路等控制電路，或輸出入電路，接合焊墊等。

圖２爲本實施形態１之ＤＲＡＭ之等效電路圖。如圖示，該ＤＲＡＭ之記憶陣列（ＭＡＲＹ），係由矩陣狀配置之多數字元線（ＷＬ（WL_{n-1}，WL_n，WL_{n+1}，……）及多數位元線ＢＬ及配置於其交點之多數記憶格（ＭＣ）構成。記憶１位元資訊之１個記憶格，係由１個電容器Ｃ及與其串接之１個選擇ＭＩＳＦＥＴＱｓ構成。選擇ＭＩＳＦＥＴＱｓ之源、汲極之一方，電連接部電容器Ｃ，另一方電連接位元線ＢＬ。字元線ＷＬ之一端，接字元驅動器ＷＤ，位元線ＢＬ之一端接感測放大器ＳＡ。

圖３爲圖１之一部分之擴大平面圖。於圖３，爲便宜觀看圖面，位元線ＢＬ，位元線連接孔ＢＬＣＴ及第１層配線Ｍ１以實線表示，其他構件以虛線表示。圖３之左側領域爲記憶陣列ＭＡＲＹ之一部分，右側領域爲構成直接周邊電路之ｎ通道ＭＩＳＦＥＴＱｎ及感測放大器ＳＡ之一部分的ｐ通道ＭＩＳＦＥＴＱｐ，ｎ通道ＭＩＳＦＥＴＱｎ爲共用ＭＩＳＦＥＴ。

於記憶陣列ＭＡＲＹ配置活性領域L_1，於Ｙ方向形成字元線Ｗ，Ｌ，於Ｘ方向形成位元線ＢＬ。在字元線ＷＬ

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（29）

及活性領域L_1之重疊領域，字元線ＷＬ係作爲選擇ＭＩＳＦＥＴＱｓ之閘極功能。作爲字元線ＷＬ之閘極功能之領域所挾持活性領域L_1之領域，即活性領域L_1之中央部分形成位元線連接孔ＢＬＣＴ，活性領域L_1之中央部分及位元線係介由位元線連接孔ＢＬＣＴ連接。活性領域L_1之兩端領域介由電容器連接孔ＳＮＣＴ接電容器Ｃ。

於周邊電路領域形成活性領域L_1及L_2，在活性領域L_2與閘極配線ＦＧ１重疊部分形成有作爲共用ＭＩＳＦＥＴ功能之ｎ通道ＭＩＳＦＥＴＱｎ。ｎ通道ＭＩＳＦＥＴＱｎ之一方之源、汲極領域介由連接孔ＣＴ連接位元線ＢＬ。ｎ通道ＭＩＳＦＥＴＱｎ之另一方之源、汲極領域介由連接孔ＣＴ接第１層配線Ｍ１。在活性領域L_3與閘極配線ＦＧ２重疊部分形成構成感測放大器ＳＡ之一部分的ｐ通道ＭＩＳＦＥＴＱｐ。

本實施形態中，位元線連接孔ＢＬＣＴ，相對位元線ＢＬ爲露出構造。即，位元線ＢＬ，其寬度較位元線連接孔ＢＬＣＴ之開口徑短，且爲直線形狀。此種位元線ＢＬ，形狀單純，光蝕刻時曝光干擾不易產生，解析度容易提昇。又，鄰接位元線ＢＬ間之間隔變長，故位元線ＢＬ之容量可變小。該特性，可使ＤＲＡＭ之微細加工容易，且伴隨微細化之儲存電荷之減少有助於感測放大器ＳＡ之感度提昇，對今後ＤＲＡＭ之微細化，高集積化特別有利。

圖４爲圖３之Ⅳ－Ⅳ線斷面圖。圖４中，Ａ領域爲記憶陣列ＭＡＲＹ之一部分，Ｂ領域爲周邊電路之一部分。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（30）

在ｐ型單晶矽形成之半導體基板１之主面，形成Ａ領域之ｐ形井２，Ｂ領域之ｐ形井３及ｎ形井４。又，包圍ｐ形井２地形成ｎ形深井６。又，於各井形成臨界值電壓調整層亦可。

於各井之主面形成分離領域７。分離領域７由氧化矽膜構成，在半導體基板１之主面形成之淺溝８介由熱氧化之氧化矽膜形成。

在ｐ形井２之主面形成ＤＲＡＭ之選擇ＭＩＳＦＥＴＱｓ。在ｐ形井３及ｎ形井４之主面分別形成ｎ通道ＭＩＳＦＥＴＱｎ及ｐ通道ＭＩＳＦＥＴＱｐ。

選擇ＭＩＳＦＥＴＱｓ，係由在ｐ形井２主面上介由閘極絕緣膜１０形成之閘極１１，及形成在閘極１１之兩側之ｐ形井２之主面的雜質半導體領域１２構成。閘極絕緣膜１０係由例如具７～８ｎｍ膜厚之熱氧化形成之氧化矽膜構成。閘極１１可由例如膜厚７０ｎｍ之多晶矽膜１１ａ，膜厚５０ｎｍ之氮化鈦膜１１ｂ及膜厚１００ｎｍ之Ｗ膜１１ｃ之積層膜。又，於雜質半導體領域１２導入ｎ形雜質，例如砷（Ａｓ）或磷（Ｐ）。

在選擇ＭＩＳＦＥＴＱｓ之閘極１１之上層形成由氮化矽膜構成之帽絕緣膜１３，再其上層以氮化矽膜１４覆蓋。氮化矽膜１４，亦形成於閘極１１之側壁，後續說明之連接孔形成時之自動整合加工被利用。又，選擇ＭＩＳＦＥＴＱｓ之閘極１１，係作爲ＤＲＡＭ之字元線之功能，於分離領域７之上面形成字元線ＷＬ。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（31）

另一方面，ｎ通道ＭＩＳＦＥＴＱｎ及ｐ通道ＭＩＳＦＥＴＱｐ，係形成於各ｐ形井３及ｎ形井４之主面上，由介由閘極絕緣膜１０形成之閘極１１，及形成於閘極１１之兩側之各井之主面的雜質半導體領域１５構成。閘極絕緣膜１０及閘極１１和上述相同。雜質半導體領域１５低濃度雜質領域１５ａ及高濃度雜質領域１５ｂ構成，形成所謂ＬＤＤ（Lightly Doped Drain）構成。導入雜質半導體領域１５之雜質，可依ＭＩＳＦＥＴ之導電形導入ｎ形或ｐ形雜質。

在ｎ通道ＭＩＳＦＥＴＱｎ及ｐ通道ＭＩＳＦＥＴＱｐ之閘極１１之上層形成氮化矽膜構成之帽絕緣膜１３，於側面形成例如氮化矽膜構成之側壁間隔物１６。

選擇ＭＩＳＦＥＴＱｓ，ｎ通道ＭＩＳＦＥＴＱｎ及ｐ通道ＭＩＳＦＥＴＱｐ，係以層間絕緣膜１７覆蓋。層間絕緣膜１７可爲例如ＳＯＧ（Spin On Glass）膜１７ａ，以ＴＥＯＳ（四甲氧基矽烷）爲原料氣體藉ＣＶＤ法形成之氧化矽膜（以下稱ＴＥＯＳ氧化膜）藉ＣＭＰ法平坦化而成之ＴＥＯＳ氧化膜１７ｂ及ＴＥＯＳ氧化膜１７ｃ，１７ｄ之積層膜。

在層間絕緣膜１７上形成位元線ＢＬ及第１層配線１８。位元線ＢＬ及第１層配線１８可爲例如Ｔｉ膜１８ａ，氮化鈦膜１８ｂ及Ｗ膜１８ｃ之積層膜。依此可使位元線ＢＬ及第１層配線１８低電阻化，提昇ＤＲＡＭ

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（32）

之性能。又，位元線ＢＬ及第１層配線１８，如後續說明般同時形成，故可簡化工程。

位元線ＢＬ介由塞柱１９連接一對選擇ＭＩＳＦＥＴＱｓ共用之雜質半導體領域１２。塞柱１９可爲例如ｎ形雜質導入之多晶矽膜。又，於塞柱１９與位元線ＢＬ之連接部形成鈦化矽膜２０。依此可減低位元線ＢＬ與塞柱１９間之連接電阻，提昇連接信賴性。

本實施形態之鈦化矽膜２０，Ｎ之範圍爲１原子％～１３原子％之範圍，例如１～３原子％含有。位元線連接孔ＢＬＣＴ相對於位元線ＢＬ爲露出構造一事如上述已說明。但本實施形態中，如後續說明般，鈦化矽膜２０含１～３原子％之Ｎ，故對位元線ＢＬ圖型化時鈦化矽膜２０作爲阻蝕層之功能，塞柱１９不會有過蝕刻發生。因此，後續工程中之曝光聚焦不會有問題，工程容許度增加，可提昇ＤＲＡＭ之信賴性及良品率。又，鈦化矽膜２０未被蝕刻，故鈦化矽膜２０之橫向蝕刻未進行，位元線ＢＬ與塞柱１９間之連接可確實維持。即，習知未含Ｎ之鈦化矽膜中，進行位元線ＢＬ之圖型化時鈦化矽膜被過蝕刻，或橫向蝕刻而在位元線ＢＬ與塞柱１９之間產生空隙，該空隙導致位元線ＢＬ與塞柱１９之連接信賴性降低。但本實施形態中，不會有此問題，故可維持連接信賴性，提昇ＤＲＡＭ之信賴性。

又，此處係以添加Ｎ之鈦化矽膜爲例，但亦可添加１原子％～１３原子％範圍之Ｏ，Ｃ或Ｇｅ。又，矽化鎢膜

（請先閱讀背面之注意事項再寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（33）

亦可。此場合下，N，O，C或Ge之添加在1原子%～13原子%範圍內爲必要。又，亦可爲矽化鈷膜。此場合下，N，O，C或Ge之添加不必爲1原子%～13原子%之範圍。即，即使未添加N，O，C或Ge之矽化鈷膜，亦可達成位元線BL之圖型化時之蝕刻阻蝕之效果。但是，在矽化鈷膜添加1原子%～13原子%範圍之N，O，C或Ge時，耐蝕性更好。在Ti或W之矽化物膜添加N，O，C或Ge，或矽化鈷膜，或在矽化鈷膜添加N，O，C或Ge時，可提昇耐蝕性一事乃本發明人經實驗究明者。依實驗結果，藉由N，O，C或Ge之添加使蝕刻速度減少3分之2左右。

又，如後說明般，矽化物膜形成時會有自然混入O或C之情況。即，會有原料氣體使用含O或C之有機氣體等之場合，或矽表面形成之氧化膜（氧化矽膜）中之氧於矽化物退火時會有Ti還元混入矽化物膜中之情況。本實施形態之矽化物膜中，使用此種自然混入O或C之製程而混入1原子%～13原子%之雜質亦可。

第1層配線18，係介由連接孔21連接n通道MISFETQn及p通道MISFETQp之雜質半導體領域15。又，在第1層配線18與雜質半導體領域15之連接部形成有矽化鈦膜20。依此可減少第1層配線18與雜質半導體領域15間之連接電阻，提昇連接信賴性。

形成於第1層配線18與雜質半導體領域15之連接

（請先閱讀背面之注意事項 填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（34）

部之矽化鈦膜２０，和上述一樣，爲含有１原子％～１３原子％範圍，例如１～３原子％之Ｎ者。如此般使用含Ｎ之矽化鈦膜２０，可提昇連接部之耐熱性。此場合下，Ｎ之含有量以１原子％～３原子％爲合適。耐熱性之劣化，可由連接部之接觸電阻之增加，或漏電流之增大而被觀測到。但本實施形態之使用含Ｎ之矽化鈦膜２０時，此種接觸電阻增加或漏電流之增大不會發生。此亦爲本發明人經實驗結果究明者。

又，第１層配線１８與雜質半導體領域１５之連接部之矽化鈦膜２０和上述同樣，可添加１原子％～１３原子％範圍之Ｏ，Ｃ或Ｇｅ。又，不是矽化鈦，而爲矽化鎢膜亦可。此場合下必需添加１原子％～１３原子％範圍之Ｎ，Ｏ，Ｃ或Ｇｅ。又，矽化鈷膜亦可，此場合下不必添加１原子％～１３原子％範圍之Ｎ，Ｏ，Ｃ或Ｇｅ。即使未添加Ｎ，Ｏ，Ｃ或Ｇｅ之矽化鈷膜，亦可提昇連接部之耐熱性。但是，於矽化鈷膜添加１原子％～１３原子％範圍之Ｎ，Ｏ，Ｃ或Ｇｅ，則耐熱性更好。

此耐熱性之提昇，如後述說明般，電容器Ｃ之容量絕緣膜形成時之熱處理不會有連接部劣化之情況發生，容量絕緣膜形成之熱處理上之限制少，此點極有意義。因此，可實現高儲存容量Ｃ，抑制上述連接部之接觸電阻，抑制漏電流之上昇。

位元線ＢＬ及第１層配線１８（Ｍ１）係以氮化矽膜形成之帽絕緣膜２２ａ及側壁間隔物２２ｂ覆蓋，再以層

（請先閱讀背面之注意事項 填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（35）

間絕緣膜２３覆蓋。層間絕緣膜２３可爲ＳＯＧ膜２３ａ，藉ＣＭＰ法平坦化之ＴＥＯＳ氧化膜２３ｂ，ＴＥＯＳ氧化膜２３ｃ之積層膜。

在層間絕緣膜２３之上層之Ａ領域形成資訊儲存用電容器Ｃ。又，在Ｂ領域之層間絕緣膜２３之上層，與電容器Ｃ同層，形成有絕緣膜２４。絕緣膜２４可爲氧化矽膜，與電容器Ｃ形成於同層，如此可防止電容器Ｃ之標高引起之Ａ領域與Ｂ領域間之段差之發生。如此可使光蝕刻之焦點深度具容許度，使工程穩定地進行微細加工。

電容器Ｃ，係由在與選擇ＭＩＳＦＥＴＱｓ之位元線ＢＬ所接雜質半導體領域１２爲相反之雜質半導體領域１２連接之塞柱２５，介由塞柱２６連接之下部電極２７；及例如氮化矽膜及氧化鉭構成之容量絕緣膜２８；及例如氮化鈦形成之屏電極２９構成。

在電容器Ｃ之上層，介由例如ＴＥＯＳ氧化膜構成之絕緣膜３０形成第２層配線３１（Ｍ２）。第２層配線３１可爲例如Ｔｉ膜３１ａ，Ａｌ膜３１ｂ及氮化鈦膜３１ｃ之積層膜。

第２層配線３１，係介由塞柱３２接第１層配線１８。塞柱３２可爲例如Ｔｉ膜及氮化鈦之積層膜構成之接著層３２ｃ，及藉ＣＶＤ法形成之Ｗ膜３２ｂ之積層膜。

第２層配線３１，以層間絕緣膜３３覆蓋，在層間絕緣膜３３之上層形成和第２層配線３１同樣之第３層配線３４（Ｍ３）。層間絕緣膜３３，可爲例如ＴＥＯＳ氧化

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（36）

膜３３ａ，ＳＯＧ膜３３ｂ及ＴＥＯＳ氧化膜３３ｃ之積層膜。又，第３層配線３４及第２層配線３１係藉和塞柱３２同樣之塞柱３５連接。

以下，以圖５～圖１８說明本實施形態之ＤＲＡＭ之製造方法。圖５～圖１８係將本發明之一實施形態之ＤＲＡＭ之製造方法之一例依工程順序表示之斷面圖。

首先，準備ｐ形半導體基板１，於該半導體基板１之主面形成淺溝８。之後對半導體基板１施予熱氧化，以形成氧化矽膜９。再沈積氧化矽膜以ＣＭＰ法研磨使僅於淺溝８內殘留氧化矽膜，以形成分離領域７。

其次，以光阻劑爲掩罩植入雜質離子，以形成ｐ形井２３，ｎ形井４及深井６（圖５）。

其次，藉熱氧化法在形成有ｐ形井２，３，ｎ形井４之活性領域形成閘極１０，再於半導體基板１之全面依序沈積摻入雜質之多晶矽膜，氮化鈦膜，Ｗ膜及氮化矽膜。之後，使用光蝕刻及蝕刻技術對氮化矽膜，Ｗ膜，氮化鈦膜及多晶矽膜施予圖型化，以形成閘極１１（字元線ＷＬ）及帽絕緣膜１３。再以帽絕緣膜１３及閘極１１及光阻劑爲掩罩植入雜質離子，以形成雜質半導體領域１２及低濃度雜質領域１５ａ（圖６）。

其次，在半導體基板１全面沈積氮化矽膜（未圖示），僅於記憶格形成領域（Ａ領域）形成光阻劑膜（未圖示）。之後，以該阻劑膜爲掩罩，對上述氮化矽膜作異方性蝕刻，僅於Ａ領域之半導體基板１１上形成氮化矽膜１４

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（37）

之同時，於Ｂ領域之閘極１１之側壁形成側壁間隔物１６。再以側壁間隔物１６爲掩罩以自動整合方式植入雜質離子，形成高濃度雜質領域１５ｂ（圖７）

其次，於半導體基板１全面塗布ＳＯＧ膜１７ａ，硬化之後，藉電漿ＣＶＤ法沈積ＴＥＯＳ氧化膜１７ｂ。以ＣＭＰ法研磨該ＴＥＯＳ氧化膜，使其表面平坦化。據此來提昇其後之光蝕刻工程之聚焦容許度，使微細連接孔之開口等爲可能。洗淨表面後，再沈積ＴＥＯＳ氧化膜１７ｃ，形成層間絕緣膜１７。該ＴＥＯＳ氧化膜１７ｃ，用以修補因ＣＭＰ產生之ＴＥＯＳ氧化膜１７ｂ上之刮傷者。

其次，於ＴＥＯＳ氧化膜１７ｃ，１７ｂ及ＳＯＧ膜１７ａ開設連接孔後，沈積有雜質之多晶矽膜，藉ＣＭＰ法研磨該多晶矽膜以形成塞柱１９，２５（圖８）。又，該連接孔，係藉２段蝕刻開設，可防止半導體基板１之過蝕刻。

其次，形成ＴＥＯＳ氧化膜１７ｄ後，於ＴＥＯＳ氧化膜１７ｄ形成開口俾使位元線ＢＬ連接之塞柱１９露出，於層間絕緣膜１７形成連接孔２１俾使ｎ通道ＭＩＳＦＥＴＱｎ及ｐ通道ＭＩＳＦＥＴＱｐ之雜質半導體領域１５露出（圖９）。

其次，於半導體基板１全面沈積Ｔｉ膜１８ａ。該沈積模式示於圖１０之一部分擴大圖（圖１０）。又，圖１０～圖１３中，左側爲位元線連接孔ＢＬＣＴ之部分，

（請先閱讀背面之注意事項 再寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（38）

右側爲第１層配線Ｍ１與半導體基板１之主面之連接孔ＣＴ之部分。

Ｔｉ膜１８ａ，係含１～３原子％之Ｎ。此種添加Ｎ之Ｔｉ膜之沈積，可藉反應性濺射法，或ＣＶＤ法進行。反應性濺射法之沈積條件如下。即，以Ｔｉ作爲濺射標靶，使用N_2氣體及Ａｒ氣體作爲環境氣體。濺射壓力爲１ｍＴｏｒｒ～１０ｍＴｏｒｒ，較好爲３ｍＴｏｒｒ。投入電力爲１ｋＷ～２０ｋＷ，較好爲４ｋＷ。又，ＣＶＤ法之沈積條件如下，即，ＣＶＤ氣體可爲ＴＤＭＡＴ（$Ti(N(CH_3)_2)_4$），或ＴＤＥＡＴ（$Ti(N(C_2H_5)_2)_4$）等有機源及NH_3。又，亦可爲$TiCl_4$及NH_3，形成方法可用ＩＭＰ（Ion Metal Plasma）法。

接著，將半導體基板１保持於減壓環境，施予６５０℃，１分鐘之熱處理以使含Ｎ之Ｔｉ膜１８ａ與塞柱１９及半導體基板１作矽化物化反應以形成矽化鈦膜２０（圖１１）。如此形成之矽化鈦膜２０，約含１～３原子％之Ｎ。

又，圖中，使未反應之Ｔｉ膜殘存，但亦可除去之。未反應Ｔｉ膜之除去，可使用例如氨水及過氧化氫水以１：５體積比混合之溶液作選擇性除去。

其次，沈積氮化鈦膜１８ｂ（圖１２），氮化鈦膜１８ｂ可藉濺射法形成。

其次，藉反射（Blanket）ＣＶＤ法沈積Ｗ膜１８ｃ（

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（39）

圖１３）。因使用反射ＣＶＤ法，即使微細之連接孔２１亦可埋入Ｗ膜。

其次，沈積氮化矽膜作爲帽絕緣膜２２ａ，對該氮化矽膜，Ｗ膜１８ｃ，氮化鈦膜１８ｂ及Ｔｉ膜１８ａ施予圖型化。圖１４爲圖３中之ＸＩＶ－ＸＩＶ線斷面部分之擴大圖。（ａ）爲圖１３階段之斷面圖，（ｂ）爲圖型化形成位元線ＢＬ後。於（ｂ），位元線連接孔ＢＬＣＴ相對位元線ＢＬ爲完全露出構造。但是，本實施形態中，矽化鈦膜２０含有１～３原子％之Ｎ，在Ｗ膜１８ｃ，氮化矽膜１８ｂ及Ｔｉ膜１８ａ之圖型化時矽化鈦膜２０具耐蝕性，而未被蝕刻，故不會有塞柱１９過蝕刻，或矽化鈦膜２０之橫向蝕刻之情況發生。又，Ｗ膜１８ｃ之蝕刻可使用SF_6氣體，氮化鈦膜１８ｂ之蝕刻可使用Cl_2氣體。

藉此蝕刻可同時形成位元線ＢＬ及第１層配線Ｍ１（１８）。

又，沈積氮化矽膜，對其施予異方性蝕刻以形成側壁間隔物２２ｂ（圖１５）。

其次，於半導體基板１全面塗布ＳＯＧ膜２３ａ，硬化後，藉電漿ＣＶＤ法沈積ＴＥＯＳ氧化膜２３ｂ。以ＣＭＰ法研磨該ＴＥＯＳ氧化膜２３ｂ使其表面平坦化。依此可提昇後續光蝕刻工程之聚焦容許度，使微細之連接孔之開口爲可能。表面洗淨後，再沈積ＴＥＯＳ氧化膜２３ｃ，形成層間絕緣膜２３。該ＴＥＯＳ氧化膜２３ｃ，用以覆蓋藉ＣＭＰ形成之ＴＥＯＳ氧化膜２３ｂ上之刮

（請先閱讀背面之注意事項再寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（40）

傷。

其次，於層間絕緣膜２３開設連接孔，沈積摻雜質之多晶矽膜，藉ＣＭＰ法研磨該多晶矽膜以形成塞柱２６。

其次，僅於記憶格陣列領域Ａ形成氮化矽膜２３ｄ，沈積絕緣膜２４後在形成電容器Ｃ之領域形成溝使塞柱２６露出，沈積覆蓋該溝之多晶矽膜，除去溝以外之多晶矽膜，以形成電容器Ｃ之下部電極２７。之後，將記憶格陣列領域Ａ之絕緣膜２４及下部電極２４之內部所形成絕緣膜藉濕蝕刻除去，使下部電極２７露出圓筒形狀。又，此時，氮化矽膜２３ｄ可爲濕蝕刻之掩罩。之後，將下部電極２７之表面氮化或氮氧化處理後沈積氧化鉭膜。對該氧化鉭膜施予熱處理使其結晶化，作成更強固之介電體，以形成容量絕緣膜２８。又，該氧化鉭膜之燒結熱處理中，上述連接孔２１底部之耐熱性爲主要問題。但是，本實施形態１中，因採取如上述說明之對策，故即使進行此種熱處理，亦不會產生漏電流，接觸電阻增加等問題。又，沈積氮化鈦膜並施予圖型化，以形成屏極２９（圖１９）。

其次，於半導體基板１全面沈積ＴＥＯＳ氧化膜作爲絕緣膜３０，於直接周邊電路領域Ｂ及間接周邊電路領域Ｃ開設連接第１層配線１８之連接部，以形成塞柱３２。塞柱３２，可於半導體基板全面沈積Ｔｉ及氮化鈦之積層膜，再藉反射ＣＶＤ法沈積Ｗ膜，之後對Ｗ膜，氮化鈦膜及Ｔｉ膜作背面蝕刻以形成。又，Ｔｉ及氮化鈦膜可藉濺

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（41）

射法形成，亦可由ＣＶＤ法形成。又，於半導體基板１全面藉濺射法沈積Ｔｉ膜３１ａ，Ａｌ膜３１ｂ及氮化鈦膜３１ｃ，對其進行圖型化以形成第２層配線３１（圖１８）。

最後，沈積ＴＥＯＳ氧化膜３３ａ，ＳＯＧ膜３３ｂ及ＴＥＯＳ氧化膜３３ｃ以形成層間絕緣膜３３，和第２層配線３１同樣地形成塞柱３５，再形成第３層配線３４，圖２之ＤＲＡＭ大致完成。

依本實施形態１之ＤＲＡＭ，矽化鈦膜２０含有Ｎ，故位元線ＢＬ之圖型化時，即使位元線連接孔ＢＬＣＴ爲露出構造，矽化鈦膜２０可作爲阻蝕層功能，塞柱１９之過蝕刻，矽化鈦膜２０之橫向蝕刻不會產生。因此，後續工程容易，可提昇位元線ＢＬ與塞柱１９之連接信賴性，提昇ＤＲＡＭ之信賴性及良品率。

又，連接孔２１（ＣＴ）之下部之矽化鈦膜２０含有Ｎ，可提昇連接孔底部之耐熱性，容量絕緣膜２８形成時即使加高溫亦不會產生第１層配線Ｍ１與半導體基板１之連接部分之連接電阻增加及漏電流上昇之情況。以下，以數據說明此狀況。圖１９及圖２０爲本發明人檢討之實驗結果之圖，圖１９爲接觸電阻對Ｎ含有量之變化，圖２０爲漏電流對Ｎ含有量之變化。圖１９及圖２０中，（ａ）爲ｎ形基板，（ｂ）爲ｐ形基板之場合。

由圖示可知，未含Ｎ之矽化鈦膜之場合（Ｎ含有量爲０％時），接觸電阻及漏電流變大，隨Ｎ含有量之增加，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（42）

接觸電阻及漏電流降低。但是，N含有量大於13%起，接觸電阻，漏電流同時上昇，此一結果顯示大之N含有量無法得到效果。因此，N含有量存在最適值，其範圍爲1原子%～13原子%，較好爲1原子%～3原子%。

又，本實施形態中，位元線BL及第1層配線18（M1）之材料以氮化鈦膜及W爲例作說明，但亦可爲氮化鈦膜之單層膜。此情況下，矽化鈦膜20曝曬於氮化鈦膜之蝕刻氣體之氟系氣體中，但因係含N之矽化鈦膜20，具耐蝕性，故不會有問題。但是，矽化鈷膜，或矽化鎢膜之效果較大。

又，位元線BL及第1層配線18爲氮化鈦及W之場合時，矽化鈷，或含N，O，C或Ge之矽化鈷具較佳耐蝕性，較好。

（實施形態2）

圖21～圖23爲本發明另一實施形態之DRAM之製造方法之一例之擴大斷面圖。圖21～圖23中，左側爲位元線連接孔BLCT之部分，右側爲第1層配線M1與半導體基板1之主面之連接孔CT之部分。

本實施形態之DRAM，和實施形態1之DRAM比較不同之點爲，位元線BL及第1層配線之構造，及具有位元線連接孔BLCT及形成於連接孔21之塞柱，其之構成及製造方法爲同樣。因此，以下只說明不同之點。

本實施形態之DRAM之製造方法，和實施形態1之

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（43）

ＤＲＡＭ之圖１３爲止之製造方法大致相同。但是，本實施形態中之矽化鈦膜２０，不必含有Ｎ，Ｏ，Ｃ或Ｇｅ。當然，和實施形態１同樣含有Ｎ，Ｏ，Ｃ或Ｇｅ亦可，或者矽化鈷，矽化鎢亦可。

如實施形態１之圖１３所示沈積Ｗ膜１８ｃ後，對Ｗ膜１８ｃ，氮化鈦膜１８ｂ及Ｔｉ膜１８ａ進行背面蝕刻，以除去位元線連接孔ＢＬＣＴ及連接孔２１以外之上述積層膜。依此，於位元線連接孔ＢＬＣＴ形成位元線塞柱ＢＰ，於連接孔２１形成配線塞柱ＣＴＰ（圖２１）。背面蝕刻可使用背面蝕刻法或ＣＭＰ法。

又，使用ＣＭＰ法形成位元線塞柱ＢＰ及配線塞柱ＣＴＰ時，形成有位元線連接孔ＢＬＣＴ及連接孔２１之ＴＥＯＳ氧化膜１７ｄ之表面有必要被平坦化。又，形成有塞柱１９，２５之ＴＥＯＳ氧化膜１７ｃ之表面亦平坦化較好。如此般底層或形成有位元線塞柱ＢＰ及配線塞柱ＣＴＰ之層被平坦化，則可減低位元線塞柱ＢＰ及配線塞柱ＣＴＰ形成用之各導電膜之膜厚，減少研磨膜厚，減輕研磨工程中之工程負擔。

其次，於半導體基板１全面沈積金屬膜Ｍ（圖２２），之後，對金屬膜Ｍ進行圖型化以形成位元線ＢＬ及第１層配線Ｍ１（圖２３）。金屬膜Ｍ可使用例如Ｗ，或Ｍｏ之單層膜。

其後之工程和實施形態１同樣。

依本實施形態之ＤＲＡＭ，形成有位元線塞柱ＢＰ，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（44）

故金屬膜M之圖型化時，位元線塞柱BP作爲一種掩罩之功能，矽化鈦膜20，塞柱19不致被蝕刻。因此，即使位元線BL爲露出構造，亦可防止塞柱19之過蝕刻及矽化鈦膜20之橫向蝕刻。亦即，位元線BL爲W膜形成之單層膜之場合，當位元線塞柱BP爲含有W時，將位元線塞柱BP之W部分蝕刻掉。但是，如後說明般，位元線BL之膜厚可爲較薄，因此，作爲位元線BL之金屬膜M之蝕刻時之過蝕刻，係僅進行與膜厚相關之量。換句話說，因膜厚薄，故金屬膜M之過蝕刻量少即可。因此，金屬膜M之蝕刻時即使底層之位元線塞柱BP含有W。因該W之蝕刻量少，故蝕刻不致到達塞柱底部。結果，可防止矽化物層之過蝕刻。

又，位元線BL以Mo構成時，選擇Mo之蝕刻速度高於W之蝕刻速度之條件對位元線BL之金屬膜M進行蝕刻，如此即可選擇性地對位元線塞柱BP進行金屬膜M之蝕刻。即，可使位元線塞柱BP作爲金屬膜M之阻蝕層。依此，即使位元線BL相對位元線塞柱爲露出構造，亦可對位元線塞柱BP不作蝕刻，防止矽化物膜之蝕刻。

又，位元線BL以W之單層膜構成，可實現位元線BL之低電阻化。即，習知技術，因連接孔之埋入特性之關係不得不使用氮化鈦膜，本實施形態中，連接孔係以塞柱埋入，位元線BL可設爲與氮化鈦膜比較爲低電阻之W膜即可，氮化膜之加工有困難性，故以加工容易之W膜構成位元線BL，就加工性而言有利。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（45）

又，於位元線連接孔ＢＬＣＴ事先形成有位元線塞柱ＢＰ，故不必藉金屬膜Ｍ埋入位元線連接孔ＢＬＣＴ，因此，金屬膜Ｍ之膜厚可爲較薄。結果，可減低位元線ＢＬ間之容量，提昇儲存電荷之檢出感度。例如，連接孔之口徑設爲３００ｎｍ時，習知金屬膜Ｍ之膜厚需爲１５０ｎｍ以上。但本實施形態中，可爲１５０ｎｍ以下，而且，由導電率高之Ｗ膜形成，薄膜化更爲可能。

位元線ＢＬ之形狀如圖３所示，爲直線形狀，而且，近接配置。因爲近接，在記憶格領域以最小加工尺寸作圖型化處理，故圖型寬可以大致最小加工尺寸形成。位元線ＢＬ爲直線形狀，可提昇光蝕刻之解析度，縮小位元線ＢＬ之寬，減低位元線ＢＬ間之容量等效果係如本實施形態１記載般。但是，欲再度減低容量時，光蝕刻之解析度本身存有限制。因此，藉位元線ＢＬ間之間隔增大來減低位元線ＢＬ間之線間容量有困難，相對於此，本實施形態中，係藉減少位元線ＢＬ之厚度來達成容量減低者，故實施形態１以上之容量減低效果可期待。

又，如圖２４所示，上述位元線塞柱ＢＰ，可使用氮化鈦膜５０取代上述氮化鈦與Ｗ之積層膜。此場合下，相對構成位元線ＢＬ之Ｗ膜，氮化鈦膜５０具大之蝕刻選擇比，故氮化鈦膜５０形成之位元線塞柱ＢＰ可作爲位元線ＢＬ之圖型化時之阻蝕層。此種蝕刻，可用SF_6爲蝕刻氣體加以實現。此場合下，可增加位元線ＢＬ之加工容許度。又，氮化鈦膜５０，可取代氮化鎢膜。此場合下，氮化

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（46）

W膜可作爲構成位元線ＢＬ之W之蝕刻時之阻蝕層。

又，位元線塞柱ＢＰ以氮化鈦及W之積層膜，或氮化鈦膜，氮化鎢膜構成時，位元線ＢＬ以Ｍｏ構成時，Ｍｏ膜可作爲蝕刻時之阻蝕功能。

（實施形態３）

圖２５～圖２８爲本發明另一實施例之ＤＲＡＭ之製造方法之一例之擴大斷面圖。

本實施形態之製造方法，和實施形態１之圖９之前之製造方法大致相同，但是，ＴＥＯＳ氧化膜１７ｄ之膜厚形成稍厚（圖２５）。

其次，沈積Ｔｉ膜１８ａ，和實施形態１同樣施予熱處理以形成矽化鈦膜２０，沈積氮化鈦膜１８ｂ（圖２６）。此處，矽化鈦膜２０不必添加Ｎ或Ｏ，但亦可添加。

其次，以反射（Blanket）ＣＶＤ法沈積W膜１８ｃ（圖２７）。此處，各口徑，膜厚係設定成，W膜１８ｃ，氮化鈦膜１８ｂ及Ｔｉ膜１８ａ之全體厚度，即位元線ＢＬ之膜厚爲L_1，加上ＴＥＯＳ氧化膜１７ｄ之膜厚L_1之距離爲L_2，及位元線連接孔ＢＬＣＴ之口徑Ｄ間之滿足$L_1\times(1+OVE)<L_2$，及$L_1>D/2$之關係。其中，ＯＶＥ爲位元線ＢＬ圖型化時之過蝕刻量。過蝕刻量可適當設爲０．５。

只要滿足此種關係，如圖２８所示，即使使用光阻劑膜４０對W膜１８ｃ，氮化鈦膜１８ｂ及Ｔｉ膜１８ａ作

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（47）

圖型化處理，蝕刻亦不致進行至位元線連接孔ＢＬＣＴ之底部。結果，即使位元線ＢＬ爲露出構造，矽化鈦膜２０及塞柱１９亦不會被蝕刻。

又，Ｗ膜１８ｃ，氮化鈦膜１８ｂ及Ｔｉ膜１８ａ之蝕刻方法如實施形態１說明般。

依本實施形態，可防止矽化鈦膜２０及塞柱１９之蝕刻，可得上述實施形態１及２同樣之效果。

（實施形態４）

圖２９爲本發明另一實施形態之ＤＲＡＭ之一例之斷面圖。又，圖３０及圖３１爲本實施形態之ＤＲＡＭ之製造方法之一例之斷面圖。

本實施形態之ＤＲＡＭ，於圖２９之Ａ領域及$\overline{\text{Ｂ}}$領域係與實施形態１大致相同。於圖２９，特別表示間接周邊電路領域之Ｃ領域，本實施形態之ＤＲＡＭ，係將Ｃ領域中之連接孔２１之口徑與Ｂ領域中之連接孔２１之口徑設爲同一者。

本實施形態之ＤＲＡＭ之製造方法，係與實施形態１之製造大致相同。但是，如圖３０所示，開設連接孔２１時，使直接周邊電路之Ｂ領域之連接孔２１，與間接周邊電路之Ｃ領域之連接孔２１爲同一口徑。

以下，使用實施形態１中之圖１０～圖１３說明之。此處，圖１０～圖１３，係將直接周邊電路之Ｂ領域，間接周邊電路之Ｃ領域共通表示。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（48）

於半導體基板１之全面沈積Ｔｉ膜１８ａ，該沈積模樣示於圖１之一部分擴大圖（圖１０）。Ｔｉ膜１８ａ，比較層間絕緣膜１７上之膜厚與連接孔２１底部之膜厚，連接孔２１底部之膜厚變薄。此乃因Ｔｉ膜１８ａ爲使用濺射法形成者，受連接孔２１之底部起之臨視角之影響，底部之膜厚變薄而引起之，即開口越大其底部之膜厚變厚。因此，本實施形態中，於直接周邊電路領域Ｂ及間接周邊電路領域Ｃ之兩領域，連接孔２１之開口爲均一。因此，兩領域之連接孔２１底部之Ｔｉ膜１８ａ之膜厚爲同一。

其次，對半導體基板１進行退火，使半導體基板１與Ｔｉ膜１８ａ產生矽化物反應（圖１１）。據此，於連接孔２１之底部形成矽化鈦膜２０。此時，Ｔｉ膜１８ａ之膜厚，不受直接周邊電路領域Ｂ或間接周邊電路領域Ｃ之影響而爲均一，因此，可使連接孔２１之底部之Ｔｉ膜１８ａ全部反應，不會殘存未反應之Ｔｉ。依此，在後續之熱工程，不會發生無法預期之矽化物反應，可提昇連接孔２１之連接信賴性，即耐熱性。

其次，沈積氮化鈦膜１８ｂ（圖１２）。氮化鈦膜１８ｂ可藉ＣＶＤ法或濺射法形成，和上述Ｔｉ膜１８ａ同樣於連接孔２１之底部可實現均一之膜厚。依此，可抑制氮化鈦膜１８ｂ之膜厚不均一引起之耐熱性降低，提昇連接孔２１部分之連接信賴性。

其次，藉反射ＣＶＤ法沈積Ｗ膜１８ｃ（圖１３）。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（49）

因使用反射ＣＶＤ法，即使微細之連接孔２１亦可良好地埋入Ｗ膜。

之後，沈積氮化矽膜，進行圖型化，以形成位元線ＢＬ及第１層配線Ｍ１，帽絕緣膜２２ａ，形成側壁間隔物２２ｂ（圖３１）。

之後之工程和實施形態１相同。

此種ＤＲＡＭ，連接孔２１之口徑在半導體基板１之全面爲相同，故可形成耐熱性佳之矽化鈦膜２０。即，Ｔｉ膜１８ａ係以濺射法形成，因此，依連接孔之開口徑，連接孔底部之Ｔｉ膜１８ａ之膜厚互異。對不同膜厚之Ｔｉ膜１８ａ施予熱處理以形成矽化鈦膜２０時，一部分未反應之Ｔｉ殘存。此未反應之Ｔｉ，於開口徑大之連接孔容易殘存。此乃因開口徑越大連接孔底部之Ｔｉ膜厚越厚引起的。殘存之Ｔｉ，於後續工程起反應，產生空洞或浸食半導體基板１，造成漏電流增加及接觸電阻之增加，此經由本發明人究明。

亦即，本實施形態之ＤＲＡＭ，藉由使所有連接孔２１之口徑均一化，使該連接孔２１之底部之Ｔｉ膜１８ａ之膜厚均一化，據此而使矽化物反應後未反應之Ｔｉ消除，提昇連接孔部之耐熱性（耐漏電流上昇性，耐接觸電阻上昇性）。

又，本實施形態之ＤＲＡＭ之Ｔｉ膜１８ａ之膜厚之例，例如以交互濺射法沈積５０ｎｍ膜厚之Ｔｉ膜１８ａ時，在連接孔２１底部，任一連接孔２１均爲１０ｎｍ之

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（50）

膜厚。對該Ｔｉ膜１８ａ施予６５０℃，１分之熱處理，結果，未檢出殘存之Ｔｉ。又，後續形成電容器Ｃ時，施予８００℃，１１分鐘之熱處理，並未觀察到連接孔２１之部分之接觸電阻之上昇，或漏電流之增加。

本實施形態中，以連接孔２１之口徑均一爲例作說明。但連接孔２１之深度不同時，可使縱橫比一致地決定口徑。依此，可使連接孔底部之Ｔｉ膜厚均一化，提昇連接孔部分之耐熱性。

又，本實施形態中，如實施形態２般以ＣＭＰ法作成位元線塞柱ＢＰ及配線塞柱ＣＴＰ亦可。

（實施形態５）

圖３２（ａ）爲本發明另一實施形態之半導體積體電路裝置之間接周邊電路之一部分之平面圖。圖３２（ｂ）爲其等效電路圖。

本實施形態以輸出緩衝器爲例說明。本實施形態之輸出緩衝器係，４個ｎ通道ＭＩＳＦＥＴ，４個ｐ通道ＭＩＳＦＥＴ並接，再將ｎ通道ＭＩＳＦＥＴ及ｐ通道ＭＩＳＦＥＴ串接構成之ＣＭＯＳ換流器。

ｎ通道ＭＩＳＦＥＴ，形成於擴散有ｎ形雜質之ｎ擴散領域１０１，ｐ通道ＭＩＳＦＥＴ，形成於擴散有ｐ形雜質之ｐ擴散領域１０２。

於ｎ擴散領域１０１及ｐ擴散領域１０２形成有閘極１０３，各閘極１０３分別連接或輸入部１０４。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（51）

於閘極１０３之兩側形成源、汲極領域，各ＭＩＳＦＥＴ之一方之源、汲極領域係經介由連接孔１０５連接之配線接電源端子１０７，或經介由連接孔１０５連接之配線１０８接接地端子１０９。又，另一方之源、汲極領域則經介由連接孔１０５連接之配線１１０連接成輸出部１１１。又，ｐ通道ＭＩＳＦＥＴ，其電流驅動能力低於ｎ通道ＭＩＳＦＥＴ，故閘極寬較大。

此處，連接孔１０５，和實施形態４說明同樣地在直接周邊或間接周邊之兩領域形成同一口徑。依此可提昇連接孔之耐熱性，此點如實施形態４說明般．

但是，如本實施形態般，驅動電流容量要求之場合，連接孔底部之接觸面積變小，接觸電阻上昇，有成爲電流驅動之障礙之情況。

因此，本實施形態中，將連接孔１０５之配列於閘極之寬度方向並排２列以抑制接觸電阻之上昇。依此，可增加緩衝器之電流容量，即使大電流亦能確保足夠之動作。

又，本實施形態中，連接孔１０５之配列設爲２列之部分，只限連接電源端子１０７或接地端子１０９之配線１０６或配線１０８之佈局部分，連接輸出部１１１之配線１１０之佈局部分其連接孔１０５配置成一列。此乃因，將連接孔１０５配置成２列時接觸電阻減低，配線與半導體基板之接觸面積增大，基板容量附加於配線導致輸出信號之應答性能降低。

如此般，本實施形態中，要求大電流容量時，將連接

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（52）

孔配置成２列以減低接觸電阻，要求信號應答性能時將連接孔１０５配置成１列，電流容量及應答性能可同時提昇。此種效果可提昇連接孔１０５之耐熱性。

又，此處，連接孔１０５以配列２列爲例作說明，但亦可配置２以上之多數列。又，間接周邊電路領域之佈局比較上具容許度，如本實施形態２般配置多數列之連接孔１０５較容易，不致成爲佈局面積增加之大障害。

（實施形態６）

圖３３～圖３６爲本發明另一實施形態之ＤＲＡＭ之製造方法之一例之擴大斷面圖。圖３３～圖３６中，僅圖示周邊電路部分。

本實施形態之ＤＲＡＭ，和實施形態１之ＤＲＡＭ，除矽化鈦膜之構造及形成方法不同以外，和實施形態１之ＤＲＡＭ之構造及製造方法同樣。因此，以下僅說明不同點。本實施形態之ＤＲＡＭ之製造方法，和實施形態１之ＤＲＡＭ之圖９之前之製造方法大略相同。

形成連接孔２１後，沈積Ｔｉ膜１８ａ（圖３３）。Ｔｉ膜１８ａ可藉交互濺射法沈積。又，Ｔｉ膜１８ａ，於連接孔２１之底部，其膜厚沈積爲１０～２０ｎｍ。

其次，和實施形態１同樣施予熱處理，使Ｔｉ膜１８ａ與半導體基板１之矽反應，以形成矽化鈦膜２０（圖３４）。該矽化鈦膜２０之形成中，於連接孔２１之底部殘存Ｔｉ般，使底部之所有Ｔｉ反應地施予熱處理。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（53）

Ｔｉ膜１８ａ之連接孔２１之底部之膜厚設爲１０～２０ｎｍ，使其全部反應，則矽化鈦膜２０之膜厚成爲１５～３０ｎｍ之範圍內。藉此種矽化物化反應，連接孔２１底部之Ｔｉ膜１８ａ全部矽化物化，不殘存有Ｔｉ。如此不殘存有Ｔｉ，可提昇接觸部之耐熱性。又，若殘存有Ｔｉ，則於後續工程Ｔｉ將矽化物化，矽化鈦膜２０之膜厚將增加，但本實施形態中，於後續之熱工程，矽化鈦膜２０之膜厚未增加。矽化鈦膜２０之膜厚未增加一事，可抑制接觸部分之接觸電阻之上昇。

將矽化鈦膜２０之膜厚設於１５～３０ｎｍ之範圍內，可減低連接孔２１底部之接觸電阻。如此般藉矽化鈦膜２０之膜厚使接觸電阻之值變化，乃本發明人經實驗究明者。以下，以圖３７說明之。圖３７爲接觸電阻與連接孔２１之底部之矽化鈦膜２０之膜厚之關係圖，（ａ）爲ｎ型之場合，（ｂ）爲ｐ型之場合。在ｎ型，ｐ型之任一場合，矽化鈦膜２０之膜厚１５ｎｍ以下之場合，接觸電阻變大。此意味著，爲確保低之接觸電阻，１５ｎｍ左右之膜爲必要，不具某一程度之膜厚則無法發揮矽化物膜之功能，無法達低電阻化。另一方面，ｐ型之場合，隨矽化鈦膜２０之膜厚變大，接觸電阻上昇。此可考慮爲反映高濃度雜質領域１５ｂ之雜質濃度曲線。亦即，ｐ型高濃度雜質領域１５ｂ中，表面領域之雜質濃度變高，隨深度變深，雜質濃度下降。此種雜質濃度曲線中，若形成厚矽化鈦膜，矽化鈦層形成於雜質濃度低之領域，即高濃度雜質領

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（54）

域１５ｂ之深領域，雜質濃度高，產生低電阻之領域被取入矽化物層之現象。此種場合下，高濃度雜質領域１５ｂ無法充分低電阻化，結果，顯現連接電阻變高之現象。

另一方面，ｎ型場合時，即使矽化鈦膜２０之膜厚變大亦不見顯著之接觸電阻之增加。此乃因反映，在ｎ型高濃度雜質領域１５ｂ，雜質特性曲線不受深度影響，大略保持一定。因此，ｎ型場合，即使矽化鈦膜２０之膜厚變大亦不影響接觸電阻之上昇。此乃因，於記憶格領域中，與位元線ＢＬ連接之塞柱１９上面之矽化鈦膜２０之情況佳。即，形成於塞柱１９上之開口深度較淺，與連接孔２１比較其縱橫比低。因此，開口底部之Ｔｉ膜１８ａ之膜厚，與連接孔２１底部之膜厚比較變厚。因此，形成於塞柱１９上面之矽化鈦膜２０之膜厚變厚。但是，記憶格選擇用之選擇ＭＩＳＦＥＴＱｓ爲ｎ通道型，導入塞柱１９之雜質爲ｎ型導電型之雜質。因此，塞柱１９上面之矽化鈦膜２０之膜厚即使稍厚亦不致使接觸電阻上昇。

又，於矽化鈦膜２０，不必含有Ｎ，Ｏ，Ｃ或Ｇｅ。但是，和實施形態１同樣含Ｎ，Ｏ，Ｃ或Ｇｅ亦可。又，取代Ｔｉ膜１８ａ，使用Ｗ膜，Ｃｏ膜形成矽化鈷，矽化鎢亦可。

其次，和實施形態１同樣沈積氮化鈦膜１８ｂ（圖３５），和實施形態１同樣沈積Ｗ膜１８ｃ（圖３６）。

後續工程係和實施形態１同樣。

依本實施形態，可減低連接孔２１底部之接觸電阻，

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（55）

提昇接觸部分之耐熱性。

又，氮化鈦膜１８ｂ及Ｗ膜１８ｃ以氮化鈦膜之單層膜，或氮化鎢膜之單層膜取代亦可。又，本實施形態之矽化鈦膜２０亦適用實施形態２。

（實施形態７）

圖３８～圖４１爲本發明另一實施形態之ＤＲＡＭ之製造方法之一例之擴大斷面圖。圖３８～圖４１中，僅示出周邊電路之部分。

本實施形態之ＤＲＡＭ，除矽化鈦膜之形成方法不同外，均與實施形態６之ＤＲＡＭ之構造及製造方法相同。因此，以下僅說明不同之點。本實施形態之ＤＲＡＭ之製造方法，係和實施形態６之ＤＲＡＭ之圖３３前之製造方法大略相同。但是，本實施形態中，Ｔｉ膜１８ａ之膜厚爲１０ｎｍ以上，即熱處理後之矽化鈦膜之膜厚爲１５ｎｍ以上即可，並未特別限定。因此，Ｔｉ膜１８ａ之膜厚爲２０ｎｍ以上亦可（圖３８）。

其次，和實施形態６同樣進行熱處理，形成矽化鈦膜２０（圖３９）。但是，連接孔２１底部之Ｔｉ膜１８ａ之全部未被矽化物化，控制熱處理時間以使矽化鈦膜２０之膜厚爲１５～３０ｎｍ。藉由將矽化鈦膜２０之膜厚設爲１５～３０ｎｍ，和實施形態６同樣地可得抑制接觸電阻增加之效果。

本實施形態之場合，如圖３９所示，於連接孔２１之

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（56）

底部殘存未反應之Ｔｉ。此種未反應Ｔｉ之殘存，於後續熱處理工程導致連接信賴性降低。因此，本實施形態中，以例如濕蝕法選擇性地除去未反應之Ｔｉ（圖４０）。如此般藉由蝕刻除去未反應Ｔｉ。可防止Ｔｉ之殘存，防止後續熱工程之連接部信賴性降低，即耐熱性之降低。

其次，和實施形態６同樣，沈積氮化鈦１８ｂ及Ｗ１８ｃ（圖４１）。後續工程和實施形態６同樣。

依本實施形態，可實現連接孔２１底部之連接電阻之降低，及連接信賴性（耐熱性）之提昇。

又，矽化鈦膜２０不必含有Ｎ，Ｏ，Ｃ或Ｇｅ，但和實施形態１同樣含有Ｎ，Ｏ，Ｃ或Ｇｅ亦可。又，以Ｗ膜，Ｃｏ膜取代Ｔｉ膜１８ａ，形成矽化鈷，矽化鎢亦可。

又，將氮化鈦膜１８ｂ及Ｗ膜１８ｃ以氮化膜之單層膜，或氮化鎢膜之單層膜取代亦可，此和實施形態２同樣。又，本實施形態之矽化鈦膜２０亦可適用實施形態２。

（實施形態８）

圖４２爲本發明另一實施形態之ＤＲＡＭ之製造方法之一例之擴大斷面圖。圖４２中，僅圖示周邊電路。

本實施形態之ＤＲＡＭ，和實施形態１之ＤＲＡＭ比較，位元線ＢＬ及第１層配線Ｍ１之構造不點。又，本實施形態中，矽化鈦膜層２０未形成於半導體基板１之主面。因此，以下僅說明不同點．

本實施形態之位元線ＢＬ及第１層配線Ｍ１，係以矽

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（57）

化鈦膜５１，氮化鈦膜１８ｂ及Ｗ膜１８ｃ構成。矽化鈦膜５１，係取代實施形態１～７中之矽化鈦層２０，具減低位元線ＢＬ及第１層配線Ｍ１與塞柱１９或半導體基板１之連接電阻之功能。

本實施形態之矽化鈦膜５１，和實施形態１同樣，形成連接孔２１後，藉濺射法或ＣＶＤ法形成。又，矽化鈦膜５１之膜厚可爲１５～３０ｎｍ之範圍。

依本實施形態之ＤＲＡＭ，可藉矽化鈦膜５１降低連接孔２１底部之連接電阻。又，未殘存有Ｔｉ，連接孔２１底部之連接信賴性可提昇。

又，矽化鈦膜５１不必含有Ｎ，Ｏ，Ｃ或Ｇｅ。但和實施形態１同樣含Ｎ，Ｏ，Ｃ或Ｇｅ亦可。又，以Ｗ膜，Ｃｏ膜取代Ｔｉ膜１８ａ，形成矽化鈷，矽化鎢亦可。

又，將氮化鈦膜１８ｂ及Ｗ膜１８ｃ以氮化鈦膜之單層膜，或氮化鎢膜之單層膜取代亦可。又，圖４２之工程後，和實施形態２同樣形成位元線塞柱ＢＰ，配線塞柱ＣＴＰ亦可。

（實施形態９）

圖４３及圖４４爲本發明另一實施形態之ＤＲＡＭ之製造方法之一例之擴大斷面圖。圖４３及４４中僅示出周邊電路。

本實施形態之ＤＲＡＭ，和實施形態１之ＤＲＡＭ，不同之點在於位元線ＢＬ及第１層配線Ｍ１之構造。又，

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（58）

本實施形態中，矽化鈦層２０之形成方法不同。因此，以下說明其不同之點。

本實施形態之ＤＲＡＭ之製造方法，和實施形態６之ＤＲＡＭ之圖３３之前之製造方法大略相同。但是，本實施形態中，Ｔｉ膜１８ａ之膜厚爲１０ｎｍ以上，即熱處理後之矽化鈦膜之膜厚爲１５ｎｍ以上即可，並未特別限定。因此，Ｔｉ膜１８ａ之膜厚２０ｎｍ以上亦可．

其次，沈積多晶矽膜５２（圖４３）。多晶矽膜５２，於以下說明之熱處理時，具有不與多餘之Ｔｉ膜反應而產生殘存之Ｔｉ之功能。

其次，和實施形態６同樣進行熱處理（圖４４）。該熱處理之結果，連接孔２１底部之Ｔｉ膜１８ａ之一部分（底面側）與半導體基板１之矽反應，形成矽化鈦膜２０，Ｔｉ膜１８ａ之另一部分（上面側）與多晶矽膜５２反應產生矽化鈦膜５２ａ。結果，和多晶矽膜５２之反應，Ｔｉ膜１８ａ之上面側被消耗，殘存之Ｔｉ膜１８ａ之底面側與半導體基板１之矽之反應時被消耗。因此，矽化物層之形成未及於半導體基板１之高濃度雜質領域１５ｂ之深領域，連接電阻不變高。另一方面，即使Ｔｉ膜１８ａ之膜厚厚，因未形成殘存之Ｔｉ，連接部之耐熱性可確保。

又，在連接孔２１之側壁或ＴＥＯＳ氧化膜１７ｄ上面，殘存有與多晶矽膜５２未完全反應之Ｔｉ膜１８ａ之一部分，但是，該殘存Ｔｉ亦不因後續熱處理損及連接信

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（59）

賴性。亦即，只要連接孔２１底部殘存之Ｔｉ不存在，不致因後續熱工程導致信賴性降低。即，本實施形態中，選擇Ｔｉ膜１８ａ與多晶矽膜５２之膜厚，使於連接孔２１欵底部不存在殘存之Ｔｉ，且形成之矽化物層未形成於半導體基板１之深度即可。多晶矽膜５２之膜厚，可形成爲例如較Ｔｉ膜１８ａ之膜厚爲薄。

其後續工程係和實施形態６同樣。

依本實施形態，可降低連接孔２１底部之連接電阻之同時，亦可抑制後續熱工程之連接信賴性（耐熱性）之降低。

又，矽化鈦膜２０不必含有Ｎ，Ｏ，Ｃ或Ｇｅ，當然，和實施形態１同樣，含有Ｎ，Ｏ，Ｃ或Ｇｅ亦可。又，以Ｗ膜，Ｃｏ膜取代Ｔｉ膜１８ａ，形成矽化鈷，矽化鎢亦可。

又，將氮化鈦膜１８ｂ及Ｗ膜１８ｃ以氮化鈦膜之單層膜，或氮化鈦膜之單層膜取代亦可。又，本實施形態之矽化鈦膜２０亦可適用實施形態２。

又，如圖４５所示，即使Ｔｉ膜１８ａ形成較２０ｎｍ爲厚，於熱處理形成矽化鈦膜時，可於SiH_4之環境中進行熱處理。此種場合，使殘存之Ｔｉ與SiH_4氣體反應產生矽化物化，可抑制未反應Ｔｉ之產生。

（實施形態１０）

圖４６及４７爲本發明另一實施形態之ＤＲＡＭ之製

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（60）

造方法之一例之斷面圖。

本實施形態之半導體積體電路裝置之製造方法，矽化物化反應，係在實施形態1之ＳＯＧ膜17a形成前進行。

實施形態1之圖7之工程後，於半導體基板1全面沈積Ｔｉ膜53。之後，和實施形態1同樣對半導體基板1作熱處理以形成矽化鈦膜54（圖46）。

之後，以濕蝕刻選擇性除去未反應之Ｔｉ膜（圖47）。其後之工程和實施形態1大略相同。但是，連接孔21形成後，在位元線ＢＬ及成爲第1層配線Ｍ1之金屬膜Ｍ不必要Ｔｉ等矽化物化層。

依本實施形態，在半導體基板1之矽露出領域之全部形成矽化物層，更能確實降低連接電阻。又，將未反應之Ｔｉ選擇性除去，可提昇耐熱性。

又，在連接孔21形成後之位元線ＢＬ及成爲第1層配線Ｍ1之金屬膜Ｍ包含鈦等矽化物層亦可。此場合下，於連接孔21之底部存在過剩之Ｔｉ等，該部分即連接孔21底部之耐熱性降低，連接電阻上昇。但本實施形態中，在連接孔21底部以外之半導體領域即高濃度雜質領域15b亦形成矽化鈦膜54，因此，半導體領域之低電阻性，可該連接孔21底部以外之矽化鈦膜54確保。

以上，係以實施形態具體說明本發明，但本發明並不限定於上述實施形態，在不脫離其要旨之範圍內可作各種變更。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（61）

例如，上述實施形態１～１０中，位元線ＢＬ相對於位元線連接孔ＢＬＣＴ係呈露出構造。但是，本來位元線ＢＬ及位元線連接孔ＢＬＣＴ未呈露出構造之場合，如圖４８所示，會因掩罩偏移等而成露出構造之場合。此種場合下亦適用本發明。

又，上述實施形態中，第１層配線Ｍ１與下層之連接，係以ＭＩＳＦＥＴ之源、汲極領域之高濃度雜質領域１５ｂ與第１層配線Ｍ１間之場合作說明，但不限於ＭＩＳＦＥＴ之源、汲極領域，亦適用與其他領域，例如半導體基板１之其他表面，或ＭＩＳＦＥＴ之閘極之間之連接。

〔發明之效果〕

本發明可得代表性之效果簡單說明如下。

（１）可防止位元線連接孔中之多晶矽塞柱之凹凸。又，藉由該凹凸之防止，可消除後續工程，例如光蝕刻工程或蝕刻工程中之不良影響，增加工程容許度．

（２）可防止位元線與多晶矽塞柱之連接部之矽化物膜之橫向蝕刻。藉該橫向蝕刻之防止，確保位元線與多晶矽塞柱間之導通，提昇半導體積體電路裝置之良品率及信賴性。

（３）減低位元線容量，減低ＤＲＡＭ之資訊記憶必要之儲存容量，提昇ＤＲＡＭ之動作速度。

（４）提昇ＤＲＡＭ之位元線與周邊電路領域之第１

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（62）

層配線共用時之第1層配線與半導體基板之連接部分之耐熱性，抑制其後續工程中之連接部分之漏電流之增加，提昇DRAM之製造良品率及信賴性及性能。

（5）減低第1層配線與半導體基板等下層構件間之連接電阻，提昇半導體積體電路裝置之性。

〔圖面之簡單說明〕

圖1：形成有本發明實施形態1之DRAM之半導體晶片全體之一例之平面圖。

圖2：實施形態1之DRAM之等效電路圖。

圖3：圖1之一部分之擴大平面圖。

圖4：圖3之Ⅳ－Ⅳ線斷面圖。

圖5：實施形態1之DRAM之製造方法之一例之工程順序之斷面圖。

圖6：實施形態1之DRAM之製造方法之一例之工程順序之斷面圖。

圖7：實施形態1之DRAM之製造方法之一例之工程順序之斷面圖。

圖8：實施形態1之DRAM之製造方法之一例之工程順序之斷面圖。

圖9：實施形態1之DRAM之製造方法之一例之工程順序之斷面圖。

圖10：實施形態1之DRAM之製造方法之一例之工程順序之斷面圖。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（63）

圖１１：實施形態１之ＤＲＡＭ之製造方法之一例之工程順序之斷面圖。

圖１２：實施形態１之ＤＲＡＭ之製造方法之一例之工程順序之斷面圖。

圖１３：實施形態１之ＤＲＡＭ之製造方法之一例之工程順序之斷面圖。

圖１４：實施形態１之ＤＲＡＭ之製造方法之一例之工程順序之擴大斷面圖。圖１４（ａ）爲圖１３階段之圖3之ＸⅣ－ＸⅣ線斷面圖，圖１４（ｂ）爲圖型化時形成位元線後之ＸⅣ－ＸⅣ線斷面圖。

圖１５：實施形態１之ＤＲＡＭ之製造方法之一例之工程順序之斷面圖。

圖１６：實施形態１之ＤＲＡＭ之製造方法之一例之工程順序之斷面圖。

圖１７：實施形態１之ＤＲＡＭ之製造方法之一例之工程順序之斷面圖。

圖１８：實施形態１之ＤＲＡＭ之製造方法之一例之工程順序之斷面圖。

圖１９：本發明人檢討之實驗結果之圖，相對於Ｎ含有量之接觸電阻值之變化圖，圖１９（ａ）爲ｎ形基板之場合，圖１９（ｂ）爲ｐ形基板之場合。

圖２０：本發明人檢討之實驗結果之圖，相對於Ｎ含有量之漏電流值之變化圖，圖２０（ａ）爲ｎ形基板之場合，圖２０（ｂ）爲ｐ形基板之場合。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（64）

圖２１：實施形態２之ＤＲＡＭ之製造方法之一例之擴大斷面圖。

圖２２：實施形態２之ＤＲＡＭ之製造方法之一例之擴大斷面圖。

圖２３：實施形態２之ＤＲＡＭ之製造方法之一例之擴大斷面圖。

圖２４：實施形態２之ＤＲＡＭ之製造方法之一例之擴大斷面圖。

圖２５：實施形態３之ＤＲＡＭ之製造方法之一例之擴大斷面圖。

圖２６：實施形態３之ＤＲＡＭ之製造方法之一例之擴大斷面圖。

圖２７：實施形態３之ＤＲＡＭ之製造方法之一例之擴大斷面圖。

圖２８：實施形態３之ＤＲＡＭ之製造方法之一例之擴大斷面圖。

圖２９：實施形態４之ＤＲＡＭ之製造方法之一例之斷面圖。

圖３０：實施形態４之ＤＲＡＭ之製造方法之一例之斷面圖。

圖３１：實施形態４之ＤＲＡＭ之製造方法之一例之斷面圖。

圖３２：實施形態５之半導體積體電路裝置之一例，圖３２ａ爲間接周邊電路之一部之平面圖，圖３２ｂ爲其

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（65）

等效電路圖。

圖33：實施形態6之DRAM之製造方法之一例之擴大斷面圖。

圖34：實施形態6之DRAM之製造方法之一例之擴大斷面圖。

圖35：實施形態6之DRAM之製造方法之一例之擴大斷面圖。

圖36：實施形態6之DRAM之製造方法之一例之擴大斷面圖。

圖37：接觸電阻與連接孔之底部之矽化鈦膜之膜厚間之關係圖，圖37（a）爲n型之場合，圖37（b）爲p型之場合。

圖38：實施形態7之DRAM之製造方法之一例之擴大斷面圖。

圖39：實施形態7之DRAM之製造方法之一例之擴大斷面圖。

圖40：實施形態7之DRAM之製造方法之一例之擴大斷面圖。

圖41：實施形態7之DRAM之製造方法之一例之擴大斷面圖。

圖42：實施形態8之DRAM之製造方法之一例之擴大斷面圖。

圖43：實施形態9之DRAM之製造方法之一例之擴大斷面圖。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（66）

圖４４：實施形態９之ＤＲＡＭ之製造方法之一例之擴大斷面圖。

圖４５：實施形態９之ＤＲＡＭ之製造方法之一例之擴大斷面圖。

圖４６：實施形態１０之ＤＲＡＭ之製造方法之一例之斷面圖。

圖４７：實施形態１０之ＤＲＡＭ之製造方法之一例之斷面圖。

圖４８：本發明之一例之平面圖。

〔符號說明〕

１　半導體基板

１Ａ　半導體晶片

２，３　ｐ形井

４　ｎ形井

６　深井

７　分離領域

８　淺溝

９　氧化矽膜

１０　閘極絕緣膜

１１　閘極

１１ａ　多晶矽膜

１１ｂ　氮化鈦膜

１１ｃ　Ｗ膜

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（67）

１２　雜質半導體領域

１３　帽絕緣膜

１４　氮化矽膜

１５　雜質半導體領域

１５ａ　低濃度雜質領域

１５ｂ　高濃度雜質領域

１６　側壁間隔物

１７　層間絕緣膜

１７ａ　ＳＯＧ膜

１７ｂ　ＴＥＯＳ氧化膜

１７ｃ　ＴＥＯＳ氧化膜

１７ｄ　ＴＥＯＳ氧化膜

１８（Ｍ１）　第１層配線

１８ａ　Ｔｉ膜

１８ｂ　氮化鈦膜

１８ｃ　Ｗ膜

１９　塞柱

２０　矽化鈦膜

２１　連接孔

２２ａ　帽絕緣膜

２２ｂ　側壁間隔物

２３　層間絕緣膜

２３ａ　ＳＯＧ膜

２３ｂ　ＴＥＯＳ氧化膜

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（68）

23c　TEOS氧化膜

23d　氮化鈦膜

24　絕緣膜

25　塞柱

26　塞柱

27　下部電極

28　容量絕緣膜

29　屏電極

30　絕緣膜

31（M2）　第2層配線

31a　Ti膜

31b　Al膜

31c　氮化鈦膜

32　塞柱

32a　接著層

32b　W膜

33　層間絕緣膜

33a　TEOS氧化膜

33b　SOG膜

33c　TEOS氧化膜

34（M3）　第3層配線

35　塞柱

40　光阻劑膜

50　氮化鈦膜

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（69）

51，52a，54　矽化鈦膜

52　多晶矽膜

53　Ti膜

A　記憶格陣列領域

B　直接周邊電路領域

BL位元線

BLCT　位元線連接孔

BP　位元線塞柱

C　電容器

C　間接周邊電路領域

CT　連接孔

CTP　配線塞柱

D　口徑

FG1　閘極配線

FG2　閘極配線

L1　活性領域

L2　活性領域

L3　活性領域

M　金屬膜

MARY　記憶陣列

OVE　過蝕刻量

Qn　n通道MISFET

Qp　p通道MISFET

Qs　選擇MISFET

（請先閱讀背面之注意事項再填寫本頁）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（ 70 ）

SA　感測放大器

SNCT　電容器連接孔

WD　字元驅動器

WL　字元線

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

四、中文發明摘要（發明之名稱：半導體積體電路裝置及其製造方法）

目的在於防止位元線連接孔中之多晶矽塞柱之凹凸，防止位元線與連接孔間之連接部之矽化膜之橫向蝕刻。

將與第１層配線１８同時形成之位元線ＢＬ設爲Ｔｉ膜１８ａ，氮化鈦膜１８ｂ，及Ｗ膜１８ｃ之積層膜，在位元線ＢＬ與塞柱１９之連接部形成含有Ｎ或Ｏ之矽化氮膜２０。在第１層配線１８與半導體基板１之連接部亦可形成含有Ｎ或Ｏ之矽化鈦膜２０。可使用含Ｎ或Ｏ之矽化鎢層，含Ｎ或Ｏ之矽化鈷層，或矽化鈷層取代矽化鈦膜２０。

英文發明摘要（發明之名稱：）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

407369 公告本

修正補充本89年6月16日

六、申請專利範圍

1．一種半導體積體電路裝置，係具有：形成於半導體基板主面上之記憶格選擇用之第1ＭＩＳＦＥＴ及周邊電路用之第2ＭＩＳＦＥＴ；形成於上述第1ＭＩＳＦＥＴ之一方之源、汲極領域上之第1絕緣膜上的多晶矽塞柱；及介由開設於上述第1絕緣膜上之第2絕緣膜上之第1連接孔電連接於上述多晶矽塞柱的上述第2絕緣膜上之位元線；其特徵爲：

在上述位元線與多晶矽塞柱之間，形成有由Ｔｉ，Ｗ或Ｃｏ之中選擇之元素之矽化物膜且含有雜質者，或不含雜質之矽化鈷膜，

上述雜質係由Ｎ（氮），Ｏ（氧），Ｃ（碳），或Ｇｅ（鍺）之中選擇之任一或複數之元素。

2．如申請專利範圍第1項之半導體積體電路裝置，其中

上述雜質之含有量爲1原子％～13原子％之範圍。

3．如申請專利範圍第2項之半導體積體電路裝置，其中

上述雜質爲Ｎ，該Ｎ之含有量爲1原子％～3原子％之範圍內。

4．如申請專利範圍第1項之半導體積體電路裝置，其中

上述位元線之線幅爲上述第1連接孔之口徑以下。

5．一種半導體積體電路裝置，係具有：形成於半導體基板主面上之記憶格選擇用之第1ＭＩＳＦＥＴ；形成

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

407369 公告本

修正補充本89年6月16日

六、申請專利範圍

1．一種半導體積體電路裝置，係具有：形成於半導體基板主面上之記憶格選擇用之第1ＭＩＳＦＥＴ及周邊電路用之第2ＭＩＳＦＥＴ；形成於上述第1ＭＩＳＦＥＴ之一方之源、汲極領域上之第1絕緣膜上的多晶矽塞柱；及介由開設於上述第1絕緣膜上之第2絕緣膜上之第1連接孔電連接於上述多晶矽塞柱的上述第2絕緣膜上之位元線；其特徵爲：

在上述位元線與多晶矽塞柱之間，形成有由Ｔｉ，Ｗ或Ｃｏ之中選擇之元素之矽化物膜且含有雜質者，或不含雜質之矽化鈷膜，

上述雜質係由Ｎ（氮），Ｏ（氧），Ｃ（碳），或Ｇｅ（鍺）之中選擇之任一或複數之元素。

2．如申請專利範圍第1項之半導體積體電路裝置，其中

上述雜質之含有量爲1原子％～13原子％之範圍。

3．如申請專利範圍第2項之半導體積體電路裝置，其中

上述雜質爲Ｎ，該Ｎ之含有量爲1原子％～3原子％之範圍內。

4．如申請專利範圍第1項之半導體積體電路裝置，其中

上述位元線之線幅爲上述第1連接孔之口徑以下。

5．一種半導體積體電路裝置，係具有：形成於半導體基板主面上之記憶格選擇用之第1ＭＩＳＦＥＴ；形成

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

於上述第１ＭＩＳＦＥＴ之一方之源、汲極領域上之第１絕緣膜上的多晶矽塞柱；及形成於上述第１絕緣膜上之第２絕緣膜上的位元線；其特徵爲：

在上述第２絕緣膜開設有第１連接孔，上述位元線與多晶矽塞柱係介由形成於上述第１連接孔內之第１塞柱連接。

６．如申請專利範圍第５項之半導體積體電路裝置，其中

上述第１及第２絕緣膜之表面，至少在上述第１ＭＩＳＦＥＴ之形成領域被平坦化，上述第１塞柱之表面與上述第２絕緣膜之表面係形成於同一平面。

７．如申請專利範圍第５項之半導體積體電路裝置，其中

上述位元線之膜厚爲上述第１連接孔之口徑之２分之１以下。

８．如申請專利範圍第５項之半導體積體電路裝置，其中

上述位元線之線幅爲上述第１連接孔之口徑以下。

９．如申請專利範圍第５項之半導體積體電路裝置，其中

上述位元線，係由對上述第１塞柱可選擇性蝕刻之材料構成。

１０．如申請專利範圍第５項之半導體積體電路裝置，其中

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

上述位元線係由W或Mo之單層膜形成，

上述第1塞柱，係由含氮化鈦及w之積層膜，或氮化鈦或氮化鎢形成。

11．如申請專利範圍第5項之半導體積體電路裝置，其中

另具有形成於上述半導體基板主面之周邊電路之第2MISFET，及形成於上述第2絕緣膜上的周邊電路之第1層配線；

在上述第1及第2絕緣膜開設有第2連接孔，上述第1層配線，與上述第2MISFET之源、汲極領域，係介由形成於上述第2連接孔內之第2塞柱連接，

上述第2塞柱，係與上述第1塞柱由同一材料構成，上述第1層配線係與上述位元線由同一材料構成。

12．如申請專利範圍第11項之半導體積體電路裝置，其中

上述第1及第2絕緣膜表面，在上述半導體基板之全面範圍內被平坦化，上述第1及第2塞柱之表面與上述第2絕緣膜之表面係形成於同一平面。

13．如申請專利範圍第11項之半導體積體電路裝置，其中

上述位元線及第1層配線係由W及Mo之單層膜形成，

上述第1及第2塞柱，係由含有氮化鈦膜及W膜之積層膜，或氮化鈦或氮化鎢形成。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

１４．如申請專利範圍第５項之半導體積體電路裝置，其中

在上述第１塞柱與多晶矽塞柱之連接領域，形成有由Ｔｉ，Ｗ或Ｃｏ之中選擇之元素之矽化物膜且含有雜質者，或不含雜質之矽化鈷膜，

上述雜質係由Ｎ（氮），Ｏ（氧），Ｃ（碳），或Ｇｅ（鍺）之中選擇之任一或複數之元素。

１５．如申請專利範圍第１４項之半導體積體電路裝置，其中

上述雜質爲Ｎ，該Ｎ之含有量爲１原子％～３原子％之範圍內。

１６．如申請專利範圍第１１項之半導體積體電路裝置，其中

在上述第１塞柱與多晶矽塞柱之連接領域，形成有由Ｔｉ，Ｗ或Ｃｏ之中選擇之元素之矽化物膜，

上述矽化物膜之膜厚爲１５～３０ｎｍ。

１７．如申請專利範圍第１６項之半導體積體電路裝置，其中

上述第２ＭＩＳＦＥＴ含有ｐ通道型ＭＩＳＦＥＴ，

上述ｐ通道型ＭＩＳＦＥＴ之源、汲極之表面領域上形成之矽化物膜之膜厚爲１５～３０ｎｍ。

１８．一種半導體積體電路裝置，係具有：形成於半導體基板主面上之記憶格選擇用之第１ＭＩＳＦＥＴ；形成於上述第１ＭＩＳＦＥＴ之一方之源、汲極領域上之第

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1絕緣膜上的多晶矽塞柱；形成於上述第1絕緣膜上的第2絕緣膜；及介由開設於上述第2絕緣膜上之第1連接孔連接於上述多晶矽塞柱的位元線；其特徵爲：

上述位元線之厚度L_1，第2絕緣膜之厚度加上位元線之厚度L_1而成之距離L_2，及第1連接孔之口徑D之間，具有$L_1\times(1+OVE)<L_2$，及$L_1>D/2$之關係（其中，OVE爲位元線圖型化時之過蝕刻量）。

19．如申請專利範圍第18項之半導體積體電路裝置，其中

上述位元線之線幅爲上述第1連接孔之口徑以下。

20．一種半導體積體電路裝置，係包含有：記憶格選擇用之第1MISFET於半導體基板主面上以陣列狀配列之記憶格領域；形成於上述記憶格領域之周邊的直接周邊電路領域；及形成於上述直接周邊電路領域之周邊的間接周邊電路領域；具有第2連接孔用以連接上述直接或間接周邊電路領域之上述半導體基板主面及第1層配線；其特徵爲：

上述第2連接孔之口徑，於上述直接或間接周邊電路領域爲同一。

21．如申請專利範圍第20項之半導體積體電路裝置，其中

上述第2連接孔之縱橫比，在上述記憶格領域，直接周邊電路領域及間接周邊電路領域爲同一。

22．一種半導體積體電路裝置，係具有：形成於半

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

導體基板主面上之記憶格選擇用之第１ＭＩＳＦＥＴ及周邊電路用之第２ＭＩＳＦＥＴ；形成於上述第１ＭＩＳＦＥＴ之一方之源、汲極領域上之第１絕緣膜上的多晶矽塞柱；介由開設於上述第１絕緣膜上之第２絕緣膜上之第１連接孔電連接於上述多晶矽塞柱的上述第２絕緣膜上之位元線；及介由上述第１及第２絕緣膜之第２連接孔電連接於上述第２ＭＩＳＦＥＴ之源、汲極領域的第２絕緣膜上之第１層配線；其特徵爲：

在上述位元線與多晶矽塞柱之連接領域，上述第１層配線與上述第２ＭＩＳＦＥＴ之源、汲極領域形成有由Ｔｉ，Ｗ或Ｃｏ之中選擇之元素之矽化物膜，

上述矽化物膜之膜厚爲１５～３０ｎｍ。

２３．如申請專利範圍第２２項之半導體積體電路裝置，其中

上述第２ＭＩＳＦＥＴ含有ｐ通道型ＭＩＳＦＥＴ，

上述第１層配線與上述ｐ通道型ＭＩＳＦＥＴ之源、汲極領域之連接領域上形成之矽化物膜之膜厚爲１５～３０ｎｍ。

２４．一種半導體積體電路裝置之製造方法，係具有：

（ａ）在半導體基板主面，形成記憶格選擇用之第１ＭＩＳＦＥＴ，形成覆蓋上述第１ＭＩＳＦＥＴ之第１絕緣膜後，於上述第１絕緣膜，形成使上述第１ＭＩＳＦＥＴ之至少一方之源、汲極領域露出之開口的工程；

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

（ｂ）在上述半導體基板全面，沈積埋入上述第１絕緣膜之開口的多晶矽膜，除去上述第１絕緣膜上之上述多晶矽膜以形成電連接上述第１ＭＩＳＦＥＴ之源、汲極領域之多晶矽塞柱的工程；

（ｃ）在上述第１絕緣膜上，於上述多晶矽塞柱上形成具第１連接孔的工程；

（ｄ）在上述第１連接孔之底部及第２絕緣膜上，沈積含有由Ｎ，Ｏ，Ｃ，及Ｇｅ之中選擇之任一或複數雜質之金屬膜，以Ｔｉ，Ｗ或Ｃｏ之任一爲主成分者，或不含上述雜質之任一之Ｃｏ膜的工程；

（ｅ）在上述金屬膜或Ｃｏ膜上沈積第１導電膜以埋入上述第１連接孔的工程；及

（ｆ）對上述金屬膜或Ｃｏ膜及上述第１導電膜進行蝕刻俾形成位元線的工程。

２５．如申請專利範圍第２４項之半導體積體電路裝置之製造方法，其中

另具有對上述金屬膜或Ｃｏ膜施予熱處理的工程；

藉上述熱處理，在上述金屬膜或Ｃｏ膜與上述多晶矽塞柱之連接領域形成之矽化物膜，係作爲上述蝕刻工程中之阻蝕層之功能。

２６．如申請專利範圍第２４項之半導體積體電路裝置之製造方法，其中

上述位元線圖型之圖型寬爲上述第１連接孔之口徑以下。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

２７．如申請專利範圍第２４項之半導體積體電路裝置之製造方法，其中

上述金屬膜之上述雜質之含有量爲１原子％～１３原子％之範圍。

２８．如申請專利範圍第２７項之半導體積體電路裝置之製造方法，其中

上述雜質爲Ｎ，上述金屬膜之上述雜質之含有量爲１原子％～３原子％之範圍。

２９．如申請專利範圍第２４項之半導體積體電路裝置之製造方法，其中

上述第１導電膜爲氮化鈦及Ｗ之積層膜。

３０．如申請專利範圍第２４項之半導體積體電路裝置之製造方法，其中

以和上述第１ＭＩＳＦＥＴ同一工程形成周邊電路用之第２ＭＩＳＦＥＴ；

以和上述第１連接孔之形成爲同一工程，形成電連接上述第２ＭＩＳＦＥＴ之源、汲極領域之第２連接孔；

以和上述位元線之形成爲同一工程，形成周邊電路之第１層配線。

３１．一種半導體積體電路裝置之製造方法，係具有：

（ａ）在半導體基板主面，形成記憶格選擇用之第１ＭＩＳＦＥＴ，形成覆蓋上述第１ＭＩＳＦＥＴ之第１絕緣膜後，於上述第１絕緣膜形成使上述第１ＭＩＳＦＥＴ

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

之至少一方之源、汲極領域露出之開口的工程；

（ｂ）沈積埋入上述第１絕緣膜之開口的多晶矽膜，除去上述第１絕緣膜上之上述多晶矽膜以形成電連接上述第１ＭＩＳＦＥＴ之源、汲極領域之多晶矽塞柱的工程；

（ｃ）在上述第１絕緣膜上形成第２絕緣膜，於上述第２絕緣膜，形成使上述多晶矽塞柱露出之第１連接孔的工程；

（ｄ）沈積埋入上述第１連接孔之第１導電膜，除去上述第２絕緣膜上之上述第１導電膜，於上述第１連接孔內形成由上述第１導電膜形成之第１塞柱的工程；

（ｅ）於上述第１塞柱及第２絕緣膜上沈積第２導電膜的工程；及

（ｆ）對上述第２導電膜進行圖型化以形成位元線的工程。

３２．如申請專利範圍第３１項之半導體積體電路裝置之製造方法，其中

在上述第１絕緣膜形成開口之工程之前，上述第１絕緣膜藉由ＣＭＰ法被平坦化，上述第１塞柱係藉上述第１導電膜之ＣＭＰ法研磨而形成。

３３．如申請專利範圍第３１項之半導體積體電路裝置之製造方法，其中

上述第２導電膜之膜厚爲上述第１連接孔之口徑之２分之１以下。

３４．如申請專利範圍第３１項之半導體積體電路裝

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

置之製造方法，其中

上述位元線之線幅爲上述第1連接孔之口徑以下。

35．如申請專利範圍第31項之半導體積體電路裝置之製造方法，其中

上述第2導電膜爲相對上述第1塞柱具蝕刻選擇比之材料。

36．如申請專利範圍第31項之半導體積體電路裝置之製造方法，其中

上述第1導電膜爲含氮化鈦膜及W膜之積層膜，或由氮化鈦或氮化鎢形成之單層膜，上述第2導電膜爲W或Mo形成之單層膜。

37．如申請專利範圍第31項之半導體積體電路裝置之製造方法，其中

以和上述第1MISFET同一工程形成周邊電路領域之第2MISFET，

形成連接上述第2MISFET之源、汲極領域之第2連接孔；

和上述第1塞柱形成之同時，於上述第2連接孔內形成由上述第1導電膜構成之第2塞柱；

在上述位元線形成之同時，形成由上述第2導電膜構成之周邊電路之第1層配線。

38．如申請專利範圍第37項之半導體積體電路裝置之製造方法，其中

具有在上述第1及第2塞柱形成前，在上述第1及第

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

2連接孔之底部及第2絕緣膜上，沈積含有濃度爲1原子%～13原子%範圍之由N，O，C及Ge之中選擇之任一或多數之雜質的金屬膜，該金屬膜以Ti，W或Co之任一爲主成份者，或沈積未含上述雜質之任一之Co膜，施予熱處理的工程。

39．如申請專利範圍第37項之半導體積體電路裝置之製造方法，其中

具有：在上述第1及第2塞柱形成之前，在上述第1及第2連接孔之底部及第2絕緣膜上，沈積膜厚爲10～20nm範圍之以Ti，W或Co之任一爲主成分之金屬膜，並施予熱處理之工程；或

沈積膜厚爲15～30nm範圍之Ti，W，或Co之矽化物膜的工程；或

沈積以Ti，W，或Co之任一爲主成分之金屬膜，再以較上述金屬膜爲薄之膜厚沈積矽膜，並施予熱處理的工程；或

沈積以Ti，W，或Co之任一爲主成分之金屬膜，在氫化矽氣體環境下對上述金屬膜施予退火之工程，之中之任一工程。

40．如申請專利範圍第39項之半導體積體電路裝置之製造方法，其中

上述金屬膜之熱處理工程之後，藉蝕刻除去未反應之Ti，W，或Co。

41．一種半導體積體電路裝置之製造方法，係具有

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

：

（ａ）在半導體基板主面形成ＭＩＳＦＥＴ，形成覆蓋上述ＭＩＳＦＥＴ之絕緣膜的工程；

（ｂ）在上述絕緣膜形成使上述ＭＩＳＦＥＴ之源、汲極領域露出之連接孔的工程；及

（ｃ）沈積埋入上述連接孔之導電膜，蝕刻上述導電膜以形成配線的工程；其特徵爲另具有：

在上述導電膜形成之前，在上述連接孔之底部及絕緣膜上，沈積膜厚爲１０～２０ｎｍ範圍之以Ｔｉ，Ｗ或Ｃｏ之任一爲主成分之金屬膜，並施予熱處理之工程；或

沈積膜厚爲１５～３０ｎｍ範圍之Ｔｉ，Ｗ，或Ｃｏ之矽化物膜的工程；或

沈積以Ｔｉ，Ｗ，或Ｃｏ之任一爲主成分之金屬膜，再以較上述金屬膜爲薄之膜厚沈積矽膜，並施予熱處理的工程；或

沈積以Ｔｉ，Ｗ，或Ｃｏ之任一爲主成分之金屬膜，在氫化矽氣體環境下對上述金屬膜施予熱處理之工程，之中之任一工程。

４２．如申請專利範圍第４１項之半導體積體電路裝置之製造方法，其中

上述金屬膜之熱處理工程之後，藉蝕刻選擇性地除去未反應之Ｔｉ，Ｗ，或Ｃｏ。

４３．如申請專利範圍第４１項之半導體積體電路裝置之製造方法，其中

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

上述導電膜爲氮化鈦及W之積層膜，或Ti，氮化鈦及W之3層積層膜之任一。

44．一種半導體積體電路裝置之製造方法，係具有：

（a）在半導體基板之主面形成MISFET之工程；

（b）至少在覆蓋上述MISFET之源、汲極之領域上，沈積膜厚10～20nm範圍之以Ti，W，或Co中之任一爲主成分之金屬膜的工程；

（c）對上述金屬膜施予熱處理，俾於與矽之接觸部形成矽化物膜的工程；

（d）藉蝕刻選擇性除去上述熱處理工程中未反應之Ti，W或Co的工程；

（e）形成覆蓋上述MISFET之絕緣膜的工程；

（f）在上述絕緣膜形成使上述MISFET之源、汲極領域露出之連接孔的工程；及

（g）沈積埋入上述連接孔之導電膜，對上述導電膜施予蝕刻以形成配線的工程。

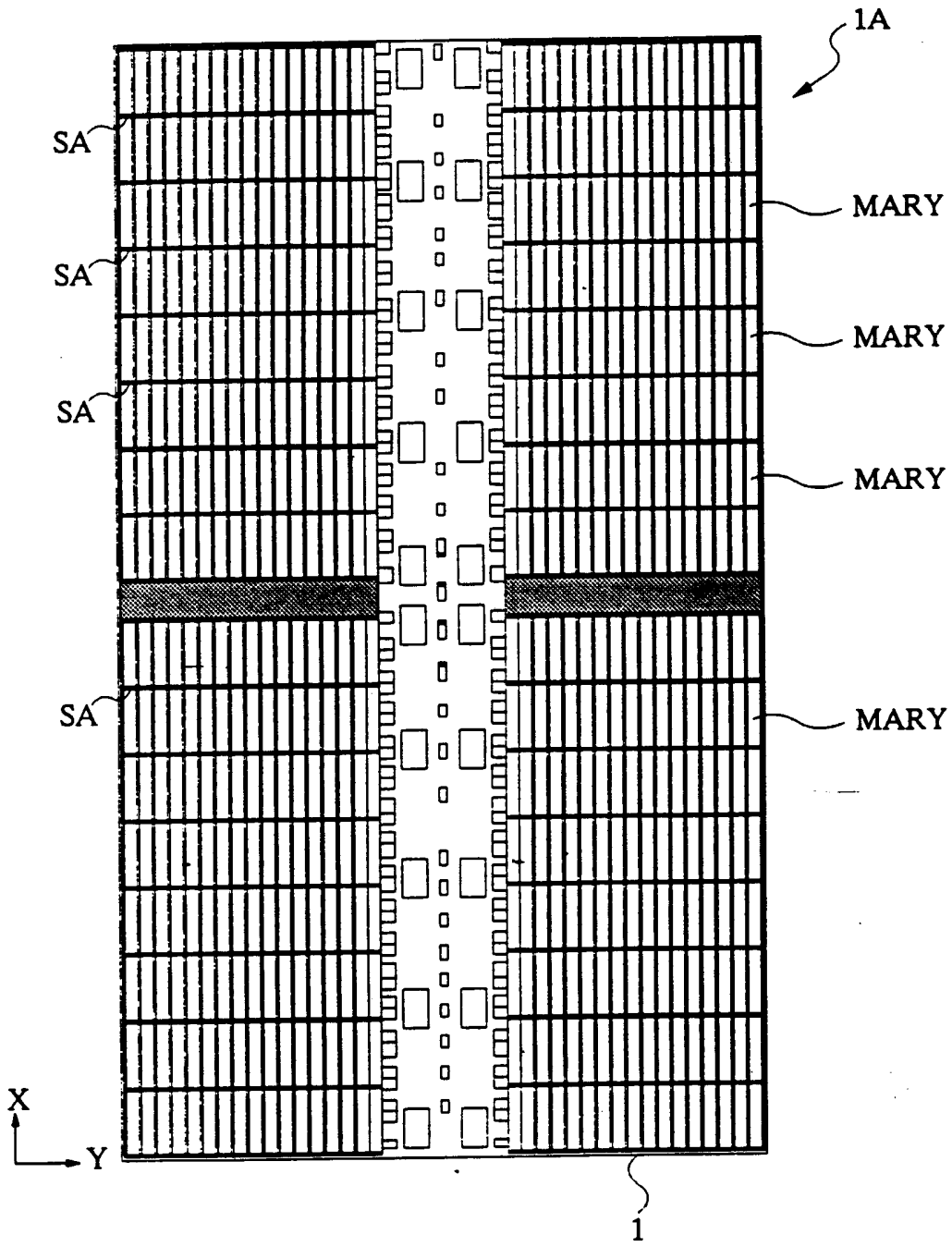
45．如申請專利範圍第44項之半導體積體電路裝置之製造方法，其中

上述導電膜爲氮化鈦及W之積層膜，或Ti，氮化鈦及W之3層積層膜中之任一。

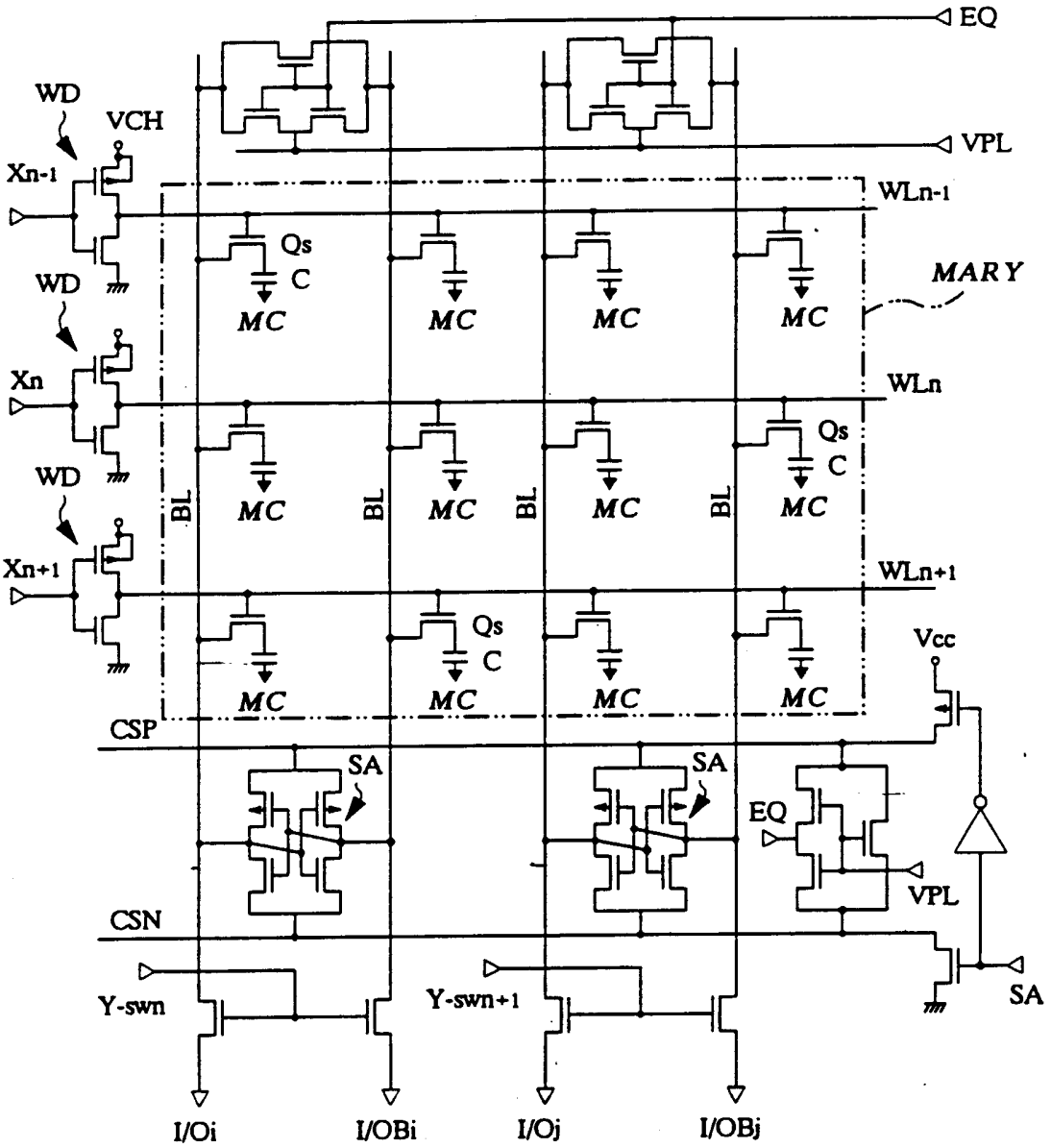
（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

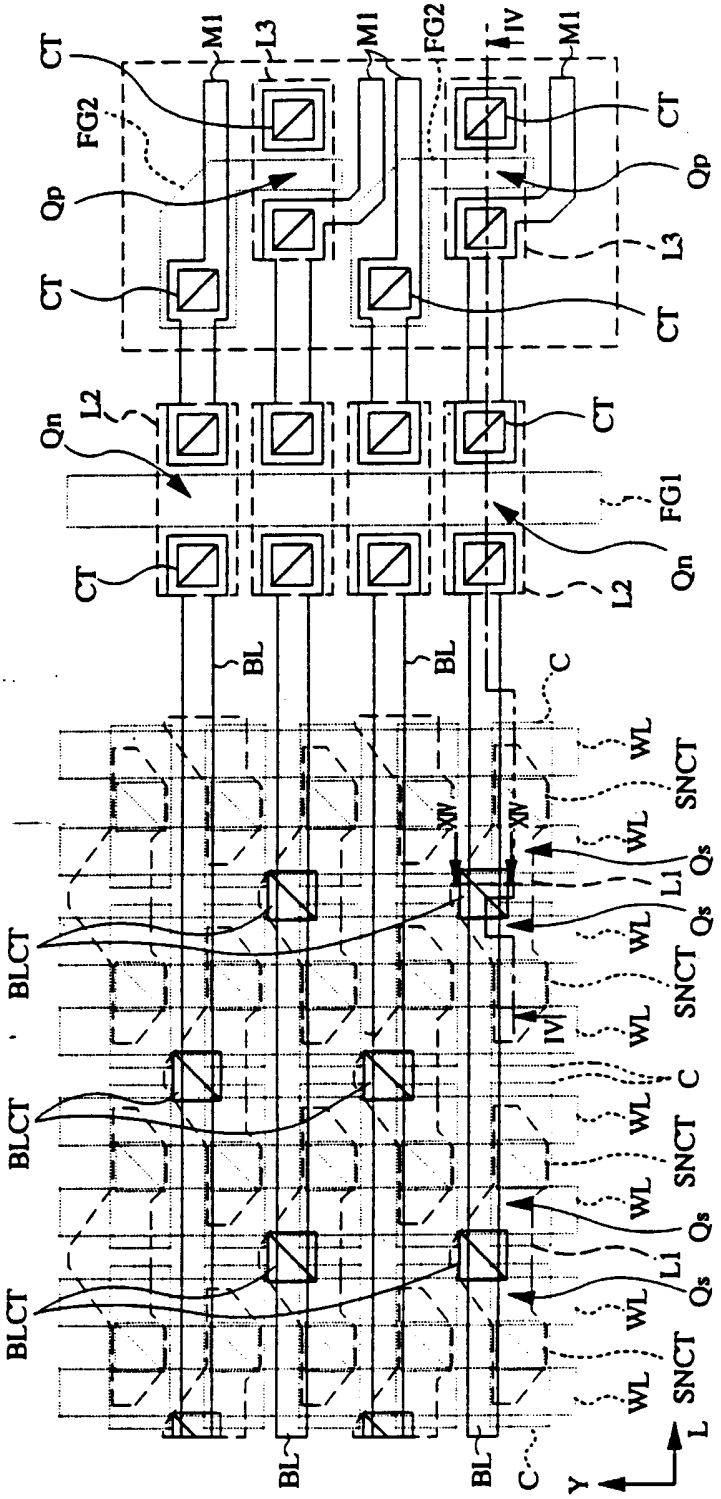
經濟部智慧財產局員工消費合作社印製



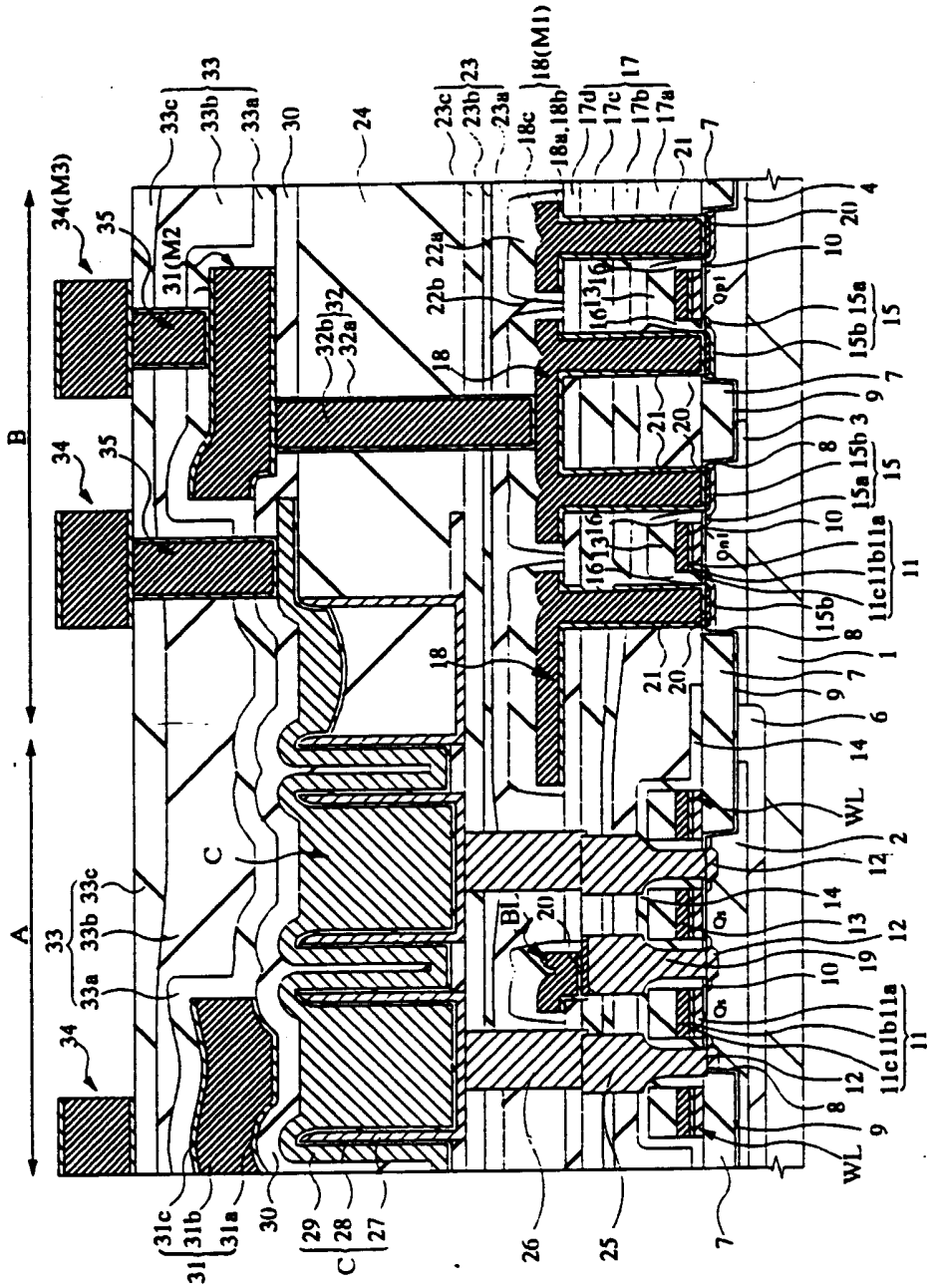
第 1 圖


EQ
VPL
WD
VCH
Xn-1
WLn-1
Qs
C
MC
MARY
WD
Xn
WLn
WD
BL
Xn+1
WLn+1
Vcc
CSP
SA
EQ
VPL
CSN
Y-swn
Y-swn+1
SA
I/Oi
I/OBi
I/Oj
I/OBj

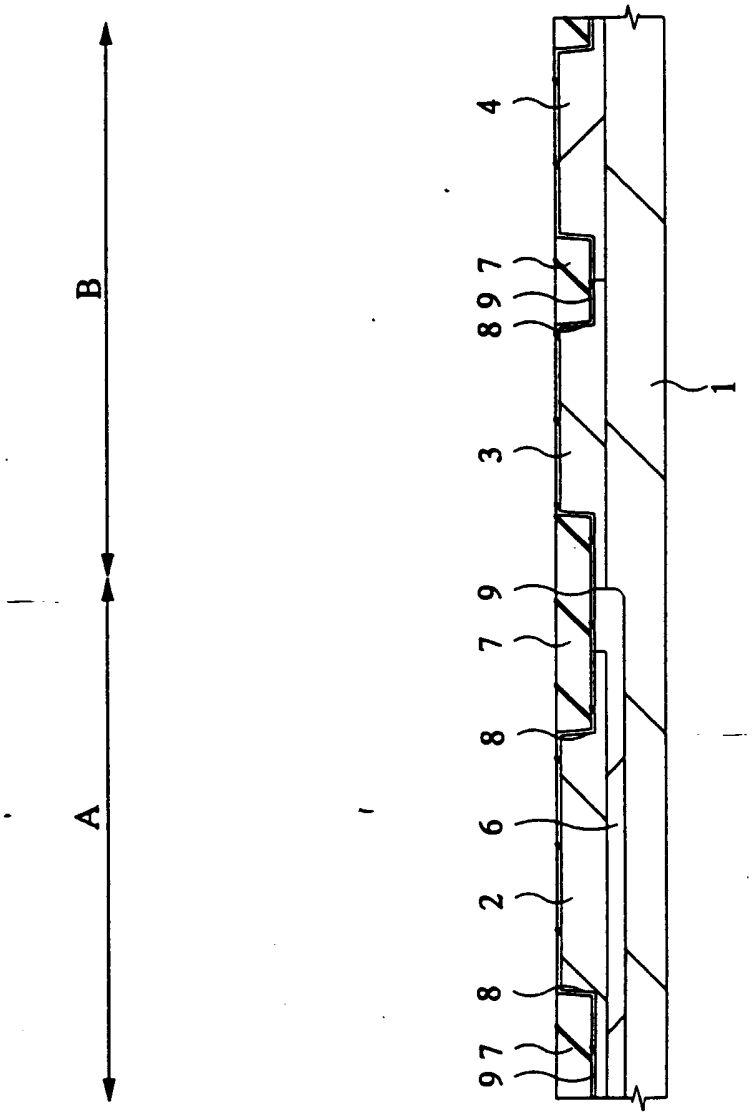
第 2 圖


CT
M1
L3
M1
FG2
IV
M1
FG2
Qp
CT
Qp
CT
L3
CT
CT
Qn
L2
CT
FG1
CT
Qn
L2
BL
BL
C
WL
SNCT
WL
Qs
L1
BLCT
Qs
WL
SNCT
IV
WL
C
BLCT
WL
SNCT
WL
Qs
L1
BLCT
Qs
WL
SNCT
WL
BL
BL
C
L
Y

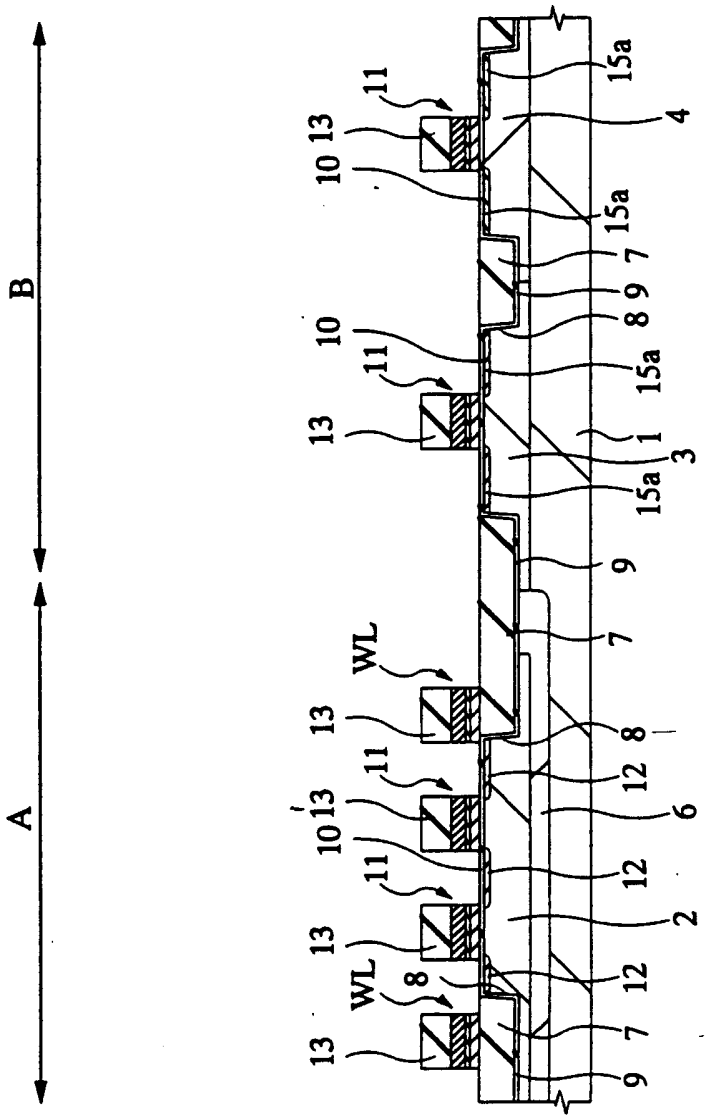
第 3 圖



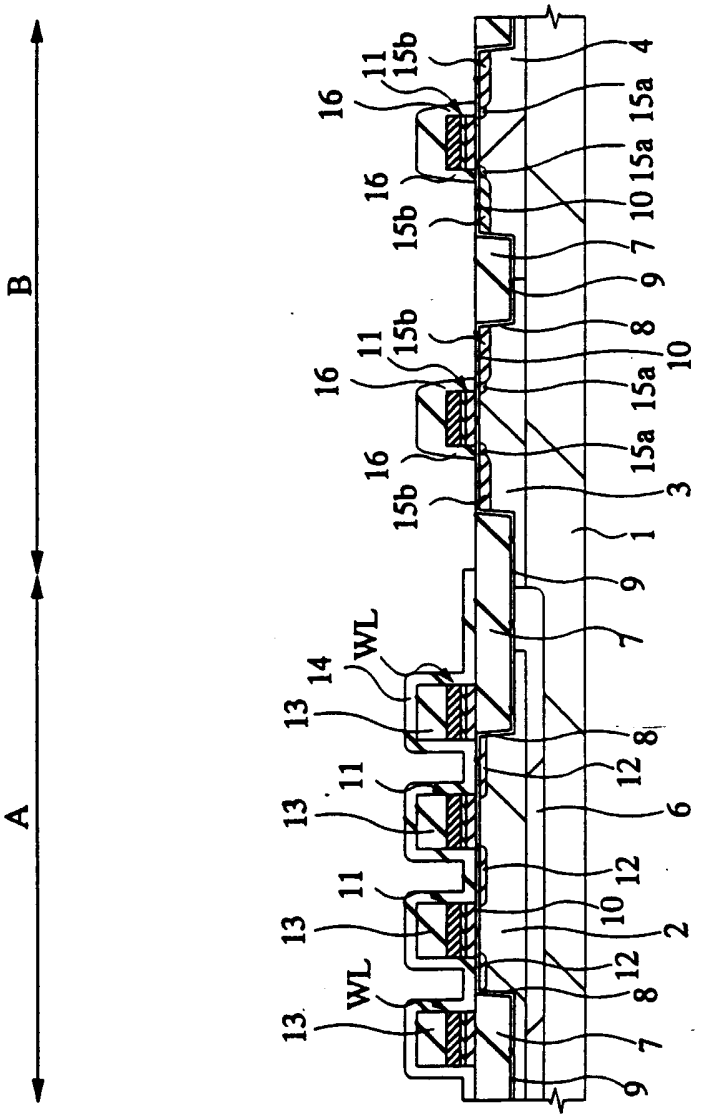
第 4 圖



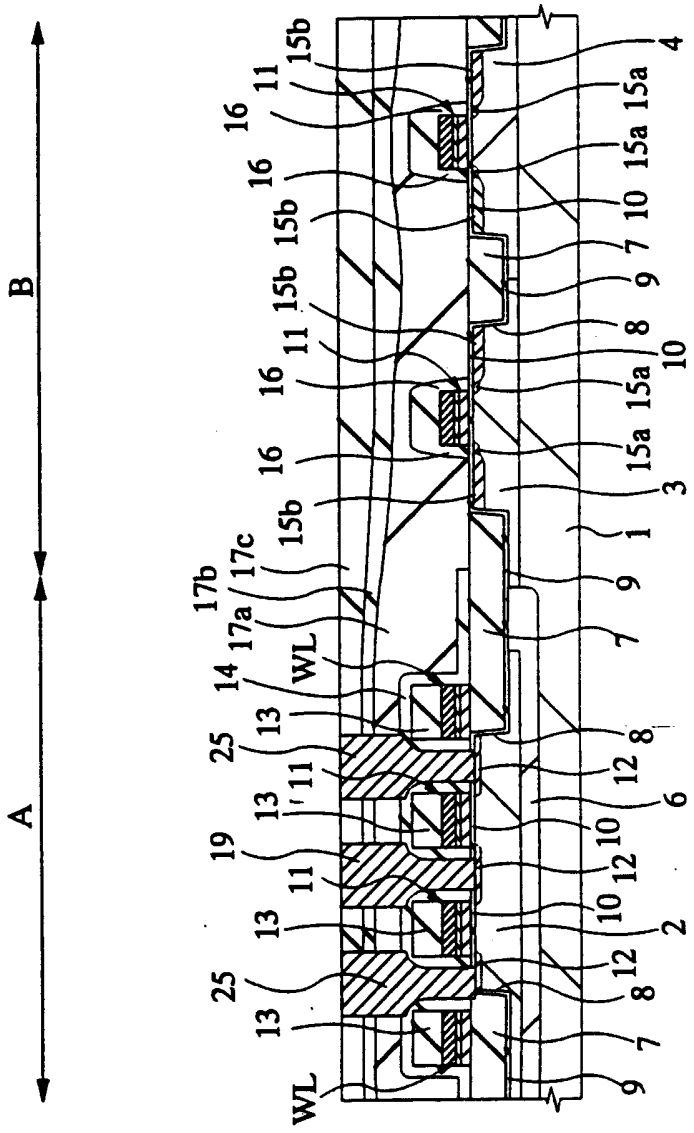
第5圖



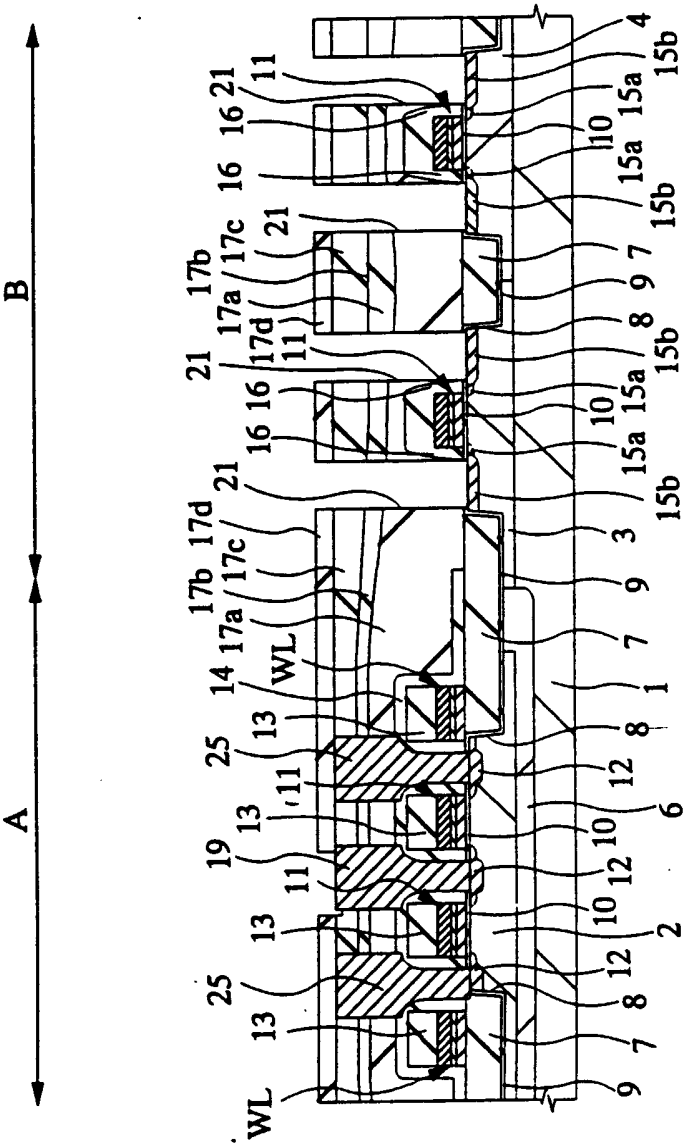
第 6 圖



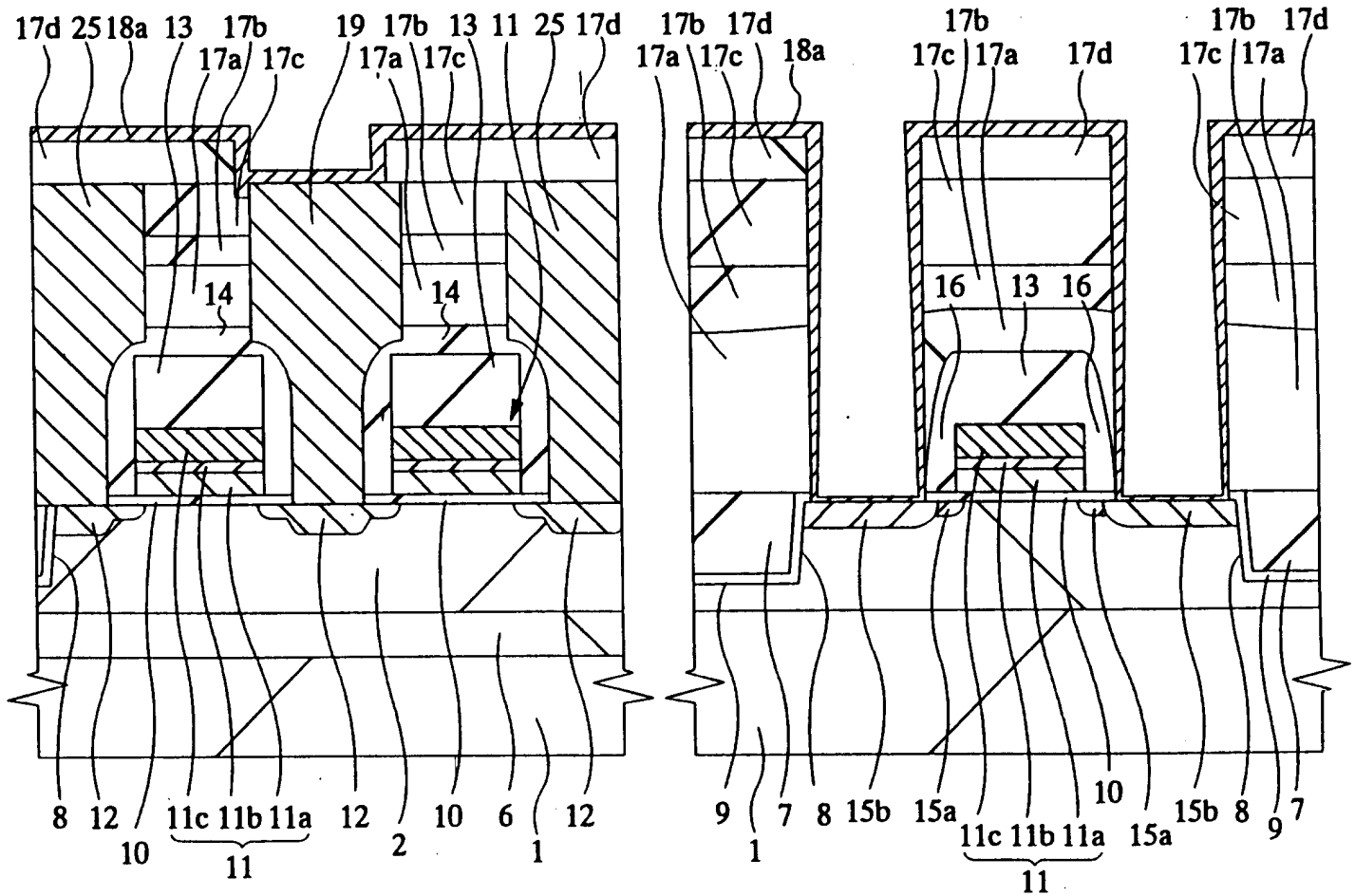
第 7 圖



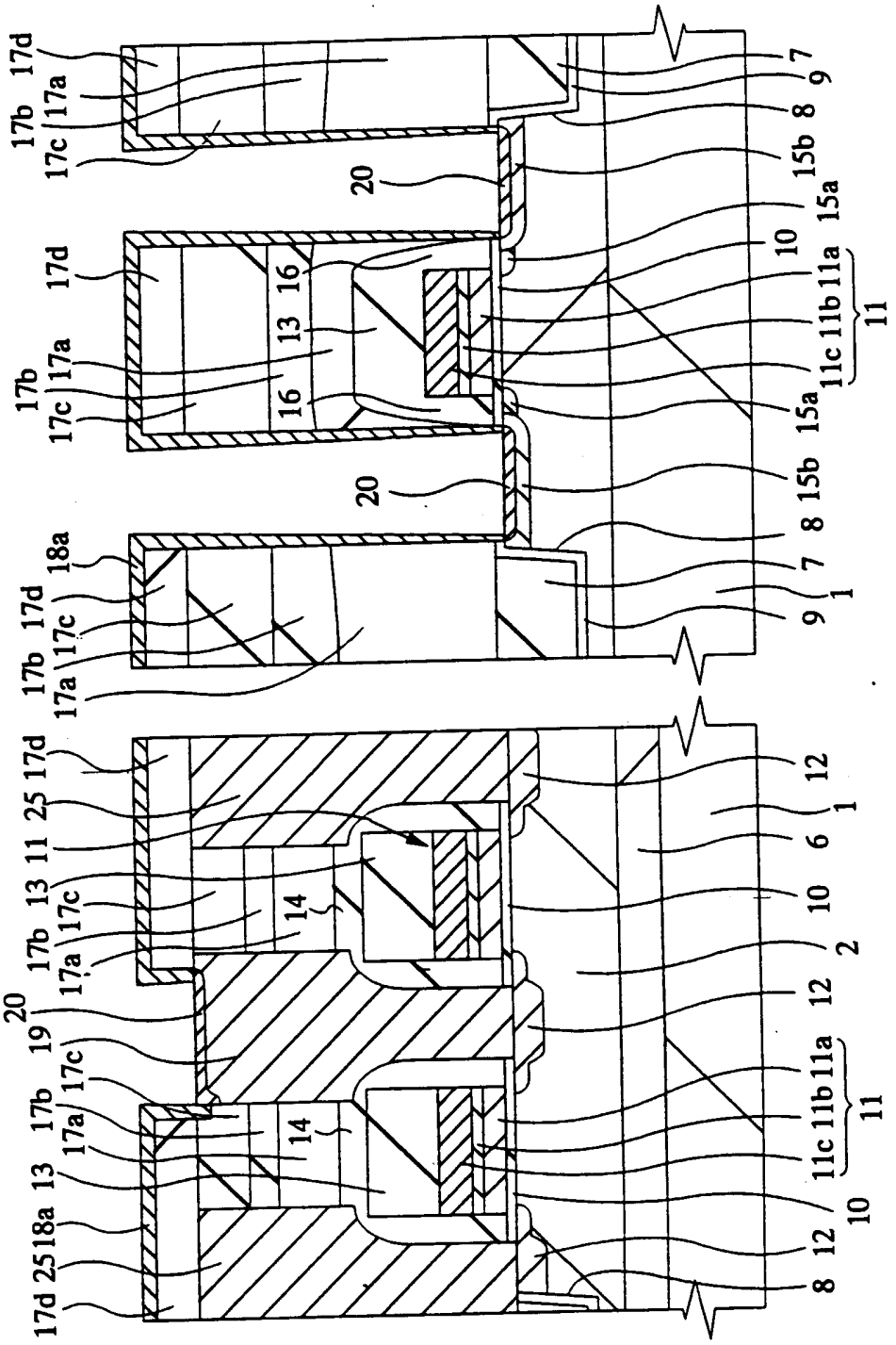
第 8 圖



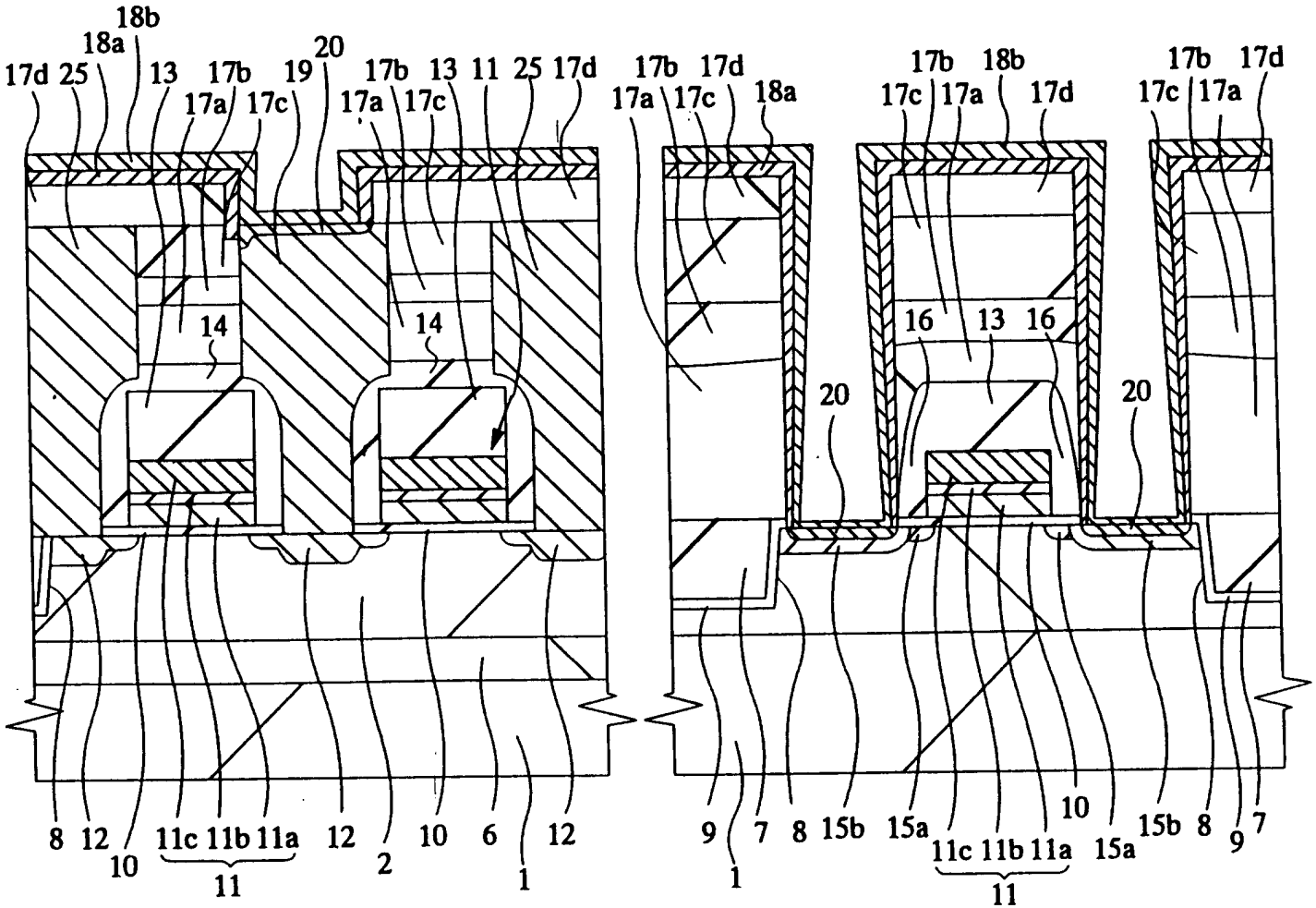
第 9 圖


17d 25 18a 13 17b 17a 17c 19 17b 17a 17c 13 11 25 17d
17b 17d 17a 17c 18a
17b 17c 17a 17d
17b 17c 17a 17d
14
14
16 13 16
8 12 10 11c 11b 11a 11 12 2 10 6 1 12
9 1 7 8 15b 15a 11c 11b 11a 11 10 15a 15b 8 9 7

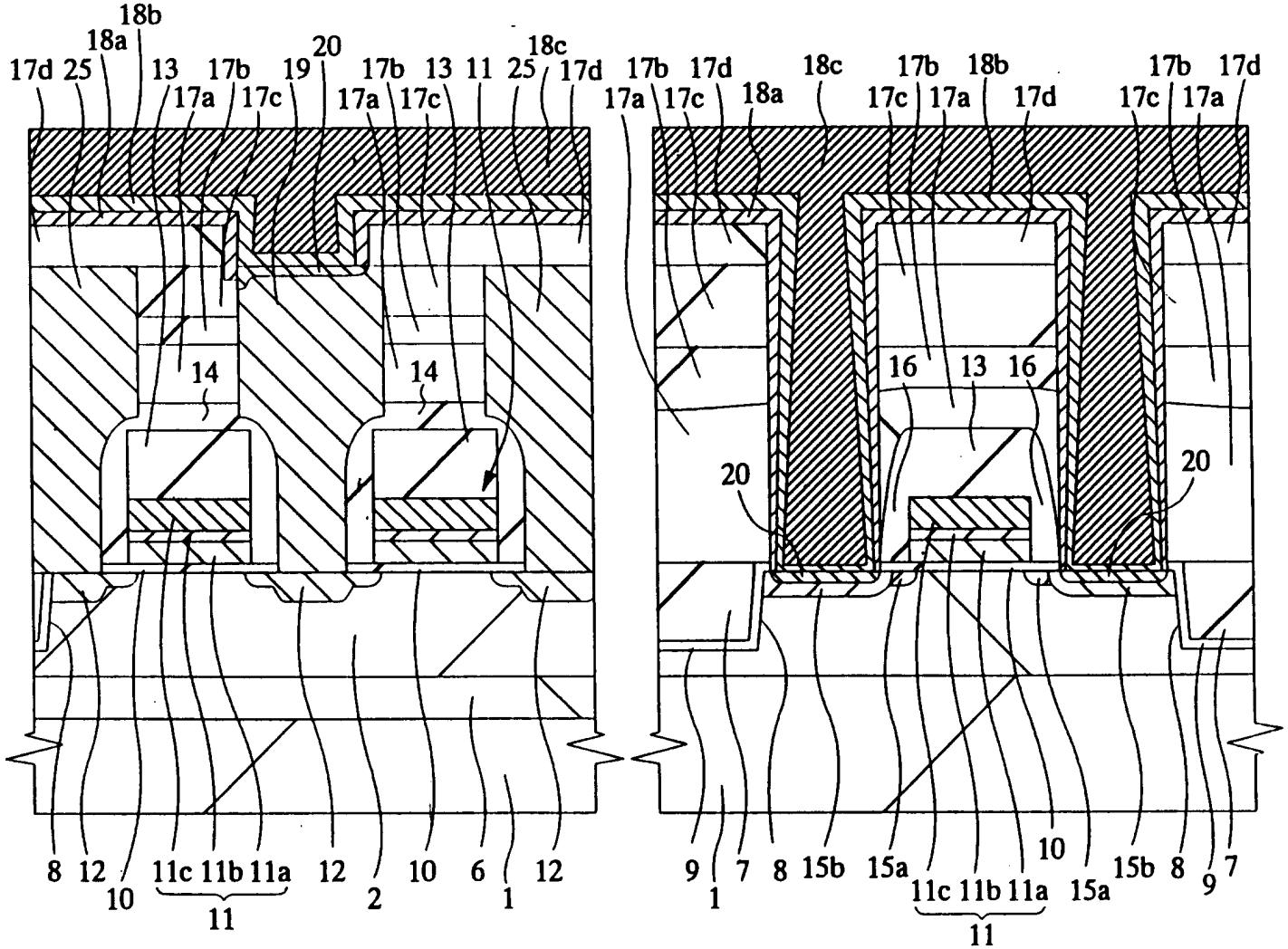
第 10 圖


17d
17a
17b
17c
20
16
13
18a
25
11
19
14
7
9
8
15b
15a
10
11a
11b
11c
11
1
12
6
2

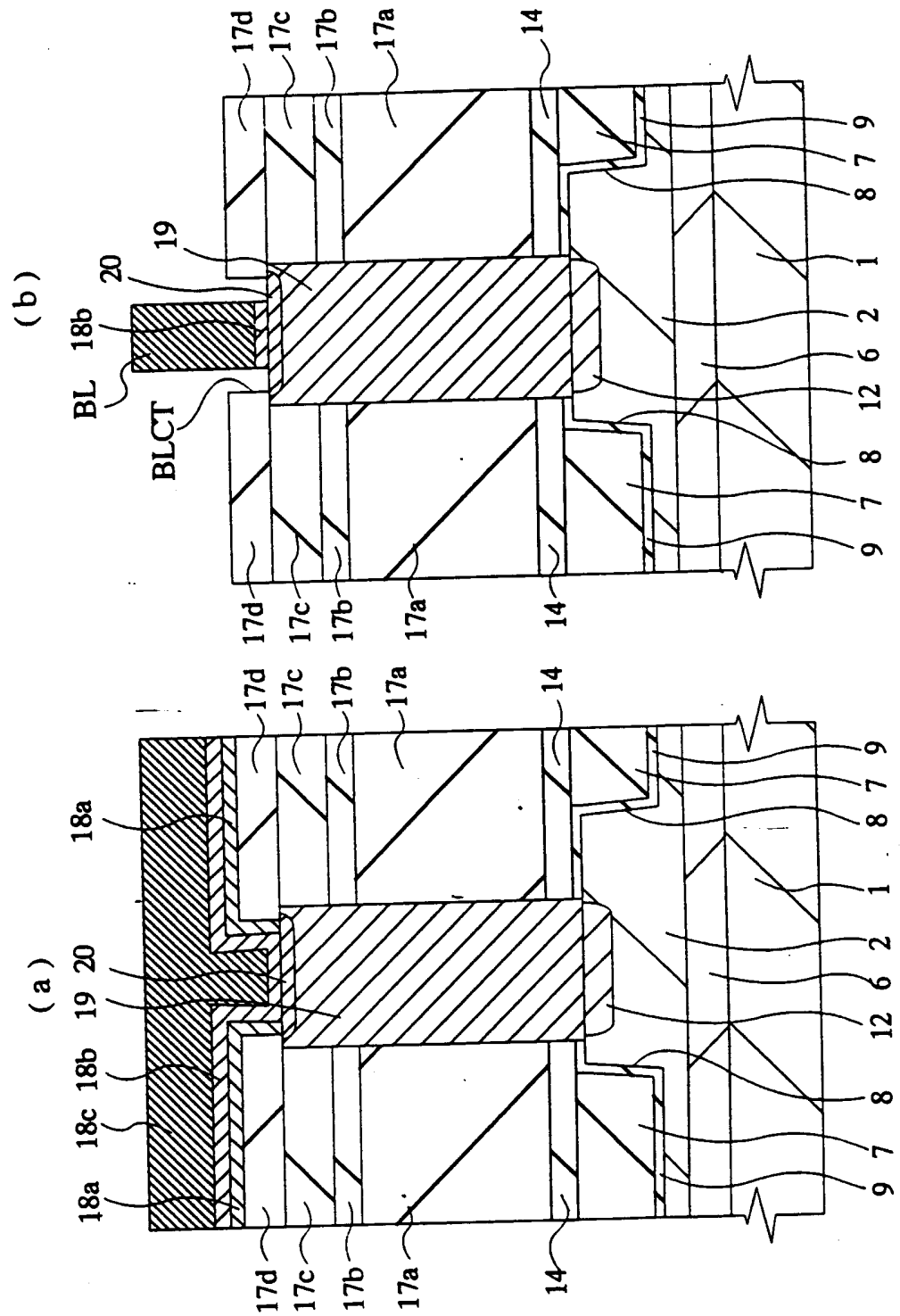
第11圖


17d 25 18a 18b 13 17b 17a 17c 19 20 17b 17a 17c 13 11 25 17d
17b 17a 17c 17d 18a
17b 17c 17a 18b 17d
17b 17c 17a 17d
14
14
16 13 16
20
20
8 12 10 11c 11b 11a 11 12 2 10 6 1 12
9 1 7 8 15b 15a 11c 11b 11a 11 10 15a 15b 8 9 7

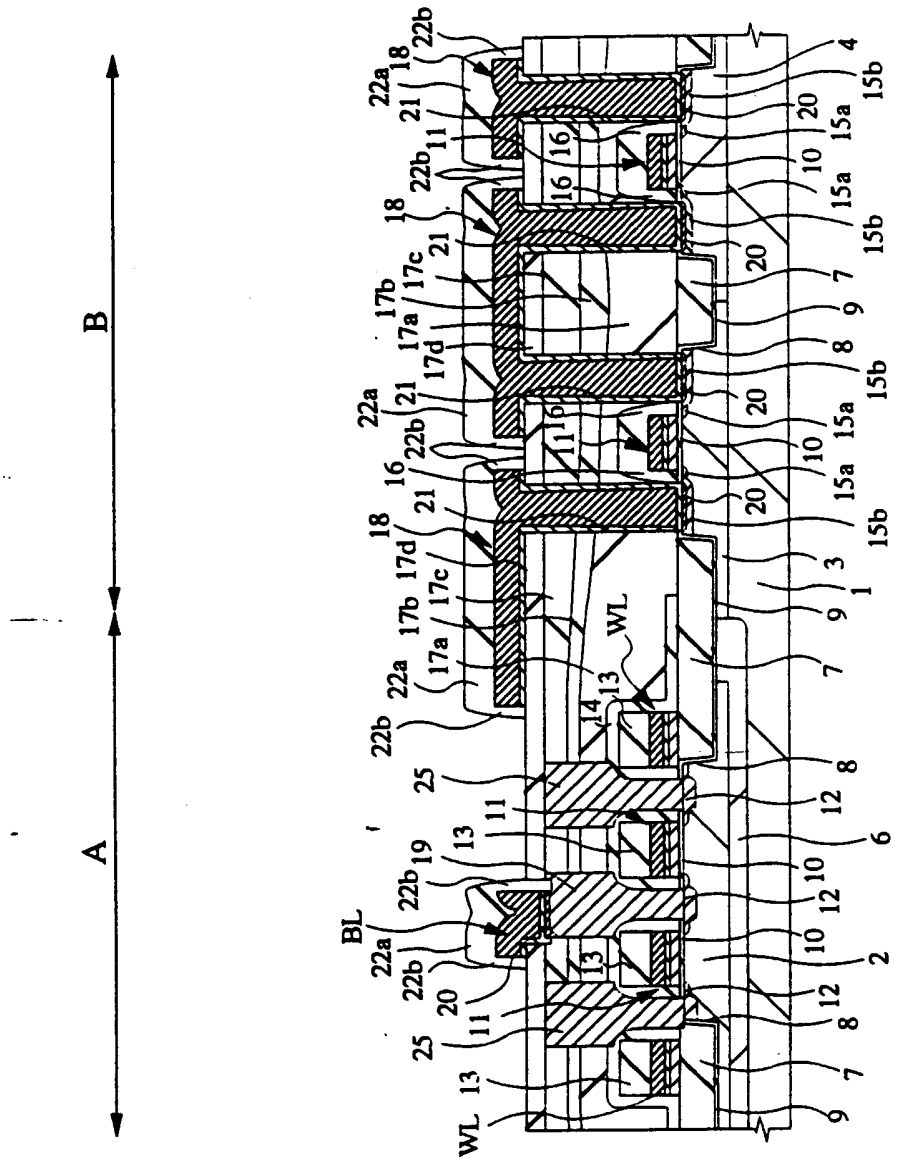
第 12 圖


17d 25 18a 18b 13 17a 17b 17c 19 20 17a 17b 17c 13 11 25 18c 17d
14 14
8 12 10 11c 11b 11a 11 12 2 10 6 1 12
17a 17b 17c 17d 18a 18c 17c 17b 17a 18b 17d 17c 17b 17a 17d
16 13 16
20 20
9 1 7 8 15b 15a 11c 11b 11a 11 10 15a 15b 8 9 7

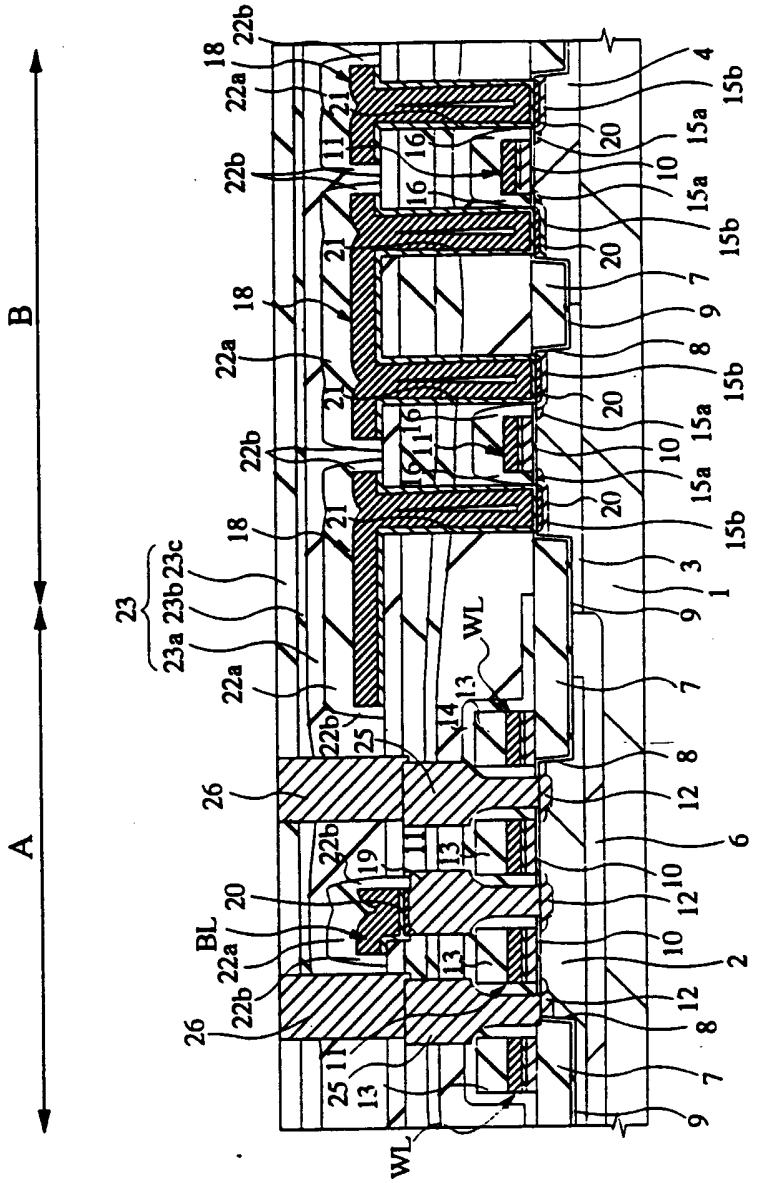
第 13 圖



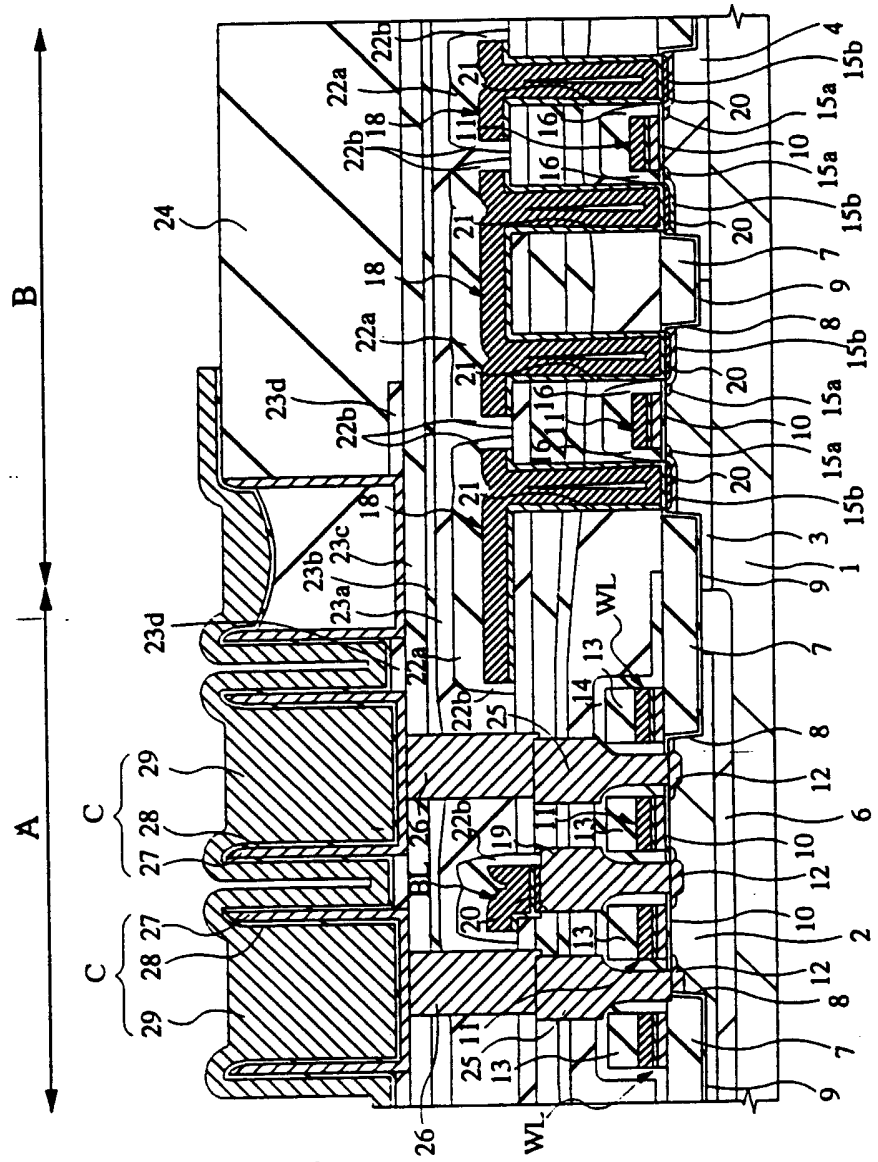
第 14 圖



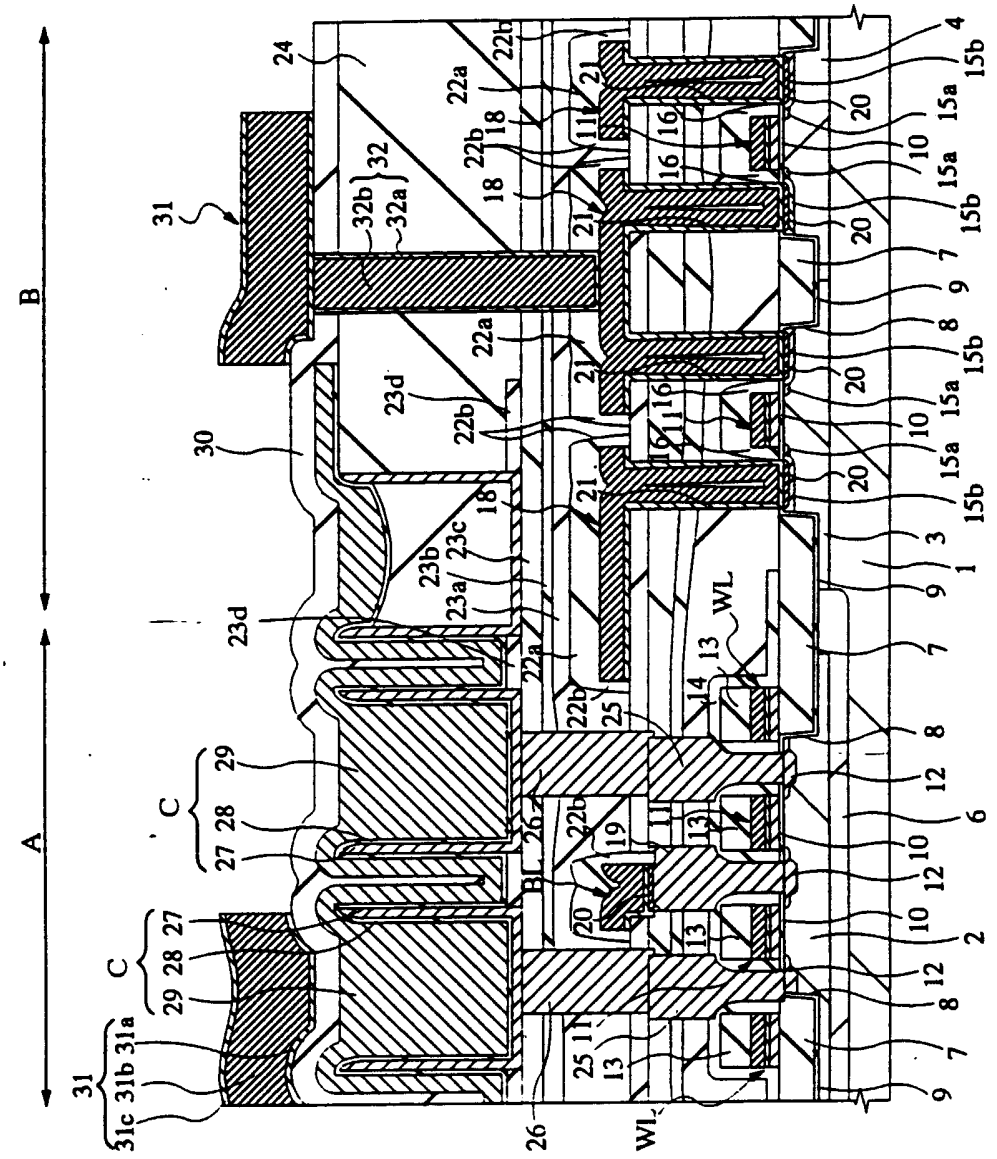
第 15 圖



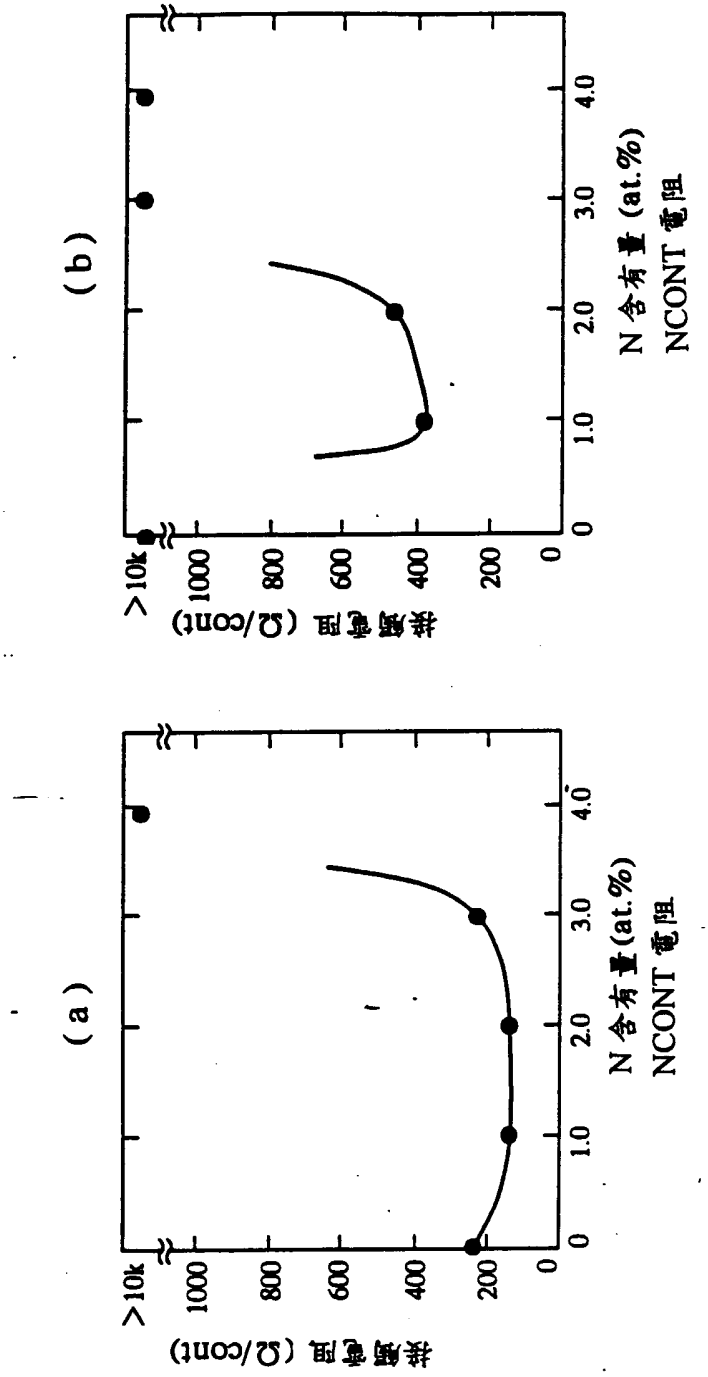
第 16 圖



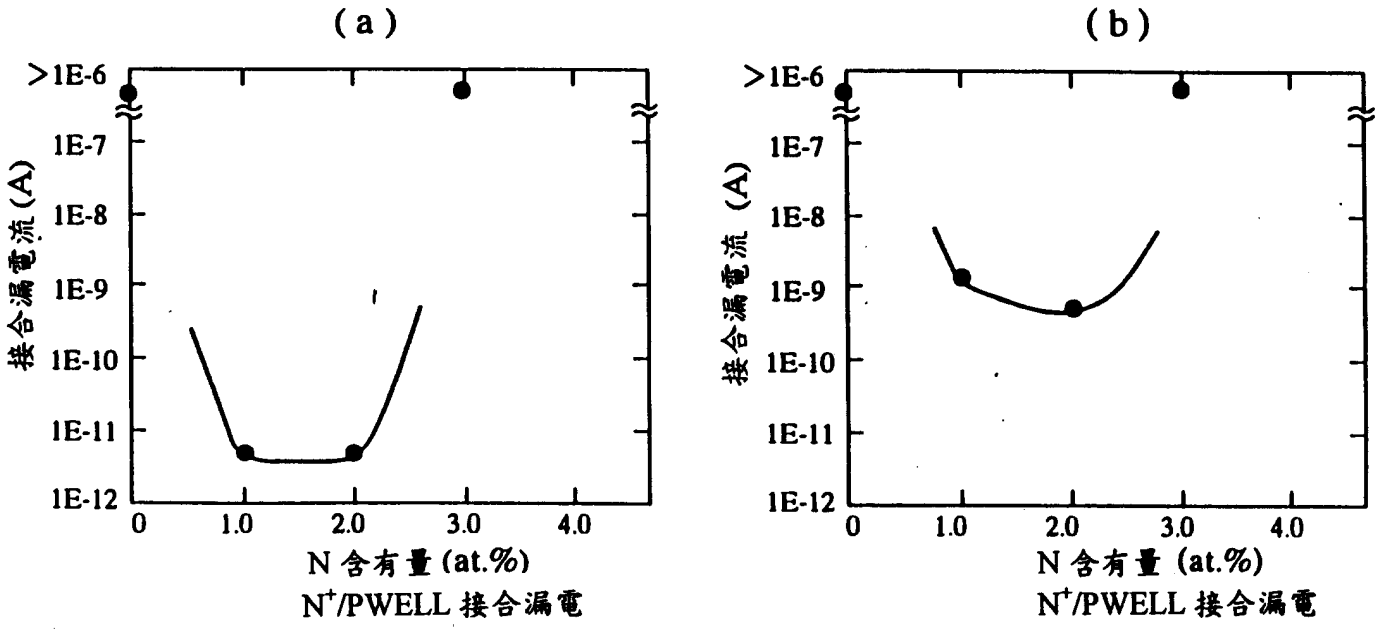
第 17 圖



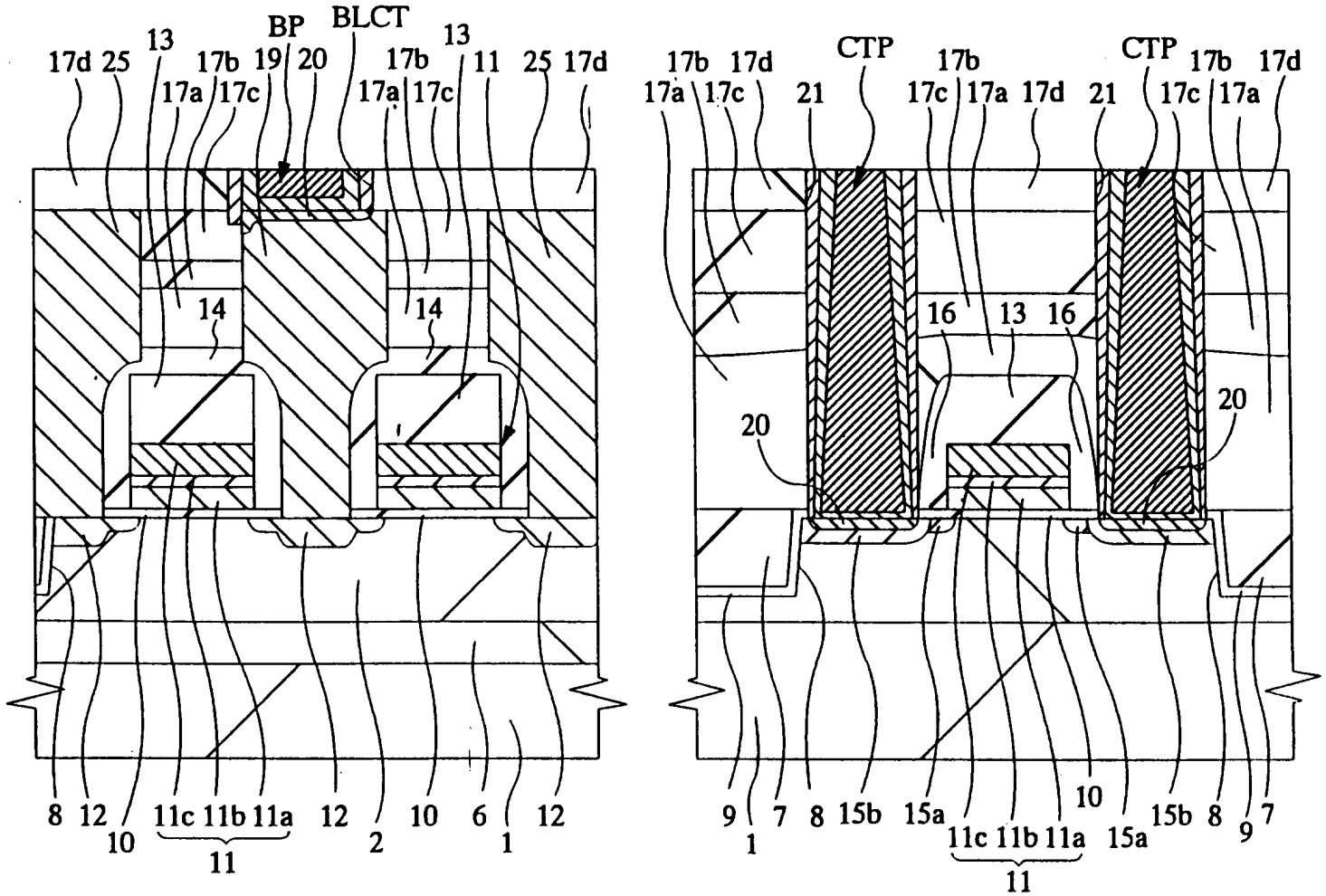
第 18 圖


(a)
接觸電阻 (Ω/cont)
>10k
1000
800
600
400
200
0
0
1.0
2.0
3.0
4.0
N 含有量(at.%)
NCONT 電阻
(b)
接觸電阻 (Ω/cont)
>10k
1000
800
600
400
200
0
0
1.0
2.0
3.0
4.0
N 含有量 (at.%)
NCONT 電阻

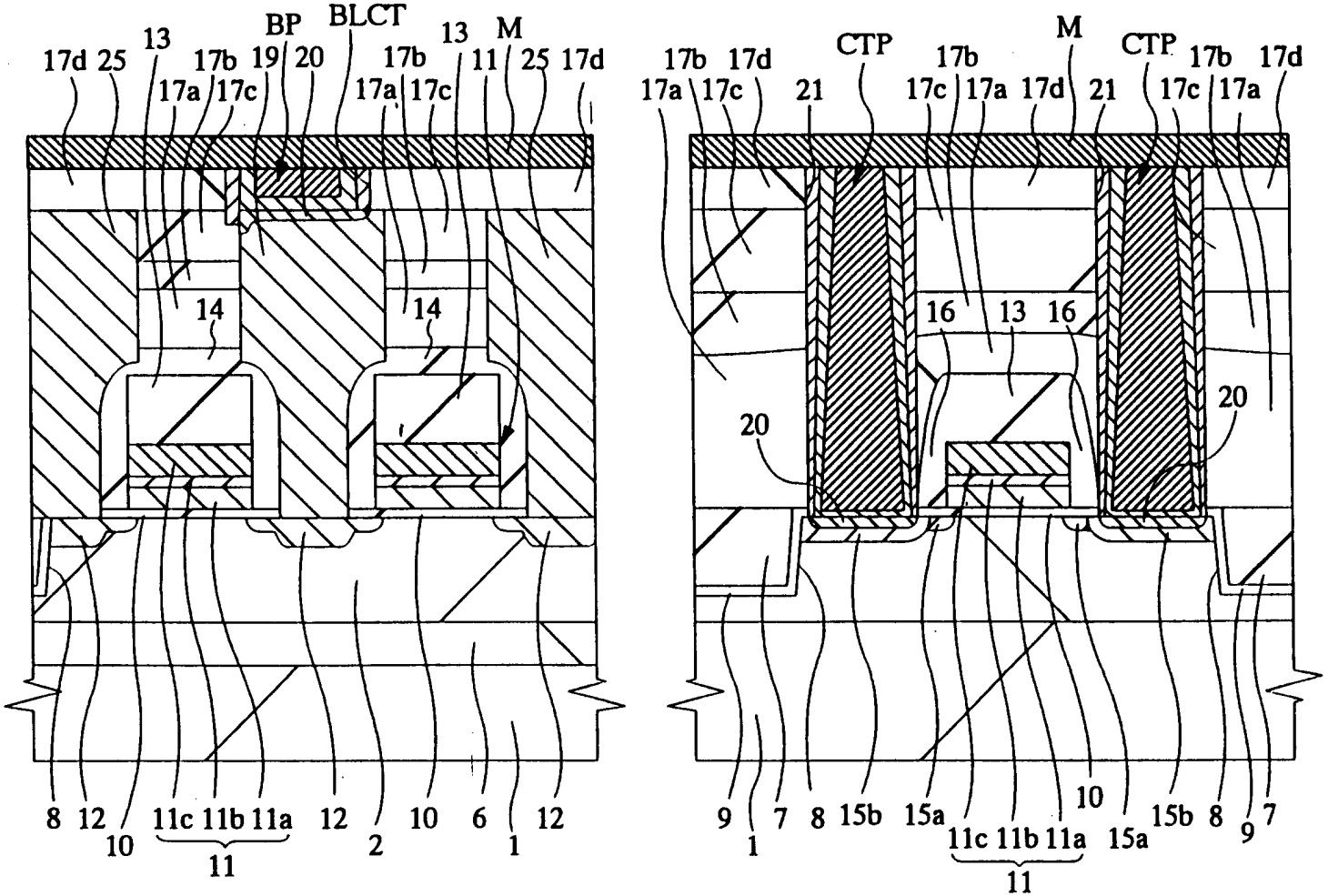
第 19 圖


(a)
>1E-6
1E-7
1E-8
1E-9
1E-10
1E-11
1E-12
接合漏電流 (A)
0
1.0
2.0
3.0
4.0
N 含有量 (at.%)
N+/PWELL 接合漏電
(b)
>1E-6
1E-7
1E-8
1E-9
1E-10
1E-11
1E-12
接合漏電流 (A)
0
1.0
2.0
3.0
4.0
N 含有量 (at.%)
N+/PWELL 接合漏電

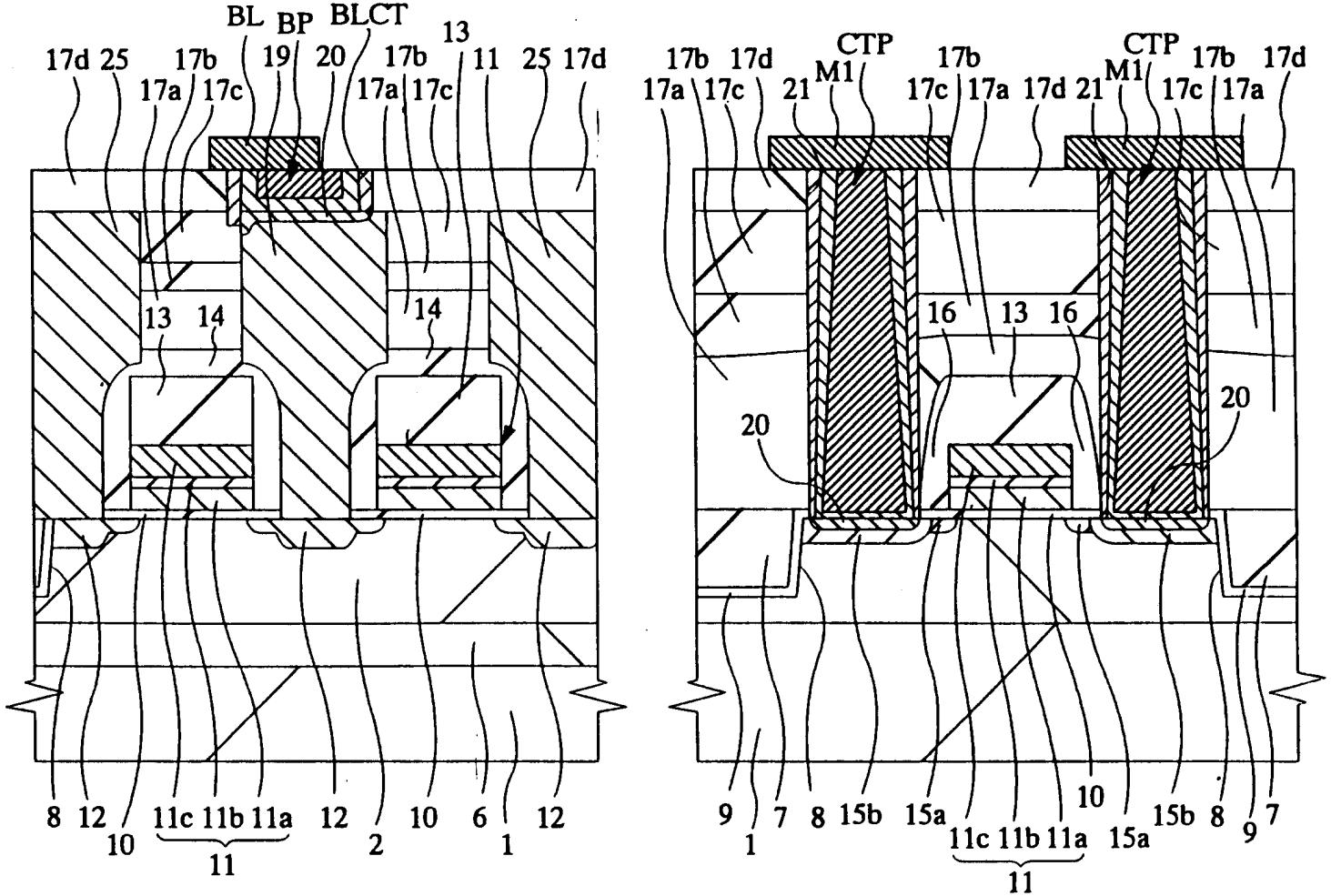
第 20 圖


17d 25 13 17b 19 20 BP BLCT 17b 13 11 25 17d
17a 17c 17a 17c
14 14
8 12 10 11c 11b 11a 12 2 10 6 1 12
11
17b 17d CTP 17b CTP 17b 17d
17a 17c 21 17c 17a 17d 21 17c 17a
16 13 16
20 20
9 1 7 8 15b 15a 11c 11b 11a 10 15a 15b 8 9 7
11

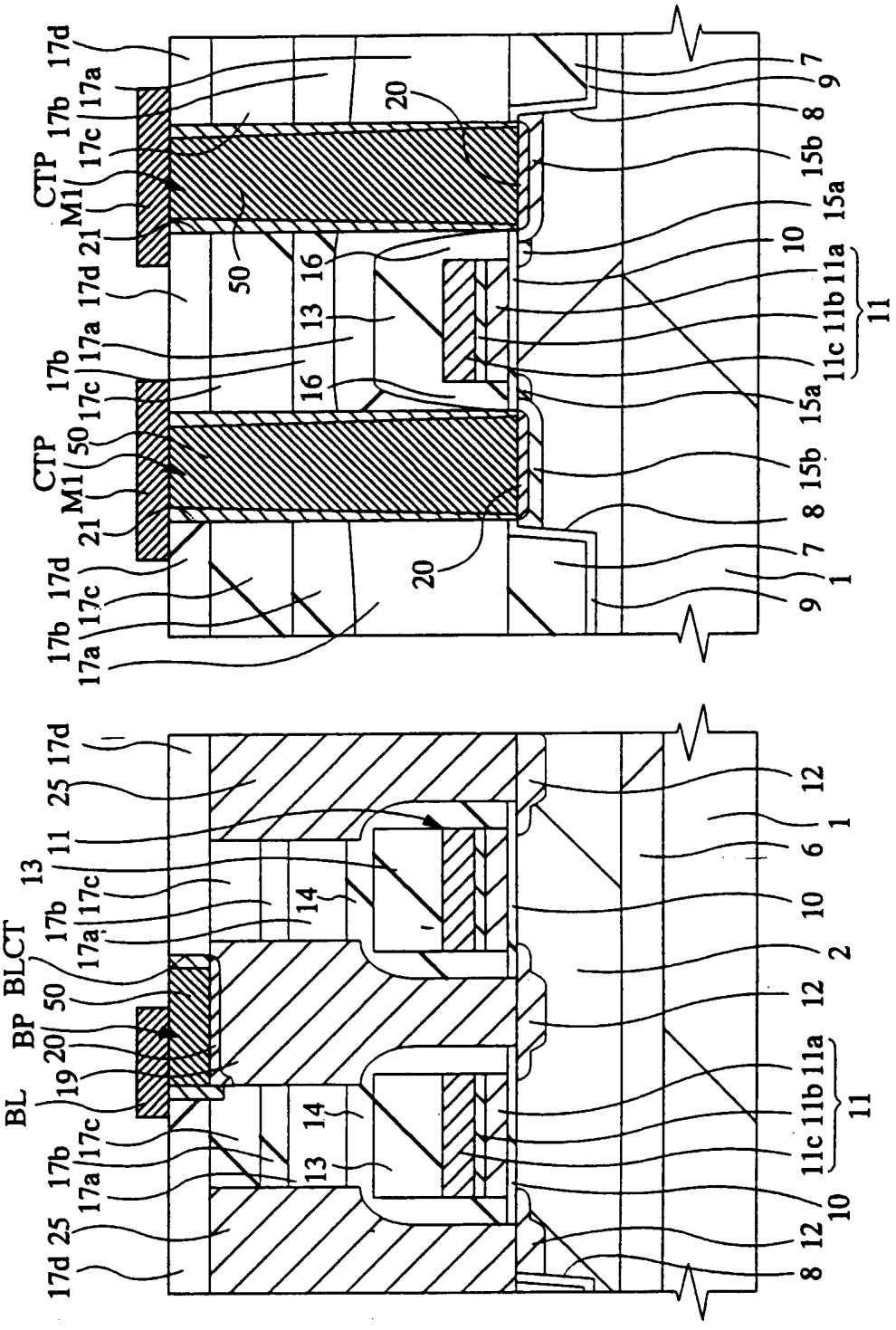
第 21 圖


17d 25 13 17b 19 20 BP BLCT 17b 13 M 11 25 17d
17a 17c 17a 17c
14 14
8 12 10 11c 11b 11a 12 2 10 6 1 12
11
17b 17d CTP 17b M CTP 17b 17d
17a 17c 21 17c 17a 17d 21 17c 17a
16 13 16
20 20
9 1 7 8 15b 15a 11c 11b 11a 10 15a 15b 8 9 7
11

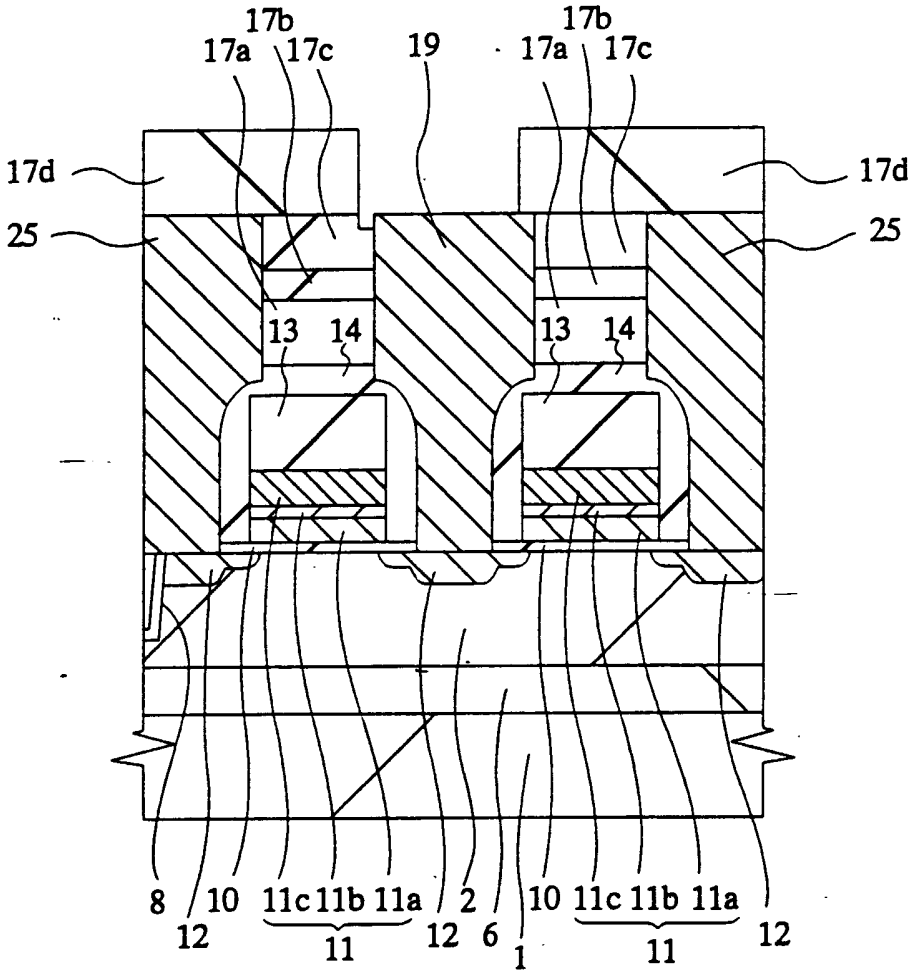
第 22 圖


BL
BP
BLCT
17d
25
17b
17a
17c
19
20
13
11
14
8
12
10
11c
11b
11a
11
2
6
1
CTP
M1
21
16
15b
15a
9
7

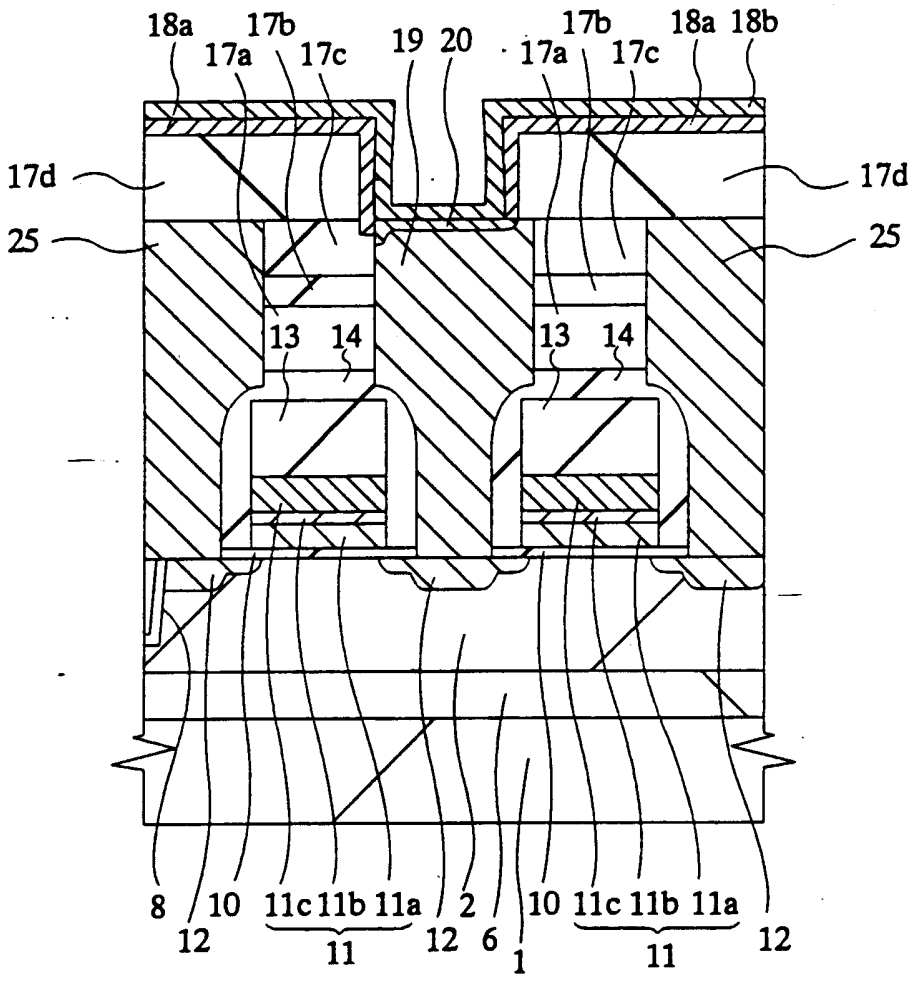
第 23 圖


BL
BP
BLCT
CTP
M1
17a
17b
17c
17d
11
11a
11b
11c
12
13
14
15a
15b
16
19
20
21
25
50
1
2
6
7
8
9
10

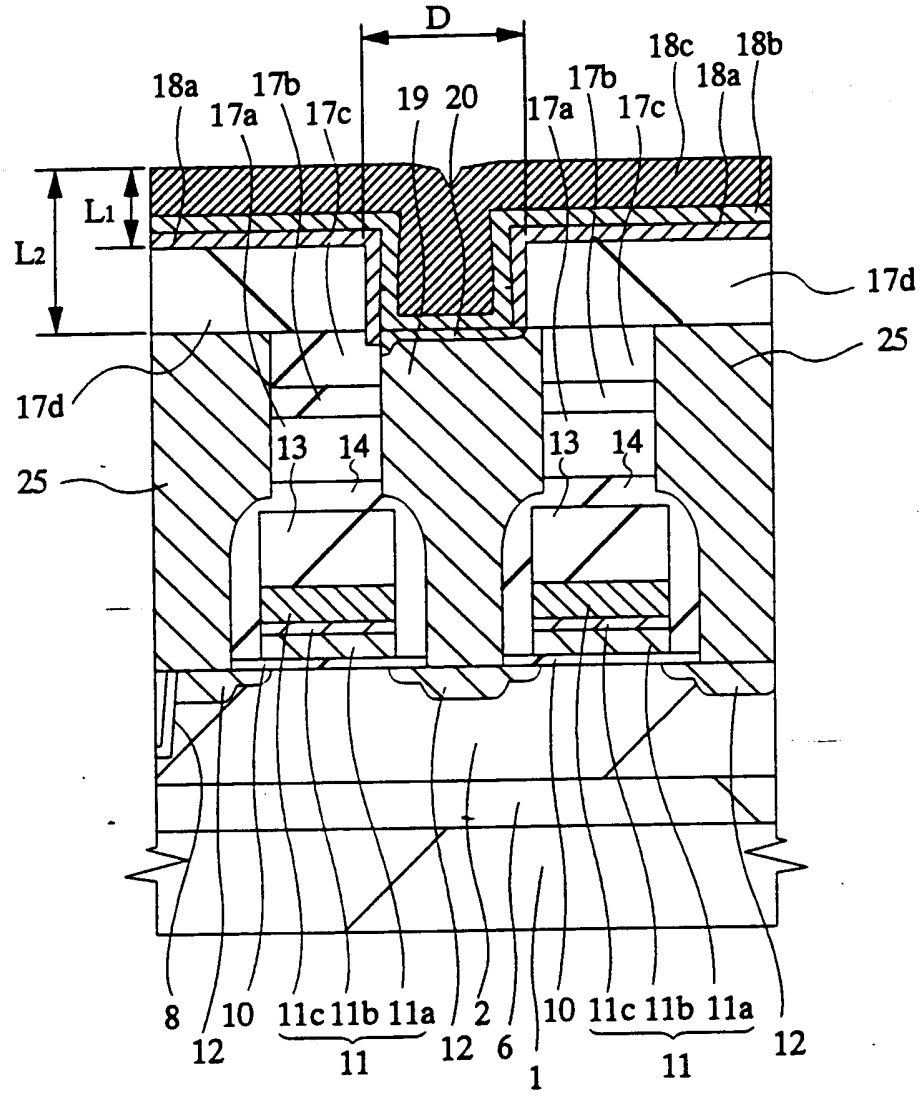
第 24 圖


17b
17a
17c
19
17b
17a
17c
17d
17d
25
25
13
14
13
14
8
12
10
11c
11b
11a
11
12
2
6
1
10
11c
11b
11a
11
12

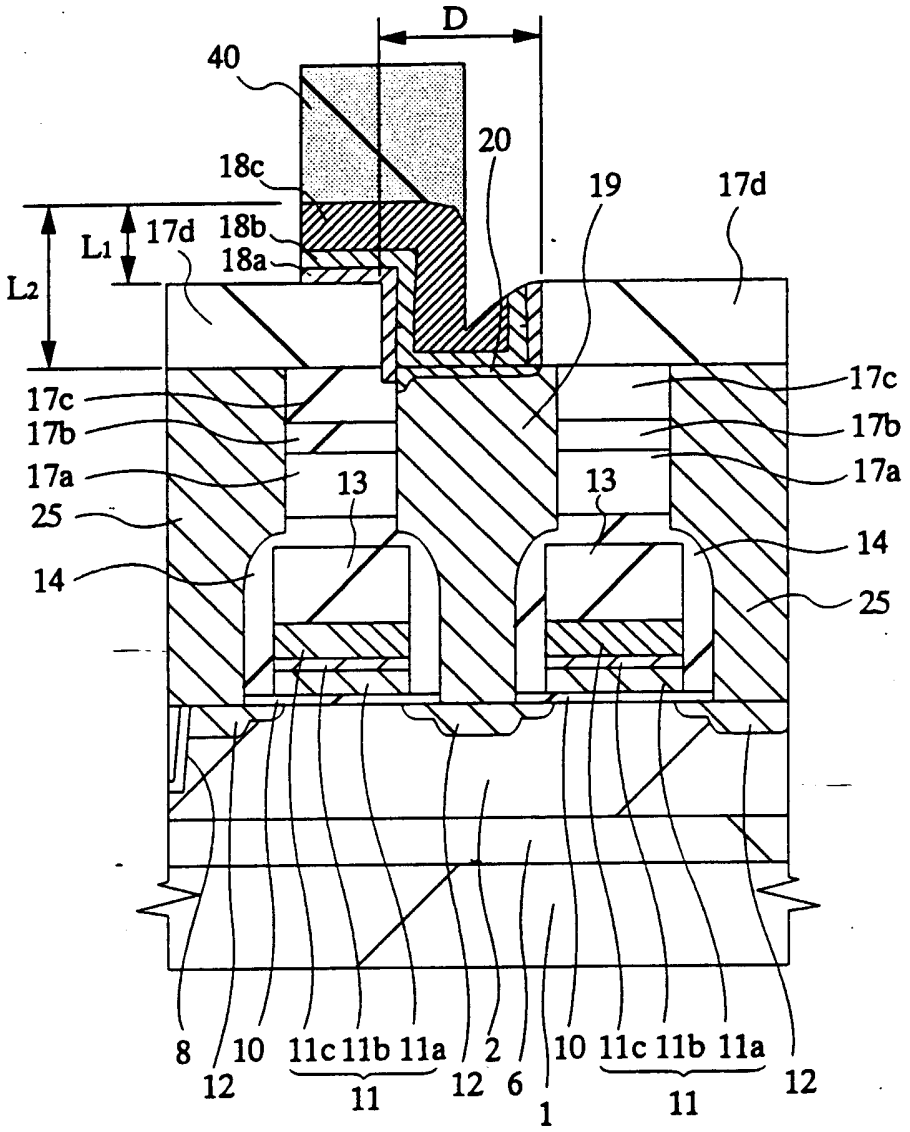
第 25 圖


18a
17b
17a
17c
19
20
17b
17a
17c
18a
18b
17d
17d
25
25
13
14
13
14
8
12
10
11c
11b
11a
11
12
2
6
1
10
11c
11b
11a
11
12

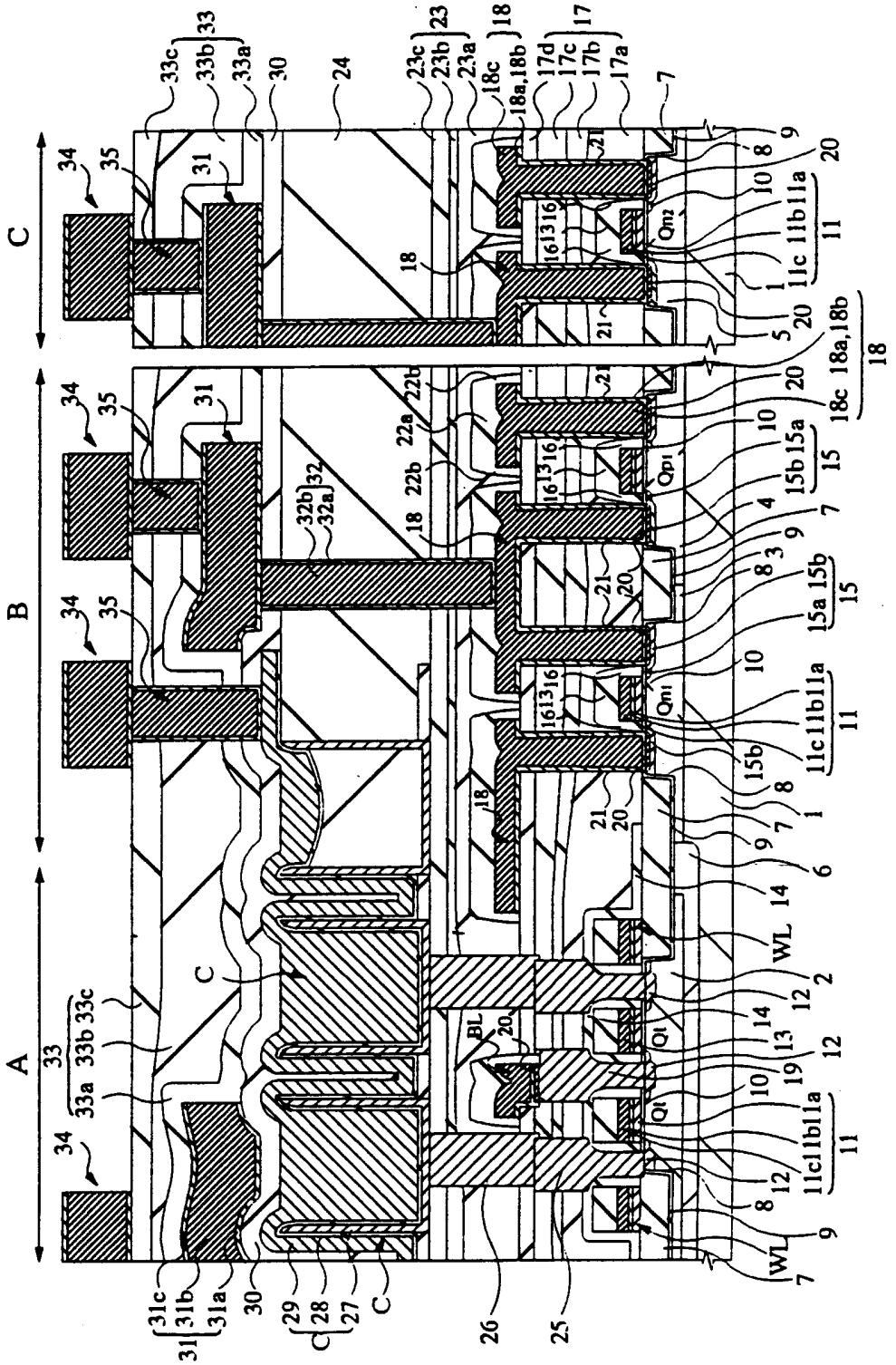
第 26 圖


D
18a
17b
17a
17c
19
20
17a
17b
17c
18c
18a
18b
L1
L2
17d
25
17d
25
13
14
13
14
8
12
10
11c
11b
11a
11
12
2
6
1
10
11c
11b
11a
11
12

第 27 圖

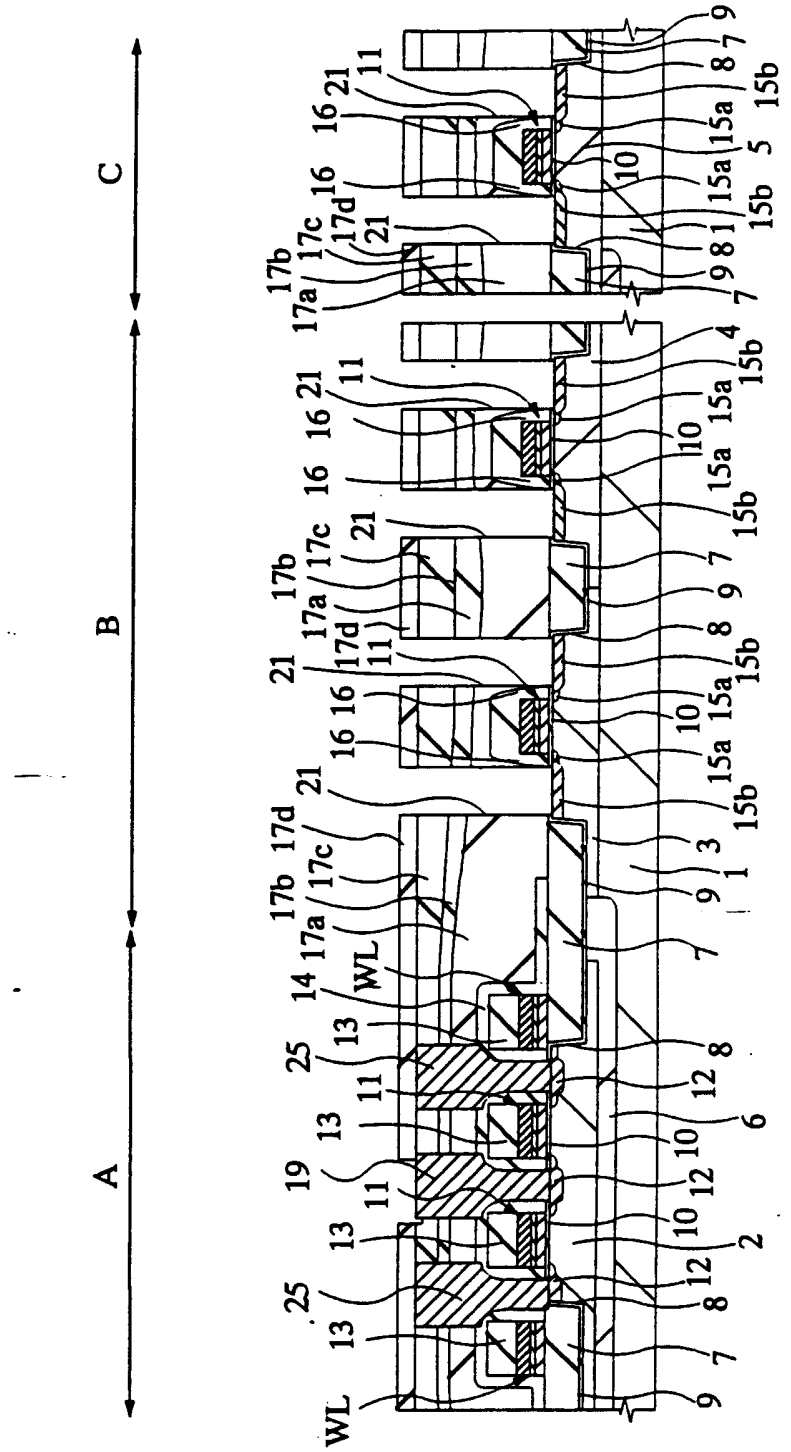

D
40
20
18c
19
17d
L1
17d
18b
18a
L2
17c
17b
17a
25
14
13
13
17c
17b
17a
14
25
8
12
10
11c
11b
11a
11
12
2
6
1
10
11c
11b
11a
11
12

第 28 圖

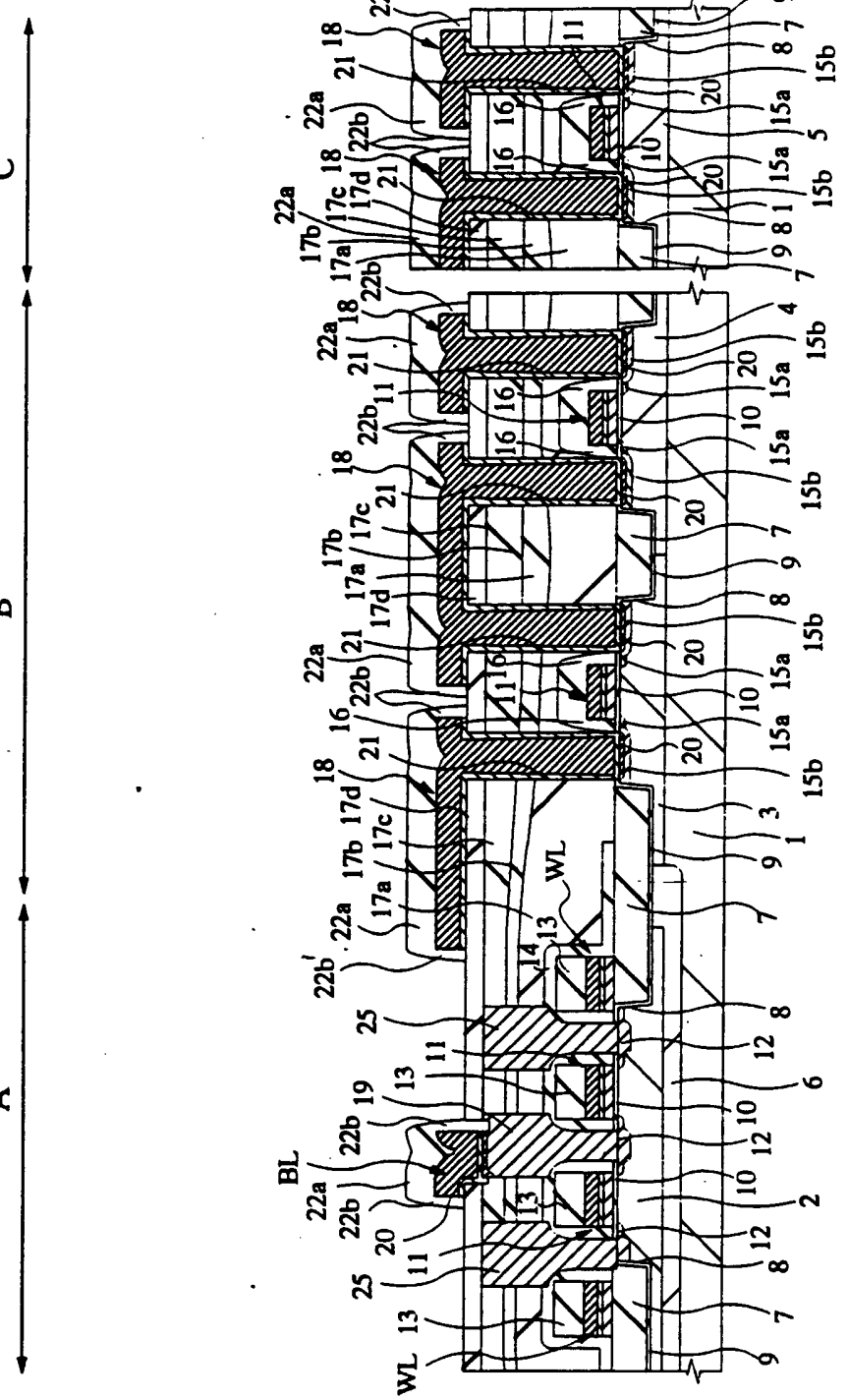


第 29 圖

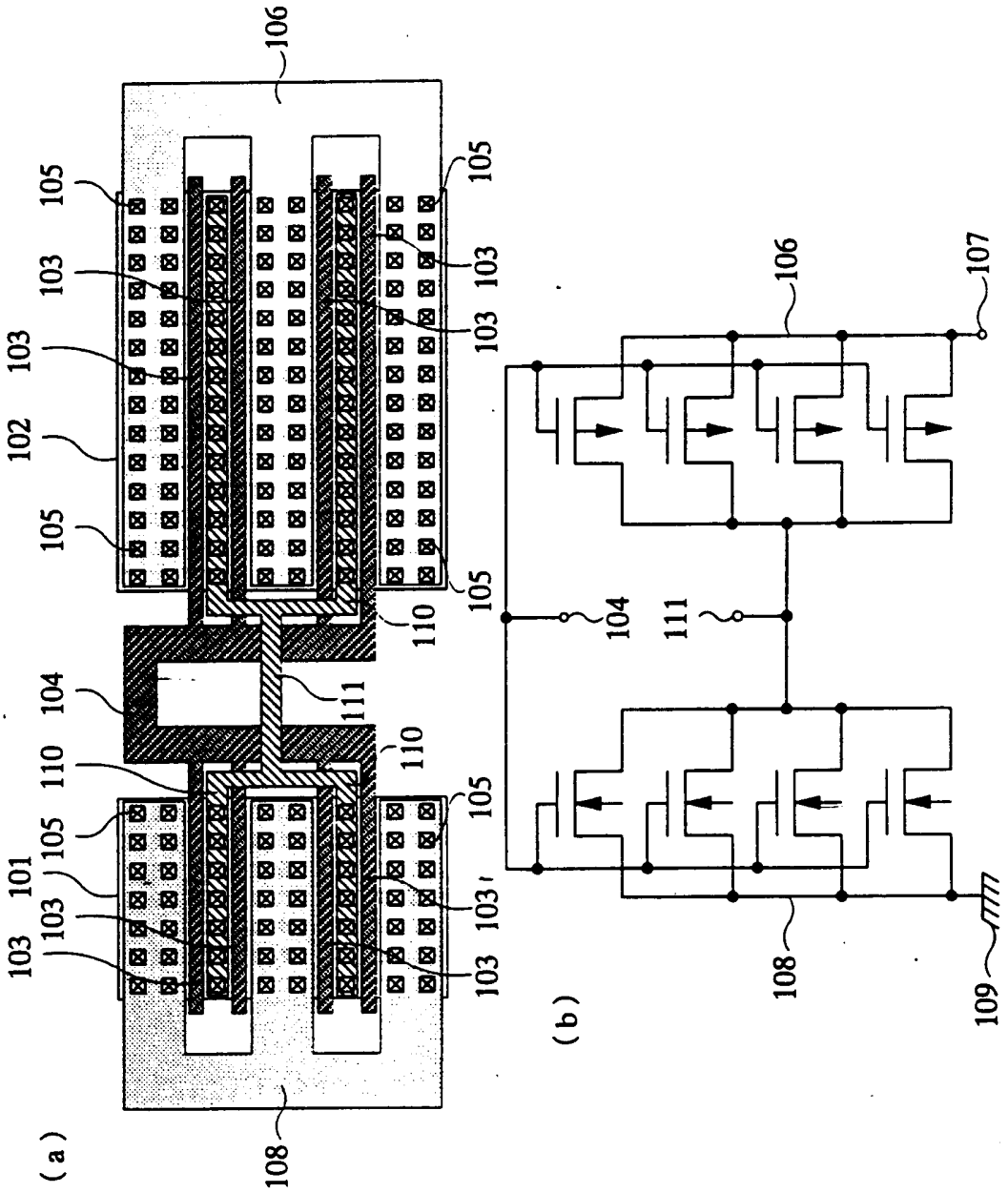
407369



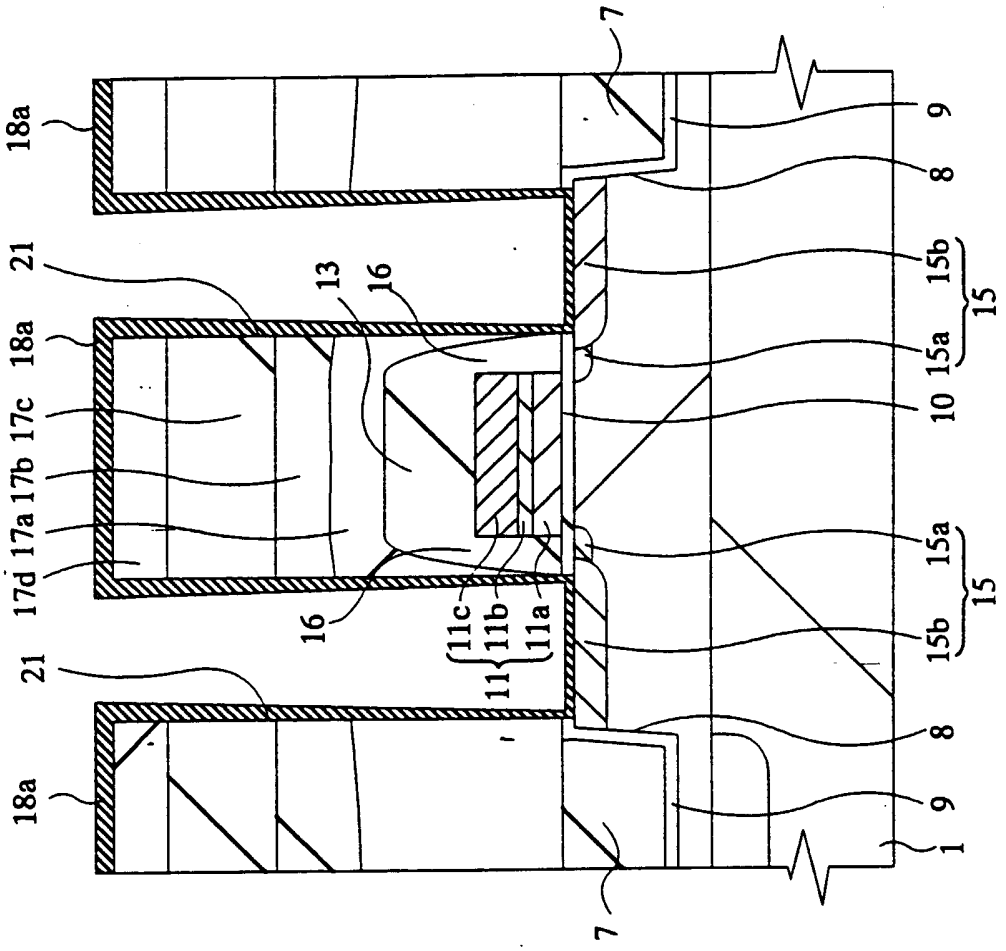
第30圖



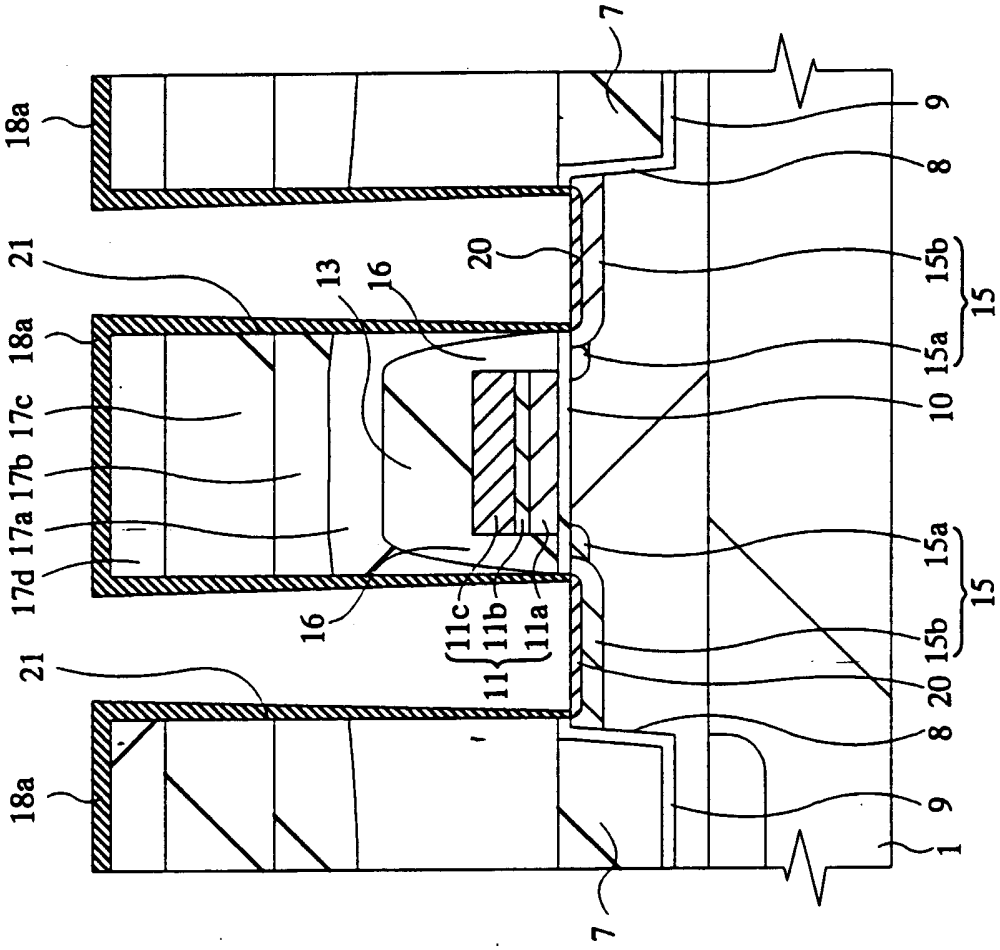
第 31 圖



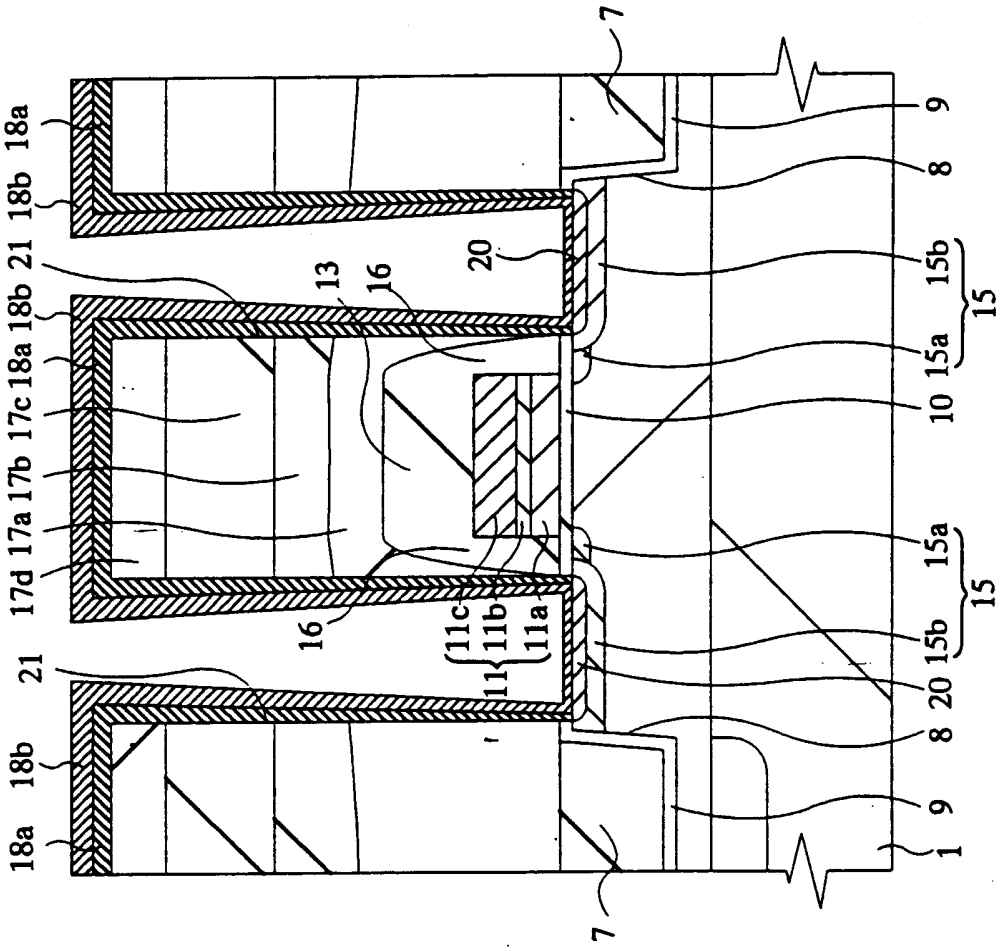
第 32 圖


18a
21
18a
17c
17b
17a
17d
21
18a
7
9
8
15b
15
15a
10
15a
15
15b
8
9
1
7
13
16
16
11c
11b
11a
11

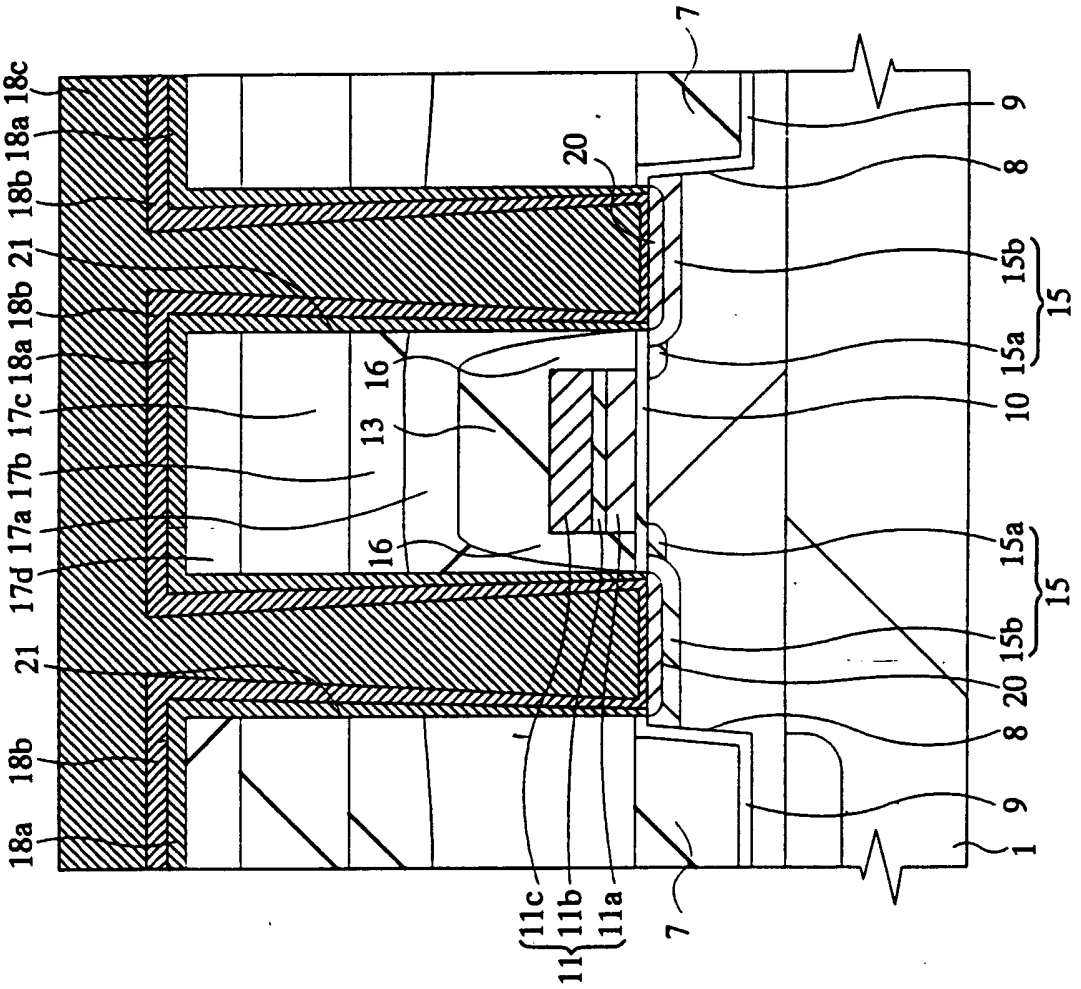
第 33 圖


18a
21
18a
17c
17b
17a
17d
21
18a
7
9
8
15b
15
15a
20
13
16
10
15a
15
15b
20
8
9
1
7
16
11c
11b
11a
11

第 34 圖

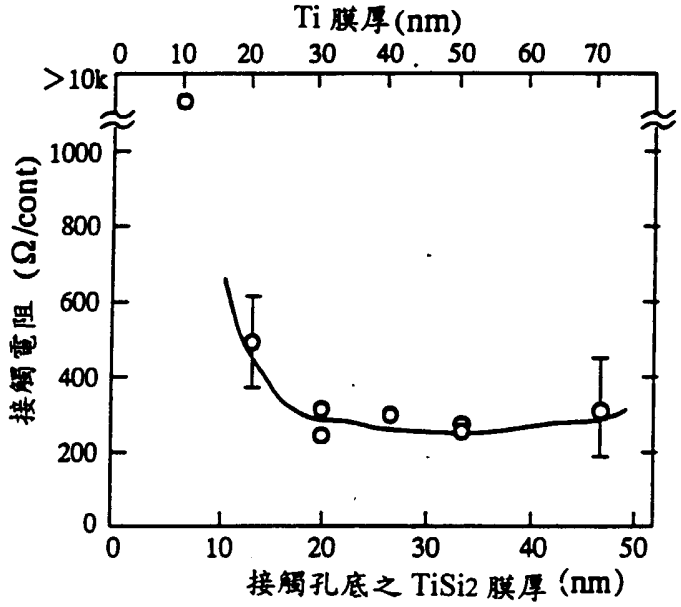

18a
18b
21
18b
18a
17c
17b
17a
17d
21
18b
18a
7
9
8
15b
15
15a
10
15a
15
15b
20
8
9
1
7
13
16
20
16
11c
11b
11a
11

第 35 圖

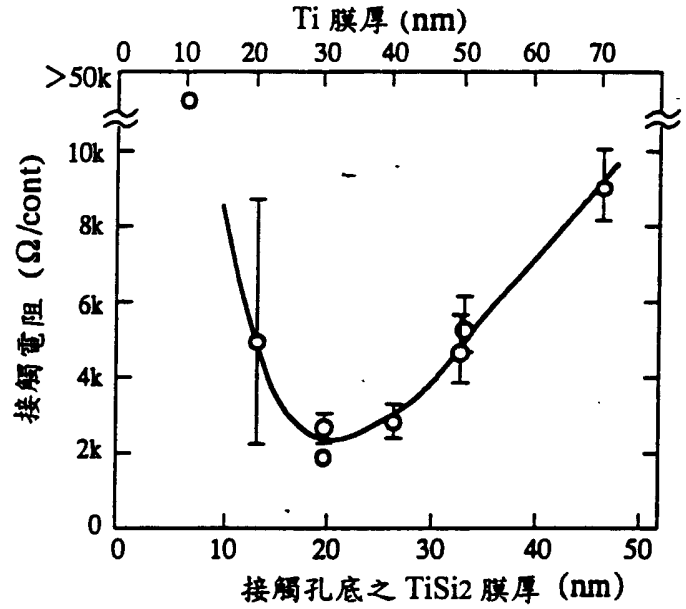

18c
18a
18b
21
18b
18a
17c
17b
17a
17d
21
18b
18a
7
20
16
13
16
11c
11b
11a
11
7
9
8
15b
15
15a
10
15a
15
15b
20
8
9
1

第 36 圖

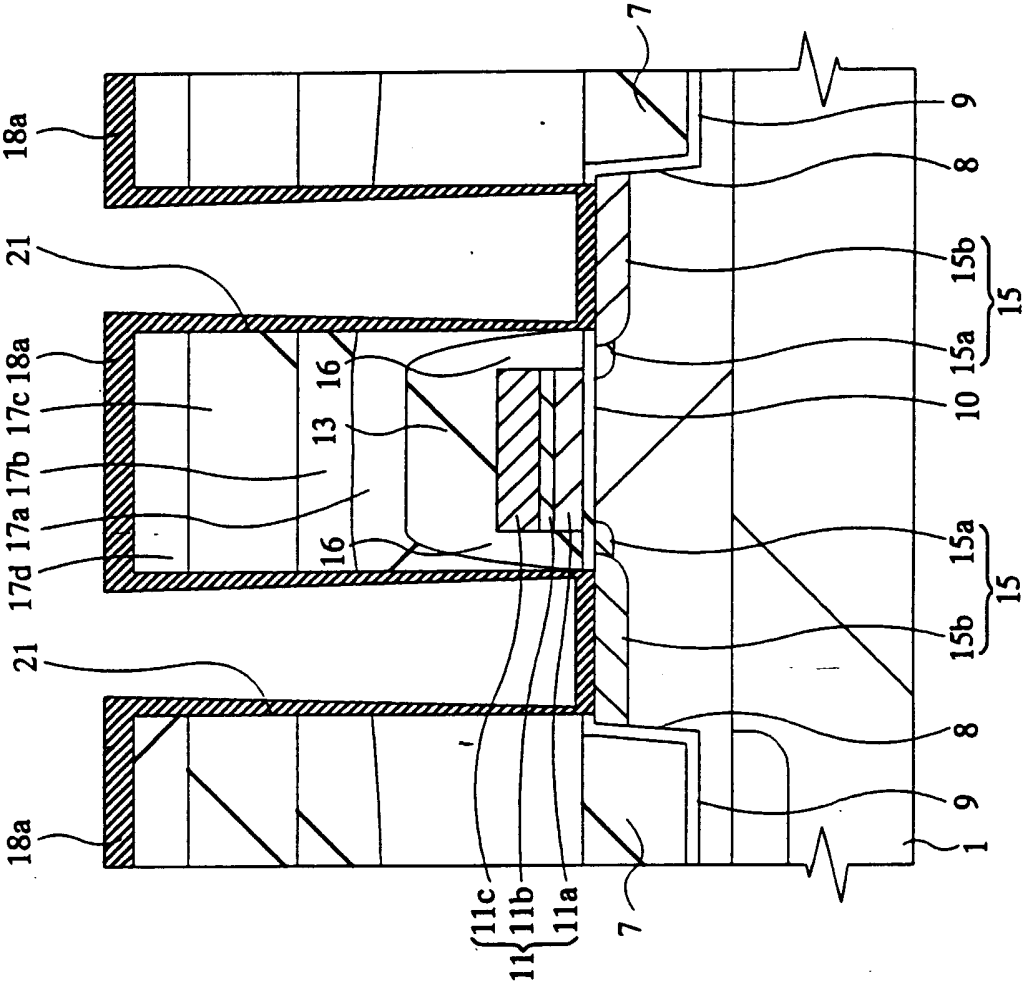
(a)


Ti 膜厚(nm)
0 10 20 30 40 50 60 70
>10k
1000
800
600
400
200
0
接觸電阻 (Ω/cont)
0 10 20 30 40 50
接觸孔底之 TiSi2 膜厚 (nm)

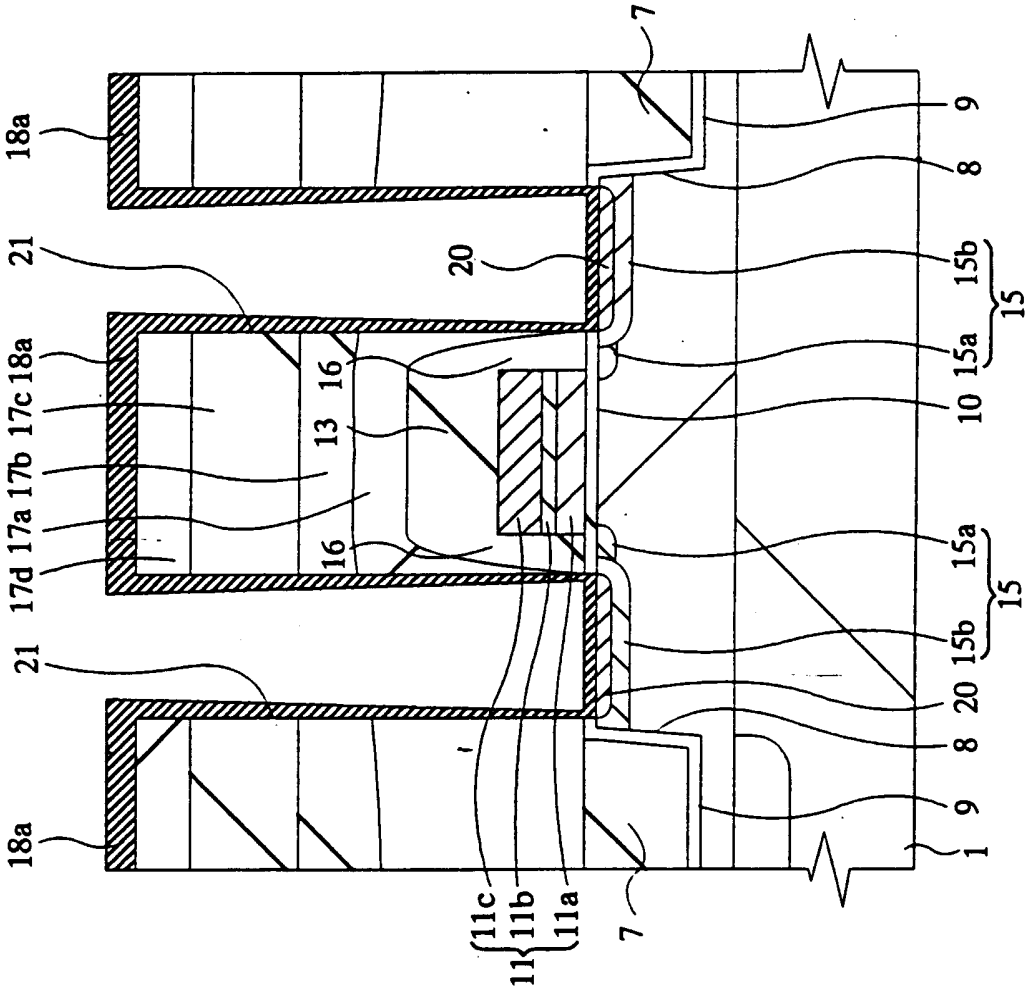
(b)


Ti 膜厚 (nm)
0 10 20 30 40 50 60 70
>50k
10k
8k
6k
4k
2k
0
接觸電阻 (Ω/cont)
0 10 20 30 40 50
接觸孔底之 TiSi2 膜厚 (nm)

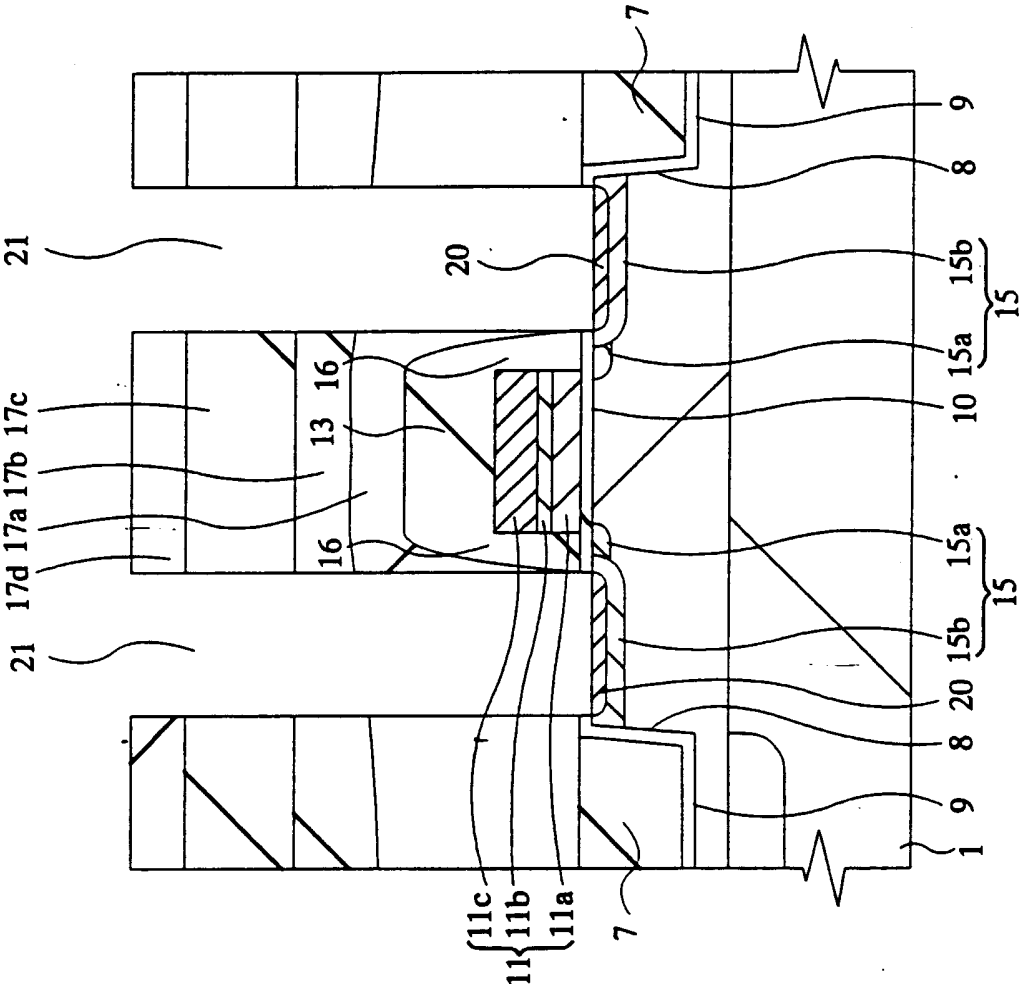
第 37 圖


18a
21
18a
17c
17b
17a
17d
16
13
16
21
18a
11c
11b
11a
11
7
7
9
8
15b
15
15a
10
15a
15
15b
8
9
1

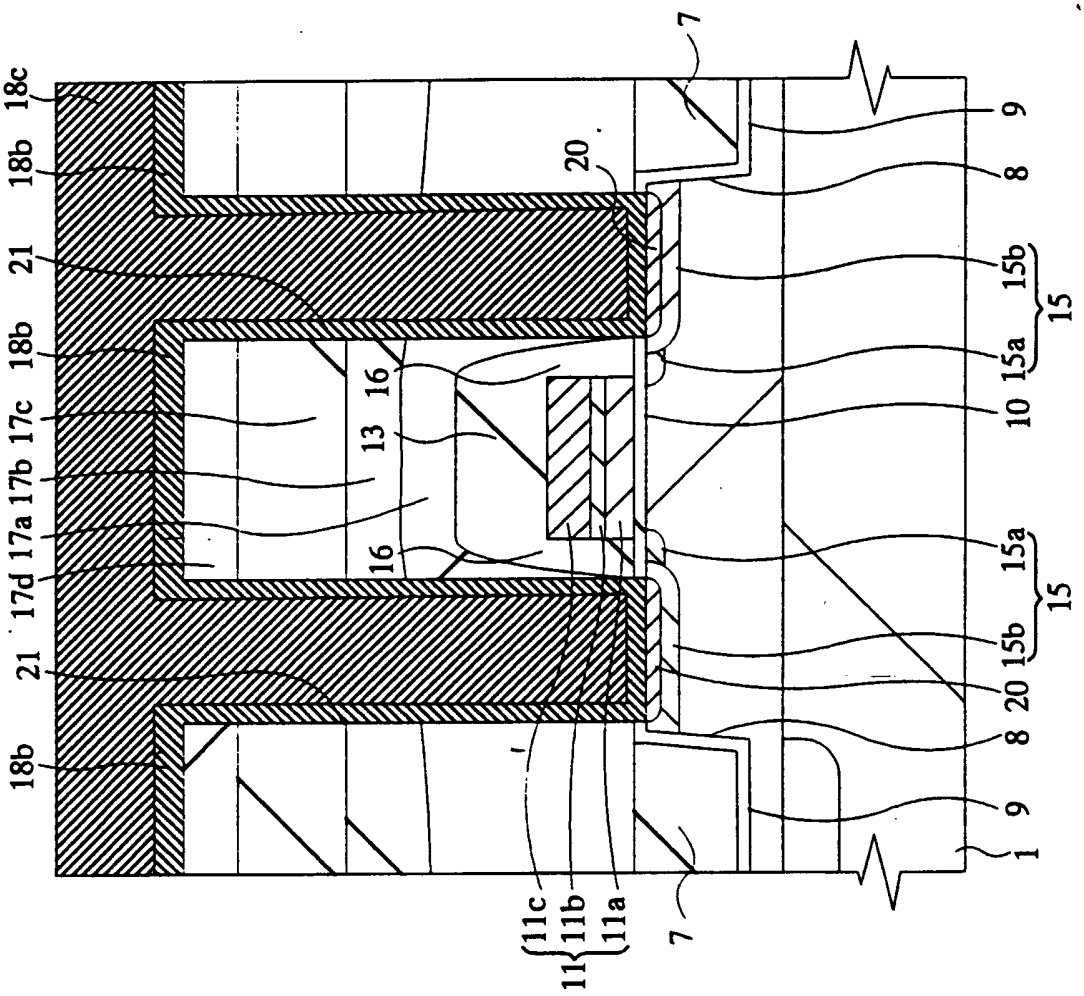
第 38 圖


18a
21
18a
17c
17b
17a
17d
21
18a
7
9
8
20
15b
15
15a
10
13
16
16
15a
15
15b
20
8
9
1
11c
11b
11a
11
7

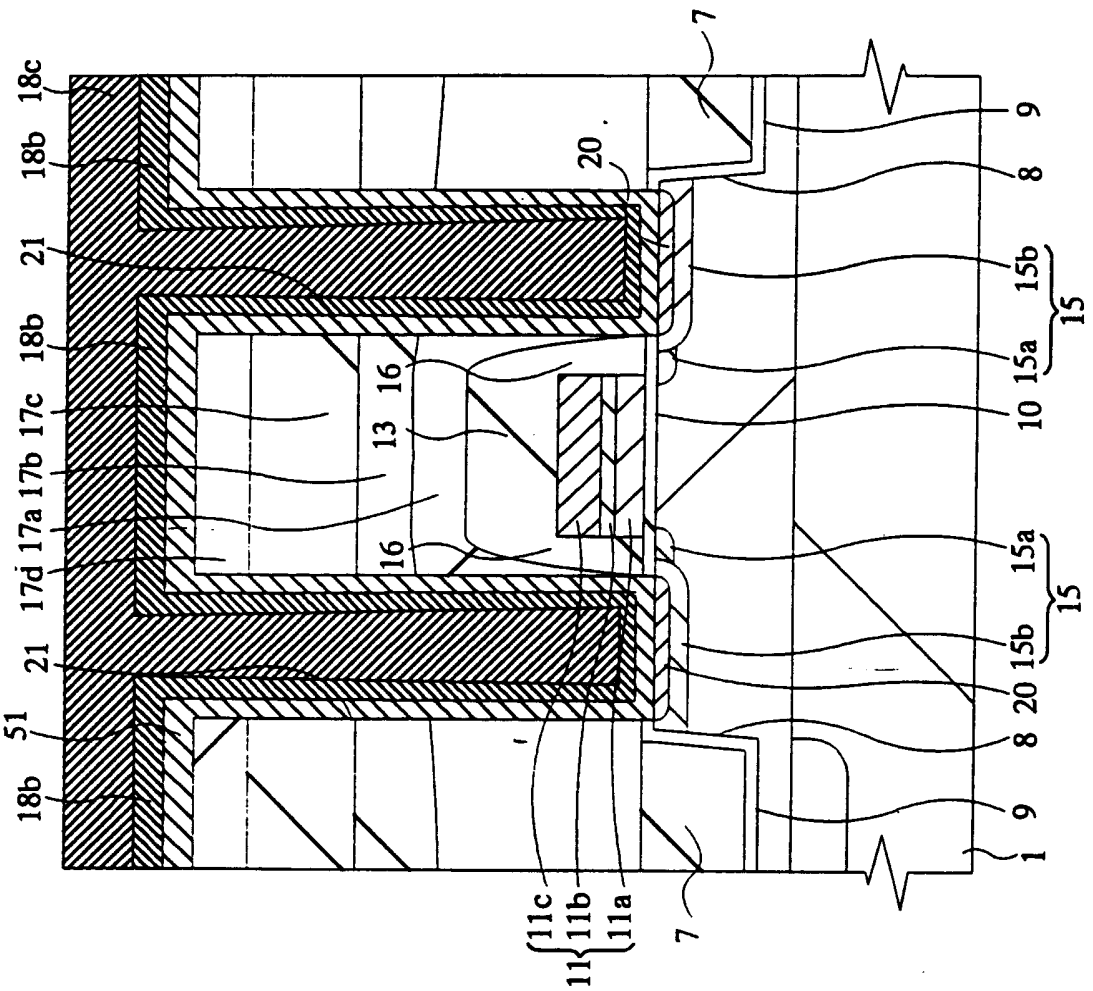
第 39 圖


7
9
8
21
20
15b
15a
15
16
13
10
17c
17b
17a
17d
16
15a
15
21
15b
20
8
9
1
11c
11b
11a
11
7

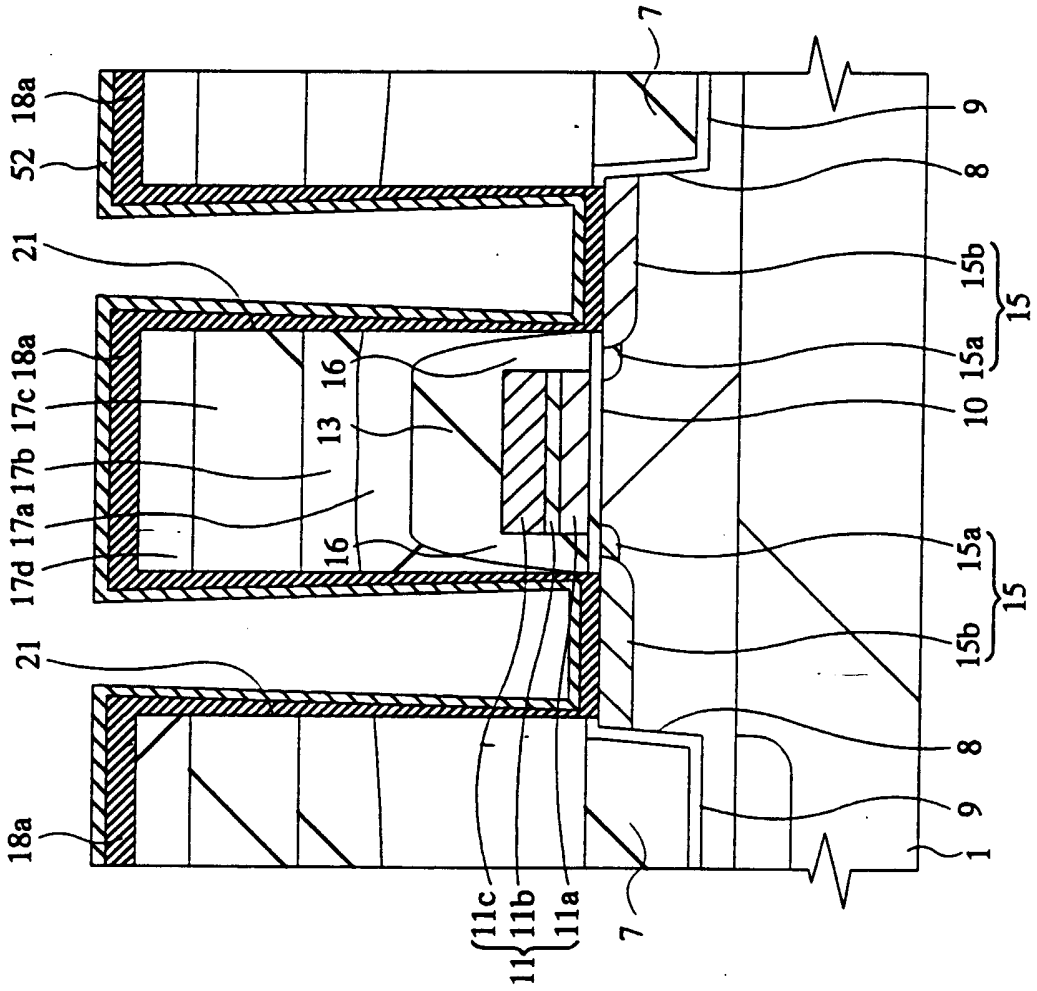
第 40 圖


18c
18b
21
18b
17c
17b
17a
17d
21
18b
7
20
16
13
16
11c
11b
11a
11
7
9
8
15b
15
15a
10
15a
15
15b
20
8
9
1

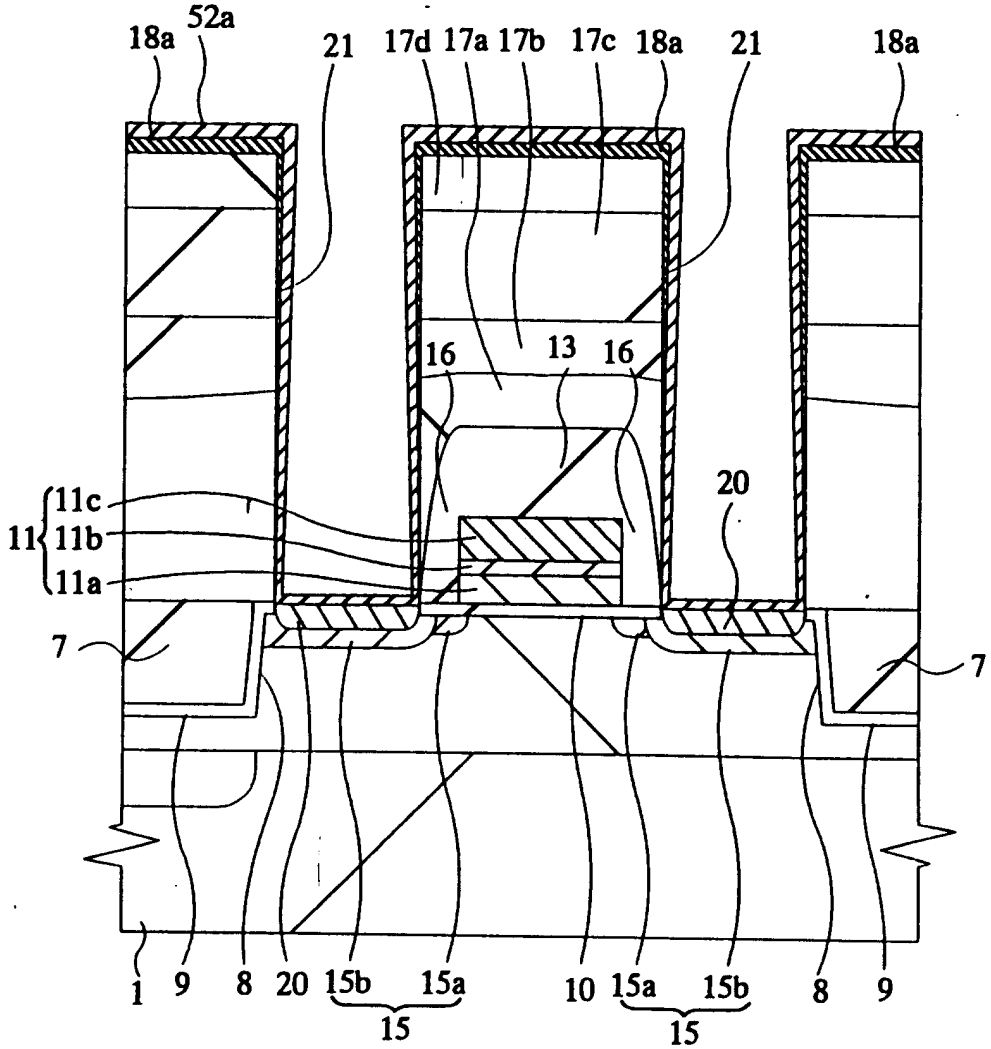
第 41 圖


18c
18b
21
18b
17c
17b
17a
17d
21
51
18b
7
20
16
13
16
11c
11b
11a
11
7
9
8
15b
15
15a
10
15a
15
15b
20
8
9
1

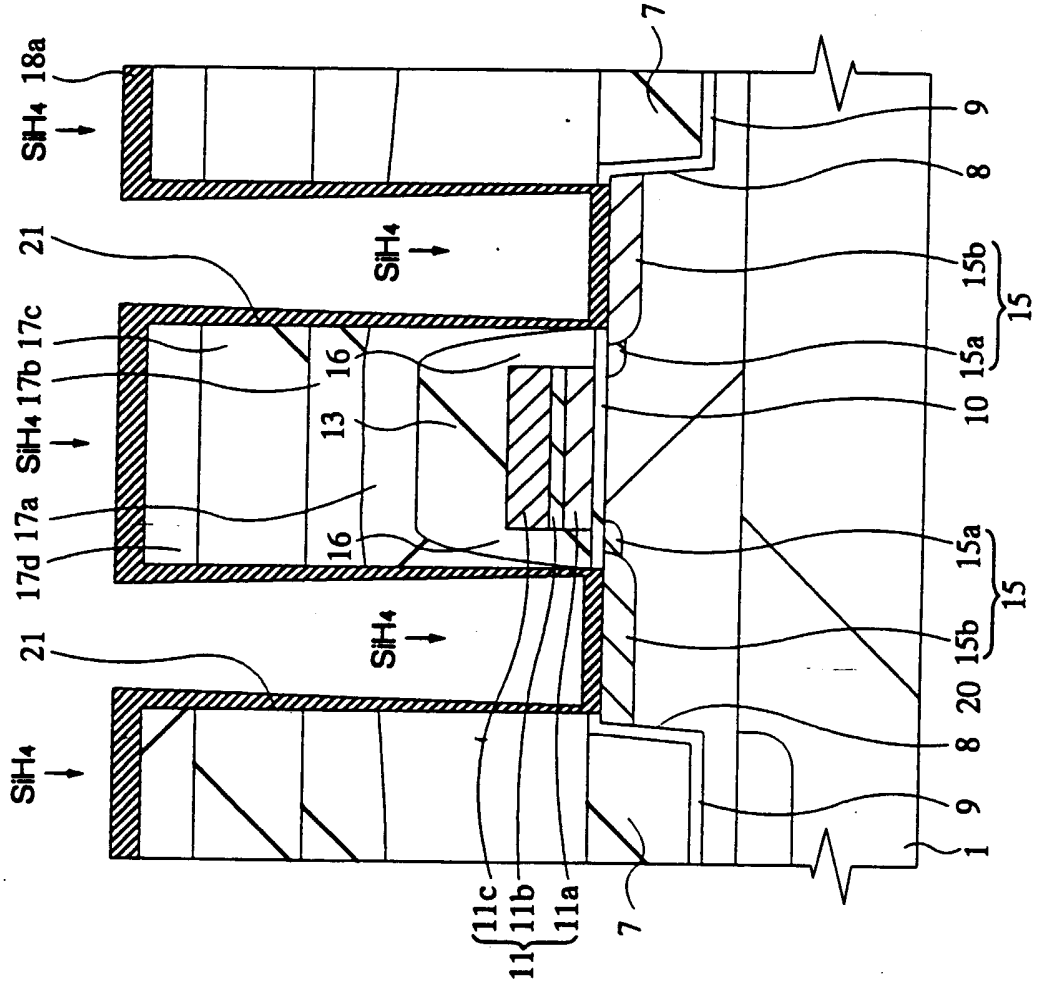
第 42 圖


7
18a
52
9
8
21
15b
15
18a
16
15a
17c
13
10
17b
17a
16
15a
17d
15
21
15b
8
18a
9
1
11c
11b
11a
11
7

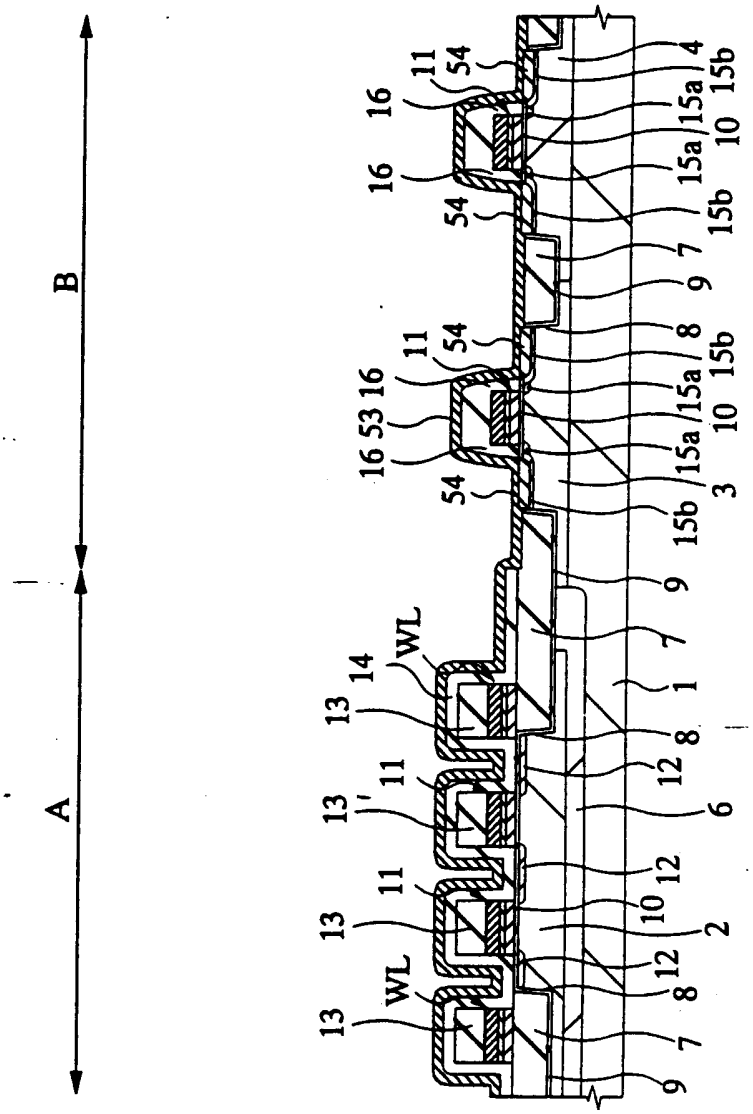
第 43 圖


18a
52a
21
17d
17a
17b
17c
18a
21
18a
16
13
16
20
11c
11b
11a
11
7
7
1
9
8
20
15b
15a
15
10
15a
15b
15
8
9

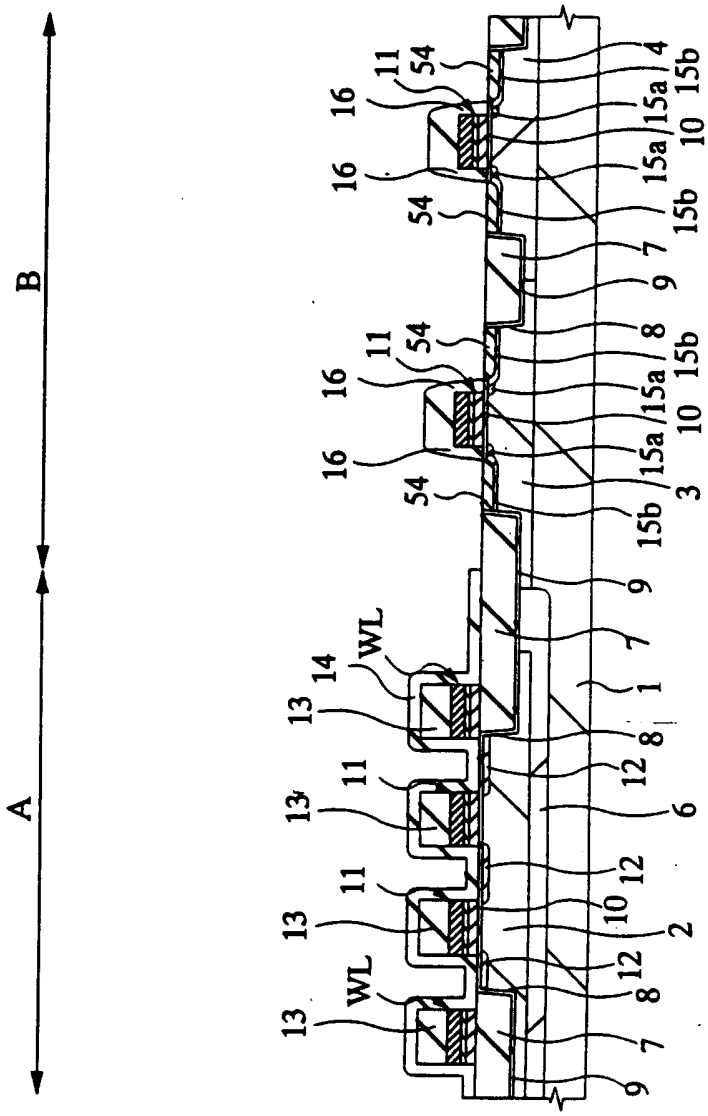
第 44 圖


SiH4
18a
21
17c
17b
17a
17d
16
13
7
9
8
15b
15a
15
10
20
1
11c
11b
11a
11

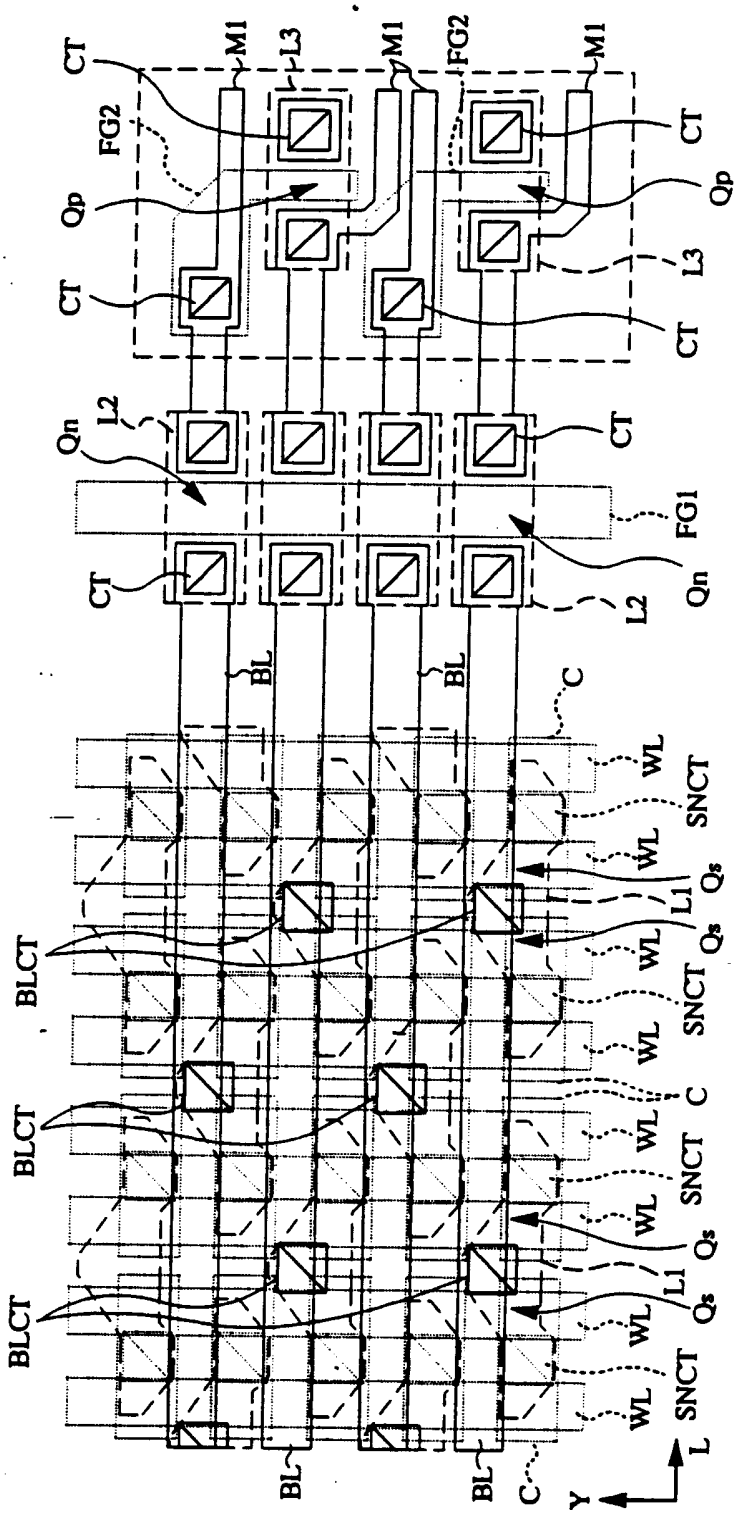
第 45 圖



第 46 圖



第 47 圖


CT
M1
L3
M1
FG2
M1
FG2
Qp
CT
Qp
CT
L3
CT
Qn
L2
CT
FG1
CT
L2
Qn
BL
BL
C
WL
SNCT
WL
Qs
L1
BLCT
Qs
WL
SNCT
BLCT
WL
C
WL
SNCT
BLCT
WL
Qs
L1
Qs
WL
SNCT
WL
BL
BL
C
Y
L

第 48 圖