

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 1 月 9 日 (09.01.2020)



(10) 国际公布号
WO 2020/006749 A1

- (51) 国际专利分类号:
G01R 27/08 (2006.01) **G01R 31/26** (2014.01)
- (21) 国际申请号: PCT/CN2018/094815
- (22) 国际申请日: 2018 年 7 月 6 日 (06.07.2018)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 深圳市汇顶科技股份有限公司 (SHENZHEN GOODIX TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市福田区保税区腾飞工业大厦 B 座 13 层, Guangdong 518045 (CN)。
- (72) 发明人: 沈丹禹 (SHEN, Danyu); 中国广东省深圳市福田区保税区腾飞工业大厦 B 座 13 层, Guangdong 518045 (CN)。 童天涯 (TONG,

Tianya); 中国广东省深圳市福田区保税区腾飞工业大厦 B 座 13 层, Guangdong 518045 (CN)。 宋海宏 (SONG, Haihong); 中国广东省深圳市福田区保税区腾飞工业大厦 B 座 13 层, Guangdong 518045 (CN)。

(74) 代理人: 北京合智同创知识产权代理有限公司 (BEIJING HEADSTAY INTELLECTUAL PROPERTY AGENCY); 中国北京市海淀区中关村东路 18 号财智国际大厦 C-1506, Beijing 100083 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,

(54) Title: CHIP IMPEDANCE TESTING METHOD AND SYSTEM

(54) 发明名称: 芯片阻抗测试方法及系统

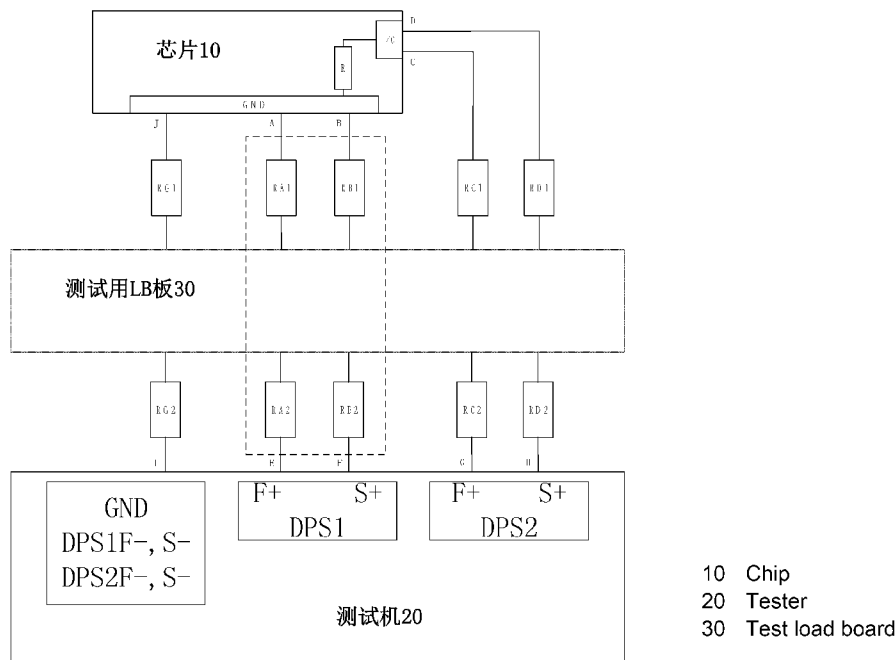


图 1

(57) Abstract: Provided are a chip impedance testing system and method, the chip impedance testing system comprising: a tester (20), the tester (20) comprising a device power supply, and the device power supply being connected to a ground pin of a chip to be tested (10) and an I/O port. By means of the device power supply, the tester (20) adjusts a voltage value at the ground pin, enabling the voltage value at the ground pin to be identical to a voltage value at a ground terminal of the tester (20). The tester (20) outputs, by means of the device power supply, a test current to the I/O port, measures a voltage value at the I/O port, and determines, according to the voltage

JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

value at the I/O port, the voltage value at the ground pin, and a value of the test current, a resistance value between the I/O port and the ground pin. The chip impedance testing system can accurately measure an internal impedance of a chip.

(57) 摘要: 一种芯片阻抗测试系统和方法, 该芯片阻抗测试系统包括: 测试机(20), 测试机(20)包括设备电源, 设备电源与待测芯片(10)的接地引脚以及I/O端口连接, 测试机(20)通过设备电源调节接地引脚的电压值, 使接地引脚的电压值与测试机(20)的接地端的电压值相同; 测试机(20)通过设备电源对I/O端口输出测试电流, 并测试I/O端口处的电压值, 根据I/O端口处的电压值、接地引脚处的电压值和测试电流的电流值确定I/O端口与接地引脚之间的电阻值。该芯片阻抗测试系统能够准确测量芯片内阻。

芯片阻抗测试方法及系统

技术领域

本申请实施例涉及电子设备技术领域，尤其涉及一种芯片阻抗测试方法
5 及系统。

背景技术

在 IC 芯片 (Integrated Circuit 集成电路) 测试领域中，经常会测试 Rdson (在芯片内的 mos 管导通的时候，与之等效的导通电阻) 及其他阻抗。在现有测试过程中，因导线的阻抗、继电器的导通阻抗、针卡的接触阻抗、
10 以及接触和脏污影响的阻抗等因素的影响，导致对 IC 芯片内阻抗测试的准确性不高。

因此，如何避免环境因素对测试的影响，成为亟待解决的问题。

发明内容

有鉴于此，本申请实施例所解决的技术问题之一在于提供一种芯片阻抗
15 测试方法及系统，用以克服现有技术中芯片内阻抗测试受外部因素影响而准确性不好的问题。

本申请实施例提供一种芯片阻抗测试系统，包括：测试机，测试机包括设备电源，设备电源与待测芯片的接地引脚以及 I/O 端口连接，测试机通过设备电源调节接地引脚的电压值，使接地引脚的电压值与测试机的接地端的
20 电压值相同；测试机通过设备电源对 I/O 端口输出测试电流，并测试 I/O 端口处的电压值，根据 I/O 端口处的电压值、接地引脚处的电压值和测试电流的电流值确定 I/O 端口与接地引脚之间的电阻值。

可选地，测试系统还包括测试用 LB 板，待测芯片的接地引脚通过测试用 LB 板的第一连接通路与测试机的接地端连接。

25 可选地，接地引脚和测试机的接地端的电压值为 0V。

可选地，设备电源包括第一电源单元，第一电源单元用于与待测芯片的接地引脚连接。

可选地，第一电源单元包括正输出端、负输出端、正测试端和负测试端，正输出端和正测试端均与接地引脚连接，负输出端和负测试端均与测试机的

接地端连接。

可选地，设备电源包括第二电源单元，第二电源单元用于与待测芯片的 I/O 端口连接。

可选地，第二电源单元包括正输出端、负输出端、正测试端和负测试端，

- 5 正输出端和正测试端均与 I/O 端口连接，负输出端和负测试端均与测试机的接地端连接。

根据本申请的另一方面，提供一种待测芯片测试方法，测试机通过设备电源调节待测芯片的接地引脚的电压值，使接地引脚的电压值与测试机中的接地端的电压值相等；测试机通过设备电源对待测芯片的 I/O 端口输出测试
10 电流，并测试 I/O 端口处的电压值；测试机根据测试电流的电流值、I/O 端口处的电压值和待测芯片的接地引脚的电压值，确定待测芯片的 I/O 端口与接地引脚之间的电阻值。

可选地，测试机包括第一电源单元，测试机通过设备电源调节待测芯片的接地引脚的电压值，使接地引脚的电压值与测试机中的接地端的电压值相
15 等，包括：通过第一电源单元对待测芯片的接地引脚供电，使接地引脚的电压值与测试机中的接地端的电压值相等。

可选地，测试机包括第二电源单元，测试机通过设备电源对待测芯片的 I/O 端口输出测试电流，并测试 I/O 端口处的电压值，包括：测试机的第二电源单元通过 I/O 端口对待测芯片输出测试电流，并测试 I/O 端口处的电压
20 值。

由以上技术方案可见，本申请实施例芯片阻抗测试系统中，利用测试机中自有的设备电源对待测芯片的接地引脚的电压值进行调节，使其与测试机的接地端之间的电压值一致，从而使得在测试过程中，待测芯片的接地引脚与测试机的接地端之间无压降，从而避免了现有技术中将待测芯片的接地引
25 脚与测试机的接地端连接后，两者之间由于存在环境电阻而导致待测芯片的接地引脚的电压值不为理想值而造成的待测芯片的内阻测试不准的问题。

附图说明

为了更清楚地说明本申请实施例或现有技术中的技术方案，下面将对实
30 施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面

描述中的附图仅仅是本申请的一些实施例，对于本领域技术人员来讲，在不付出创造性劳动性的前提下，还可以根据这些附图获得其他的附图。

图 1 为本申请的实施例的芯片阻抗测试系统的结构示意图；

图 2 为本申请的实施例的芯片阻抗测试方法的流程示意图。

5 附图标记说明：

10、待测芯片；20、测试机；30、测试用 LB 板。

具体实施方式

为使得本申请实施例的发明目的、特征、优点能够更加的明显和易懂，

10 下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本申请实施例一部分实施例，而非全部实施例。基于本申请中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本申请实施例保护的范围。

15 下面结合本申请实施例附图进一步说明本申请实施例具体实现。

如图 1 所示，根据本申请的实施例，芯片阻抗测试系统包括：测试机 20，测试机 20 包括设备电源，设备电源与待测芯片 10 的接地引脚（图 1 中所示的待测芯片 10 处的 GND）以及 I/O 端口连接，测试机 20 通过设备电源调节接地引脚 GND 的电压值，使接地引脚 GND 的电压值与测试机 20 的接地端的电
20 压值相同；测试机 20 通过设备电源对 I/O 端口输出测试电流，并测试 I/O 端口处的电压值，根据 I/O 端口处的电压值、接地引脚 GND 处的电压值和测试电流的电流值确定 I/O 端口与接地引脚 GND 之间的电阻值。

该芯片阻抗测试系统中，利用测试机 20 的设备电源强制调节待测芯片 10 的接地引脚 GND 的电压值，使其电压值与测试机 20 的接地端的电压值相等，
25 这样保证在对芯片进行测试的过程中，待测芯片 10 的接地引脚 GND 与测试机 20 的接地端之间无压差，从而使待测芯片 10 的接地引脚 GND 与接地端之间的环境电阻无效化，进而保证对待测芯片 10 的内阻测试的准确性。利用设备电源对待测芯片 10 的 I/O 端口进行供电，控制通过的电流值为测试电流，确保测试时的电流的准确性，进而保证测试的准确性，避免了环境电阻对测试
30 准确性的影响。

在本实施例中，测试系统还包括测试用 LB 板 30，待测芯片 10 与测试机 20 之间通过该测试用 LB 板 30 连接，以提升连接的便捷性，进而使测试效率更高。

例如，待测芯片 10 的接地引脚 GND 通过测试用 LB 板 30 的第一连接通路（即图 1 中所示的 J 点到 I 点形成的通路，其上的环境电阻等效为电阻 RG1 和电阻 RG2）与测试机 20 的接地端连接。

待测芯片 10 的接地引脚 GND 通过测试用 LB（Load Board）板 30 的第二连接通路（即图 1 中所示的 A 点到 E 点、B 点到 F 点的通路形成的通路，A 点与 E 点之间的环境电阻等效为电阻 RA1 和电阻 RA2，B 点到 F 点之间的环境电阻等效为 RB1 和电阻 RB2）与测试机 20 的设备电源连接。该第二连接通路用于使设备电源能够对待测芯片 10 的接地引脚 GND 供电，以调节其电压值。

待测芯片 10 的 I/O 端口通过测试用 LB 板 30 的第三连接通路（即图 1 中所示的 C 点到 G 点、D 点到 H 点形成的通路，其中，C 点到 G 点的环境电阻等效为电阻 RC1 和电阻 RC2，D 点到 H 点的环境电阻等效为电阻 RD1 和电阻 RD2）与测试机 20 的设备电源连接。该第三连接通路用于使设备电源对待测芯片 10 的 I/O 端口供电，以输出测试电流。

可选地，在本实施例中，设备电源包括第一电源单元（即图 1 中所示的 DPS1），第一电源单元 DPS1 用于与待测芯片 10 的接地引脚 GND 连接，以调节接地引脚 GND 的电压值。

具体地，第一电源单元包括正输出端（图 1 中所示的 DPS1 的 F+端口，即设备电源正向的输出端）、负输出端（图 1 中所示的 DPS1 的 F-端口，即设备电源负向的输出端）、正测试端（图 1 中所示的 DPS1 的 S+端口，即设备电源正向的采样端）和负测试端（图 1 中所示的 DPS1 的 S-端口，即设备电源负向的采样端），正输出端 F+和正测试端 S+均与接地引脚 GND 连接，负输出端 F-和负测试端 S-均与测试机 20 的接地端连接。

由于第一电源单元 DPS1 的负输出端 F-和负测试端 S-均与测试机 20 的接地端连接，因此其电位值与测试机 20 的接地端的电位值相等。通常情况下，测试机 20 的接地端的电位值为 0V。故而本实施例中，以接地端的电位值为 0V 进行举例说明，即第一电源单元 DPS1 调节接地引脚 GND 的电压值为 0V；当然，在其他实施例中，该电位值可以是其他值。

通过第一电源单元 DPS1 的正输出端 F+ 可以对待测芯片 10 的接地引脚 GND 输出，以调节其电压值到 0V，从而使接地引脚 GND 的电压值与接地端的电压值相等，进而保证在测试过程中，这两者之间不存在压降，从而屏蔽接地引脚 GND 与接地端之间的环境电阻（图 1 中所示的电阻 RG1 和 RG2）。

- 5 第一电源单元 DPS1 的正测试端 S+ 用于准确测试接地引脚 GND 的电压值，从而为测试机 20 提供反馈数据，使其能够通过该反馈数据调节第一电源单元 DPS1 的正输出端 F+ 的输出。例如，测试机还包括控制单元，控制单元与第一电源单元 DPS1 连接，根据正测试端 S+ 检测的电压值调节正输出端 F+ 的输出。

在本实施例中，设备电源包括第二电源单元 DPS2，第二电源单元 DPS2
10 用于与待测芯片 10 的 I/O 端口连接，以对 I/O 端口输出测试电流，并测量 I/O 端口的电压值。

具体地，第二电源单元 DPS2 包括正输出端 F+、负输出端 F-、正测试端 S+ 和负测试端 S-，正输出端 F+ 和正测试端 S+ 均与 I/O 端口连接，负输出端 F- 和负测试端 S- 均与测试机 20 的接地端连接。

- 15 与第一电源单元 DPS1 的负输出端和负测试端类似的，第二电源单元 DPS2 的负输出端和负测试端也与测试机 20 的接地端连接。其作用与第一电源单元 DPS1 的负输出端和负测试端类似，在此不再赘述。

第二电源单元 DPS2 的正输出端 F+ 用于对 I/O 端口输出测试电流。第二电源单元 DPS2 的正测试端 S+ 用于测试 I/O 端口的电压值，由于该正测试端 S+
20 的内阻接近于无限大，进而使得该正测试端 S+ 与 I/O 端口之间的环境电阻值不会影响对 I/O 端口的电压值的测试，从而避免了 I/O 端口侧的环境电阻对测试准确性的影响。

该测试机可以 ATE (Automatic Test Equipment, 自动化测试设备) 测试机。设备电源可以是 ATE 测试机内部的自备电源 (DPS, device power supply)。

- 25 该芯片阻抗测试系统利用 ATE 测试机自身的 DPS 资源，能够精确测 Rdson（内阻）或其他阻抗的方法。和以往的阻抗测试相比，本申请利用测试机自带的 DPS 与待测芯片 10 的接地引脚之间形成一组凯尔文四线，代替原本的只有一路（F+，S+）的方案，使在不添加外部资源的情况下，准确测量 Rdson 等阻抗。

- 30 利用设备电源中的两个电源单元的正输出端和正测试端进行测试，解决

了现有的电源单元负输出端和负测试端用来与测试机的接地端连接，所以不能抵消掉地端环境阻抗的问题。

利用该系统，即便是低配 ATE 测试机，也可以利用自身的设备电源精准测量内阻(R_{dson})或其他阻抗。解决了现有技术中的随着测试机的配置变高，测试成本也越高，如果单单因为一个导通阻抗测试需求来更换资源丰富的测试机成本会变的很高的问题。

利用测试机自身的 DPS 单元与待测芯片 10 的接地引脚 GND 连接，使其修正待测芯片 10 的接地引脚 GND 与测试机的接地端之间的电位差，使其电位差为 0，以达到精准测量内阻 (R_{dson}) 的目的。

10 如图 2 所示，根据本申请的另一方面，提供一种待测芯片测试方法，其包括以下步骤：

步骤 S102：测试机 20 通过设备电源调节待测芯片 10 的接地引脚 GND 的电压值，使接地引脚 GND 的电压值与测试机 20 中的接地端的电压值相等。

例如，在一种可行方式中，通过将设备电源与待测芯片 10 的接地引脚 GND 连接，使设备电源对接地引脚 GND 输出，以强制调节其电压值与接地端的电压值相等。

可选地，测试机 20 包括第一电源单元，在步骤 102 中，使第一电源单元与接地引脚 GND 连接，并通过第一电源单元对待测芯片 10 的接地引脚 GND 供电，使接地引脚 GND 的电压值与测试机 20 中的接地端的电压值相等。

20 步骤 S104：测试机 20 通过设备电源对待测芯片 10 的 I/O 端口输出测试电流，并测试 I/O 端口处的电压值。

例如，在一种可行方式中，通过设备电源对待测芯片 10 的 I/O 端口输出 10mA 的电流。当然，该电流值可以是任意适当的电流值，并不限于列举的 10mA。

可选地，测试机 20 包括第二电源单元，在步骤 S104 中包括：使第二电源单元与 I/O 端口连接，第二电源单元通过 I/O 端口对待测芯片 10 输出测试电流，并测试 I/O 端口处的电压值。

步骤 S106：根据测试电流的电流值、I/O 端口处的电压值和待测芯片 10 的接地引脚 GND 的电压值，确定待测芯片 10 的 I/O 端口与接地引脚 GND 之间的电阻值。

30 待测芯片的 I/O 端口与接地引脚 GND 之间的内阻值（记作 R ）等于 I/O

端口的电压值减去接地引脚 GND 的电压值的差值，除以测试电流的电流值。

该方法中，由于通过设备电源强制调节了接地引脚 GND 的电压值，使接地引脚与接地端之间无压差，从而保证了接地引脚与测试机的接地端之间的环境电阻不会对内阻 R 的测试产生影响。利用设备电源检测 I/O 端口处的电

5 压值，根据该电压值计算内阻 R，确保 I/O 端口与测试机之间的环境电阻不会对内阻 R 的测试产生影响从而保证了内阻测试的准确性。

通过该方法，避免了现有测试过程中存在的环境电阻，例如，测试用 LB 板 30 上的电阻、导线阻抗（包括在线上的继电器等导通电阻）、测试探针、探针与芯片的接触阻抗等、以及测试用 LB 板 30 与测试机之间的排线或接触

10 阻抗等。通过第二电源单元可以正确得到内阻 R 两端的电压和通过内阻 R 的电流，以此可以准确地计算出内阻 R 的阻抗。

该测试的具体过程为：

如图 1 所示，将第一电源单元 DPS1 的电压值强制输出（Force） 0V，也就是通过第一电源单元 DPS1 使得图 1 中 A 点电位为 0V。由于测试机 20 的接

15 地端与第一电源单元 DPS1 的负输出端 F-、负测试端 S-、第二电源单元的 DPS2 的负输出端 F-和负测试端 S- 连接。所以，第一电源单元 DPS1 使 A 点的电压值为 0V 时，其正输出端 F+ 会使 E 电位点低于测试机接地端的电位，使得电流从第一电源单元 DPS1 的正输出端 F+ 通路回流。此时测试机的接地端、第一电源单元 DPS1 的负输出端 F-、第二电源单元 DPS2 的负输出端 F-和待测

20 芯片 10 的接地引脚 GND 在同一电位点上。

将第二电源单元 DPS2 强制输出（Force） 10mA（记作 I1）（具体根据实际情况调整），可通过第二电源单元 DPS2 测量 D 点的电压（记作 V1）。

内阻 $R = V1 / I1$ 计算出内阻 R 的阻值。此种情况是接地引脚 GND 等于 0V 的情况。

25 通过本方法在测试机不具备 DPS-使用的情况下，通过 DPS+精准调节待测芯片 10 的接地引脚 GND 的电位点，使得测量阻抗更精准，不必更换高端测试机，电路实现简单。

下面例举一种现有技术的测量方法，以进行效果对比。

在现有技术中，直接将待测芯片 10 的接地引脚与测试机的接地端连接，

30 之后对待测芯片的 I/O 端口输出，并进行内阻测试。在此过程中，默认接地

引脚的电压值等于接地端的电压值，即为 0V。

这种情况下，在计算阻抗 R 时为：设备电源 DPS 强制输出(Force) 10mA(记作 I2)，可测量 D 点的电位（记作 V2），则 R 值实际上为 $V2 / I2$ ，由于环境电阻的存在计算出的 $R = R0$ （待测芯片的实际内阻） + $RG1 + RG2$ 。计算结

5 果 R 与实际内阻 R0 间存在一定误差。

假设：实际内阻 $R0 = 5$ ， $RG = 6$ ， $RA = 7$ ， $RB = 8$ ， $RC = 9$ ， $RD = 10$ ，单位（欧姆）。RG 为 $RG1 + RG2$ ，RA、RB、RC 和 RD 同理。

现有技术方案中：DPS 强制输出(Force) 10mA，则测试台的接地端电位点为 0V，J 点电位为 $RG * 10mA = 60mV$ ，测量 D 点电压为 110mV，计算内阻
10 R 为：110mV 除以 10mA = 11 欧姆。

本申请的方案：第一电源单元 DPS1 强制输出(Force) 0V，第二电源单元 DPS2 强制输出(Force) 10mA，则测试机的接地端电位点为 0V，待测芯片 10 的接地引脚 GND 也为 0V，E 点电位为 -70mV。测量 D 点电压为 50mV，计算内阻 R 为 50mV 除以 10mA = 5 欧姆。由此可见，本申请的方案测量更为准
15 确。

最后应说明的是：以上实施例仅用以说明本申请实施例的技术方案，而非对其限制；尽管参照前述实施例对本申请实施例进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分技术特征进行等同替换；而这些修改或者替换，
20 并不使相应技术方案的本质脱离本申请各实施例技术方案的精神和范围。

权利要求书

1. 一种芯片阻抗测试系统, 包括: 测试机, 所述测试机包括设备电源, 所述设备电源与待测芯片的接地引脚以及 I/O 端口连接,

所述测试机通过所述设备电源调节所述接地引脚的电压值, 使所述接地
5 引脚的电压值与所述测试机的接地端的电压值相同;

所述测试机通过所述设备电源对所述 I/O 端口输出测试电流, 并测试所述 I/O 端口处的电压值, 根据所述 I/O 端口处的电压值、所述接地引脚处的电压值和所述测试电流的电流值确定所述 I/O 端口与所述接地引脚之间的电阻值。

10 2. 根据权利要求 1 所述的芯片开短路测试装置, 其中, 所述测试系统还包括测试用 LB 板, 所述待测芯片的接地引脚通过所述测试用 LB 板的第一连接通路与所述测试机的接地端连接。

3. 根据权利要求 1 或 2 所述的芯片阻抗测试系统, 其特征在于, 所述接地引脚和所述测试机的接地端的电压值为 0V。

15 4. 根据权利要求 1 所述的芯片阻抗测试系统, 其特征在于, 所述设备电源包括第一电源单元, 所述第一电源单元用于与所述待测芯片的接地引脚连接。

5. 根据权利要求 4 所述的芯片阻抗测试系统, 其特征在于, 所述第一电源单元包括正输出端、负输出端、正测试端和负测试端, 所述正输出
20 端和正测试端均与所述接地引脚连接, 所述负输出端和负测试端均与所述测试机的接地端连接。

6. 根据权利要求 1-5 中任一项所述的芯片阻抗测试系统, 其特征在于, 所述设备电源包括第二电源单元, 所述第二电源单元用于与所述待测芯片的 I/O 端口连接。

25 7. 根据权利要求 6 所述的芯片阻抗测试系统, 其特征在于, 所述第二电源单元包括正输出端、负输出端、正测试端和负测试端, 所述正输出端和正测试端均与所述 I/O 端口连接, 所述负输出端和负测试端均与所述测试机的接地端连接。

8. 一种待测芯片测试方法, 其特征在于,
30 测试机通过设备电源调节所述待测芯片的接地引脚的电压值, 使所述

接地引脚的电压值与所述测试机中的接地端的电压值相等；

测试机通过设备电源对所述待测芯片的 I/O 端口输出测试电流，并测试所述 I/O 端口处的电压值；

- 测试机根据所述测试电流的电流值、所述 I/O 端口处的电压值和所述
- 5 待测芯片的接地引脚的电压值，确定所述待测芯片的所述 I/O 端口与所述接地引脚之间的电阻值。

9. 根据权利要求 8 所述的方法，其特征在于，所述测试机包括第一电源单元，所述测试机通过设备电源调节所述待测芯片的接地引脚的电压值，使所述接地引脚的电压值与所述测试机中的接地端的电压值相等，包
- 10 括：

通过所述第一电源单元对所述待测芯片的接地引脚供电，使所述接地引脚的电压值与所述测试机中的接地端的电压值相等。

10. 根据权利要求 8 所述的方法，其特征在于，所述测试机包括第二电源单元，所述测试机通过设备电源对所述待测芯片的 I/O 端口输出测试
- 15 电流，并测试所述 I/O 端口处的电压值，包括：

测试机的第二电源单元通过所述 I/O 端口对所述待测芯片输出测试电流，并测试所述 I/O 端口处的电压值。

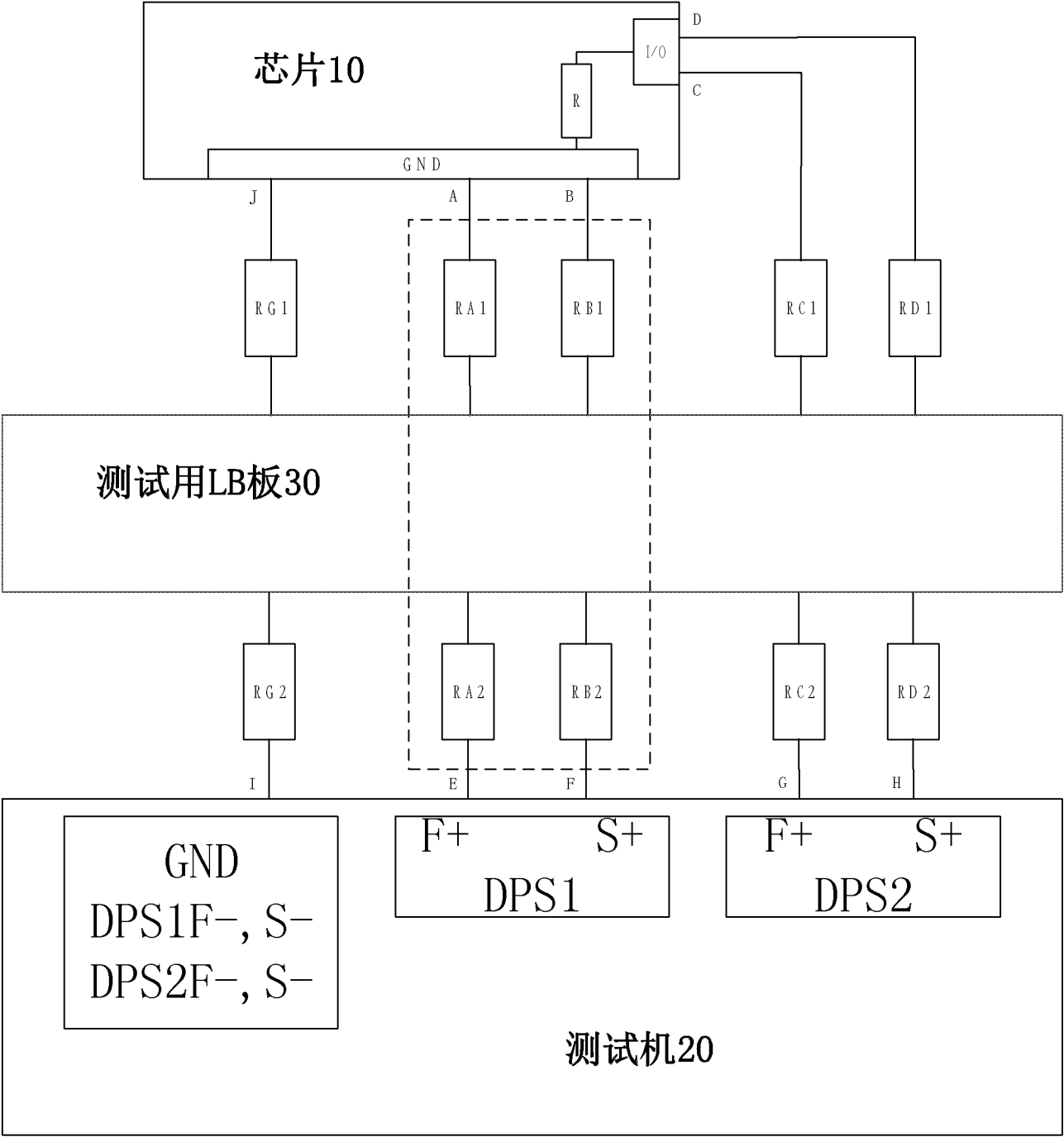


图 1

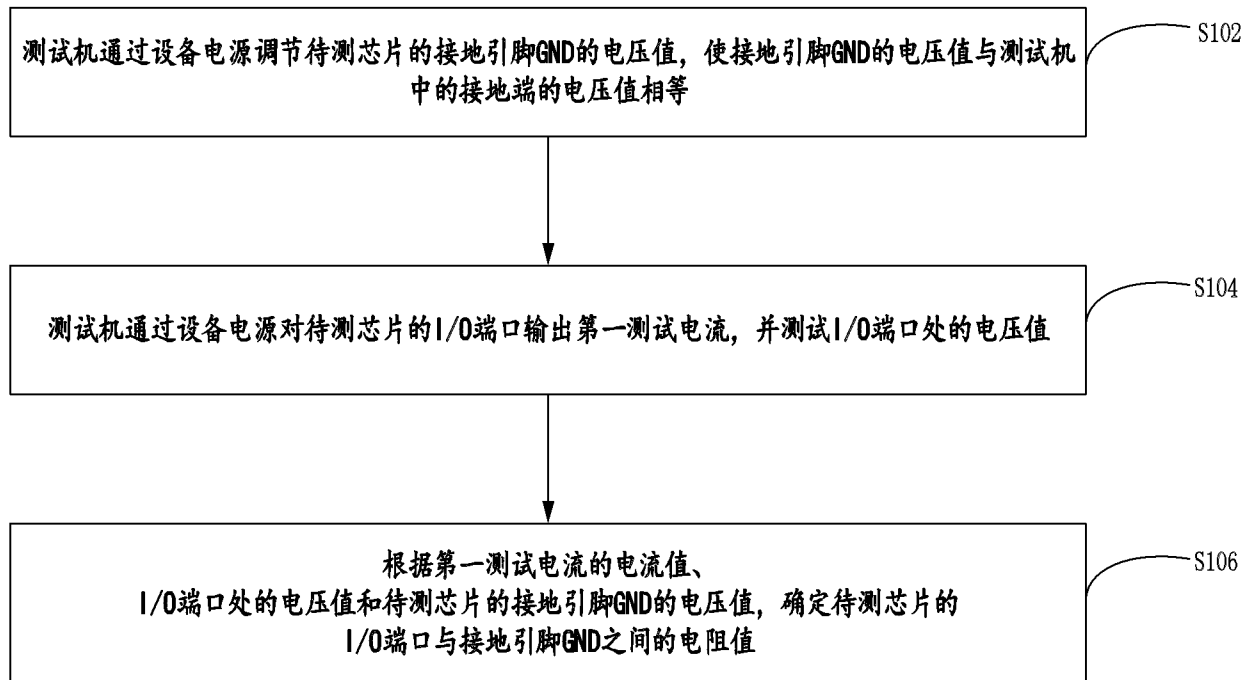


图 2

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/094815

A. CLASSIFICATION OF SUBJECT MATTER

G01R 27/08(2006.01)i; G01R 31/26(2014.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R27, G01R19, G01R31

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNKI, CNTXT, VEN: 芯片, 电路, 阻抗, 电阻, 电压, 电流, 电源, 接地, 测试, 环境, 干扰, chip, IC, integrated circuit, impedance, resistance, voltage, current, power, supply, ground, earth, test, environment, interrupt, disturb

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103063925 A (WUHU TIANYUAN AUTOMOBILE ELECTRON CO., LTD.) 24 April 2013 (2013-04-24) description, paragraphs 0034-0045, and figures 1 and 2	1-10
A	CN 206057437 U (SHENZHEN LINENGWEI MICROELECTRONICS CO., LTD.) 29 March 2017 (2017-03-29) entire document	1-10
A	CN 108181570 A (SHANGHAI EASTSOFT MICROELECTRONICS CO., LTD.) 19 June 2018 (2018-06-19) entire document	1-10
A	CN 203606434 U (NORTHWEST NORMAL UNIVERSITY) 21 May 2014 (2014-05-21) entire document	1-10
A	US 2010271054 A1 (FUJITSU MICROELECTRONICS LTD.) 28 October 2010 (2010-10-28) entire document	1-10
A	US 2013207736 A1 (SK HYNIX INC.) 15 August 2013 (2013-08-15) entire document	1-10

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

02 April 2019

Date of mailing of the international search report

09 April 2019

Name and mailing address of the ISA/CN

National Intellectual Property Administration, PRC (ISA/CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/094815

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN	103063925	A	24 April 2013	CN 103063925 B	05 October 2016
CN	206057437	U	29 March 2017	None	
CN	108181570	A	19 June 2018	None	
CN	203606434	U	21 May 2014	None	
US	2010271054	A1	28 October 2010	JP 5206571 B2	12 June 2013
				JP 2010256064 A	11 November 2010
				US 7952371 B2	31 May 2011
US	2013207736	A1	15 August 2013	KR 20130093231 A	22 August 2013

国际检索报告

国际申请号

PCT/CN2018/094815

A. 主题的分类

G01R 27/08(2006.01)i; G01R 31/26(2014.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G01R27, G01R19, G01R31

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, CNKI, CNTXT, VEN: 芯片, 电路, 阻抗, 电阻, 电压, 电流, 电源, 接地, 测试, 环境, 干扰, chip, IC, integrated circuit, impedance, resistance, voltage, current, power, supply, ground, earth, test, environment, interrupt, disturb

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 103063925 A (芜湖天元汽车电子有限公司) 2013年 4月 24日 (2013 - 04 - 24) 说明书第0034-0045段以及图1和2	1-10
A	CN 206057437 U (深圳市立能威微电子有限公司) 2017年 3月 29日 (2017 - 03 - 29) 全文	1-10
A	CN 108181570 A (上海东软载波微电子有限公司) 2018年 6月 19日 (2018 - 06 - 19) 全文	1-10
A	CN 203606434 U (西北师范大学) 2014年 5月 21日 (2014 - 05 - 21) 全文	1-10
A	US 2010271054 A1 (FUJITSU MICROELECTRONICS LTD.) 2010年 10月 28日 (2010 - 10 - 28) 全文	1-10
A	US 2013207736 A1 (SK HYNIX INC.) 2013年 8月 15日 (2013 - 08 - 15) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 4月 2日

国际检索报告邮寄日期

2019年 4月 9日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

何晓兰

电话号码 86-(010)-62085135

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/094815

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103063925	A	2013年 4月 24日	CN	103063925	B	2016年 10月 5日
CN	206057437	U	2017年 3月 29日	无			
CN	108181570	A	2018年 6月 19日	无			
CN	203606434	U	2014年 5月 21日	无			
US	2010271054	A1	2010年 10月 28日	JP	5206571	B2	2013年 6月 12日
				JP	2010256064	A	2010年 11月 11日
				US	7952371	B2	2011年 5月 31日
US	2013207736	A1	2013年 8月 15日	KR	20130093231	A	2013年 8月 22日

表 PCT/ISA/210 (同族专利附件) (2015年1月)